

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>7</sup>

G02F 1/00

## [12] 发明专利说明书

[21] ZL 专利号 94101778.8

[45]授权公告日 2000年10月18日

[11]授权公告号 CN 1057614C

[22]申请日 1994.1.11 [24]颁证日 2000.7.21

[21]申请号 94101778.8

[30]优先权

[32]1993.1.11 [33]US [31]08/002,627

[73]专利权人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

[72]发明人 凯文·L·科恩赫

詹姆斯·L·康纳 克劳德·E·托

审查员 焦丽宁

[74]专利代理机构 上海专利商标事务所

代理人 张政权

权利要求书 3 页 说明书 12 页 附图页数 3 页

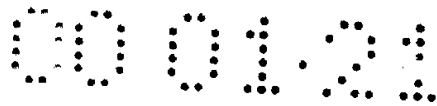
[54]发明名称 用于空间光调制器的象素控制电路

[57]摘要

一种空间光调制器(10),它具有比现有器件减少的控制电路。多组象素单元(11)共用一个存储单元(12),因此每个存储单元(12)具有与其它存储单元(12)相同的输出端数。一组中的各象素单元(11)通过复位线(13)转换其通或断状态,这独立于该组中其它象素单元的状态。帧数据在一组时间周期内加载于分比特一帧,这样每一分比特一帧仅包含对应于在一根复位线(13)上的象素单元(11)的数据。因此,同一存储单元(12)

可用于向其输出端中的所有象素单元传送数据,因为在一个时刻输出端中仅有一个象素单元(11)转换状态。

I S S N 1 0 0 8 - 4 2 7 4



## 权 利 要 求 书

---

1. 一种空间光调制器, 包括:

一个象素单元阵列, 每个象素单元可以根据从一相关存储单元传送到该象素单元的数据信号的量值独立地设定或复位至两种状态中的任一状态;

多个存储单元, 每个可与所述阵列的一组象素单元进行数据传送, 以便存储表示所述组的一象素单元的通或断状态的数据量值, 并将表示所述数据量值的信号传送到其组中的象素单元; 以及

多根复位线, 它们如此连至所述象素单元, 即, 不同的复位线与一象素单元组中的每个象素单元相连。

2. 根据权利要求 1 的空间光调制器, 其特征在于, 每个象素单元组包括四个象素单元。

3. 根据权利要求 1 的空间光调制器, 其特征在于, 所述象素单元是微机械镜元件。

4. 根据权利要求 1 的空间光调制器, 其特征在于, 所述象素单元具有导电镜, 所述复位线直接连至所述镜。

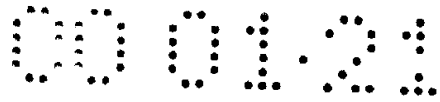
5. 根据权利要求 1 的空间光调制器, 其特征在于, 所述象素单元具有导电的扭铰件, 所述复位线通过所述扭铰件连接。

6. 根据权利要求 5 的空间光调制器, 其特征在于, 所述扭铰件在水平方向排成行。

7. 根据权利要求 5 的空间光调制器, 其特征在于, 所述扭铰件沿对角线排列。

8. 根据权利要求 1 的空间光调制器, 其特征在于, 每个所述象素元件具有一对用于传送所述数据信号的寻址电极, 并进一步包括一个电阻元件, 此电阻元件位于一象素单元的寻址电极和与该象素元件相关的存储单元之间, 以便在一象素元件失效时隔离所述象素元件。

9. 根据权利要求 1 的空间光调制器, 其特征在于, 每个所述象素



单元具有一对由高阻材料制成的寻址电极,以便在一象素单元失效时隔离所述象素单元。

10. 根据权利要求 8 的空间光调制器,其特征在于,所述空间光调制器是制备于所述存储单元的集成电路阵列之上。

11. 一种采用空间光调制器对多一比特帧数据帧进行脉宽调制的方法,所述调制器具有一个象素单元阵列,该方法包括下列步骤:

将每帧数据的显示时间分成相等的时间单元;

将每帧数据分成多个分比特一帧,每个分比特一帧包括对应于连至相关复位线的象素单元的数据;

将表示所述数据的分比特一帧的数据传送至所述存储单元,其中每个存储单元接收表示仅仅一个其象素单元的通或断状态的数据比特;

通过采用各存储单元将表示由该存储单元接收的数据比特的数据信号施加至其相关象素单元,而对所述象素单元加载;

通过采用复位信号改变连至所述复位线的所有象素单元的状态,而使所述象素单元转换状态;

对一数据帧内的数据的各分比特一帧重复上述传送,加载和转换步骤。

12. 根据权利要求 11 的方法,其特征在于,对所述象素单元加载的步骤的第一次加载与帧时间周期的起始同时发生。

13. 根据权利要求 11 的方法,其特征在于,连至每根复位线的象素单元在接收包含最低比特的分比特一帧之前接收至少一个包含较高比特值的分比特一帧。

14. 根据权利要求 11 的方法,其特征在于,所述分时步骤是这样实现的,每个时间段表示对应于每个数据值的数据的最低比特的显示时间。

15. 根据权利要求 11 的方法,其特征在于,所述加载步骤和所有重复的加载步骤是这样实现的,一组中的每个象素单元在最初时间段的连续时序间加载。

00 01 21

16. 根据权利要求 11 的方法, 其特征在于, 所述加载步骤是这样实现的, 对应于各组中任一象素单元的数据在各帧的相同位置开始和结束。

## 说 明 书

---

### 用于空间光调制器的象素控制电路

本发明涉及空间光调制器，尤其涉及那些被称之为可变形镜器件的调制器，更具体地涉及用于控制各象素单元的通断状态的电路。

空间光调制器(SLM)由一个可电子寻址的象素单元阵列和相关控制电路组成。典型用途是用于图象显示，其中，来自各象素的光被放大并通过一光学系统投射到显示屏上。调制方式取决于调制器如何与光学系统组合。

SLM的常用形式为可变形镜器件，其中，各象素单元均为一个能够相应于电输入独立运动的细小的微机械镜。入射光可按方向、相位或幅度进行调制，以便由各象素反射。

对于许多应用而言，SLM是双态制的，即，各象素单元均可具有两种状态中的任一种。单元可以是关断的，这意味着它不传输光，或是开通的，这意味着它以最大强度传输光。为实现光的中间态的视觉，有几种脉宽调制技术可以采用。这些技术描述于序号为 No. 07/678, 761、名称为“用于脉宽调制显示系统的 DMD 构造和计时”的在审美国专利申请中，该申请与本申请委托了相同代理人。

一般情况下，在每帧期间，通过将每一象素开通或关断一个与二进制数相应的时间段，脉宽调制产生一个累积亮度。脉宽调制使用各种向 SLM 加载的方式，例如“比特一帧”加载法，

其中，在一个时刻向整帧的每个象素加载一比特。每个象素单元具有一个存储单元。存储单元的整个阵列按每单元一比特加载，随后将所有象素单元设定为与数据的该比特一帧相应。在目前的比特一帧显示期间，用于下一比特一帧的数据被载入。因此，例如对于 8 比特象素亮度量化方式而言，SLM 每帧内要加载 8 次，在一个时刻对应每帧的一个象素。在这种方法中，对于  $n$ -比特亮度量化而言，最高比特显示帧周期的  $1/2$ ，次高比特显示  $1/4$  帧周期，等等，最低比特 (LSB) 的显示时间为  $1/2^n$  帧周期。

现有的象素加载技术存在的问题是，对于每一象素单元，这些技术要求至少一个存储单元。随着每帧内象素量的增加，SLM 器件的存储要求导致成本增加和生产率降低。所需要的是减少了用于控制象素单元的电路的 SLM。

对于每一象素单元使用一存储单元的加载方式，还将一个象素可被设定的最小时间限制于将比特一帧加载于存储阵列所需的时间。当采用脉宽调制时，对应于 LSB 的显示时间是最短显示时间。在此 LSB 时间内，用于下一帧的数据必须被载入。当要求“峰值”数据率时，这便是时间周期。为满足此峰值数据率，一确定的峰尖计数 (Pin count) 和相应的数据频率必须是可获取的。高的峰值数据率会转换成高的峰尖计数和/或高频率，这会增加器件和/或系统的成本。所需要的是降低了峰值数据率的 SLM。

本发明的第一方面是一种具有独立控制的象素单元的空间光调制器 (SLM)，每个象素单元可根据传送至该象素单元的数据信号的量值被设定和转换至两种状态的任一种状态。此 SLM 具有一个象素单元阵列，每一单元具有两个可能的状态，这种

状态取决于从相关存储单元传送至该单元的数据信号的量值。此 SLM 还具有多个存储单元，每个存储单元可与一组象素单元进行数据传送。每个存储单元存储表示其（象素单元）组中的一个象素单元的通或断状态的数据量值。并将表示此数据量值的一个信号传送至其组中的象素单元。多根复位线如此连接至象素单元，即，一根不同的复位线与一组中的每一个象素单元连通。因此，复位线可用于在一个时刻仅仅使一组中的一个象素单元复位。

本发明的技术优越性在于，单个存储单元控制一组象素单元。这使对应于每个象素的电路减小，其效果是降低了器件成本并提高了生产率。另外，发生加载时所必须具有的峰值数据率降低了，因为对于任一复位而言仅有较少的存储单元加载。这具有减少峰尖计数和/或降低数据频率要求的效果，并具有进一步降低器件和/或系统成本的效果。

图 1 是一个 SLM 阵列的一部分的方框图，它具有带对应于四个象素单元的输出端的存储单元。

图 2 示出一个具有对应于四个象素的输出端的存储单元。

图 3 示出 SLM 的镜元件的双稳工作状态。

图 4 和 5 示出，对于具有导电的镜和铰接件的扭铰型象素单元阵列而言，如何容易地连接复位线。

图 6 是用于将一帧数据加至一存储单元阵列的数据序列的一个例子，每个存储单元具有对应于四个象素单元的输出端。

图 7—9 示出为提供改进的防故障性能而增加的实施例。

图 1 是 SLM 阵列 10 的一部分的方框图，此阵列具有象素单元 11，这些象素单元通过存储单元 12 和复位线 13 控制。图中只示出少量的带有其相关控制电路的象素单元 11，而一个典

型的 SLM 阵列 10 要有几千个这类的单元 11。图 1 主要用于显示每个存储单元 12 如何配合多个象素单元 11。有关象素单元 11、存储单元 12 和复位线 13 之间的相互连接的其它细节在下面结合图 2—5 阐述。

为便于描述。SLM 是一个被称为可变形镜器件 (DMD) 的器件。DMD 具有细小的微机械镜元件的阵列,它可以被调制,以向观视者提供各种强度的视感。DMD 的一个例子是由 Texas instruments, Inc. 制造的 DMD 器件。不过,本发明不限于采用 DMD 作为 SLM10,可采用其它类型的具有可寻址象素单元和相似特性的 SLM,所述特性也就是,根据数据信号和复位控制信号工作,如下所述。

象素单元 11 以双稳态模式工作,这意味着存在两个稳定的状态。正如下面结合图 3 所阐述的,象素单元的运动方向可通过给它们“加载”来控制,即,利用来自其存储单元 12 的数据通过寻址电极“驱动”象素单元 11。正如结合图 3 所进一步解释的那样,象素单元 11 的状态根据此驱动电压,即通过由复位电极施加差动偏压而改变。这里使用的术语“复位信号”是指传送至象素单元 11 而使它们改变状态的信号。

象素单元 11 分成各由四个象素单元 11 组成的组,每组与一个存储单元 12 相连。在与单个存储单元 12 相关的一组中的象素单元的数量被称作该存储单元 12 的“输出端数”。因此,在图 1 中,每个存储单元 12 具有对应四个象素的输出端数。本发明也适用于其它输出端数,这里采用四输出端仅是便于举例。

每个存储单元 12 可以是常用的 SRAM (静态随机存取存储器) 单元。许多目前的 SLM10 的设计的一个优点是,它们可以容易地集成在下面的 CMOS 控制电路上。本说明书中采用存储



单元 12,每个存储单元具有单位存储能力。不过,本发明的范围还可包括存储能力多于一位的存储单元或具有附加逻辑电路的存储单元。例如,每个存储单元 12 可具有双缓冲结构。

当象素电极 11 改变其状态时,四根复位线 13 控制时间。一旦对应于连接至一特定复位线 13 的象素单元 11 的所有存储单元 12 被加载,象素单元 11 的状态便根据已载人的数据并同时根据此复位线 13 上的复位信号而改变。换言之,象素电极 11 在由其存储单元 12 供给它们的数据改变时保持其电流状态,并且直至接收到复位信号。

在与存储单元 12 相关的四个象素单元的组中,每一象素单元 11 连至四根复位线 13 中的不同的一根。因此,在一组中的每个象素单元 11 可在与该组中的其它象素电极 11 不同的时间改变其状态。

通常,与一个存储单元 12 相关的每组象素单元 11 具有相同数量的象素单元,并且此数量与复位线 13 的数量相同。不过,可有(其它)例子,例如在象素单元阵列的边缘,一个存储单元 12 连至较少数量的象素单元。

图 2 示出一个含四个象素单元 11 的组、其存储单元 12 和复位线 13、以及相关的互连线。每个象素单元 11 根据相连的复位线 13 来标记,即,象素单元 11(A)连至复位线 13(A)。正如所指出的,“1”或“0”值均可传送至象素单元 11。当存储单元 12 转换时,这些值中的任一个传送至与此存储单元 12 相连的所有象素单元。在每个象素单元 11 的复位线 13 上的一个信号决定该象素单元是否将改变状态。

图 3 是典型的 DMD 型 SLM10 的单个象素单元 11 的断面示图。此空间光调制是由反射镜 31 实现的,此反射镜可在两个方向的任一个上倾斜。镜 31 的两个稳定状态由虚线标示出。在其稳定位置,镜 31 的一端向两个着陆(landing)电极 32 中的一个移动。两个寻址电极 33 连接至存储单元 12 的输出端,存储单元 12 的输出端包括此象素单元 11。复位电压通过复位电极 34 施加至导电镜 31。寻址电极 33 用于施加电位差,这样,镜 31 的一端被吸引到其下面的电极 33,而另一端被排斥。电极 34 上的复位电压决定镜 31 是否将真正地转向相应的着陆电极 32。因此,镜 31 通过其存储单元 12 被“加载”,并通过复位线 13 复位。如果在一选定方向上倾斜,例如趋向显示屏,此象素单元将“通”;否则它会倾斜而将光引向别处,比如引入陷阱(trap)。

图 4 是象素单元 11 的一个阵列的一部分的顶视平面图,象素单元 11 的复位线 13 通过扭铰件(torsion hinges)41。正如图 1 和 2 中虚线所标示

的,每个象素单元 11 与一个具有对应于四个象素单元 11 的输出端的存储单元 12 相配合。在本实施例中,象素单元 11 具有导电镜 31 和导电的扭铰件 41,因此复位可直接通过扭铰件 41 施于镜 31,而不需专门的连接或绝缘。在图 4 中,每个镜 31 具有一对扭铰件 41,而象素单元 11 如此对准,以使扭铰件 41 沿水平线布置,从而使对复位线 13 的连接容易地沿这些水平线形成。

图 5 示出 SLM10 的另一种排列。如图 5 所示,每个存储单元 12 的输出端是对应象素单元 11 的垂直分离组。不过,复位连接是沿对角线方向的复位线 13。正如图 2 和 3 中所示,每个象素单元 11 根据所连接的复位线 13 标记,即,象素单元 11(A)连接至复位线 13(A)。这种排列在 SLM10 中是有用的,在此如此使象素单元 11 对准是有益的,即,它们的扭铰件 41 沿对角线布置。

对于脉宽调制而言,SLM10 的工作与现有的脉宽调制技术在下列方面基本一致,即,n-比特量值表示一帧周期内各象素单元 11 的亮度。n-比特量值的每一比特表示一个时间,在此时间内象素单元 11 是通的或断的。n-比特量值中的比特数在此称作“比特深度”。

为便于在此举例,假设每个象素单元 11 在一帧内按 5 比特的比特深度显示光。因此,例如,对于单帧而言,与单个存储单元 12 相关的一组中的四个象素单元 11 可能具有下列数据:

象素 1	ABCDE
象素 2	FGHIJ
象素 3	KLMNO
象素 4	PQRST

其中(ABCDE)表示一个 5 比特的二进制量值。每比特的量值为“1”或“0”,它们各表示象素单元 11 的两种状态中的一种状态。

如果假设在 LSB 位置的“1”表示一个时间单元的“通”值,在 MSB 位置的“1”将表示 16 时间单元,以下的中间比特各需 8,4 和 2 时间单元。如果比特 4 为 MSB,而比特 0 为 LSB,那么由每个比特的“1”值表示的时间为:

比特 4(MSB)	16 时间单元
比特 3	8 时间单元
比特 2	4 时间单元
比特 1	2 时间单元

比特 0(LSB) 1 时间单元

因此,5-比特值越大,象素单元 11 在一帧内处于通状态的时

间越长，在此帧内相对于其它象素单元 11 就越亮。

有关脉宽调制技术的进一步的细节描述于序号为 No. 07/678, 761 的美国专利申请中，该申请已在本专利申请的背景技术部分引出，并在此作为参考。

这里描述的脉宽调制技术利用了这样的事实，即，与存储单元 12 的转换速度性能相比，一些通或断时间是长的。本发明的一个根本前提条件是，单个存储单元 12 可以配合多个象素单元 11，如果其数据载入是按没有一个以上的其象素单元 11 需要同时复位的原则排序的话。

通常，用于载入每帧数据的顺序取决于输出端数和比特深度。各种顺序均是可能的，但顺序应遵循的一个规则是，在一组中没有两个象素单元 11 可以同时要求加载。

除上段中的规则外，几种“任选的”规则也可采用。若假设有  $m$  个象素单元的输出，一种如此的规则是，在排序的开始，所有  $m$  个象素单元 11 在第一个  $m$  时间单元内加载。因此，每组中的每个象素单元 11 按最初时间段的连续顺序加载。此规则使帧间具有良好的隔离，并在一帧的结束和下一帧的开始之间具有  $m$  时间单元的最大时滞。另外，在第一个  $m-1$  时间段载入的数据应不是 LSB 数据。最后，对于任一象素单元 11 而言，数据应在一帧的相同位置开始和结束。这是确切的，因为对于  $n$  比特的比特深度而言，用于承载数据的数据单元的数量是  $2^n-1$  数据单元。

图 6 示出一个数据排序的例子，此例子是用于具有四输出端的一个存储单元 12，并采用全部上述规则。因此，这里  $m=4$ ，并假设每一加载工序占用一个时间单元，与一个存储单元 12 相关的 4 个象素单元 11 用相同数据加载，但仅有一个象素单元

11 复位。与第一复位线 13 (A) 相关的象素单元记为象素单元 11 (A), 等等。

图 6 的加载顺序以下列方式用于 5—比特数据帧:

施载于象素 11 (A), 比特 4, 和复位 13 (A)

施载于象素 11 (B), 比特 3, 和复位 13 (B)

施载于象素 11 (C), 比特 2, 和复位 13 (D)

跳过 2 LSB 时间单元

施载于象素 11 (C), 比特 4, 和复位 13 (C)

跳过 2 LSB 时间单元

施载于象素 11 (B), 比特 0, 和复位 13 (B)

施载于象素 11 (B), 比特 1, 和复位 13 (B)

施载于象素 11 (D), 比特 1, 和复位 13 (D)

施载于象素 11 (B), 比特 4, 和复位 13 (B)

施载于象素 11 (D), 比特 0, 和复位 13 (D)

施载于象素 11 (D), 比特 2, 和复位 13 (D)

跳过 1 LSB 时间单元

施载于象素 11 (A), 比特 0, 和复位 13 (A)

施载于象素 11 (A), 比特 2, 和复位 13 (A)

施载于象素 11 (D), 比特 4, 和复位 13 (D)

跳过 2 LSB 时间单元

施载于象素 11 (A), 比特 3, 和复位 13 (A)

施载于象素 11 (C), 比特 0, 和复位 13 (C)

施载于象素 11 (C), 比特 1, 和复位 13 (C)

跳过 1 LSB 时间单元

施载于象素 11 (C), 比特 3, 和复位 13 (C)

跳过 2 LSB 时间单元

施载于象素 11 (B), 比特 2, 和复位 13 (B)

施载于象素 11 (A), 比特 1, 和复位 13 (A)

跳过 1 LSB 时间单元

采用帧缓冲器(未示出)的缓冲可用于安排数据于正确的顺序。一帧数据(此数据填充 SLM10 的阵列)被分成四个“分比特一帧”。对于第一分比特一帧而言,对于与存储单元 12 相关的各组中的每个象素单元 11 (A), 比特 4 将是合适的定序,以便在一个时间单元内加载,这样 SLM10 的 1/4 便承载了。随后,对于每个象素单元 11 (B) 而言,所有比特 3 将被定为第二分比特一帧,以便加载,等等。

数据排序的整体效果是,对于每一帧而言,象素单元 11 的整个阵列是按象素组复位的,而不是同时复位。因此,复位是以“分复位”图形方式发生,即,那些连至单一复位线 13 的象素单元 11 同时转换。

与现有的脉宽调制技术相同,显示一个全  $n$ -比特帧要用  $2^n-1$  LSB 时间单元。不过,每一加载步骤伴随较少的存储量增加,因而可在较少时间内完成。在此说明例中,对于每个复位信号,比特一帧的 1/4 被加载。换言之,每比特一帧要用四个复位信号。与现有脉宽调制技术不同,每比特一帧可显示来自不同比特的数据。

作为本发明的加载技术的一个结果,峰值数据率降低了。另外,虽然每帧内加载次数增加,但较高值比特不再相对于所有象素单元 11 同时发生。因此,在这些较高值比特的显示时间内不再等待。平均数据率和峰值数据率更为接近。

每个存储单元 12 的最大输出端数取决于比特深度。若比特深度为  $n$ , 理论上的最大输出端数 ( $\text{fanout}_{\text{max}}$ ) 可按下式计算:

$$\text{最大输出端数} = \frac{2^n - 1}{n}$$

上述等式的分子表示每帧有  $2^n - 1$  时间段。分母表示每个输出端需要  $n$  种状态 (event)。

对于各种比特深度和输出端数，可利用计算机程序来确定合适的顺序。以规则为基础的程序将防止违反上述规则及其它可选规则，上述规则禁止在一组中一个以上的象素单元 11 同时要求复位。

本发明的改进方法将上述“分复位”程序与“阻透技术 (block clearing)”相组合。阻透技术已与现有的脉宽调制方法联用，以避免在一个 LSB 时间单元内不得不对整体比特一帧加载的问题。对于阻透技术而言，比特一帧在 LSB 时间单元的全倍数中加载。在 SLM10 上设有一机构，以允许所有象素单元 11 快速成为“清楚的”，即，转换至“断”状态。因此，那些“通”时间少于加载所需时间的比特一帧可被给出合适的权。在一帧内时间单元的总数超过最大亮度时间乘以为清楚化所用的时间单元数。因此，在部分加载过程中具有处于“断”状态的象素单元 11 的序列的后果是 SLM10 的光效的降低。阻透技术的总体概念描述于序号为 No. 07/678, 761 的美国专利申请中。

图 7 示出图 1—5 的 SLM10 的改进形式，尤其是关于各存储单元 12 和与其输出端相应的象素单元 11 的互连。为降低在任一象素单元 11 处出现故障造成的影响，在每一数据连线上包括一电阻元件，本例中为电阻器 71。例如，在象素单元 11 的一个中出现的短路将不会导致该组中剩余象素单元 11 失效。

如上所述，许多 SLM10 的特征是，它们可容易地采用集成电路工艺制造。在这些类型的 SLM10 中，电阻器 71 可由多晶硅

材料制造。另外，高电阻材料可用于电极接触。再者，作为对附加电阻区域或元件的一种替换，象素单元电极，例如图 3 中的电极 33，可由具有高表面电阻的材料制成，例如氮化钛或氮氧化钛。

图 8 示出 SLM10 的另一种防故障改进形式。用二极管 81 替代电阻器 71，作为电阻元件来隔离在任一象素单元 11 处产生的故障。

图 9 示出第三种防故障改进形式。保险丝 91 用于在有短路的象素单元 11 处“隔断”。齐纳二极管 92 或一些其它形式的击穿型二极管提供高的对地电阻。

尽管已参照特定实施例对本发明进行了描述，但这种描述并不意味着局限于此。对于本领域的普通技术人员而言，所公开的实施例的各种修改以及变换的实施例将是清楚的。因此，应当理解，所附权利要求书覆盖了属于本发明的真正范围内的所有改进。



# 说明书附图

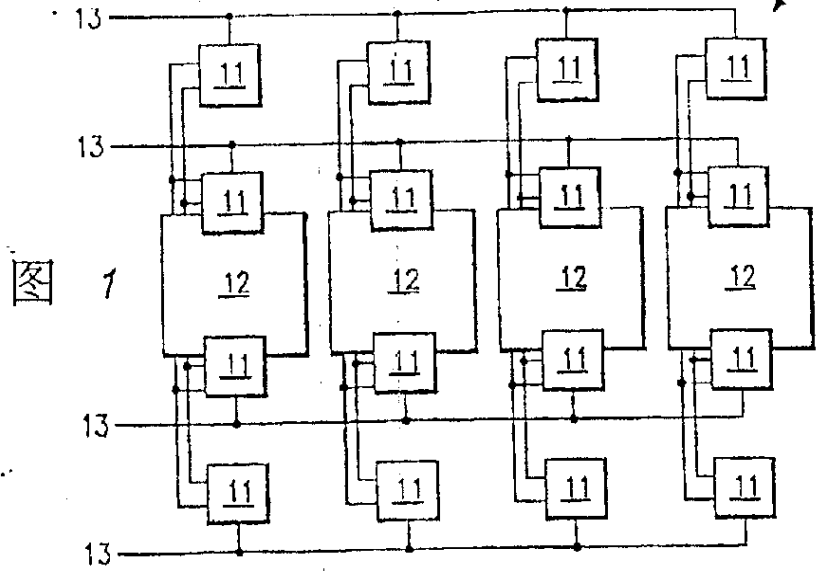


图 1

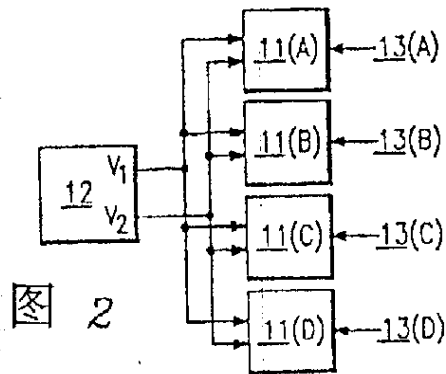


图 2

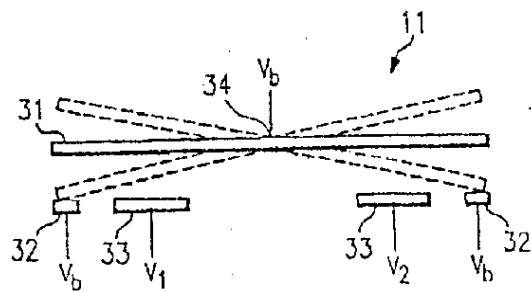


图 3

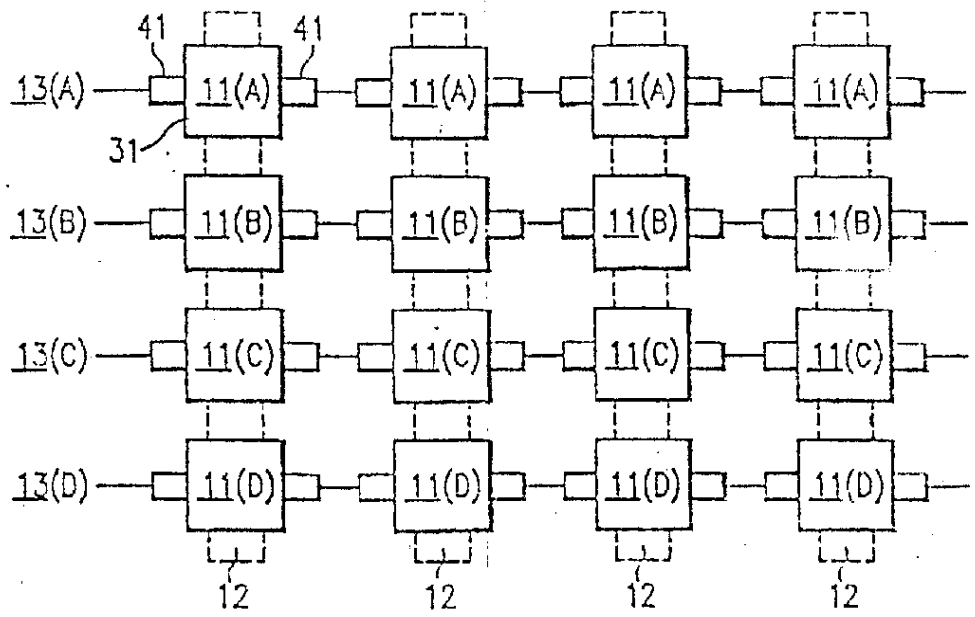


图 4

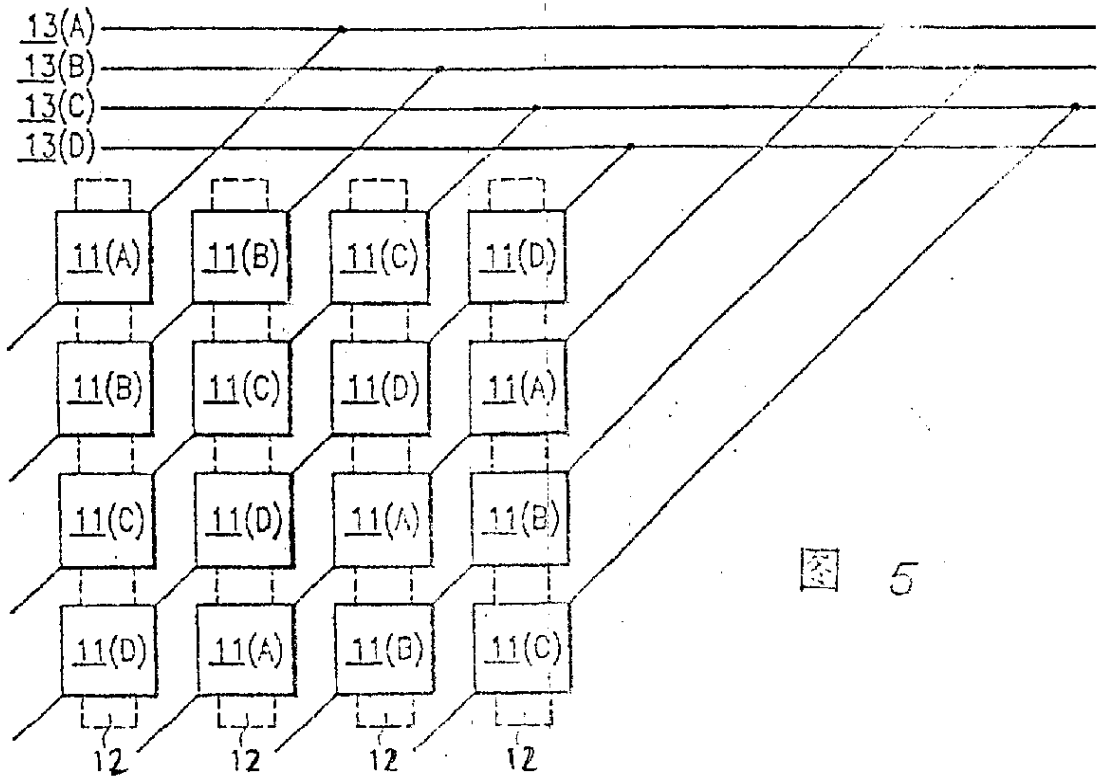


图 5

图 6

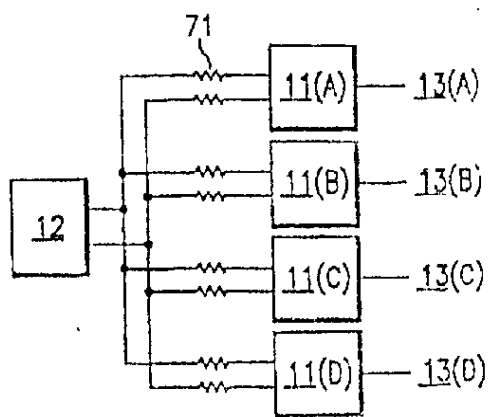
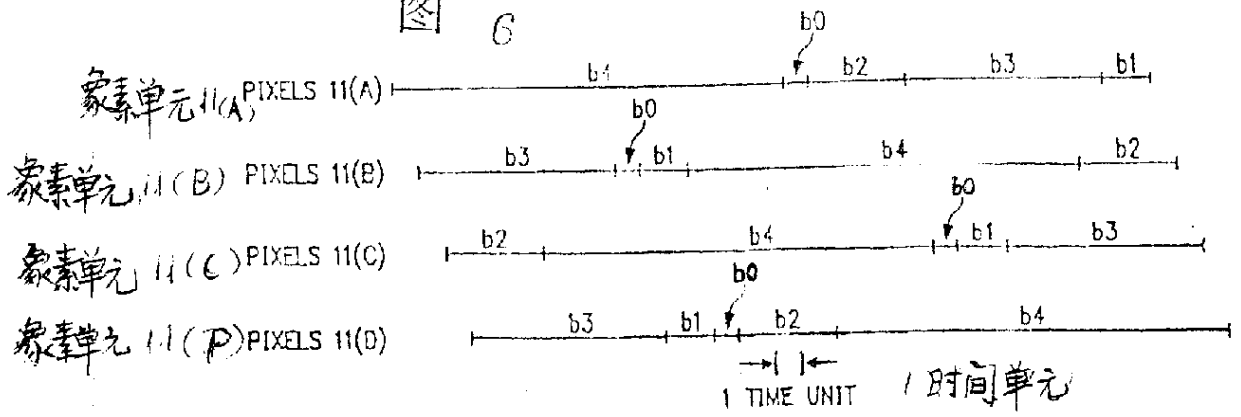


图 7

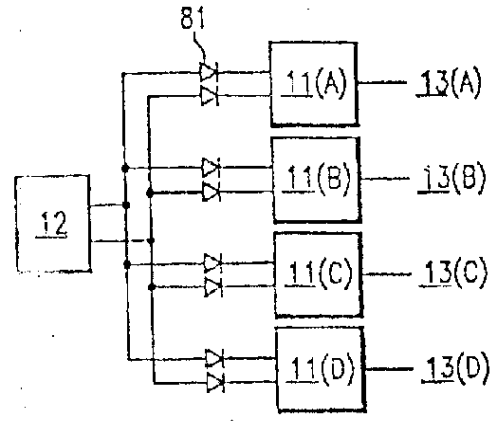


图 8

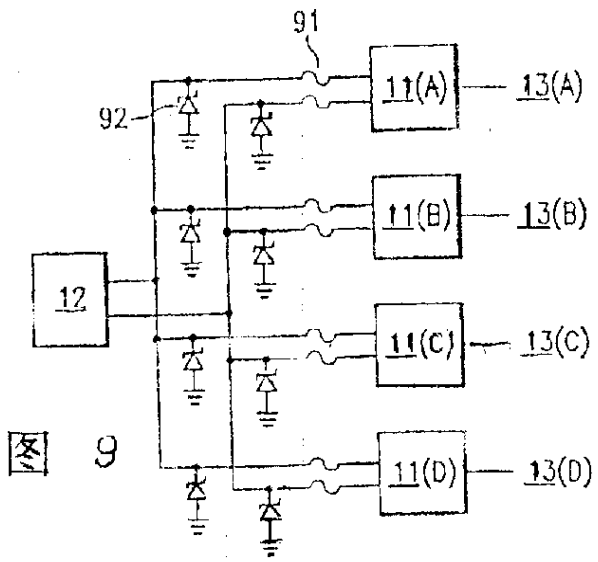


图 9