

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G04G 1/00 (2006.01)

G04G 3/02 (2006.01)



[12] 发明专利说明书

专利号 ZL 99810442.6

[45] 授权公告日 2006 年 3 月 1 日

[11] 授权公告号 CN 1244030C

[22] 申请日 1999.8.24 [21] 申请号 99810442.6

[30] 优先权

[32] 1998.8.28 [33] CH [31] 1764/98

[86] 国际申请 PCT/CH1999/000387 1999.8.24

[87] 国际公布 WO2000/013067 法 2000.3.9

[85] 进入国家阶段日期 2001.2.28

[71] 专利权人 斯沃奇有限公司

地址 瑞士比尔

[72] 发明人 J·米勒 P·德里瓦兹

R·马奎斯

审查员 杨 叁

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 王 勇 张志醒

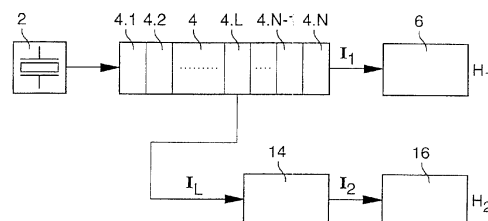
权利要求书 3 页 说明书 15 页 附图 6 页

[54] 发明名称

包括基于十进制的时间数据的电子时计

[57] 摘要

本发明涉及一种电子时计，它允许显示至少一个基于时-分-秒(H-M-S)系统的第一时间数据(H₁)及至少一个基于十进制系统、及其中时间被至少分成千分之一日的第二时间数据(H₂)。为此，根据本发明的时计包括一个发生装置(14)，它用于根据所述时基(2)输出的辅助控制脉冲(I_L)提供第二控制脉冲(I₂)，以便形成及显示所述第二时间数据(H₂)。



1. 电子時計， 它允許顯示至少第一 (H_1) 及第二 (H_2) 時間相關數據項，所述第一時間相關數據項 (H_1) 基於時-分-秒 (H-M-S) 系統，該時計包括一個時基 (2)，它將脈衝供給到包括 N 個二進制除法級 (4.1 至 4.N) 的分頻電路 (4)，及提供允許形成及顯示所述第一時間相關數據項 (H_1) 的第一控制脈衝 (I_1)，該時計還包括一個發生裝置 (14)，它用於根據來源於所述時基 (2) 的輔助控制脈衝 (I_L) 提供允許形成及顯示所述第二時間相關數據項 (H_2) 的第二控制脈衝 (I_2)，

該時計的特徵在於：所述第二時間相關數據項 (H_2) 基於十進制系統，其中一日的時間被至少分成一千部分，每個部分對應於一個時間單位；及所述第二時間相關數據項 (H_2) 借助 3 位數字顯示，以便不會與所述第一時間相關數據項 (H_1) 相混淆。

2. 根據權利要求 1 的电子時計，其特徵在於：所述發生裝置 (14) 被設計用於根據一個由按確定的次序彼此接連的 n 及 $n+1$ 個輔助控制脈衝 (I_L) 的計數操作形成的計數序列相繼地對輔助控制脈衝 (I_L) 進行計數，以使得所述發生裝置 (14) 以允許形成基於十進制系統的所述第二時間相關數據項 (H_2) 的平均頻率提供第二控制脈衝 (I_2)，其中 n 是小于且最接近於所述輔助控制脈衝 (I_L) 的頻率與所述第二控制脈衝 (I_2) 的頻率的分頻比的整數。

3. 根據權利要求 2 的电子時計，其特徵在於：所述 n 及 $n+1$ 個輔助控制脈衝 (I_L) 的計數操作根據確定的次序接連地進行，以使得第二控制脈衝 (I_2) 以最小時間誤差提供。

4. 根據權利要求 2 或 3 的电子時計，其特徵在於：所述計數序列被包括在一個表中，該表包括與計數操作同樣多的項目。

5. 根據權利要求 4 的电子時計，其特徵在於：所述表由一個二進制字形成，該字中的二進制值“0”指示應進行 n 個輔助控制脈衝 (I_L) 的計數，以及二進制值“1”指示應進行 $n+1$ 個輔助控制脈衝 (I_L) 的計數。

6. 根據權利要求 4 或 5 的电子時計，其特徵在於：所述表的項目借助一個包含所述第二時間相關數據項 (H_2) 的一個值的寄存器來索引。

7. 根据权利要求 2 或 3 的电子时计, 其特征在于: 所述 n 或 $n+1$ 个辅助控制脉冲 (I_L) 的计数操作借助一个包含所述第二时间相关数据项 (H_2) 的一个值的寄存器来确定。

8. 根据权利要求 1 的电子时计, 其特征在于: 所述发生装置 (14) 包括设计用于计数 n 个辅助控制脉冲 (I_L) 的第一计数器 (141) 及所述第一计数器 (141) 的禁止装置 (142), 所述禁止装置 (142) 设计用于在所述第一计数器 (141) 的上游周期性地禁止 K 个辅助控制脉冲 (I_L), 以使得所述第一计数器以允许形成基于十进制系统的所述第二时间相关数据项 (H_2) 的平均频率提供第二控制脉冲 (I_2), 其中 n 是小于且最接近于所述辅助控制脉冲 (I_L) 的频率与所述第二控制脉冲 (I_2) 的频率的分频比的整数。

9. 根据权利要求 8 的电子时计, 其特征在于: 所述禁止装置 (142) 包括: 设计用于计数 m 个辅助控制脉冲 (I_L) 的第二计数器 (144); 逻辑检测电路 (146), 它与所述第二计数器 (144) 连接, 以便检测后者的 k 个中间状态; 以及包括两个输入端的与逻辑门 (148), 一个输入端反相并且连接到所述逻辑检测电路 (146) 的输出端及另一个输入端接收所述辅助控制脉冲 (I_L), 当检测出 k 个中间状态中的一个时, 所述逻辑检测电路 (146) 发送一个阻塞与逻辑门 (148) 的禁止信号, 以使得在所述第一计数器 (141) 上游禁止一个辅助控制脉冲 (I_L)。

10. 根据权利要求 9 的电子时计, 其特征在于: 所述 k 个中间状态以彼此等距离的方式选取。

11. 根据权利要求 1 的电子时计, 其特征在于: 所述发生装置 (14) 包括设计用于计数 $n+1$ 个辅助控制脉冲 (I_L) 的第一计数器 (241) 及与该第一计数器 (241) 相连接的初始化装置 (242), 所述初始化装置 (242) 被设计用于以对应于辅助控制脉冲 (I_L) 的补数的值 k 周期性地所述第一计数器 (241) 初始化, 以使得所述第一计数器 (241) 以允许形成基于十进制系统的所述第二时间相关数据项 (H_2) 的平均频率提供第二控制脉冲 (I_2), 其中 $n+1$ 是大于且最接近于所述辅助控制脉冲 (I_L) 的频率与所述第二控制脉冲 (I_2) 的频率的分频比的整数。

12. 根据权利要求 11 的电子时计, 其特征在于: 所述初始化装置 (242) 包括一个设计用于计数 m 个第二控制脉冲 (I_2) 的第二计数器

(244)，及一个与第一计数器(241)相连接的初始化电路(246)，所述第二计数器(244)每 m 个第二控制脉冲(I_2)提供一个信号给所述初始化电路(246)，以使所述第一计数器(241)以值 k 被初始化。

13. 根据权利要求 1 至 12 中任一项的电子時計，其特征在于：所述辅助控制脉冲(I_L)在所述分频电路(4)的二进制除法级(4.1 至 4.N)中的一个级(4.L)的输出端被提供。

14. 根据权利要求 1 至 12 中任一项的电子時計，其特征在于：所述辅助控制脉冲(I_L)在连接于所述发生装置(14)的上游所述分频电路(4)后面的 N' 个附加二进制除法级(4.N+1 至 4.N+N')的一个输出端被提供。

15. 根据权利要求 1 至 12 中任一项的电子時計，其特征在于：所述发生装置(14)以 $1/8.64\text{Hz}$ 的平均频率提供所述第二控制脉冲(I_2)。

16. 根据权利要求 1 至 12 中任一项的电子時計，其特征在于：所述发生装置(14)以 $1/86.4\text{Hz}$ 的平均频率提供所述第二控制脉冲(I_2)。

包括基于十进制的时间数据的电子時計

本发明涉及能够显示多个时间数据的电子時計。更具体地，本发明涉及一种允许显示至少第一时间数据及第二时间数据的時計，第一时间数据是基于时-分-秒系统（下称 H-M-S）。

在现有技术中已公知了能显示多个时间数据的电子時計。这些通常称为“通用時計”的時計典型地被设置成允许显示代表通用时间的时间数据及显示代表相应于不同时区的本地时间的一个或多个时间数据。这些多数量时间数据可能引起使用者在读数据时发生混淆的危险，及通常需要设置能明确识别每个显示时间数据涉及哪种数据的装置。

美国专利 US-A-4 926 400 描述了一种符合独立权利要求 1 的前序部分的电子時計。该時計允许显示一个基于 H-M-S 系统第一时间数据及一个基于非十进制系统的第二时间数据，其中一日时间被分成 25 个 25 分之一。根据该文本中表 1，栏 3 可得到的，一日（24 小时）被分成 25 “小时”，每“小时”60 “分钟”，每“分钟”包括 57.6 秒。每分钟中“省”去 2.4 秒，以便形成一个附加的伪小时。“24h”及“25h”的时间数据的显示方式是相同的。如果没有附加指示，该時計的使用者将不能清楚地区分这两种时间数据。

因此，本发明的一个目的是提供一种允许显示至少第一及第二时间数据的电子時計，借助它使用者可清楚及快速地识别及区分显示的时间数据。

为此，本发明涉及一种电子時計，它允许显示至少第一及第二时间数据，其特征被描述在独立权利要求 1 中。

本发明所提供的解决方案由此可以清楚地将第一时间数据与第二时间数据区分开，因为第一及第二时间数据是基于不同的系统。

传统使用的 H-M-S 系统在于将一日分为 24 小时，一小时分为 60 分钟，及一分钟分为 60 秒。基于十进制的时间划分不再根据上述传统方式，而在于将一日相继地划分为十分之一日（等于 2.4 小时或 144 分钟），将后者分为百分之一日（等于 14.4 分钟或 864 秒），然后

再分为千分之一日（等于 86.4 秒）等。

尤其是，通过选择将时间分成千分之一日，该第二时间数据仅需要显示三位数字（“000”至“999”），并由此清楚地与基于以“HH:MM”典型格式显示的 H-M-S 系统的传统时间数据相区别。于是在读取
5 时间数据时产生混淆的危险被大大地降低。

非典型的第二时间数据的格式被证实尤其可被用来显示譬如一个通用时间，对于该通用时间使用者可清楚表示，而不会与一个涉及它所在时区的传统时间数据相混淆。

此外十进制系统构成了现行传统 H-M-S 系统的一个有利的变型，
10 因为它可避免对 H-M-S 格式的固有转换问题。另外，该变型更有逻辑性并让已习惯于十进制系统的使用者更易理解。

应指出，在专利申请 GB-A-2 274 004 及 M. T Raja Rao 的文章“时间及其单位”以及“工业发展及通用工程工程师协会杂志（印度”
（“JOURNAL OF THE INSTITUTION OF ENGINEERS (INDIA) INDUSTRIAL
15 DEVELOPMENT AND GENERAL ENGINEERING” vol.54, 1973 年 9 月第 25-28 页（XP-002101432）-两者中均描述了作为传统 H-M-S 变型的十进制系统的使用及允许显示基于该十进制系统的单一时间指示数据的一种時計。

为了构成基于 H-M-S 系统的时间数据，电子時計通常包括一个时
20 基，典型地，一个石英振荡器输出具有等于一个二进制幂的确定频率，例如 32768Hz。一个包括一系列级联地连接的 N 个二进制除法级（触发器）的分频电路与一个时基相连接，以便输出其频率被降低 2^N 倍的控制脉冲。典型地，该分频电路由 N=15 的二进制除法级组成，由此该时基输出的脉冲频率可降低到 1Hz。因此在能够显示多个不同
25 时间数据的电子時計中，这些控制脉冲可控制这些时间数据的相应显示。

为了构成基于所选择的十进制系统的第二时间数据，一个优先的可能性是周期性地执行对基于 H-M-S 系统的传统时间数据的转换数学运算。换言之，这种普通的方案在于，要设置专用于该任务的转换或
30 计算装置。但应当指出，该方案不适于用在時計中，因为我们可优选地设置能直接产生允许形成及显示基于十进制的第二时间数据的控

制脉冲。

为了产生允许形成基于十进制的时间数据 - 其中时间被至少分成千分之一日 - 的控制脉冲, 必需以至少 1/86.4Hz 的频率来产生这些脉冲, 或用该频率的十的倍数, 即用 1/8.64Hz 来分成万分之一日, 用 1/0.864Hz 来分成十万分之一日等。实际上, 为了产生第二控制脉冲将选择 1/86.4Hz 的频率或 1/8.64Hz 的频率, 但也可根据情况选择更高的频率。

对于该问题的一个普通方案在于提供一个附加的时基, 它能以相应于所需频率的倍数的专门频率提供脉冲, 例如 10000Hz。例如, 具有分频比等于 86400 的分频电路能够产生频率为 1/8.64Hz 的控制脉冲。于是, 为了显示第一及第二时间数据该普通的方案涉及使用两个不同的分频链(时基+分频电路)。但是, 应力图限制产生控制脉冲所需的元件数目及尤其仅使用一个时基, 最好为时钟时基, 即以等于二进制幂的频率供给脉冲的时基。

能够用于本发明范围中的时间脉冲发生装置例如被描述在文本: US-A-3 975 898, US-A-5 771 180, US-A-3 777 471 及 US-A-3 284 715 中。

根据本发明, 该時計有利地采用由同一时基来产生第一及第二时间数据的控制脉冲。为此它包括发生装置, 用于根据时基发出的辅助控制脉冲提供第二控制脉冲, 以便形成及显示第二时间数据。因此该時計尤其可被设计成根据时基在分频电路输出端发出的 1Hz 脉冲来产生其频率为 1/86.4Hz 的第二控制脉冲, 以便形成千分之一日的第二时间数据, 而它不管分频比不是整数。

本发明的另一优点因而在于, 使用一个单独的时基来产生第一及第二时间数据的不同控制脉冲, 及它由此可使用传统時計的电子部分, 以便能显示基于十进制系统的时间数据。

在参照附图阅读了以下的详细说明后, 本发明的其它特征及优点将会显露出来, 这些附图仅是以例子的方式给出的及其中:

- 图 1 表示构成本发明第一实施形式的一个時計的简要电路框图;

- 图 2 表示构成本发明第二实施形式的一个時計的简要电路框

图；

- 图 3a 及 3b 表示根据本发明的时计的平面图，他们描述时间数据显示的不同可能性；

5 - 图 4 表示实施控制脉冲发生装置的第一实施方案的一个流程图，该装置允许输出基于十进制显示时间数据的控制脉冲；

- 图 5 表示控制脉冲发生装置的第二实施方案，该装置允许输出基于十进制显示时间数据的控制脉冲；

- 图 5a 至 5c 表示图 5 中所示发生装置 14 的第二实施方案的应用例；

10 - 图 6 表示控制脉冲发生装置的第三实施方案，该装置允许输出基于十进制显示时间数据的控制脉冲；及

- 图 6a 表示图 6 中所示发生装置 14 的第三实施方案的一个应用

例。

在图1中以简要电路框图的形式表示出一个构成本发明第一实施形式的時計。该時計包括，串联连接的：一个时基2，它典型地由石英振荡器构成；一个分频电路4，它包括N级二进制除法级4.1至4.N
5 及输出第一控制脉冲 I_1 ，及由第一控制脉冲控制的第一显示装置6。典型地，将使用一个输出频率为32768Hz脉冲的石英振荡器及包括15个二进制除法级的分频电路，以便产生其频率为1Hz的第一控制脉冲 I_1 。在以下的说明中，将以非限制性例子的形式使用上述的数值。

第一显示装置6由第一控制脉冲 I_1 控制并以传统的方式设置，以便
10 允许形成及显示基于H-M-S系统的第一时间数据。

根据本发明的時計还包括用于输出第二控制脉冲 I_2 的发生装置14，它的频率由采用的十进制分频来确定，即譬如在图中情况下为1/86.4Hz，其中使用至千分之一日的分频。该发生装置14受来自时基2的辅助控制脉冲 I_L 的控制，及在该实施方式中在分频电路4的二
15 进制除法级4.1至4.N中的一个级的输出端被输出，该级被表示为4.L，它可在一组二进制除法级4.1至4.N中被选择。应指出，该辅助控制脉冲 I_L 的频率等于时基2输出的频率除以倍数 2^L 。

在以下的说明中将详细地描述发生装置14的多个实施方案。

第二显示装置16与发生装置14相连接。第二显示装置16由第二控制脉冲 I_2 控制，及被设置成能够形成及显示基于十进制的第二时间数据 H_2 。
20

图2以简要电路框图的形式表示出构成本发明第二实施形式的一个時計。该時計包括，串联连接的一个时基2，一个分频电路4，第一及第二显示装置6及16，以及第二控制脉冲 I_2 的发生装置14。

该時計还包括连接在分频电路4后面的附加的 N^* 级二进制除法级4.N+1至4.N+N*。发生装置14受同样源自时基2的辅助控制脉冲 I_L 的控制，在该实施形式中，该辅助控制脉冲在附加的二进制除法级4.N+1至4.N+N*的输出端上输出。应指出，在该情况下该辅助控制脉
25 冲 I_L 的频率等于由时基2输出的脉冲频率除以倍数 2^{N+N^*} 。

因此，图1及2所示的实施形式允许显示基于H-M-S系统的第一时间数据 H_1 及基于十进制的第二时间数据 H_2 。在这两个实施形式中，
30

第二控制脉冲 I_2 是根据源于时基 2 的辅助控制脉冲 I_L 产生的。

应指出, 根据本发明的時計还包括允许调整不同时间数据的校正装置。这些校正装置未在这里描述及未表示在图 1 及 2 中。但本领域的熟练技术人员能够实现这些校正装置, 以致能以适当方式调整每个
5 时间数据。

还应指出, 图 1 及 2 中所示的实施形式是非限制性的。尤其是, 还可设置附加的显示装置, 以便能形成及显示基于 H-M-S 系统或十进制系统的附加时间数据。

亦应指出, 本领域的熟练技术人员能够用适合的方式实现这些显示装置 6 及 16。尤其要指出, 这些显示装置可有利地以具有由电磁装置控制的指针的模拟显示器的形式实现或以数字显示器的形式实现。作为例子, 图 3a 及 3b 表示根据本发明的時計的平面图, 他们描述显示时间数据 H_1 及 H_2 的不同可能性。
10

如图 3a 中所示, 第一时间数据 H_1 的第一显示装置 6 可用数字显示器的形式实现, 它允许譬如根据传统 “HH: MM” 的格式显示第一时间数据 H_1 。变换地, 如图 3b 中所示, 该第一显示装置可包括由电磁装置 (未示出) 驱动的、及允许分别显示小时及分钟的第一及第二指针。
15

如图 3a 及 3b 中所示, 第二时间数据 H_2 的第二显示装置 16 可有利地由数字显示器构成, 在该例中它包括三位数字, 以致允许以千分之一日显示第二时间数据 H_2 。但该第二显示装置 16 也可以类似于图 3b 中所示第一显示器 6 的方式, 用由电磁装置驱动的指针式模拟显示器的形式实现。
20

现在借助图 4 至 6 来描述允许输出根据本发明的第二控制脉冲 I_2 的发生装置 14 的不同实施方案。
25

回忆一下, 根据所考虑附图中的情况、即譬如分频到千分之一日 (86.4 秒) 或分频到万分之一日 (8.64 秒), 第二控制脉冲 I_2 应分别输出 $1/86.4\text{Hz}$ 或 $1/8.64\text{Hz}$ 的频率。

再回忆一下, 典型地, 在以下的说明中将以非限制性方式考虑时基 2 将输出频率为 32768Hz 的脉冲, 以使得 $N=15$ 个二进制除法级 4.1 至 4.15 允许输出其频率为 1Hz 的第一控制脉冲 I_1 。
30

根据本发明使用了辅助控制脉冲 I_L 来产生第二控制脉冲 I_2 。该辅助控制脉冲 I_L 的频率由在其输出端上输出该脉冲的二进制除法级来确定。根据图 1 所述的第一实施形式，该频率等于由时基 2 输出的脉冲频率除以倍数 2^L 。根据图 2 所述的第二实施形式，该频率等于由时基 2 输出的脉冲频率除以倍数 2^{N+N^*} 。

辅助控制脉冲 I_L 与第二控制脉冲 I_2 的分频比确定了一个数值，它相应于用于产生一个控制脉冲 I_2 所考虑的辅助控制脉冲 I_L 的平均数目。假定由时基 2 输出的脉冲频率典型地等于一个二进制幂，则由于“日”的十进制划分该分频比确定为一个非整数的值。

应指出，不可能考虑一个非整数的辅助控制脉冲 I_L 。因此，在本发明的范围中，它被分别确定为直接地小于及大于上述分频比的整数 n 及 $n+1$ 。这些整数 n 及 $n+1$ 则分别相应于直接地小于及大于考虑用于产生控制脉冲 I_2 的辅助控制脉冲 I_L 的平均数目的整数。

为了以相应于所需频率的平均频率来产生第二控制脉冲 I_2 ，例如所需频率为 $1/86.4\text{Hz}$ 或 $1/8.64\text{Hz}$ ，则根据确定的计数序列来相继地对 n 及 $n+1$ 个辅助控制脉冲 I_L 计数。

该计数序列是对 n 及 $n+1$ 个辅助控制脉冲 I_L 的一系列计数操作形成的。以上定义的分频比确定了计数操作的周期及数目，在其结束时第二控制脉冲 I_2 将以所需平均频率被产生出来。

此外，该计数序列最好这样地形成，在该计数序列期间所产生的差距应减至最小。

作为例子，在图示的情况下，其中第二控制脉冲 I_2 将根据频率为 1Hz 的辅助控制脉冲 I_L 以 $1/86.4\text{Hz}$ 的平均频率来产生，即在发生装置 14 连接到分频电路 4 的最后二进制除法级 4.N 的输出端的情况下（相应于图 1 所示的第一实施形式），该分频比等于 86.4。因此发生装置 14 被设置来持续计数 $n=86$ 及 $n+1=87$ 个辅助控制脉冲 I_L 。

此外，该分频比确定了在 432 秒的一个周期中应产生出 5 个控制脉冲 I_2 。在图示的情况下，在 24 小时期间被重复 200 次的该计数序列将由 5 个计数操作的系列构成。在当前情况下， $n=86$ 及 $n+1=87$ 的辅助控制脉冲 I_L 在 432 秒期间分别被计数 2 及 3 次，以使得第二控制脉冲 I_2 输出的平均频率仍等于 $1/86.4\text{Hz}$ 。

为了使在该计数序列期间所产生的差距减至最小，最好根据以下的计数序列来产生 5 个控制脉冲 I_2 ：

86-87-86-87-86

在图示的情况下，应指出，在该计数序列期间产生的最大误差被限制在 ± 0.4 秒上，即第二控制脉冲 I_2 周期的 0.5% 的量级上。

类似地，在这样图示的情况下：其中第二控制脉冲 I_2 将根据频率为 $1/8\text{Hz}$ 的辅助控制脉冲 I_L 以 $1/86.4\text{Hz}$ 的平均频率来产生，即在发生装置 14 连接到 $N^*=3$ 个附加二进制除法级的输出端的情况下（相应于图 2 所示的第二实施形式），该分频比等于 10.8。因此发生装置 14 被设置来持续计数 $n=10$ 及 $n+1=11$ 个辅助控制脉冲 I_L 。

此外，该分频比确定了在 432 秒的一个周期中应产生出 5 个控制脉冲 I_2 。在图示的情况下，在 24 小时期间被重复 200 次的该计数序列将由 5 个计数操作的系列构成。在当前情况下， $n=10$ 及 $n+1=11$ 的辅助控制脉冲 I_L 在 432 秒期间分别被计数 1 及 4 次，以使得第二控制脉冲 I_2 输出的平均频率仍等于 $1/86.4\text{Hz}$ 。

为了使在该计数序列期间所产生的差距减至最小，最好根据以下的计数序列来产生 5 个控制脉冲 I_2 ：

11-11-10-11-11

在图示的此情况下，应指出，在该计数序列期间产生的最大误差被限制在 ± 3.2 秒上，即第二控制脉冲 I_2 周期的 4% 的量级上。

类似地，在图示的情况下，其中第二控制脉冲 I_2 将根据频率为 1Hz 的辅助控制脉冲 I_L 以 $1/8.64\text{Hz}$ 的平均频率来产生，即在发生装置 14 连接到分频电路 4 的最后二进制除法级 4.N 的输出端的情况下（相应于图 1 所示的第一实施形式），该分频比等于 8.64。因此发生装置 14 被设置来持续计数 $n=8$ 及 $n+1=9$ 个辅助控制脉冲 I_L 。

此外，该分频比确定了在 216 秒的一个周期中应产生出 25 个控制脉冲 I_2 。在图示的情况下，在 24 小时期间被重复 400 次的该计数序列将由 25 个计数操作的系列构成。在当前情况下， $n=8$ 及 $n+1=9$ 的辅助控制脉冲 I_L 在 216 秒期间分别被计数 9 及 16 次，以使得第二控制脉冲 I_2 输出的平均频率仍等于 $1/86.4\text{Hz}$ 。

为了使在该计数序列期间所产生的差距减至最小，最好根据以下

的计数序列来产生 25 个控制脉冲 I_2 :

9-8-9-9-8-9-8-9-9-8-9-9-8-9-9-8-9-9-8-9-9-8-9

在图示的此情况下, 应指出, 在该计数序列期间产生的最大误差被限制在 ± 0.48 秒上, 即第二控制脉冲 I_2 周期的 5.5% 的量级上。

- 5 应指出, 通常, 辅助控制脉冲 I_L 的选择一方面确定了第二控制脉冲产生的精度, 另一方面确定了对于计数辅助控制脉冲 I_L 所需的寄存器/计数器的长度。

现在将描述基于上述原理的发生装置 14 的各种实施方案。

- 10 图 4 表示实施根据本发明构成第一实施方案的该发生装置 14 的一个流程图。根据该第一方案, 该发生装置 14 可有利地以包括一个可编程微处理机的集成电路形式来实现。本领域的技术人员将可根据这里提供的的数据来实现微处理机的编程, 以便执行所述功能。

参照图 4 中所示的流程图, 计数序列开始于标号 400 所示的框。

- 15 在框 402 上, 一个计数寄存器 COMPT 以每个辅助控制脉冲 I_L 递增。该计数寄存器 COMPT 包括足够的位数, 以允许至少计数 $n+1$ 个辅助控制脉冲 I_L 。作为例子, 为了能计数 $n+1=87$ 个辅助控制脉冲 I_L , 该计数寄存器 COMPT 包括至少 7 位。

- 20 在框 404 上执行第一检验, 以便检验该计数寄存器 COMPT 的值是否已达到值 n 。只要该计数寄存器 COMPT 的值小于值 n , 它将在框 402 上以每个辅助控制脉冲 I_L 递增, 这由检验框 404 的肯定输出端指示。

当该计数寄存器 COMPT 的值达到值 n 时, 由检验框 404 的否定输出端所指示地, 则在框 406 上执行第二检验, 以便检验该计数寄存器 COMPT 的值是否大于值 n 。

- 25 检验框 406 的否定输出端进行到框 408 上指示的第三检验。在该阶段, 它根据计数序列检验, 计数寄存器 COMPT 是否应停止在值 n 上。如果是肯定, 则在框 410 上、即在计数了 n 个辅助控制脉冲 I_L 后产生控制脉冲 I_2 。在相反的情况下, 计数寄存器 COMPT 将在框 402 上递增, 及在框 406 上执行检验的肯定结果后也在框 410 上、即在计数 $n+1$ 个辅助控制脉冲 I_L 后产生控制脉冲 I_2 。

- 30 在框 410 上产生控制脉冲 I_2 后, 计数寄存器 COMPT 在框 412 上被初始化及程序在框 400 上重新开始。

为了实现在框 408 上所指示的检验, 适合的方式是使用一个代表计数序列的并由此包括与计数操作一样多的入口的表。

最好该表包括代表要执行的计数操作的二进制值, 即譬如如果应进行 n 个辅助控制脉冲 I_L 的计数时的二进制值“0”, 或如果应进行 $n+1$ 个辅助控制脉冲 I_L 的计数时的二进制值“1”。在此情况下, 一个包括与计数操作一样多的位的一个二进制字能使代表计数序列的表方便地实现。

但是在图示的所有情况下不一定要使用代表计数序列的表。如以下参照不同实施例将看到的, 可以考虑一些变型及简化的方式。

应指出, 上述的处理有利地与当前第二时间数据 H_2 同步地执行, 以便保证计数序列不会对它发生失步。还将有利地使用一个寄存正在显示中的第二时间数据 H_2 的寄存器, 以便确定需要执行哪个计数操作。

尤其是, 在使用表的情况下, 包含正在显示中的第二时间数据 H_2 的寄存器允许通过模的简单计算确定表的不同入口的索引值。显然, 用模表示给出被确定数除的余数的算术运算。

在以上已讨论的图示情况下, 即其中第二控制脉冲 I_2 根据 1Hz 的辅助控制脉冲 I_L 以 $1/86.4\text{Hz}$ 的平均频率来产生的情况下, 回忆一下, 计数序列被这样有利地确定, 以致可根据以下的计数序列产生 5 个控制脉冲 I_2 :

86-87-86-87-86

该计数序列也可用具有 5 个入口的表来表示, 有利地, 可借助以下 5 位二进制字来实现:

“0 1 0 1 0”

重新参照图 4, 在框 408 上执行的检验由此可通过在表中检索相应的值来执行。

最好, 将使用包含正在显示中的第二时间数据 H_2 或显示的千分之一日的值 (0 至 9) 的寄存器。因此在该寄存器的值上模 5 的操作能够从表中获得索引值。

在该例中, 对使用表的变换方案在于, 直接使用在包含显示的千分之一日的值的寄存器上模 5 的操作结果。应指出, 在该例中, 以 $n=86$

及 $n=87$ 接连地进行计数。因此，如果检验模 5 的操作结果为偶数时，则可确定应是进行 n 个辅助控制脉冲的计数。相应地，如果检验其操作结果为奇数时，则可确定应是进行 $n+1$ 个辅助控制脉冲的计数。

在以上已讨论的图示情况下，即其中第二控制脉冲 I_2 根据 $1/8\text{Hz}$ 的辅助控制脉冲 I_L 以 $1/86.4\text{Hz}$ 的平均频率来产生的情况下，回忆一下，计数序列被这样有利地确定，以致可根据以下的计数序列产生 5 个控制脉冲 I_2 ：

11-11-10-11-11

该计数序列也可用具有 5 个入口的表来表示，有利地，可借助以下 5 位二进制字来实现：

“1 1 0 1 1”

在此情况下，同样地，最好将使用包含显示的千分之一日的值的寄存器，以便通过模 5 的操作能够从表中获得索引值（0 至 4）。

在以上已讨论的图示情况下，即其中第二控制脉冲 I_2 根据 1Hz 的辅助控制脉冲 I_L 以 $1/8.64\text{Hz}$ 的平均频率来产生的情况下，回忆一下，计数序列被这样有利地确定，以致可根据以下的计数序列产生 25 个控制脉冲 I_2 ：

9-8-9-9-8-9-8-9-9-8-9-9-8-9-9-8-9-9-8-9-9-8-9-9-8-9

该计数序列也可用具有 25 个入口的表来表示，有利地，可借助以下 25 位二进制字来实现：

“1 0 1 1 0 1 0 1 1 0 1 1 0 1 1 0 1 1 0 1 0 1 1 0 1”

重新参照图 4，在框 408 上执行的检验由此可通过在表中检索相应的值来执行。

最好，将使用包含显示的万分之一日的值（0 至 99）的寄存器。因此在该寄存器的值上模 25 的操作能够从表中获得索引值（0 至 24）。

图 5 表示允许输出第二控制脉冲 I_2 的发生装置 14 的第二实施方案。

如图 5 中所示，该发生装置 14 包括设计用于计数 n 个辅助控制脉冲 I_L 的第一计数器 141 及第一计数器 141 的禁止装置 142。禁止装置 142 受辅助控制脉冲 I_L 的控制并位于第一计数器 141 的上游，以便

在后者输入端上周期性地禁止确定数目的辅助控制脉冲 I_L 。在该第一计数器 141 的输出端上输出第二控制脉冲 I_2 。

该禁止装置 142 最好包括：设计用于计数 m 个辅助控制脉冲 I_L 的第二计数器 144；逻辑检测电路 146，它与第二计数器 144 的各个级连接，以便在辅助控制脉冲 I_L 被禁止期间检测后者的 k 个中间状态（在状态 0 至 $m-1$ 中选取）；以及一个标号为 148 的与（ET）逻辑门，它包括 2 个输入端，一个输入端反相地连接到逻辑检测电路 146 的输出端及另一个输入端接收辅助控制脉冲 I_L 。

禁止装置 142 允许周期性地、即在输出 m 个脉冲 I_L 的一个周期上在第一计数器 141 的上游禁止 k 个辅助控制脉冲 I_L 。

当逻辑检测电路 146 检测出 k 个中间状态中的一个时，该电路发送一个禁止信号，用于在一个辅助控制脉冲 I_L 期间阻塞逻辑与门的输出端，以使得第一计数器 141 不能“看见”该脉冲及不能对它计数。

最好这样选择 k 个中间状态，即使得它们彼此等距离，以便使产生的误差减至最小。

在图 5a 中表示出图 5 中所示的第二实施方案第一应用例，它用于这样的图示情况：其中第二控制脉冲 I_2 根据频率为 1Hz 的辅助控制脉冲 I_L 以 1/86.4Hz 的平均频率来产生，即发生装置 14 与分频电路 4 的最后二进制除法级 4.N 的输出端相连接的情况（相应于图 1 中第一实施方式）。

回忆一下，在该情况下辅助控制脉冲 I_L 的频率与第二控制脉冲的频率之间的分频比等于 86.4。因此第一计数器 141 由 $n=86$ 的计数器构成。由此得出，在一个周期（432 秒）、即在输出 432 个辅助控制脉冲 I_L 的期间应禁止 2 个辅助控制脉冲 I_L ，简言之，每 216 个脉冲禁止一个脉冲。为此，第二计数器 144 由 $m=216$ 的计数器构成及逻辑检测电路 146 被设计成检测第二计数器 144 的 $k=1$ 个中间状态（在状态 0 至 215 中选取），在每状态期间在第一计数器 141 上游被禁止 1 个辅助控制脉冲 I_L 。由此在 432 秒的一个周期中，第一计数器 141 仅“看见”430 个脉冲。因而在 432 秒的一个周期中在第一计数器 141 的输出端上输出 5 个控制脉冲 I_2 ，即平均频率为 1/86.4Hz。

86 的计数器可借助设计成在 86 个脉冲后被初始化的 7 位的二进

制计数器方便地实现。同样地, 216 的计数器可借助设计成在 216 个脉冲后被初始化的 8 位的二进制计数器方便地实现。

在图 5b 中表示出图 5 中所示的第二实施方案第二应用例, 它用于这样的图示情况: 其中第二控制脉冲 I_2 根据频率为 1/8Hz 的辅助控制脉冲 I_L 以 1/86.4Hz 的平均频率来产生, 即发生装置 14 与 $N^*=3$ 个附加二进制除法级的输出端相连接的情况(相应于图 2 中第二实施方式)。

回忆一下, 在该情况下辅助控制脉冲 I_L 的频率与第二控制脉冲的频率之间的分频比等于 10.8。因此第一计数器 141 由 $n=10$ 的计数器构成。由此得出, 在一个周期(432 秒)、即在输出 54 个辅助控制脉冲 I_L 的期间应禁止 4 个辅助控制脉冲 I_L , 简言之, 每 27 个脉冲禁止 2 个脉冲。为此, 第二计数器 144 由 $m=27$ 的计数器构成及逻辑检测电路 146 被设计成检测第二计数器 144 的 $k=2$ 个中间状态(最好在状态 0 至 26 中等距离地选取), 在每状态期间在第一计数器 141 上游被禁止 1 个辅助控制脉冲 I_L 。由此在 432 秒的一个周期中, 第一计数器 141 仅“看见”50 个脉冲。因而在 432 秒的一个周期中在第一计数器 141 的输出端上输出 5 个控制脉冲 I_2 , 即平均频率为 1/86.4Hz。

在该例中, 于是, 10 及 27 的计数器分别需要用 4 及 5 位的计数器。

在图 5c 中表示出图 5 中所示的第二实施方案第三应用例, 它用于这样的图示情况: 其中第二控制脉冲 I_2 根据频率为 1/8Hz 的辅助控制脉冲 I_L 以 1/8.64Hz 的平均频率来产生, 即 216 秒的一个周期中有 25 个脉冲, 及发生装置 14 与分频电路 4 的最后二进制除法级 4.N 的输出端相连接的情况(相应于图 1 中第一实施方式)。

回忆一下, 在该情况下辅助控制脉冲 I_L 的频率与第二控制脉冲的频率之间的分频比等于 8.64。因此第一计数器 141 由 $n=8$ 的计数器构成。由此得出, 在一个周期(216 秒)、即在输出 216 个辅助控制脉冲 I_L 的期间应禁止 16 个辅助控制脉冲 I_L , 简言之, 每 27 个脉冲禁止 2 个脉冲。为此, 第二计数器 144 由 $m=27$ 的计数器构成及逻辑检测电路 146 被设计成检测第二计数器 144 的 $k=2$ 个中间状态(最好在状态 0 至 26 中多距离地选取), 在每状态期间在第一计数器 141 上游

被禁止 1 个辅助控制脉冲 I_L 。由此在 216 秒的一个周期中, 第一计数器 141 仅“看见” 200 个脉冲。因而在 216 秒的一个周期中在第一计数器 141 的输出端上输出 25 个控制脉冲 I_2 , 即平均频率为 $1/8.64\text{Hz}$ 。

在该例中, 于是, 8 及 27 的计数器分别需要用 3 及 5 位的计数器。

5 应指出, 可以得到该第二实施方案的许多例子, 但不能全部给出在这里。还应指出, 辅助控制脉冲 I_L 的频率确定了输出第二控制脉冲 I_2 的精度。实际上, 辅助控制脉冲 I_L 的频率愈高, 输出第二控制脉冲 I_2 的精度就愈高。但是, 应注意, 作为负作用, 这涉及使用包括很多级数的计数器。

10 图 6 表示允许输出第二控制脉冲 I_2 的发生装置 14 的第三实施方案。

如图 6 中所示, 该发生装置 14 包括设计用于计数 $n+1$ 个辅助控制脉冲 I_L 的第一计数器 241 及与该第一计数器 241 相连接的初始化装置 242。第二控制脉冲 I_2 在第一计数器 241 的输出端上被输出及用于
15 控制初始化装置 242, 以使用相应于辅助控制脉冲 I_L 的补数的值 k 周期性地第一计数器 241 初始化。

初始化装置 242 最好包括一个设计用于计数 m 个第二控制脉冲 I_2 的第二计数器 244, 及一个初始化电路 246, 后者与第一计数器 241 的各个级相连接, 以便周期性地、即在已输出 m 个脉冲 I_2 后, 用值 k
20 将该第二计数器初始化, 该值 k 相应于为使第一计数器 241 以合适的平均频率输出第二控制脉冲 I_2 所需的辅助控制脉冲 I_L 的补数。

因此, 在产生控制脉冲 I_2 后, 第一计数器 241 被 k 值周期性地初始化, 以便补偿缺少的辅助控制脉冲 I_L 。

在图 6a 中表示出图 6 中所示的第三实施方案的一个应用例, 它
25 用于这样的图示情况: 其中第二控制脉冲 I_2 根据频率为 1Hz 的辅助控制脉冲 I_L 以 $1/86.4\text{Hz}$ 的平均频率来产生, 即发生装置 14 与分频电路 4 的最后二进制除法级 $4.N(4.15)$ 的输出端相连接的情况 (相应于图 1 中第一实施方式)。

回忆一下, 在该情况下辅助控制脉冲 I_L 的频率与第二控制脉冲的频率之间的分频比等于 86.4。
30

第一计数器 241 也由 $n+1=87$ 的计数器构成。由此得出, 每 432

秒用相应于辅助控制脉冲 I_L 的补数的初始值 $k=3$ 使该计数器初始化。为此,第二计数器 244 由 $m=5$ 的计数器构成及初始化电路 246 被设计成在第一计数器 241 的头两级注入作为初始值的值 $k=3$ 。

由此,在 432 秒的一个周期中,第一计数器 241 可计数 435 个脉冲。因而在 432 秒的一个周期中在第一计数器 241 的输出端上输出 5 个控制脉冲 I_2 , 即平均频率为 $1/86.4\text{Hz}$ 。

在该例中,于是,87 及 5 的计数器分别需要用 7 及 3 位的计数器。

最后应指出,在不偏离本发明的范围的情况下对根据本发明的時計可作出多种变更和/或改进。尤其应再指出,可设置附加的显示装置,以允许形成及显示基于 H-M-S 系统或十进制系统的附加时间数据。

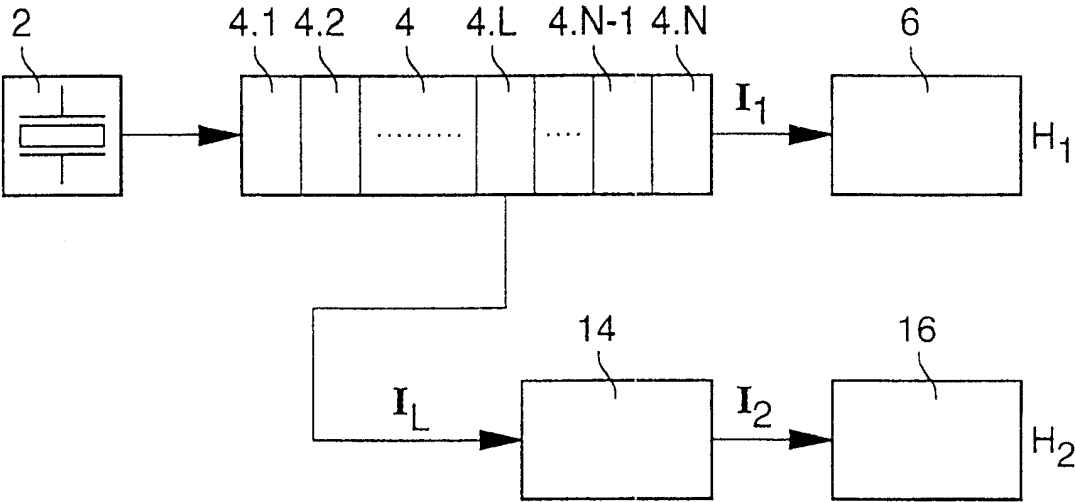


图 1

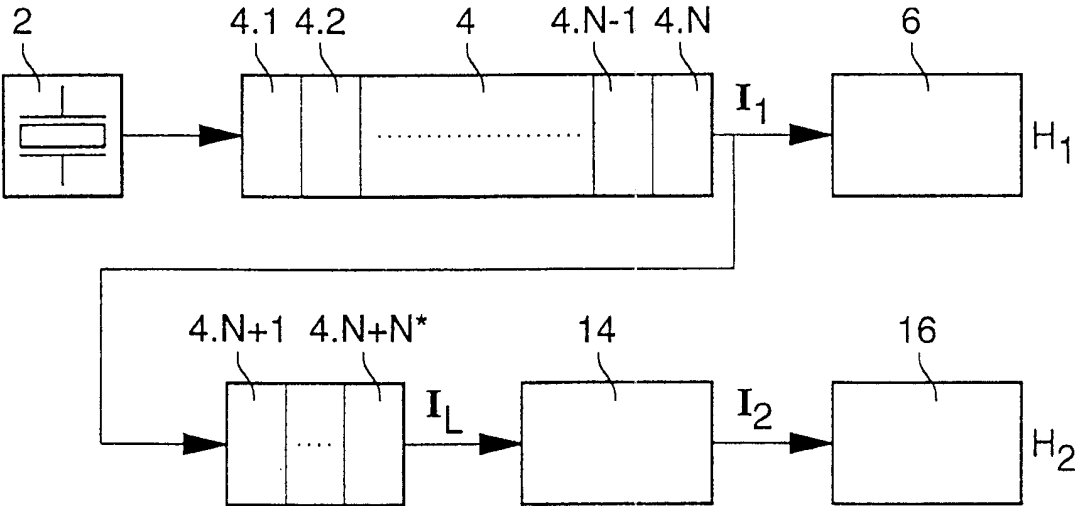


图 2

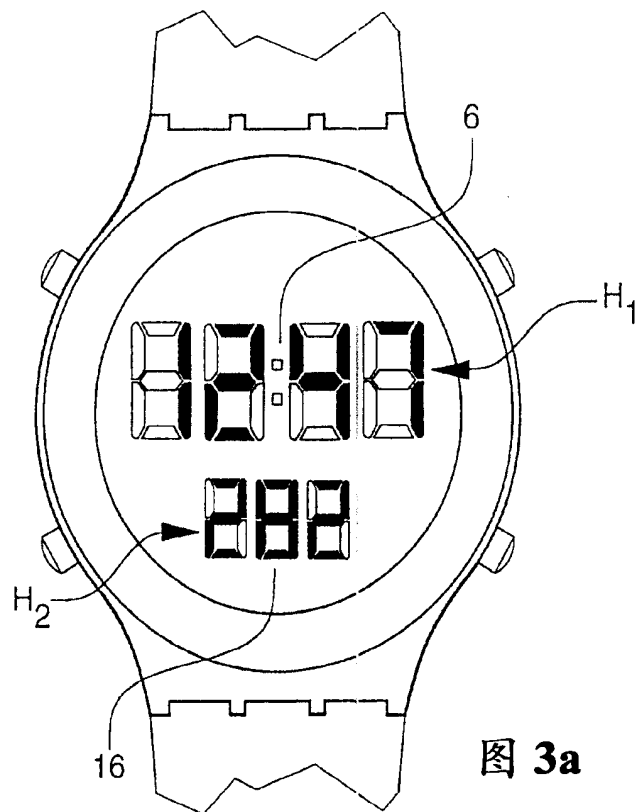


图 3a

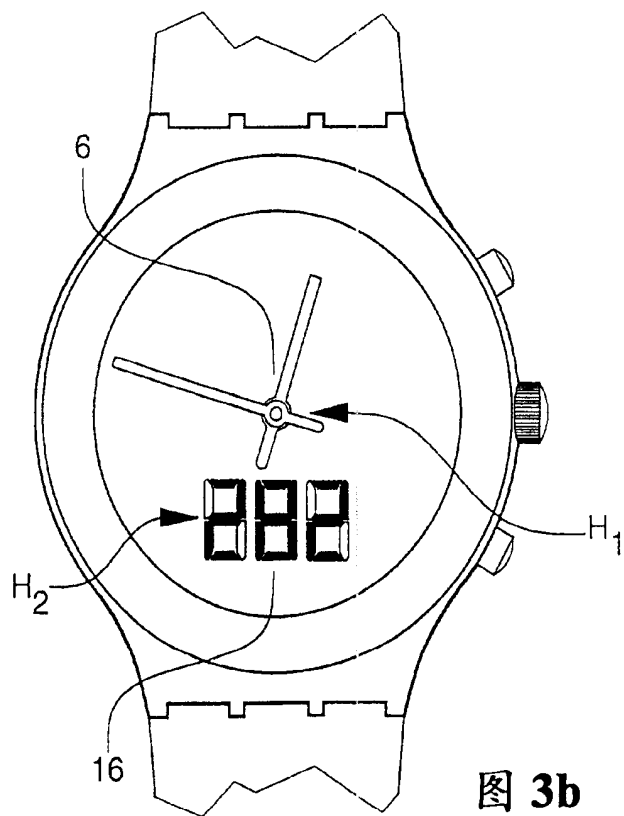


图 3b

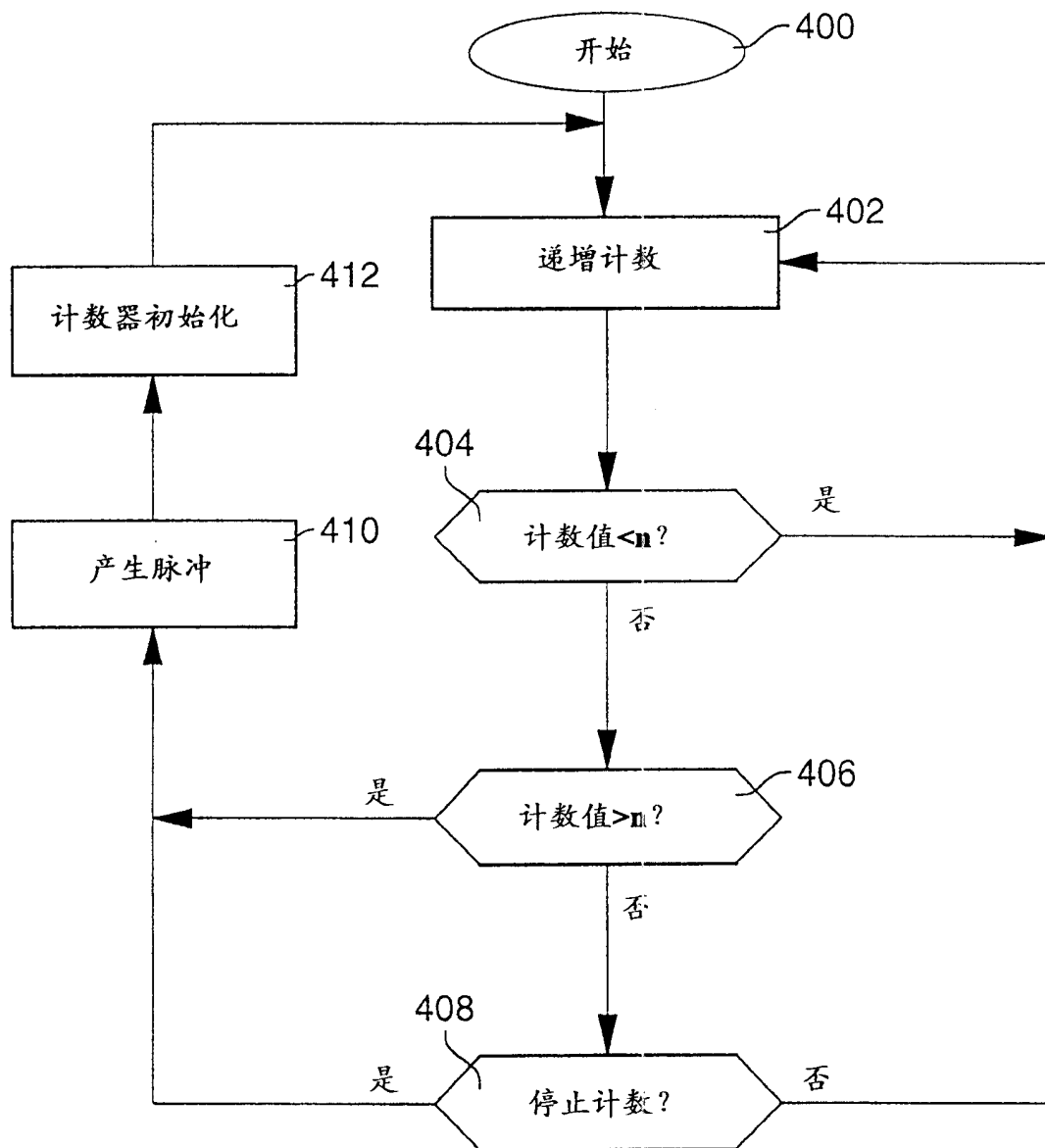


图 4

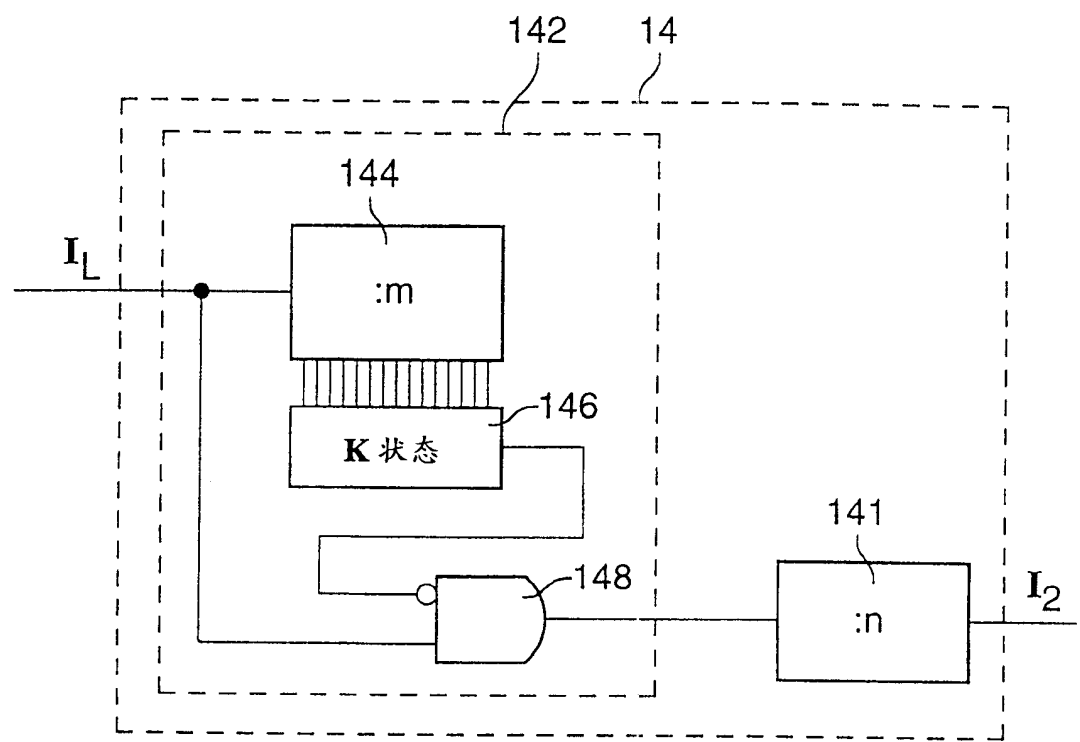


图 5

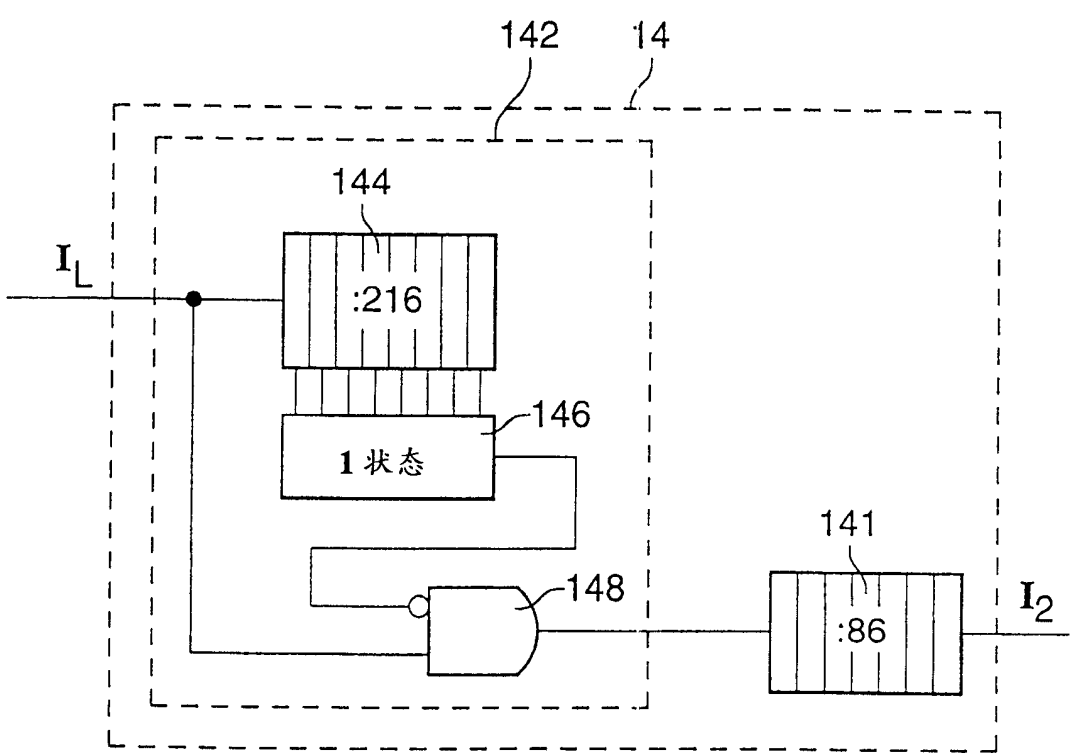


图 5a

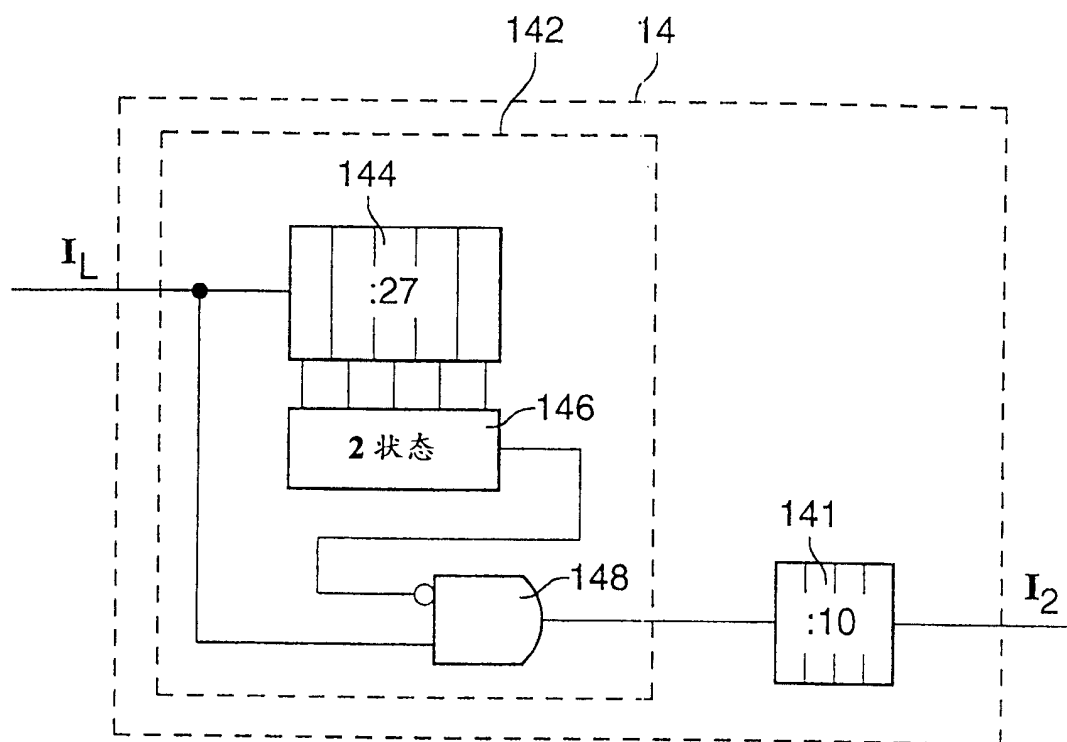


图 5b

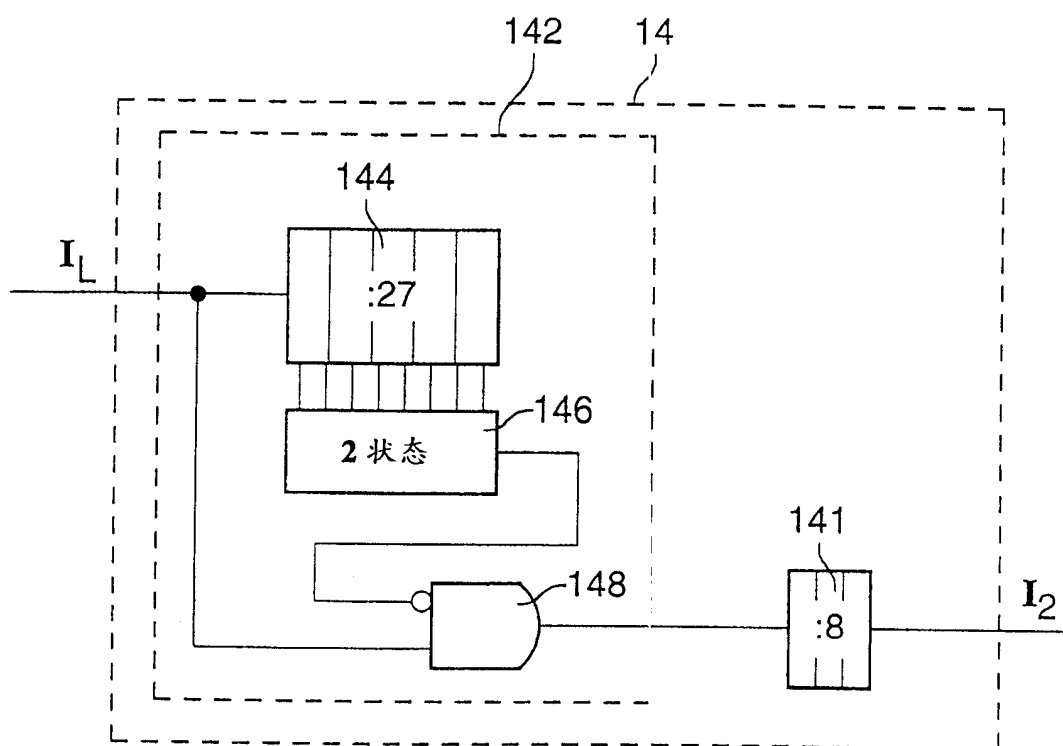


图 5c

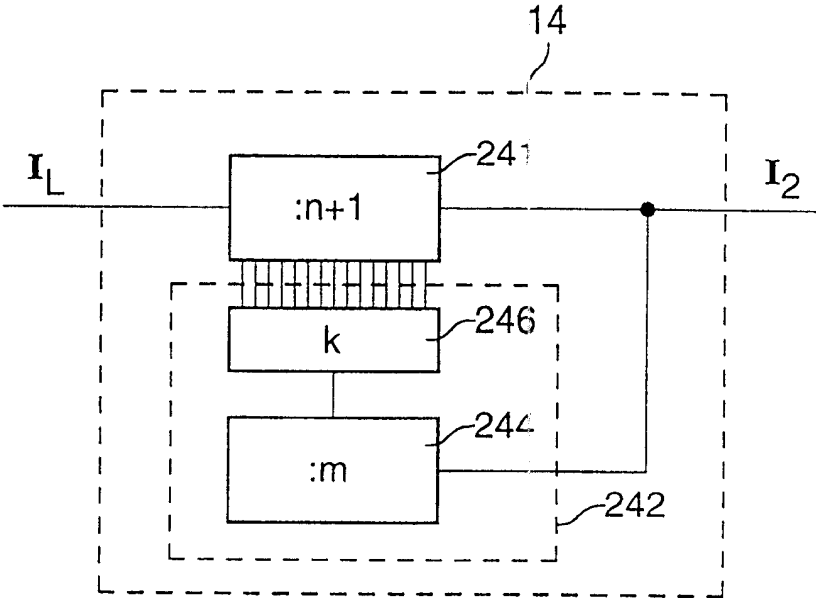


图 6

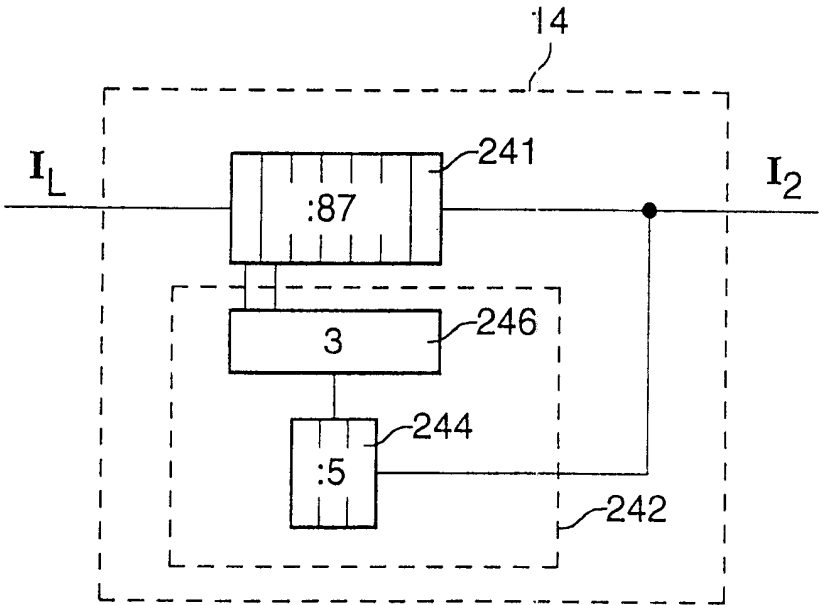


图 6a