



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년01월14일

(11) 등록번호 10-1584917

(24) 등록일자 2016년01월06일

(51) 국제특허분류(Int. Cl.)

H03H 17/00 (2006.01)

(21) 출원번호 10-2014-0138240

(22) 출원일자 2014년10월14일

심사청구일자 2014년10월14일

(56) 선행기술조사문헌

JP2007166535 A

KR100907961 B1

KR1020080053327 A

(73) 특허권자

세종대학교산학협력단

서울특별시 광진구 능동로 209 (군자동, 세종대학교)

(72) 발명자

이성주

서울 광진구 독성로35길 32, 308동 1110호 (자양동, 우성3차아파트)

임혁진

전남 목포시 영산로317번길 9, 602호 (용당동, 그랜드파크맨션)

(74) 대리인

특허법인태백

전체 청구항 수 : 총 6 항

심사관 : 김태영

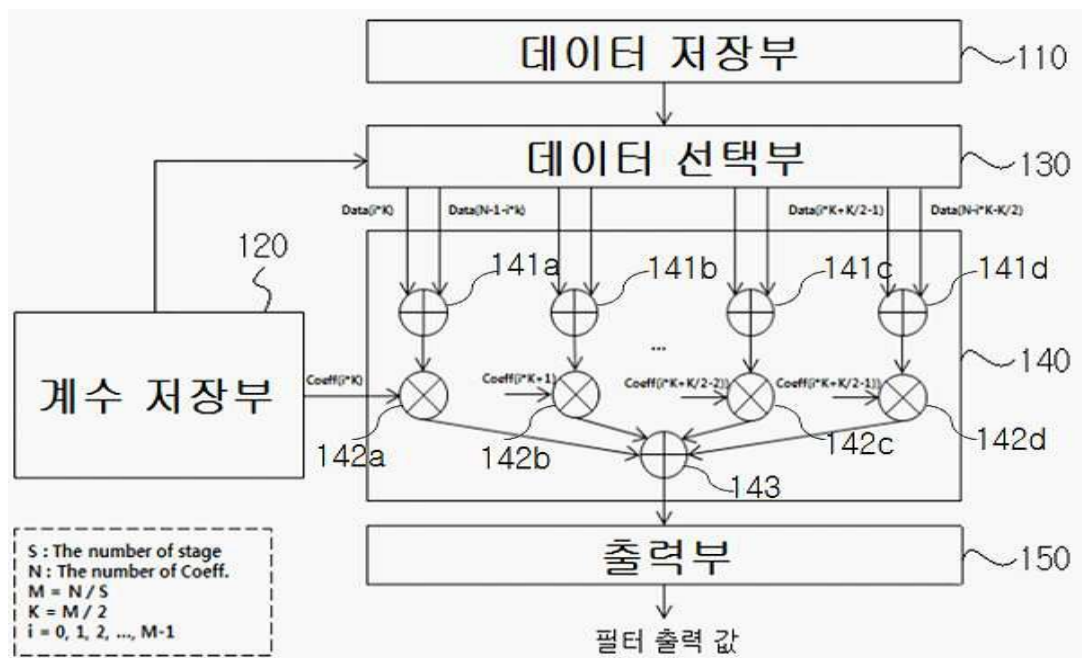
(54) 발명의 명칭 멀티 스테이지 필터 장치 및 그것을 이용한 필터링 방법

(57) 요약

본 발명은 멀티 스테이지 필터 장치 및 그것을 이용한 필터링 방법에 관한 것으로, 본 발명의 일 실시예에 따른 멀티 스테이지 필터 장치는 복수의 데이터를 입력받아 저장하는 데이터 저장부, 상기 데이터와 연산될 계수를 저장하는 계수 저장부, 상기 복수의 데이터 중에서 타임 슬롯 당 처리할 하나 이상의 데이터를 선택하여 출력하는

(뒷면에 계속)

대표도 - 도3



데이터 선택부, 복수의 덧셈기와 복수의 곱셈기를 포함하며, 상기 선택된 데이터와 상기 계수를 이용하여 필터링하는 공유 필터부, 상기 공유 필터부로부터 출력된 필터 값을 타임 슬롯 간격으로 출력하는 출력부를 포함하며, 상기 데이터 선택부는, 연산될 계수의 개수에 따라 상기 공유 필터부로 타임 슬롯당 출력할 데이터의 개수를 결정한다.

이와 같이 본 발명에 의하면, 멀티 스테이지 필터 장치 및 그것을 이용한 필터링 방법을 이용함으로써, 다양한 기능을 수행하는 필터를 공유하고, 공유 필터가 복수의 타임 슬롯으로 나누어 데이터를 처리하도록 하여 디지털 필터의 복잡도를 최소화 할 수 있다.

이 발명을 지원한 국가연구개발사업

과제고유번호	1345208112
부처명	교육부
연구관리전문기관	한국연구재단
연구사업명	일반연구자지원사업
연구과제명	SYAN(Ship and Yard Area network)에서의 최적 무선통신기법에 관한 연구
기 여 율	1/2
주관기관	세종대학교 산학협력단
연구기간	2013.11.01 ~ 2014.10.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711014058
부처명	미래창조과학부
연구관리전문기관	정보통신산업진흥원(NIPA)
연구사업명	정보통신기술인력양성
연구과제명	에너지-IT 융합 핵심기술 연구
기 여 율	1/2
주관기관	국민대학교 산학협력단
연구기간	2009.03.01 ~ 2014.12.31

명세서

청구범위

청구항 1

복수의 데이터를 입력받아 저장하는 데이터 저장부,
 상기 데이터와 연산될 계수를 저장하는 계수 저장부,
 상기 복수의 데이터 중에서 타임 슬롯 당 처리할 하나 이상의 데이터를 선택하여 출력하는 데이터 선택부,
 복수의 덧셈기와 복수의 곱셈기를 포함하며, 상기 선택된 데이터와 상기 계수를 이용하여 필터링하는 공유 필터부, 그리고
 상기 공유 필터부로부터 출력된 필터 값을 타임 슬롯 간격으로 출력하는 출력부를 포함하며,
 상기 데이터 선택부는,
 상기 계수의 개수에 따라 상기 공유 필터부로 타임 슬롯당 출력할 데이터의 개수를 결정하되,
 사용자로부터 상기 계수의 개수 정보를 입력받는 경우, 상기 계수의 개수가 기준 값보다 크면 타임 슬롯당 상기 공유 필터부로 출력하는 데이터의 개수를 줄이고, 상기 계수의 개수가 상기 기준 값보다 작거나 같으면 타임 슬롯당 상기 공유 필터부로 출력하는 데이터의 개수를 증가시키며,
 상기 계수의 개수 또는 상기 선택되는 데이터의 개수에 따라 상기 복수의 덧셈기 중 일부의 덧셈기 또는 전체의 덧셈기에 상기 선택된 데이터를 출력하는 멀티 스테이지 필터 장치.

청구항 2

제1항에 있어서,
 상기 공유 필터부는,
 상기 선택된 데이터를 입력받아 합산하는 복수의 덧셈기,
 상기 복수의 덧셈기를 통하여 각각 합산된 값을 상기 계수와 곱셈하는 복수의 곱셈기,
 각각의 곱셈 결과를 합산하는 합산기를 포함하는 멀티 스테이지 필터 장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서,
 상기 공유 필터부는 CIC 필터인 멀티 스테이지 필터 장치.

청구항 6

복수의 데이터를 입력받아 저장하는 단계,
 상기 데이터와 연산될 계수를 저장하는 단계,
 상기 복수의 데이터 중에서 타임 슬롯 당 처리할 하나 이상의 데이터를 선택하여 출력하는 단계,
 복수의 덧셈기와 복수의 곱셈기를 포함하는 공유 필터부를 통하여 상기 선택된 데이터와 상기 계수를 입력하여

필터링하는 단계, 그리고

상기 공유 필터부로부터 출력된 필터 값을 타임 슬롯 간격으로 출력하는 단계를 포함하며,

상기 데이터를 선택하여 출력하는 단계는,

상기 계수의 개수에 따라 상기 공유 필터부로 타임 슬롯당 출력할 데이터의 개수를 결정하되,

사용자로부터 상기 계수의 개수 정보를 입력받는 경우, 상기 계수의 개수가 기준 값보다 크면 타임 슬롯당 상기 공유 필터부로 출력하는 데이터의 개수를 줄이고, 상기 계수의 개수가 상기 기준 값보다 작거나 같으면 타임 슬롯당 상기 공유 필터부로 출력하는 데이터의 개수를 증가시키며,

상기 계수의 개수 또는 상기 선택되는 데이터의 개수에 따라 상기 복수의 덧셈기 중 일부의 덧셈기 또는 전체의 덧셈기에 상기 선택된 데이터를 출력하는 멀티 스테이지 필터 장치를 이용한 필터링 방법.

청구항 7

제6항에 있어서,

상기 공유 필터부는,

상기 선택된 데이터를 입력받아 합산하는 복수의 덧셈기,

상기 복수의 덧셈기를 통하여 각각 합산된 값을 상기 계수와 곱셈하는 복수의 곱셈기,

각각의 곱셈 결과를 합산하는 합산기를 포함하는 멀티 스테이지 필터 장치를 이용한 필터링 방법.

청구항 8

삭제

청구항 9

삭제

청구항 10

제6항에 있어서,

상기 공유 필터부는 CIC 필터인 멀티 스테이지 필터 장치를 이용한 필터링 방법.

발명의 설명

기술 분야

[0001] 본 발명은 멀티 스테이지 필터 장치 및 그것을 이용한 필터링 방법에 관한 것으로서, 더욱 상세하게는 다기능을 수행하는 필터를 공유하고, 복수의 타임 슬롯으로 나누어 필터링하여 하드웨어 복잡도를 낮춘 멀티 스테이지 필터 장치 및 그것을 이용한 필터링 방법에 관한 것이다.

배경 기술

[0002] 디지털 필터는 아날로그 필터에 비하여 온도 변동이나 경년 변화에 의한 품질 열화가 없으므로 신뢰성이 높은 필터링을 제공한다. 그리고 비트의 길이가 길어질수록 더 정밀한 필터를 구현할 수 있으며, 필터의 계수 값을 적절하게 변경함으로써 필터의 특성을 쉽게 수정할 수 있다.

[0003] 또한 디지털 필터는 하드웨어와 소프트웨어로 실현이 가능하며, 하드웨어로 실현할 경우 논리회로와 메모리로 구성되며, 대규모 집적 회로화(LSI, large scale integration)가 용이하다. 그리고 품질의 균일성과 안정성이 보장되며, 소형화할 수 있고, 비용이 저렴하여 경제적이다. 반면 소프트웨어로 실현할 경우, 필터의 특성을 쉽게 수정할 수 있다.

[0004] 일반적인 중앙 처리 장치(CPU)를 이용하여 디지털 필터를 구현할 경우, 처리 속도가 매우 느리므로 신호처리 전용 마이크로프로세서(DSP, Digital Signal Processor) 또는 대규모 집적회로인 LSI 등을 이용하여 디지털 필터를 구현한다.

- [0005] 그러나 디지털 필터는 유한 개의 비트를 이용하여 연속적인 값을 표현하는 한계로 인하여 오차가 발생한다. 이러한 유한어장효과(Finite Wordlength)로 인하여 필터의 계수가 유한비트로 근사화되므로 디지털 필터는 오버플로우나 반올림 오차에 취약하다. 또한 고속 푸리에 변환(FFT, Fast Fourier Transform)를 이용하거나 마이크로프로세서(DSP) 칩을 이용하므로 많은 전력이 소모된다. A/D변환기와 제어장치가 필요하므로 낮은 차수의 필터를 구성할 때 또는 가변성이나 다양성을 요구하지 않는 필터를 구성할 때에는 소형화의 효과가 감소한다.
- [0006] 그리고 복잡도가 높은 필터를 이용하여 하드웨어를 구현하는 경우, 하드웨어의 복잡도도 증가한다. 이러한 문제점을 해결하고자 복잡도가 낮은 CIC(Cascade Integrator Comb) 필터를 이용하지만, 이는 필터의 정확성이 낮아 스펙트럼 분석기의 성능을 저하시키는 단점이 있다.
- [0007] 본 발명의 배경이 되는 기술은 한국등록특허 제10-1421580호(2014.07.22 공고)에 개시되어 있다.

발명의 내용

해결하려는 과제

- [0008] 본 발명은 다기능을 수행하는 필터를 공유하고, 복수의 타임 슬롯으로 나누어 필터링하여 하드웨어 복잡도를 낮춘 멀티 스테이지 필터 장치 및 그것을 이용한 필터링 방법을 제공하는데 목적이 있다.

과제의 해결 수단

- [0009] 이러한 기술적 과제를 이루기 위한 본 발명의 실시예에 따른 멀티 스테이지 필터 장치는 복수의 데이터를 입력받아 저장하는 데이터 저장부, 상기 데이터와 연산될 계수를 저장하는 계수 저장부, 상기 복수의 데이터 중에서 타임 슬롯당 처리할 하나 이상의 데이터를 선택하여 출력하는 데이터 선택부, 복수의 덧셈기와 복수의 곱셈기를 포함하며, 상기 선택된 데이터와 상기 계수를 이용하여 필터링하는 공유 필터부, 그리고 상기 공유 필터부로부터 출력된 필터 출력 값을 타임 슬롯 간격으로 출력하는 출력부를 포함하며, 상기 데이터 선택부는, 연산될 계수의 개수에 따라 상기 공유 필터부로 타임 슬롯당 출력할 데이터의 개수를 결정한다.
- [0010] 또한, 상기 공유 필터부는, 상기 선택된 데이터 복수 개를 입력받아 합산하는 복수의 덧셈기, 상기 복수의 덧셈기를 통하여 각각 합산된 값을 상기 계수와 곱셈하는 복수의 곱셈기, 각각의 곱셈 결과를 합산하는 합산기를 포함할 수 있다.
- [0011] 또한, 상기 데이터 선택부는, 상기 복수의 덧셈기 중 일부의 덧셈기에 상기 선택된 데이터를 출력할 수 있다.
- [0012] 또한, 상기 데이터 선택부는, 필터링에 사용될 상기 계수의 개수 정보를 입력받아, 상기 계수의 개수가 기준 값보다 크면 타임 슬롯당 상기 공유 필터부로 출력하는 데이터의 개수를 줄이고, 상기 계수의 개수가 상기 기준 값보다 작거나 같으면 타임 슬롯당 상기 공유 필터부로 출력하는 데이터의 개수를 증가시킬 수 있다.
- [0013] 또한, 상기 공유 필터부는 CIC 필터일 수 있다.
- [0014] 본 발명의 다른 실시예에 따라 멀티 스테이지 필터 장치를 이용한 필터링 방법은 복수의 데이터를 입력받아 저장하는 단계, 상기 데이터와 연산될 계수를 저장하는 단계, 상기 복수의 데이터 중에서 타임 슬롯당 처리할 하나 이상의 데이터를 선택하여 출력하는 단계, 복수의 덧셈기와 복수의 곱셈기를 포함하는 공유 필터부를 통하여 상기 선택된 데이터와 상기 계수를 입력하여 필터링하는 단계, 그리고 상기 공유 필터부로부터 출력된 필터 출력 값을 타임 슬롯 간격으로 출력하는 단계를 포함하며, 상기 데이터를 선택하여 출력하는 단계는, 연산될 계수의 개수에 따라 상기 공유 필터부로 타임 슬롯당 출력할 데이터의 개수를 결정한다.

발명의 효과

- [0015] 따라서 본 발명에 따르면 멀티 스테이지 필터 장치 및 그것을 이용한 필터링 방법을 이용함으로써, 다양한 기능을 수행하는 필터를 공유하고, 공유 필터가 복수의 타임 슬롯으로 나누어 데이터를 처리하도록 하여 디지털 필터의 복잡도를 최소화 할 수 있다.

도면의 간단한 설명

- [0016] 도 1은 본 발명의 실시예에 따른 멀티 스테이지 필터 장치를 설명하기 위한 구성도이다.
- 도 2는 본 발명의 실시예에 따른 멀티 스테이지 필터 장치를 이용한 필터링 방법을 설명하기 위한 순서도이다.

도 3은 본 발명의 실시예에 따른 멀티 스테이지 필터 장치의 구성을 나타낸 도면이다.

도 4는 본 발명의 실시예에 따른 멀티 스테이지 필터 장치를 적용한 디지털 스펙트럼 분석 장치를 나타낸 예시도이다.

도 5a 및 5b는 본 발명의 실시예에 따른 멀티 스테이지 필터 장치를 적용한 디지털 스펙트럼 분석 장치의 스펙트럼 분석 방법을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0018] 이하 첨부된 도면을 참조하면서 본 발명에 따른 바람직한 실시예를 상세히 설명하기로 한다.
- [0019] 도 1은 본 발명의 실시예에 따른 멀티 스테이지 필터 장치를 설명하기 위한 구성도이다.
- [0020] 도 1에 나타난 것처럼, 멀티 스테이지 필터 장치는 데이터 저장부(110), 계수 저장부(120), 데이터 선택부(130), 공유필터부(140), 출력부(150)를 포함한다.
- [0021] 먼저, 데이터 저장부(110)는 복수의 데이터를 입력받아 저장한다. 여기서, 복수의 데이터는 필터링 대상이 되는 주파수 대역이 포함된 신호데이터이다.
- [0022] 그리고 계수 저장부(120)는 데이터와 연산될 계수를 저장한다. 그리고 타임 슬롯당 데이터와 연산할 계수를 선택하여 공유필터부(140)로 출력한다.
- [0023] 다음으로 데이터 선택부(130)는 연산될 계수의 개수를 기준치와 비교하여 공유필터부(140)가 타임 슬롯당 처리할 데이터의 개수를 결정한다. 그리고 한 타임 슬롯당 처리할 개수만큼 데이터를 선택하여 공유필터부(140)로 출력한다. 공유필터부(140)가 한 타임 슬롯당 처리하는 데이터 개수를 조절함으로써 필터의 전체적인 복잡도를 조절할 수 있다.
- [0024] 데이터 선택부(130)가 한 번의 타임 슬롯 동안 처리할 데이터의 개수를 결정하면, 계수 저장부(120)는 데이터 선택부(130)로부터 결정된 데이터의 개수에 대응하는 개수의 계수를 공유필터부(140)로 출력한다.
- [0025] 데이터 선택부(130)가 데이터 저장부(110)에 저장된 데이터를 처리하는 경우, 계수 저장부(120)는 공유필터부(140)에서 데이터 처리를 위하여 곱셈기로 계수를 출력한다.
- [0026] 그리고 공유필터부(140)는 계수 저장부(120)로부터 출력된 계수를 이용하여 데이터 선택부(130)로부터 출력된 데이터를 처리한다. 공유필터부(140)는 복수의 덧셈기, 곱셈기, 합산기를 포함하여 구성된다. 덧셈기를 이용하여 복수 개의 선택된 데이터를 입력받아 덧셈 연산하고, 곱셈기를 이용하여 각각 합산된 값을 해당하는 계수와 곱셈 연산한다. 그리고 합산기는 각각의 곱셈기가 연산한 곱셈 결과를 합산한다.
- [0027] 또한 공유필터부(140)는 계수 저장부(120)로부터 출력된 계수에 따라 다양한 필터 기능을 수행할 수 있으며, CIC 필터의 기능을 수행하여 데이터에 포함된 허수 부분을 제거할 수도 있다.
- [0028] 그리고 공유필터부(140)는 데이터를 복수의 타임 슬롯으로 나누어 처리할 때, 사용하지 않는 덧셈기 또는 곱셈기가 생길 수 있다. 이 경우, 공유필터부(140)는 점유되지 않은 덧셈기 또는 곱셈기를 다른 프로그램 또는 시스템이 이용할 수 있도록 공유될 수 있다.
- [0029] 마지막으로 출력부(150)는 공유필터부(140)로부터 출력된 필터 출력 값을 출력한다. 출력부(150)는 공유필터부(140)의 합산기를 통과하여 합산된 필터링 결과를 타임 슬롯 간격으로 출력한다. 또한 출력부(150)는 복수의 타임 슬롯 동안 공유필터부(140)에서 처리된 데이터를 누적하고, 지연시켜 출력할 수도 있다.
- [0030] 이하에서는 도 2 및 도 3을 통하여 본 발명의 실시예에 따른 멀티 스테이지 필터 장치를 이용한 필터링 방법에 대하여 더욱 상세하게 설명한다.
- [0031] 도 2는 본 발명의 실시예에 따른 멀티 스테이지 필터 장치를 이용한 필터링 방법을 설명하기 위한 순서도이다.

도 3은 본 발명의 실시예에 따른 멀티 스테이지 필터 장치의 구성을 나타낸 도면이다.

- [0032] 먼저, 데이터 저장부(110)는 처리 대상이 되는 복수의 데이터를 입력받아 저장한다(S210). 데이터 저장부(110)는 입력 신호 생성부(미도시)로부터 샘플 신호를 가공한 입력신호를 데이터로 입력받아 저장할 수 있다.
- [0033] 그리고 계수 저장부(120)는 데이터 저장부(110)에 저장된 데이터와 연산될 계수를 저장한다(S220). 계수 저장부(120)에 저장되어 있는 서로 다른 계수를 이용하여 공유필터부(140)가 수행하는 필터의 기능을 제어할 수 있다. 계수 저장부(120)는 계수 저장부(120)에 저장된 계수를 이용하여 공유필터부(140)가 저역 필터(LPF, Low Pass Filter), 고역 필터(HPF, High Pass Filter), 대역 필터(BPF, Band Pass Filter), 대역 소거 필터(BSF, Band Stop Filter), CIC(Cascade Integrator Comb) 필터의 기능을 수행하도록 제어할 수 있다.
- [0034] 다음으로 데이터 선택부(130)는 계수 저장부(120)에 저장되어 있는 계수의 개수와 기준치를 비교한다(S230). 비교결과, 저장되어 있는 계수의 개수가 기준치보다 클 경우, 데이터 선택부(130)는 후술할 S240 단계를 실행한다.
- [0035] 반면, 계수 저장부(120)에 저장되어 있는 계수가 기준치보다 적을 경우, 데이터 선택부(130)는 후술할 S250 단계를 바로 실행한다.
- [0036] 또한 계수의 개수가 기준치보다 작지만 데이터의 크기 또는 개수가 또 다른 기준치보다 클 경우, 데이터 선택부(130)는 계수의 개수가 적더라도 후술할 S240 단계를 실행한다. 공유필터부(140)가 복수의 타임 슬롯으로 나누어 데이터를 처리하도록 하여 데이터의 크기 또는 개수로 인해 공유필터부(140)의 복잡도가 증가하는 현상을 방지할 수 있다.
- [0037] 여기서, 기준치는 당업자라면 용이하게 설계 변경이 가능하다.
- [0038] 다음으로, 계수의 개수가 기준치보다 많은 경우, 공유필터부(140)로 하여금 복수의 타임 슬롯으로 나누어 데이터를 처리하기 위하여 데이터 선택부(130)는 복수의 타임 슬롯을 설정한다(S240). 복수의 타임 슬롯으로 나누는 것은 공유필터부(140)의 복잡도를 낮추기 위함이고, 타임 슬롯의 개수는 데이터 선택부(130)에서 비교한 계수의 개수를 이용하여 결정할 수 있다.
- [0039] 그리고 데이터 선택부(130)는 공유필터부(140)가 타임 슬롯당 처리할 데이터를 선택하여 공유필터부(140)로 출력한다(S250). 데이터 선택부(130)는 데이터 저장부(110)에 저장된 복수의 데이터 중에서 타임 슬롯 별로 각각의 타임 슬롯에 처리할 데이터를 선택하고, 선택된 데이터를 공유필터부(140)로 출력한다.
- [0040] 데이터 선택부(130)가 S240 단계를 실행한 경우, 데이터 선택부(130)는 S240 단계에서 설정된 타임 슬롯의 개수를 이용하여 한 타임 슬롯 당 처리할 데이터의 개수를 계산하고, 한 타임 슬롯 당 처리할 데이터의 개수만큼 데이터를 선택하여 공유필터부(140)로 출력한다.
- [0041] 반면, 계수 저장부(120)에 저장되어 있는 계수가 기준치보다 적은 경우 즉 S250 단계에서는, 데이터 선택부(130)는 공유필터부(140)가 한 번의 타임 슬롯 동안 데이터 저장부(110)에 저장된 데이터를 처리하도록 할 수도 있다. 이때, 데이터 선택부(130)는 한 번의 타임 슬롯에 처리할 데이터로 데이터 저장부(110)에 저장되어 있는 모든 데이터를 선택한다.
- [0042] 도 3과 같이, 공유필터부(140)가 4개의 덧셈기(141a, 141b, 141c, 141d)로 구성되고, 계수의 개수가 기준치보다 작은 경우에는 4개의 덧셈기(141a, 141b, 141c, 141d)를 한 번에 사용하여 덧셈 연산을 수행할 수 있다.
- [0043] 반면, 계수의 개수가 기준치보다 큰 경우에는 4개의 덧셈기(141a, 141b, 141c, 141d) 중에서 2개의 덧셈기(141a, 141b)만 사용하고, 공유필터부(140)를 2개의 타임슬롯으로 나누어 덧셈 연산을 수행할 수 있다. 이와 같이 일부의 덧셈기에만 데이터를 출력하여 일부의 덧셈기만 가용하는 것은 공유필터부(140)의 전체적인 복잡도를 낮추기 위함이다.
- [0044] 또한 기준치를 각각 복수 개로 설정하여, 계수의 개수에 따라서 타임 슬롯 및 슬롯 당 입력되는 데이터의 개수를 조절할 수 있다.
- [0045] 그리고 계수 저장부(120)는 타임 슬롯 별로 데이터와 연산될 계수를 선택한다(S260). 여기서 데이터는 데이터 선택부(130)로부터 해당 타임 슬롯에 처리되도록 S250 단계에서 선택된 것이며, 계수는 타임 슬롯 별로 공유필터부(140)의 각각의 곱셈기에서 각각의 데이터와 연산될 계수를 의미한다.
- [0046] 계수 저장부(120)는 데이터 선택부(130)에서 선택된 데이터의 개수에 대응하는 계수의 계수를 선택하고, 선택된

계수를 각각의 곱셈기(142a, 142b, 142c, 142d)로 출력한다. 각각의 곱셈기(142a, 142b, 142c, 142d)는 서로 다른 계수를 가질 수 있다.

[0047] 공유필터부(140)가 한 번의 타임 슬롯으로 데이터를 처리하도록 데이터 선택부(130)가 데이터 저장부(110)에 저장된 모든 데이터를 한 번의 타임 슬롯에 선택하는 경우, 계수 저장부(120)는 데이터의 개수와 동일한 개수의 계수를 선택할 수 있다.

[0048] 또한 공유필터부(140)가 복수의 타임 슬롯으로 나누어 데이터를 처리하도록 데이터 선택부(130)는 데이터 저장부(110)에 저장된 데이터를 복수의 타임 슬롯으로 나누어 데이터를 선택할 수도 있다. 이 때, 데이터 선택부(130)가 세분화 하여 타임 슬롯을 설정하는 경우, 공유 필터부(140)에서 가용되는 덧셈기 및 곱셈기 수는 적어지고, 타임 슬롯의 개수는 많아진다. 또한 데이터 선택부(130)가 복수의 타임 슬롯으로 나누어 데이터를 선택하는 경우, 계수 저장부(120)는 한 타임 슬롯에 처리되는 데이터의 개수의 배수에 해당하는 개수만큼의 계수를 선택할 수 있다.

[0049] 공유필터부(140)는 곱셈기(142a, 142b, 142c, 142d)를 복수의 단으로 구성하여 데이터를 반복하여 곱셈 연산 할 수 있으며, 이때 계수 저장부(120)는 곱셈기(142a, 142b, 142c, 142d)의 개수만큼 계수를 선택하여 공유필터부(140)로 출력한다.

[0050] 그리고 데이터 선택부(130)는 선택한 데이터를 공유필터부(140)의 복수의 덧셈기 중에서 일부 또는 전체의 덧셈기에 출력한다. 입력되는 데이터의 개수가 모든 덧셈기를 사용하지 않아도 될 만큼 작을 경우, 데이터 선택부(130)는 공유필터부(140)의 모든 덧셈기로 데이터를 출력하지 않고, 일부의 덧셈기에만 데이터를 출력할 수 있다.

[0051] 공유필터부(140)를 복수의 타임 슬롯으로 나누어 데이터 선택부(130)가 일부의 덧셈기 또는 곱셈기에만 데이터를 출력하여 일부의 덧셈기 또는 곱셈기만 사용할 경우, 점유되지 않는 덧셈기와 곱셈기는 다른 프로그램이나 시스템에서 사용할 수 있도록 공유한다.

[0052] 또한 공유필터부(140)는 데이터 선택부(130) 및 계수 저장부(120)로부터 선택 받은 데이터와 계수를 이용하여 필터링한다(S270). 데이터 선택부(130)에서 선택 받은 데이터는 공유필터부(140)의 덧셈기를 통하여 두 개의 데이터씩 덧셈 연산되고, 곱셈기는 덧셈기를 통하여 합산된 값을 계수 저장부(120)에서 출력된 계수와 곱셈 연산한다. 그리고 복수의 곱셈기로부터 출력된 곱셈 결과는 합산기(143)를 통하여 합산된다.

[0053] 이때, 데이터 선택부(130)가 데이터를 출력한 덧셈기만을 이용하여 필터링을 수행한다. 그리고 데이터 선택부(130)가 데이터를 복수의 단으로 나누어 선택하는 경우, 공유필터부(140)는 각각의 덧셈기를 여러 번 반복하여 이용할 수도 있다.

[0054] 마지막으로 출력부(150)는 공유필터부(140)에 의하여 필터링 된 필터 출력 값을 타임 슬롯 간격으로 출력한다(S280). 이때, 출력부(150)는 복수의 타임 슬롯 동안 공유필터부(140)에서 처리된 연산 결과를 일시적으로 저장한 후 누적하며, 지연시켜 출력 할 수 있다.

[0055] 본 발명의 일 실시예에 따른 멀티 스테이지 필터 장치는 필터를 사용하는 다양한 장치에 적용될 수 있으며, 특히 디지털 스펙트럼 분석 장치에도 적용이 가능하다.

[0056] 이하에서는 도 4 내지 도 5b를 통하여, 본 발명의 실시예에 따른 멀티 스테이지 필터 장치(100)를 적용한 디지털 스펙트럼 분석 장치를 통하여 멀티 스테이지 필터 장치의 활용에 대하여 상세하게 설명한다.

[0057] 도 4는 본 발명의 실시예에 따른 멀티 스테이지 필터 장치를 적용한 디지털 스펙트럼 분석 장치를 나타낸 예시도이다. 그리고 도 5a는 본 발명의 실시예에 따른 멀티 스테이지 필터 장치를 적용한 디지털 스펙트럼 분석 장치가 1MHz의 분해능 대역폭으로 스펙트럼을 분석하는 방법을 나타낸 도면이다. 도 5b는 본 발명의 실시예에 따른 멀티 스테이지 필터 장치를 적용한 디지털 스펙트럼 분석 장치가 100KHz의 분해능 대역폭으로 스펙트럼을 분석하는 방법을 나타낸 도면이다.

[0058] 도 4에 나타낸 것처럼, 디지털 스펙트럼 분석 장치(400)는 멀티 스테이지 필터 장치(100), 입력부(410), 디지털 다운 컨버터(DDC)(420), 저장부(430), 제어부(440), 데시메이션부(450), 전력 측정부(460), FPE부(470), 출력부(480)를 포함한다. 도 4에서 "FILTER"로 표시한 부분은 도 1 내지 도 3에서 설명한 본 발명의 실시예에 따른 멀티 스테이지 필터 장치(100)를 나타낸다.

[0059] 도 5a와 같이, 입력부(410)로부터 입력 받은 신호는 멀티 스테이지 필터 장치(100)에서 BPF필터를 이용하여 필

터링 된다. 그리고 제어부(440)는 필터링 된 신호를 디지털 다운 컨버터(DDC, Digital Down Converter)(420)로 전달하고, 디지털 다운 컨버터(DDC)(420)는 전달받은 신호를 하향 변환한다. 저장부(430)는 디지털 다운 컨버터(DDC)(420)에서 하향 변환된 신호를 저장한다.

[0060] 그리고 제어부(440)는 하향 변환된 신호를 다시 멀티 스테이지 필터 장치(100)로 전달하여 멀티 스테이지 필터 장치(100)가 IRLPF필터를 이용하여 신호를 필터링 하도록 제어한다. 제어부(440)는 IRLPF필터를 이용하여 필터링 된 신호를 데시메이션부(450)로 전달하고, 데시메이션부(450)는 전달받은 신호에 데시메이션(decimation)을 수행하여 전체적인 샘플링 주파수를 낮춘다. 또한 저장부(430)는 데시메이션이 수행된 신호를 저장한다.

[0061] 제어부(440)는 데시메이션 수행된 신호를 다시 멀티 스테이지 필터 장치(100)로 전달하고, 멀티 스테이지 필터 장치(100)는 저장부(430)로부터 PLPF필터의 계수 값을 전달받고, PLPF필터를 이용하여 신호를 필터링한다. 제어부(440)는 필터링 된 신호를 전력 측정부(460)로 전달하여 신호의 전력을 측정한 후, FPE부(470)로 전달하여 신호를 FPE(Floating Point Expression)하여 플로팅 포인트를 표현한다. 플로팅 포인트를 표현한 후, FPE부(470)는 신호를 출력부(480)로 전달하여 출력되도록 한다.

[0062] 다음으로 도 5b와 같이, 디지털 스펙트럼 분석 장치(400)가 100KHz의 분해능 대역폭으로 스펙트럼을 분석할 경우, 도 5a와 달리 멀티 스테이지 필터 장치(100)가 IRLPF필터를 이용하여 필터링 하는 단계 내지 데시메이션부(450)가 전달받은 신호에 데시메이션(decimation)을 수행하여 전체적인 샘플링 주파수를 낮추는 단계를 반복한다. 데시메이션이 수행된 이후에 제어부(440)는 데시메이션 된 신호를 다시 멀티 스테이지 필터 장치(100)로 전달하여 PLPF필터링 되도록 제어한다.

[0063] 즉 디지털 스펙트럼 분석 장치(400)가 100KHz의 분해능 대역폭으로 스펙트럼을 분석하는 경우, 멀티 스테이지 필터 장치(100)는 두 번의 타임 슬롯 동안 데이터를 필터링한다.

[0064] 1MHz의 분해능 대역폭보다 작은 100KHz의 분해능 대역폭으로 필터링을 수행한다는 것은 신호를 더 작게 나누어 필터링 한다는 것을 의미한다. 이처럼 필터링에 사용되는 계수의 개수가 많을 경우, 다단의 디지털 다운 컨버터(DDC) (420)는 샘플링을 가변하여 분해능 대역폭을 작게 설정하고, 복수의 타임 슬롯으로 나누어 신호를 필터링 할 수 있다.

[0065] 또한 도 5a 및 5b에 나타난 것처럼, 디지털 스펙트럼 분석 장치(400)는 다기능을 수행하는 멀티 스테이지 필터 장치(100)를 이용하여 저장부(430)에 저장된 다수의 필터 계수 값을 필요에 따라 설정하여 BPF필터링, IRLPF필터링, PLPF필터링 등 다양한 필터의 기능을 수행 할 수 있다. 특히 데이터에 포함된 허수부분을 제거하는 CIC 필터의 기능을 수행할 수 있다.

[0066] 또한 다수의 필터 계수 값을 설정하여 하나의 멀티 스테이지 필터 장치(100)를 공유할 수 있다. 즉 멀티 스테이지 필터 장치(100)는 각각 다른 필터로 구현할 수 있지만, 동일한 필터로 구현하여 하나의 멀티 스테이지 필터 장치(100)를 공유할 수 있다. 그리고 멀티 스테이지 필터 장치(100)의 공유필터부(140)에서 사용되지 않는 가산기 또는 곱셈기가 발생할 경우, 멀티 스테이지 필터 장치(100)는 점유되지 않은 가산기 또는 곱셈기를 다른 프로그램 또는 시스템에서 사용할 수 있도록 공유한다.

[0067] 이와 같이 본 발명의 실시예에 따르면 멀티 스테이지 필터 장치 및 그것을 이용한 필터링 방법을 이용함으로써, 다양한 기능을 수행하는 필터를 공유하고, 공유 필터가 복수의 타임 슬롯으로 나누어 데이터를 처리하도록 하여 디지털 필터의 복잡도를 최소화 할 수 있다.

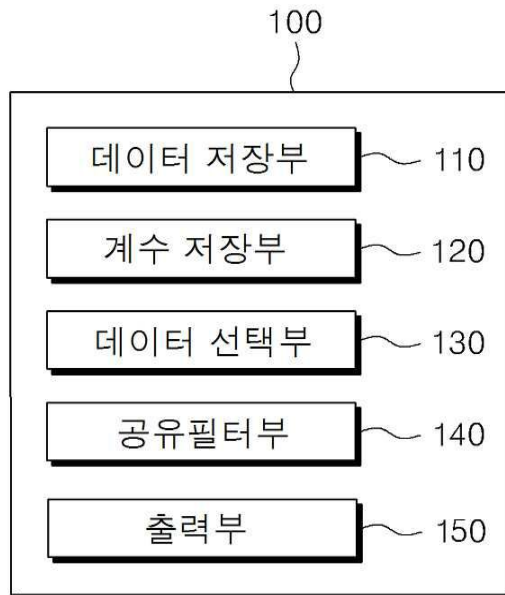
[0068] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

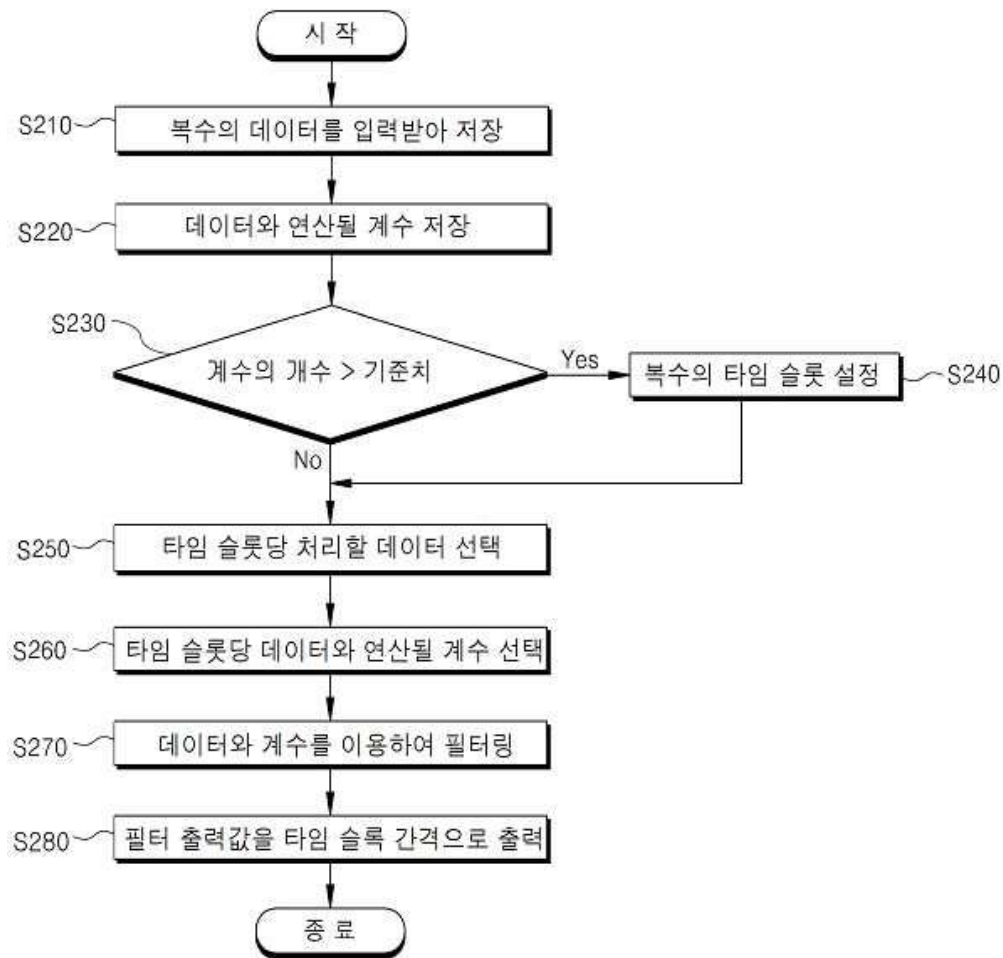
[0069]	100 : 멀티 스테이지 필터 장치	110 : 데이터 저장부
	120 : 계수 저장부	130 : 데이터 선택부
	140 : 공유필터부	141 : 덧셈기
	142 : 곱셈기	143 : 합산기
	150 : 출력부	400 : 디지털 스펙트럼 분석 장치

도면

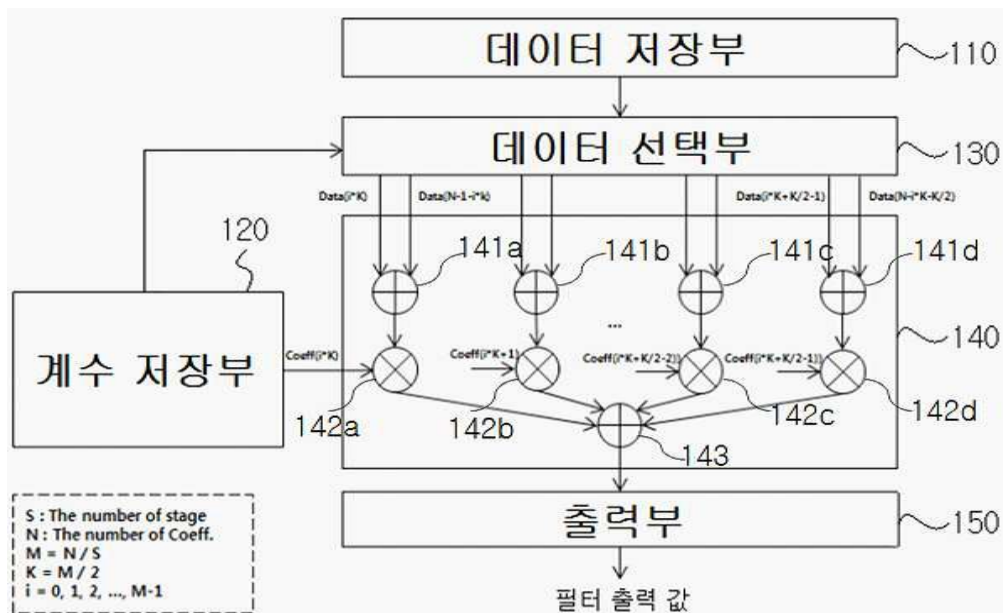
도면1



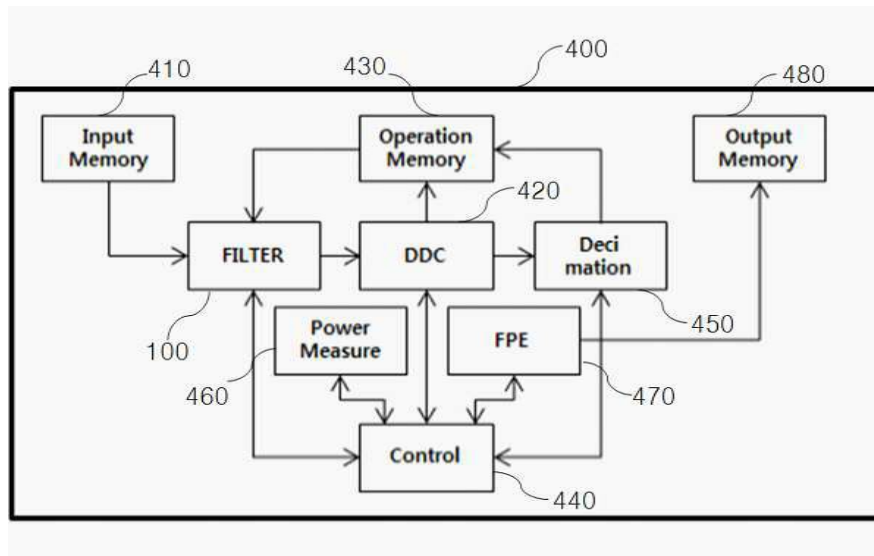
도면2



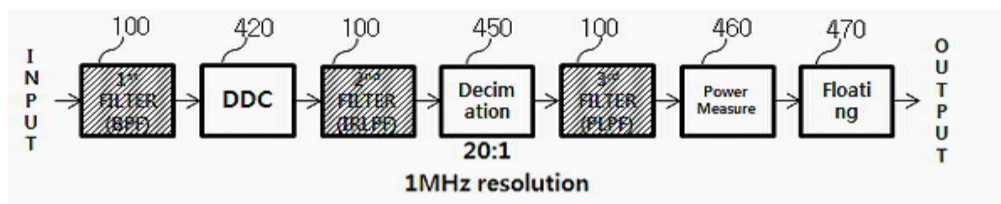
도면3



도면4



도면5a



도면5b

