

고속으로 데이터를 전송하는 경로와 저속으로 데이터를 전송하는 경로를 구비하는 메모리 장치에 있어서,

호스트(HOST)와 상기 메모리 장치의 내부에 구비되는 메모리 셀에 저장되거나 상기 메모리 셀로부터 판독되는 데이터를 고속으로 송수신하기 위한 인터페이스 기능을 수행하는 고속 포트 인터페이스(High Speed Port Interface); 및

상기 호스트와 상기 메모리 장치의 동작 모드 설정에 관련된 데이터를 저속으로 송수신하기 위한 인터페이스 기능을 수행하는 저속 포트 인터페이스(Low Speed Port Interface)를 구비하는 것을 특징으로 하는 메모리 장치.

청구항 2.

제1항에 있어서,

상기 고속 포트 인터페이스를 경유하여 상기 호스트와 고속으로 데이터를 송수신하는 고속 데이터 통신용 블록;

상기 저속 포트 인터페이스를 경유하여 상기 호스트와 저속으로 데이터를 송수신하는 저속 데이터 통신용 블록; 및

상기 고속 데이터 통신용 블록 및 상기 저속 통신용 블록의 동작을 제어하는 제어로직을 더 구비하는 것을 특징으로 하는 메모리 장치.

청구항 3.

제2항에 있어서, 상기 고속 데이터 통신용 블록은,

입출력되는 데이터를 이용하여 소정의 연산처리를 수행하는 기능블록들;

상기 메모리 셀; 및

상기 메모리 셀과 상기 기능블록들 사이에 위치하는 데이터 인터페이스를 구비하는 것을 특징으로 하는 메모리 장치.

청구항 4.

제3항에 있어서, 상기 소정의 연산처리는,

코딩, 디코딩, 병렬 데이터를 직렬로 정렬시키기 및 직렬 데이터를 병렬로 정렬시키기 중의 적어도 하나인 것을 특징으로 하는 메모리 장치.

청구항 5.

제2항에 있어서, 상기 저속 데이터 통신용 블록은,

상기 메모리 장치의 안정적인 동작 모드의 설정에 관련된 정보를 포함하는 데이터, 액세스(access) 해야 할 온도 센서(Temperature sensor) 정보를 포함하는 데이터 및 송수신되는 데이터에 대한 에러 플래그(error flag) 정보를 포함하는 데이터 중 적어도 하나의 데이터를 처리하는 것을 특징으로 하는 메모리 장치.

청구항 6.

제5항에 있어서, 상기 저속 데이터 통신용 블록은,

PLL(Phase Locked Loop);

상기 동작 모드의 설정에 관련된 정보 및 상기 송수신되는 데이터에 대한 에러 플래그 정보를 출력하는 상태(status) 레지스터; 및

상기 온도 센서 정보를 출력하는 온도 센서를 구비하는 것을 특징으로 하는 메모리 장치.

청구항 7.

제2항에 있어서, 고속 포트 인터페이스는,

고속 포트; 및

상기 고속 포트에 연결되어 상기 호스트와 상기 고속 데이터 통신용 블록에서 송수신되는 데이터의 속도를 일치시키는 고속 데이터 입출력 회로를 구비하는 것을 특징으로 하는 메모리 장치.

청구항 8.

제2항에 있어서, 상기 저속 포트 인터페이스는,

저속 포트; 및

상기 저속 포트에 연결되어 상기 호스트와 상기 저속 데이터 통신용 블록에서 송수신되는 데이터의 속도를 일치시키는 저속 데이터 입출력 회로를 구비하는 것을 특징으로 하는 메모리 장치.

청구항 9.

제1항에 있어서, 상기 호스트는,

적어도 하나 이상인 것을 특징으로 하는 메모리 장치.

청구항 10.

고속으로 데이터를 전송하는 경로와 저속으로 데이터를 전송하는 경로를 통해 데이터 통신을 하는 시스템에 있어서,

메모리 장치; 및

호스트(HOST)와 상기 메모리 장치의 내부에 구비되는 메모리 셀에 저장되거나 상기 메모리 셀로부터 판독되는 데이터를 고속으로 송수신하고, 상기 호스트와 상기 메모리 장치의 동작 모드 설정에 관련된 데이터를 저속으로 송수신하는 작업을 수행하는 메모리 컨트롤러를 구비하는 것을 특징으로 하는 데이터 통신 시스템.

청구항 11.

제10항에 있어서, 상기 메모리 장치는,

상기 메모리 컨트롤러와 고속으로 데이터 송수신 작업을 수행하는 제1고속 포트 인터페이스; 및

상기 메모리 컨트롤러와 저속으로 데이터 송수신 작업을 수행하는 제1저속 포트 인터페이스를 구비하는 것을 특징으로 하는 데이터 통신 시스템.

청구항 12.

제11항에 있어서, 상기 메모리 컨트롤러는,

상기 제1고속 포트 인터페이스에 대응하는 제2고속 포트 인터페이스; 및

상기 제1저속 포트 인터페이스에 대응되는 제2저속 포트 인터페이스를 구비하는 것을 특징으로 하는 데이터 통신 시스템.

청구항 13.

제12항에 있어서, 상기 메모리 장치는,

상기 제1 및 제2고속 포트 인터페이스를 경유하여 상기 메모리 컨트롤러와 고속으로 데이터를 송수신하는 고속 데이터 통신용 블록;

상기 제1 및 제2저속 포트 인터페이스를 경유하여 상기 메모리 컨트롤러와 저속으로 데이터를 송수신하는 저속 데이터 통신용 블록; 및

상기 고속 데이터 통신용 블록 및 상기 저속 통신용 블록의 동작을 제어하는 제어로직을 더 구비하는 것을 특징으로 하는 데이터 통신 시스템.

청구항 14.

제13항에 있어서, 상기 고속 데이터 통신용 블록은,

입출력되는 데이터를 이용하여 소정의 연산처리를 수행하는 기능블록들;

상기 메모리 셀; 및

상기 메모리 셀과 상기 기능블록들 사이에 위치하는 데이터 인터페이스를 구비하는 것을 특징으로 하는 데이터 통신 시스템.

청구항 15.

제14항에 있어서, 상기 소정의 연산처리는,

코딩, 디코딩, 병렬 데이터를 직렬로 정렬시키기 및 직렬 데이터를 병렬로 정렬시키기 중의 적어도 하나인 것을 특징으로 하는 데이터 통신 시스템.

청구항 16.

제13항에 있어서, 상기 저속 데이터 통신용 블록은,

상기 메모리 장치의 안정적인 동작 모드의 설정에 관련된 정보를 포함하는 데이터, 액세스(access) 해야 할 온도 센서 (Temperature sensor) 정보를 포함하는 데이터 및 송수신되는 데이터에 대한 에러 플래그(error flag) 정보를 포함하는 데이터 중 적어도 하나의 데이터를 처리하는 것을 특징으로 하는 데이터 통신 시스템.

청구항 17.

제13항에 있어서, 상기 저속 데이터 통신용 블록은,

PLL(Phase Locked Loop);

상기 동작 모드의 설정에 관련된 정보 및 상기 송수신되는 데이터에 대한 에러 플래그 정보를 출력하는 상태 레지스터; 및
상기 온도 센서 정보를 출력하는 온도 센서를 구비하는 것을 특징으로 하는 데이터 통신 시스템.

청구항 18.

제13항에 있어서, 상기 제1고속 포트 인터페이스는,

고속 포트; 및

상기 고속 포트에 연결되어 상기 호스트와 상기 고속 데이터 통신용 블록에서 송수신되는 데이터의 속도를 일치시키는 제1고속 데이터 입출력 회로를 구비하는 것을 특징으로 하는 데이터 통신 시스템.

청구항 19.

제13항에 있어서, 상기 제1저속 포트 인터페이스는,

저속 포트; 및

상기 저속 포트에 연결되어 상기 호스트와 상기 저속 데이터 통신용 블록에서 송수신되는 데이터의 속도를 일치시키는 제1저속 데이터 입출력 회로를 구비하는 것을 특징으로 하는 데이터 통신 시스템.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 메모리 장치에 관한 것으로서, 특히, 호스트와 적어도 2개의 서로 다른 속도의 데이터 통신이 가능한 메모리 장치 및 상기 메모리 장치를 이용하는 데이터 통신 시스템에 관한 것이다.

메모리 장치의 응용 환경의 다양화, 대용량화 및 고속화 등으로 인하여 메모리 컨트롤러(Memory controller)와 같은 호스트(Host) 및 메모리 장치사이의 데이터 전송 속도와 작업 처리량(throughput)은 지속적으로 증가되고 있다. 이와 더불어 송수신되는 데이터의 전송손실 감소(signal integrity)도 당연히 요구되고 있다.

데이터 통신에 있어서 송수신되는 데이터의 속도는 호스트와 메모리를 연결시키는 토폴로지(topology)에 영향을 미치게 되기 때문에, 대용량의 메모리가 필요한 분야에서는 채널 당 지원 가능한 DIMM(Dual In line Memory Module)의 수에 제한을 두게 되었다. 이러한 제한을 해결하기 위한 FB(Fully Buffered)-DIMM 구조를 사용한다.

도 1은 고속 포트 인터페이스를 구비하는 종래의 메모리 장치의 블록 다이어그램이다.

도 1을 참조하면, 고속 포트 인터페이스(High Speed Port Interface)를 구비하는 메모리 장치는, 고속 포트 인터페이스(110, H.S.P. I/F), 고속의 데이터 통신용 블록(120), 동작설정 블록(130) 및 제어로직(140, Control Logic)을 구비한다.

고속 포트 인터페이스(110)는, 호스트(HOST)와 고속으로 데이터 통신을 수행하는 인터페이스 기능을 수행하기 위하여 고속 포트(111) 및 고속 데이터 입출력 회로(H.S.P. I/F)를 구비한다. 여기서 고속 포트(111)는 메모리 장치의 핀(pin)이고, 고속 데이터 입출력회로(112)는, 호스트(host)와 고속의 데이터 통신용 블록(120)에서 송수신되는 데이터의 동기를 일치시킨다.

고속의 데이터 통신용 블록(120)은, 고속 데이터 통신에 사용되는 데이터의 입출력을 담당하는 블록으로, 기능블록들(121), 데이터 인터페이스(122) 및 메모리 셀(123)을 구비한다.

동작설정 블록(130)은, 데이터 통신에 직접 사용되지는 않지만 메모리 장치(100)의 동작과 관련된 PLL(131, Phase Locked Loop), 온도 센서(132) 및 상태 레지스터(133)를 구비한다.

제어로직(140, Control Logic)은, 고속 데이터 통신용 블록(120) 및 동작설정 블록(130)의 동작을 제어한다. 제어로직(140)으로 입력 또는 출력되는 데이터는 고속 포트 인터페이스(110)를 통하여 직접 입출력되거나 또는 고속 포트 인터페이스(110) 및 기능블록들(121)을 모두 거쳐 입출력될 수 있다.

FB-DIMM에 사용되는 메모리 장치는 내부에 버퍼(Buffer)를 구비하는데, 도 1을 참조하면 고속 포트 인터페이스(110)가 여기에 해당된다. 호스트(host)와 메모리 장치(100) 사이의 데이터 통신을 수행할 때 사용되는 제어신호 및 데이터는 상기 버퍼(110)를 거치게 된다. 메모리 사이에 버퍼(Buffer)를 두는 구조(FB-DIMM)를 가지는 시스템의 성능을 향상시키기 위해서는, 상기 시스템 내부의 데이터 송수신 속도를 증가시켜야 한다. 이 때, 호스트(host)와 버퍼(110) 사이 및 버퍼(110)와 메모리 장치의 내부 블록들(120 및 140) 사이의 데이터 송수신 속도도 증가되어야 한다.

그러나 메모리 장치와 호스트 사이의 제어신호 및 데이터가 반드시 고속으로 통신하여야 하는 것은 아니다. 즉, 메모리 장치의 동작을 결정할 설정 조건들에 대한 정보를 가지고 있는 데이터를 메모리 장치(100)의 동작설정 블록(130)을 구성하는 소정의 기능블록에 기록하거나 상기 기능블록으로부터 읽을 때 가장 중요한 것은, 데이터가 기록되거나 읽혀지는 시간이 아니라 데이터의 정확성이다. 메모리 장치의 동작설정 조건들에 대한 정보로는, 안정적인 동작 모드(mode)의 설정 정보, 데이터 통신 동작과는 독립적으로 액세스해야 할 열 감지(thermal sensor) 정보 및 에러 플래그(error flag) 등이 있다. 이러한 정보를 가진 데이터는 고속의 데이터 통신에 사용되는 메모리 장치에도 필수적인 것이다.

고속의 데이터 통신에 사용되는 메모리 장치의 경우, 상기 메모리 장치로 입출력되는 모든 데이터의 입출력 속도는 데이터 통신의 속도와 관계가 있다. 즉, 메모리 장치와 상기 메모리 장치의 외부와의 데이터 통신 또는 데이터의 입출력은, 데이터 통신의 속도에 대응되는 고속 통신 전용의 입출력 인터페이스(110)를 통하여 이루어진다.

도 1에는 하나의 인터페이스(110)로 도시되어 있지만, 사실은 인터페이스를 수행하는 복수 개의 기능블록들을 포함하고 있는 것이다. 예를 들면, 고속 포트 인터페이스(110)는, 고속의 데이터 통신을 위하여 구비되는 신호 라인의 수에 대응되는 인터페이스 기능블록들과 동작 설정블록과의 데이터 입출력을 위하여 구비하여야 하는 인터페이스 기능블록들의 수를 합친 것만큼의 인터페이스 기능블록들을 구비하여야 한다.

상기 고속 통신 전용의 입출력 인터페이스는 회로의 레이아웃 상의 면적이 많이 소요될 뿐만 아니라 경우에 따라서는 소비 전력도 상당히 크다.

상술한 바와 같이, 메모리의 전반적인 동작 설정들에 대한 정보를 가지고 있는 데이터를 메모리 장치에 기록하거나 메모리 장치로부터 읽을 때에도 상기의 고 성능의 인터페이스 기능블록을 이용한다는 것은 메모리 장치의 레이아웃 면적 면에서나 소비 전력 면에서 적당하지 않다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 고속 데이터 통신용 메모리 장치에 저속 데이터 통신용 포트 및 저속 데이터 입출력 회로를 구비하는 메모리 장치를 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는, 상기 메모리 장치를 사용하는 데이터 통신 시스템을 제공하는데 있다.

발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명에 따른 메모리 장치는, 고속 포트 인터페이스 및 저속 포트 인터페이스를 구비한다. 상기 고속 포트 인터페이스(High Speed Port Interface)는, 호스트와 고속으로 데이터 송수신을 수행한다. 상기 저속 포트 인터페이스(Low Speed Port Interface)는, 상기 호스트와 저속으로 데이터 송수신을 수행한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 데이터 통신 시스템은, 메모리 장치 및 컨트롤러를 구비한다. 상기 메모리 장치는, 고속 데이터 통신에 사용되는 정보 및 동작 설정에 필요한 데이터를 입출력한다. 상기 메모리 컨트롤러는, 상기 메모리 장치와 적어도 2개 이상의 서로 다른 속도를 가지는 데이터 송수신 작업을 수행한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시 예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

본원 발명의 핵심 기술적 사상은, 고속의 데이터 통신용 포트를 이미 구비하고 있는 메모리 장치에 저속의 데이터 통신용 포트 및 상기 저속의 데이터 통신용 포트에 연결된 저속 데이터 입출력 회로를 더 구비하는 메모리 장치를 제안하는 것이다.

상기 저속의 데이터 통신용 포트는, 안정적인 동작 모드의 설정 및 데이터 통신 동작과 독립적으로 액세스(access) 해야 할 온도 센서(thermal sensor) 정보, 에러 플래그(error flag) 정보 등을 외부 호스트에서 가져 올 수 있도록 한다.

도 2는 본 발명의 일 실시 예에 따른 저속 포트 인터페이스를 구비하는 메모리 장치의 블록 다이어그램이다.

도 2를 참조하면, 저속 포트 인터페이스(Low Speed Port Interface)를 구비하는 메모리 장치는, 고속 포트 인터페이스(110, H.S.P. I/F), 고속의 데이터 통신용 블록(120), 저속 데이터 통신용 블록(130), 제어로직(140, Control Logic) 및 저속 포트 인터페이스(250)를 구비한다.

고속 포트 인터페이스(110)는, 고속 포트(111) 및 고속 데이터 입출력 회로(112, H.S.P. I/F)를 구비한다. 고속 포트(111)는 메모리 장치의 핀(pin)을 의미한다. 고속 데이터 입출력 회로(112)는, 고속 포트(111)에 연결되어 호스트(host)와 고속 데이터 통신용 블록(120)의 데이터를 인터페이스 시킨다.

고속 데이터 통신용 블록들(120)은, 기능블록들(121), 데이터 인터페이스(122) 및 메모리 셀(123)을 구비한다. 기능블록들(121)은, 코딩, 디코딩, 병렬 데이터를 직렬로 정렬시키기 및 직렬 데이터를 병렬로 정렬시키기 등의 적어도 하나를 수행하는 기능블록들(functional blocks)을 구비한다. 데이터 인터페이스(122)는, 메모리 셀(123)과 기능블록들(121) 사이를 연결한다. 메모리 셀(123)은, 데이터 통신에 사용되는 정보를 입출력시키는 장치이다.

저속 데이터 통신용 블록(130)은, PLL(131, Phase Locked Loop), 온도 센서(132) 및 상태(status) 레지스터(133)를 구비한다. 온도 센서(132)는, 메모리 장치(200)의 온도 센서 정보를 출력한다. 상태(status) 레지스터(133)는, 상기 동작 모드의 설정에 관련된 정보 및 상기 송수신되는 데이터에 대한 에러 플래그 정보를 출력한다.

제어로직(140, Control Logic)은, 고속 데이터 통신용 블록(120) 및 저속 통신용 블록(130)의 동작을 제어한다.

저속 포트 인터페이스(250)는, 저속 포트(251) 및 저속 데이터 입출력회로(252, H.S.P. I/F)를 구비한다. 저속 포트(251)는 메모리 장치의 핀(pin)을 의미한다. 저속 데이터 입출력회로(252)는, 저속 포트(251)에 연결되어 호스트(host)와 저속 데이터 통신용 블록(130)의 데이터를 인터페이스 시킨다. 일반적으로 저속 데이터는 제어회로(140)를 경유하여 저속 데이터 통신용 블록(130)으로 송수신된다.

메모리 장치의 안정적인 동작 모드의 설정에 관련된 정보를 포함하는 데이터, 액세스(access) 해야 할 온도 센서(Temperature sensor) 정보를 포함하는 데이터 및 송수신되는 데이터에 대한 에러 플래그(error flag) 정보를 포함하는 데이터들은, 저속 데이터 통신용 블록(130)과 호스트(host) 사이에서 송수신된다. 상기 저속 데이터 통신용 블록(130)과 호스트(host) 사이에서 송수신되는 상기 데이터의 경우, 에러 없는 송수신되는 것이 고속으로 송수신되는 것보다 중요하다. 고속의 데이터 통신에서는 송수신되는 데이터의 오류가 발생할 확률이 높기 때문에, 본 발명에서와 같이 고유의 저속 데이터 통신용 인터페이스를 이용하여 데이터의 송수신 정확성을 높일 경우, 상기의 문제가 발생할 확률이 현저히 감소된다.

도면에는 기재하지 않았지만, 본 발명에 따른 메모리 장치를 이용하여 데이터 통신을 주관하는 호스트를 구비하는 데이터 통신 시스템을 쉽게 구현할 수 있다. 호스트는 CPU(Central Process Unit) 또는 메모리 컨트롤러 등 그 이름에 관계없이 메모리 장치를 이용하여 소정의 작업을 수행하는 제어장치가 모두 포함된다. 이 경우, 하나의 호스트가 본 발명에 따른 메모리 장치를 이용하여 고속 및 저속 데이터 통신을 하는 경우에는, 상기 호스트에도 메모리 장치에 구비된 저속 및 고속 포트에 대응되는 각각의 포트들이 구비되어야 한다. 적어도 2개의 호스트가 본 발명에 따른 메모리 장치를 이용하여 고속 및 저속 데이터 통신을 수행할 경우에도, 각각의 호스트는 대응되는 포트들을 적어도 하나 구비하여야 한다.

상기의 설명에서는 고속 및 저속이라는 2개의 속도를 가진 데이터 통신용 메모리 장치로 표현되어 있지만, 복수 개의 서로 다른 속도를 가진 데이터 통신도 본 발명의 영역에 포함되는 것은 당연하다.

상술한 바와 같이, 본 발명의 일 실시 예에 따른 메모리 장치는, 호스트와 고속으로 데이터 통신을 수행하기 위한 종래의 고속 포트 외에도, 메모리 장치의 동작설정에 대한 정보를 가지고 있는 송수신하기 위한 저속 포트를 더 구비한다. 또한 실제로 동작을 완전하게 하기 위하여, 상기 저속 포트에 연결된 저속 데이터 입출력 회로를 더 구비하였다.

따라서 본 발명에 따른 메모리 장치는, 고속의 데이터 통신 인터페이스를 이용하여 빠른 속도의 데이터 통신이 가능할 뿐만 아니라, 메모리 장치의 동작 설정에 필요한 데이터와 같이 데이터 통신의 속도 보다 송수신되는 데이터의 정확성이 더 필요한 데이터에 대해서는 저속으로 이를 송수신하게 할 수 있다.

이상에서와 같이 도면과 명세서에서 최적 실시 예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 메모리 장치 및 이를 구비하는 데이터 통신 시스템은, 호스트와 고속으로 데이터의 송수신이 가능할 뿐만 아니라 저속으로 데이터 통신이 가능한 장점이 있다. 따라서 호스트가 상기 메모리와 고속으로 데이터 통신을 수행할 수 있으며, 동시에 상기 메모리 장치의 동작설정과 같은 정보를 정확하게 송수신할 수 있도록 한다.

도면의 간단한 설명

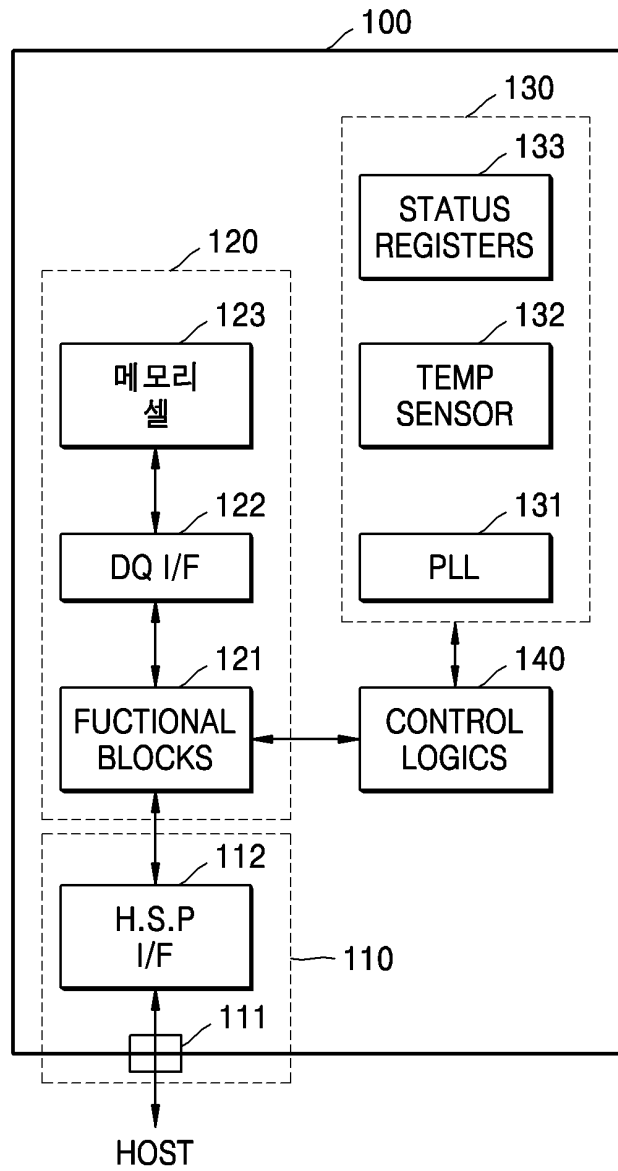
본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 고속 포트 인터페이스를 구비하는 종래의 메모리 장치의 블록 다이어그램이다.

도 2는 본 발명의 일 실시 예에 따른 저속 포트 인터페이스를 구비하는 메모리 장치의 블록 다이어그램이다.

도면

도면1



도면2

