



(12) 发明专利申请

(10) 申请公布号 CN 102064839 A

(43) 申请公布日 2011. 05. 18

(21) 申请号 200910237835. 8

(22) 申请日 2009. 11. 11

(71) 申请人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路 3 号

(72) 发明人 朱勇旭 吴斌 张振东 周玉梅

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 周国城

(51) Int. Cl.

H03M 13/41 (2006. 01)

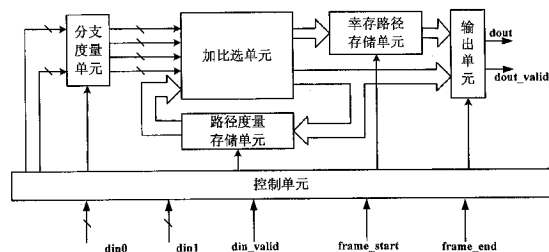
权利要求书 2 页 说明书 5 页 附图 7 页

(54) 发明名称

一种高速低功耗多码率的 Viterbi 译码器

(57) 摘要

本发明公开了一种高速低功耗多码率的 Viterbi 译码器,包括分支度量单元、加比选单元、路径度量存储单元、幸存路径存储单元、输出单元和控制单元,加比选单元接收分支度量单元的分支度量值并将处理后得到的幸存路径送到幸存路径存储单元进行译码处理得到译码比特,同时将加比选得到的路径度量值存入路径度量存储单元以备下次的加比选处理。本发明适用于 (2, 1, 7) 卷积码的 Viterbi 译码器,具有高吞吐率,低功耗特点,可支持 1/2, 2/3, 3/4, 5/6 码率。译码器采用全并行的加比选 (ACS) 单元,最高位清零防溢出处理,采用了一种可降低功耗的寄存器交换法,可有效减少寄存器翻转动态功耗,能根据信噪比的大小自动调整功率。



1. 一种高速低功耗多码率的 Viterbi 译码器,其特征在于,包含分支度量单元、加比选单元、路径度量存储单元、幸存路径存储单元、输出单元和控制单元,其中:

分支度量单元,用于计算接收符号与网格图分支上相应分支符号之间的距离,并将计算结果输出给加比选单元;

加比选单元,用于将进入每一状态的两条分支的前一时刻的幸存路径度量值与相应分支度量分别进行相加,进行比较并选取其中较小的为更新的幸存路径度量值,对应的路径为幸存路径,然后将幸存路径度量值输出给路径度量存储单元,将幸存路径输出给幸存路径存储单元;

路径度量存储单元,用于存储加比选单元输出的更新的路径度量值;

幸存路径存储单元,用于通过对加比选单元输出的幸存路径进行处理来得到译码比特,并输出给输出单元;

输出单元,用于完成译码器的缓冲输出;

控制单元,用于控制译码器中分支度量单元、加比选单元、路径度量存储单元、幸存路径存储单元和输出单元的协调工作与同步。

2. 根据权利要求 1 所述的高速低功耗多码率的 Viterbi 译码器,其特征在于,该译码器的每个模块都带有输入使能的信号,这样可让译码器工作在不同的码率和不同的输入数据的形式。

3. 根据权利要求 1 所述的高速低功耗多码率的 Viterbi 译码器,其特征在于,所述分支度量单元以绝对距离来表示收符号与网格图分支上相应分支符号之间的距离,并通过减法器来实现。

4. 根据权利要求 3 所述的高速低功耗多码率的 Viterbi 译码器,其特征在于,所述的分支度量单元采用绝对距离的方法,对于不同码率,在补孔单元中根据码率在相应的补孔的量化数前面加上一个标志位来标志此处码符号为补孔值,相应地在分支度量计算单元中通过这个标志位来禁止相应比特的度量值的计算,此时得到相应的码符号处的绝对距离为 0。

5. 根据权利要求 1 所述的高速低功耗多码率的 Viterbi 译码器,其特征在于,所述加比选单元是基于蝶形运算单元,蝶形运算单元的个数与译码器的状态数有关,每个蝶形运算单元包含 4 个加法器、2 个比较器和 2 个选择器。

6. 根据权利要求 1 所述的高速低功耗多码率的 Viterbi 译码器,其特征在于,所述幸存路径存储单元包含输入选择单元、寄存器交换单元和输出选择单元,其中:

输入选择单元将加比选单元得到的幸存路径依次循环写入到寄存器交换单元的寄存器交换小组中,这种循环写入是通过一个计数器来控制写入的寄存器交换小组的序号,序号是从 0 增加到最大寄存器小组的数目,增加由幸存路径有效时将计数器加 1,再根据计数器的数值将相应的幸存路径存入与计数器相同数值的寄存器交换小组中,当计数器达到最大的值,即寄存器交换小组的数目时,计数器置位 0,接下来重复前面的过程;

寄存器交换单元由一定数量的寄存器交换小组单元构成,组数一般为约束长度的 5 ~ 7 倍,寄存器交换小组的输出反馈给输入选择单元中,通过输入选择单元中的计数器来选择当前的寄存器交换小组的输入是当前寄存器交换小组的输出还是当前的幸存路径,当计数器的数值等于寄存器交换小组的序号时,则将幸存路径输入到当前的寄存器交换小组中,若不等,则将当前寄存器交换小组的输出作为输入给当前的寄存器交换小组;

输出选择单元是依次循环的读取寄存器交换小组中的数据得到译码比特。

一种高速低功耗多码率的 Viterbi 译码器

技术领域

[0001] 本发明涉及通信领域 Viterbi 译码器,尤其涉及一种高速低功耗多码率的 Viterbi 译码器。

背景技术

[0002] 在无线通信系统中,由于无线信道存在反射、散射和衍射而造成的多径衰落,会造成时间、频率和空间域上的弥散,必然会对传输数据引入失真和信号判决错误。信道编码技术通过在信息序列中加入冗余码元,来发现、纠正传输中发生的信号错误,从而提高系统的可靠性。

[0003] 目前无线通信对数据吞吐率提出了越来越高的要求,如下一代无线局域网 (WLAN) 协议 IEEE 802.11n 采用正交频分复用 (OFDM)、多输入多输出 (MIMO)、空时编码 (STBC) 等技术,物理层理想速率最高达 600Mbps。为了抵抗由于频率选择性衰落信道造成的 OFDM 子载波衰落效应,它采用前向纠错码 (FEC) 和交织。在 IEEE 802.11n 中的信道编码方式之一是卷积码,码率有 4 种:1/2,2/3,3/4 和 5/6。现代无线通信中常常需要达到几百兆的数据吞吐率,这对译码器的工作频率及数据吞吐率提出很高的要求。同时无线设备成本和功耗的要求提出了需要降低译码器实现的复杂度和功耗。为了提高频谱的利用率,多码率的卷积码一般都应用到现代的无线通信中。因此实际应用中卷积码的要求,相应的 Viterbi 译码器需要能有高速、低功耗、多码率的设计。

[0004] 因此,在实际 Viterbi 译码器实现中,需要综合考虑这速度、功耗和多码率三个方面,如何在提高数据吞吐率的前提下尽量降低译码器的功耗。

发明内容

[0005] (一) 要解决的技术问题

[0006] 有鉴于此,本发明的主要目的是提供一种高速低功耗多码率的 Viterbi 译码器。

[0007] (二) 技术方案

[0008] 为达到上述目的,本发明提供了一种高速低功耗多码率的 Viterbi 译码器,包含分支度量单元、加比选单元、路径度量存储单元、幸存路径存储单元、输出单元和控制单元,其中:

[0009] 分支度量单元,用于计算接收符号与网格图分支上相应分支符号之间的距离,并将计算结果输出给加比选单元;

[0010] 加比选单元,用于将进入每一状态的两条分支的前一时刻的幸存路径度量值与相应分支度量分别进行相加,进行比较并选取其中较小的为更新的幸存路径度量值,对应的路径为幸存路径,然后将幸存路径度量值输出给路径度量存储单元,将幸存路径输出给幸存路径存储单元;

[0011] 路径度量存储单元,用于存储加比选单元输出的更新的路径度量值;

[0012] 幸存路径存储单元,用于通过对加比选单元输出的幸存路径进行处理来得到译码

比特,并输出给输出单元;

[0013] 输出单元,用于完成译码器的缓冲输出;

[0014] 控制单元,用于控制译码器中分支度量单元、加比选单元、路径度量存储单元、幸存路径存储单元和输出单元的协调工作与同步。

[0015] 上述方案中,该译码器的每个模块都带有输入使能的信号,这样可让译码器工作在不同的码率和不同的输入数据的形式。

[0016] 上述方案中,所述分支度量单元以绝对距离来表示收符号与网格图分支上相应分支符号之间的距离,并通过减法器来实现。

[0017] 上述方案中,所述的分支度量单元采用绝对距离的方法,对于不同码率,在补孔单元中根据码率在相应的补孔的量化数前面加上一个标志位来标志此处码符号为补孔值,相应地在分支度量计算单元中通过这个标志位来禁止相应比特的度量值的计算,此时得到相应的码符号处的绝对距离为 0。

[0018] 上述方案中,所述加比选单元是基于蝶形运算单元,蝶形运算单元的个数与译码器的状态数有关,每个蝶形运算单元包含 4 个加法器、2 个比较器和 2 个选择器。

[0019] 上述方案中,所述幸存路径存储单元包含输入选择单元、寄存器交换单元和输出选择单元,其中:

[0020] 输入选择单元将加比选单元得到的幸存路径依次循环写入到寄存器交换单元的寄存器交换小组中,这种循环写入是通过一个计数器来控制写入的寄存器交换小组的序号,序号是从 0 增加到最大寄存器小组的数目,增加由幸存路径有效时将计数器加 1,再根据计数器的数值将相应的幸存路径存入与计数器相同数值的寄存器交换小组中,当计数器达到最大的值,即寄存器交换小组的数目时,计数器置位 0,接下来重复前面的过程;

[0021] 寄存器交换单元由一定数量的寄存器交换小组单元构成,组数一般为约束长度的 5~7 倍,寄存器交换小组的输出反馈给输入选择单元中,通过输入选择单元中的计数器来选择当前的寄存器交换小组的输入是当前寄存器交换小组的输出还是当前的幸存路径,当计数器的数值等于寄存器交换小组的序号时,则将幸存路径输入到当前的寄存器交换小组中,若不等,则将当前寄存器交换小组的输出作为输入给当前的寄存器交换小组;

[0022] 输出选择单元是依次循环的读取寄存器交换小组中的数据得到译码比特。

[0023] (三)有益效果

[0024] 从上述技术方案可以看出,本发明具有以下有益效果:

[0025] 1、本发明提供的这种高速低功耗多码率的 Viterbi 译码器,并行的加比选单元提高了数据的吞吐率。

[0026] 2、本发明提供的这种高速低功耗多码率的 Viterbi 译码器,动态的输入输出选择单元,将加比选单元处理得到的幸存路径动态的输入到幸存路径存储单元中的寄存器交换小组中,经过一定时钟周期的译码处理后,通过输出选择单元动态的选择寄存器交换小组中的数据作为译码输出,从而在得到译码比特的同时降低译码器的功耗。

[0027] 3、本发明提供的这种高速低功耗多码率的 Viterbi 译码器,模块采用使能信号的设计方法,可以灵活处理不同码率下的不同输入数据流的形式。

附图说明

- [0028] 图 1 是 (2, 1, 7) 卷积码编码器；
- [0029] 图 2 是本发明中利用到的 Viterbi 译码的网格图；
- [0030] 图 3 是本发明提供的高速低功耗多码率 Viterbi 译码器的结构示意图；
- [0031] 图 4 是本发明的加比选单元的结构图；
- [0032] 图 5 是加比选单元中的蝶形单元图；
- [0033] 图 6 是最高为清零电路的结构图；
- [0034] 图 7a 是本发明幸存路径存储单元的结构示意图；
- [0035] 图 7b 是本发明寄存器交换小组单元的结构示意图；
- [0036] 图 8 是本发明译码器在 TGN 信道 A 下的误码率曲线图；
- [0037] 图 9 是本发明译码器在 TGN 信道 B 下的误码率曲线图；
- [0038] 图 10 是在 TGN 信道 A 下寄存器翻转减少比例图；
- [0039] 图 11 是在 TGN 信道 B 下寄存器翻转减少比例图。

具体实施方式

[0040] 为使本发明的目的、技术方案和优点更加清楚明白，以下结合具体实施例，并参照附图，对本发明进一步详细说明。

[0041] 以 WLAN 中使用的卷积码为例。在 WLAN 中 1/2 码率的卷积码是通过生成多项式 $G1 = 1330CT$ 和 $G1 = 1710CT$ 来定义的，约束长度为 7，如图 1 所示，其余码率 (2/3, 3/4, 4/5) 是在 1/2 码率的基础上按照相应的删余模式进行删余得到的。

[0042] 如图 2 所示是 (2, 1, 7) 卷积码的网格图。Viterbi 译码算法的实质就是在如图 2 中网格图上选择与接收符号序列距离最短的一条路径作为结果来进行译码。从图 2 的网格图中可以看到，如果从状态 0 出发的 2 条路径，在某一状态会汇合，而且以后这 2 条路径一直复合在一起，由于复合部分分支对于路径度量的贡献是相同的，所以在汇合点上就可以删掉这 2 条路径中前面部分路径度量较大的那一条。因此在任何时刻，对进入每一状态的所有路径只需保留其中一条具有最小部分路径度量的路径，这条被保留的路径称为幸存路径。(2, 1, 7) 卷积码的状态数为 64 个，在任何时刻，译码器需要保存 64 条幸存路径，同时保存这 64 条幸存路径所对应的路径度量值。在时刻 6 以后，每个状态都有 2 条路径进入，每条路径的部分路径度量值都等于前一时刻出发状态的幸存路径度量值与相应的分支度量之和，比较这两个和，取其中较小的为幸存路径度量值，对应的路径为幸存路径，并把幸存路径度量值和幸存路径存储在相应的存储器中。这样，在以后时刻进行类似的操作来获得幸存路径度量值和幸存路径，将得到的幸存路径进行处理即可得到译码。

[0043] 图 3 是本发明提供的高速低功耗多码率 Viterbi 译码器的结构示意图，输入数据是以块的形式出现，通过信号 `frame_start` 和 `frame_end` 分别标示数据块的开始和结束，通过信号 `din_valid` 标示数据块中输入译码器数据的有效性，译码器接口上定义的这三个标示信号是由译码器外的系统中的控制单元根据实际的情况而产生的，同时这样的信号标示定义可以让译码器灵活性增强以处理不同输入的数据流的形式。

[0044] 再参照图 3，本发明提供的高速低功耗多码率 Viterbi 译码器包含分支度量单元、加比选单元、路径度量存储单元、幸存路径存储单元、输出单元和控制单元。其中，分支度

量单元用于计算接收符号与网格图分支上相应分支符号之间的距离,并将计算结果输出给加比选单元;分支度量单元以绝对距离来表示收符号与网格图分支上相应分支符号之间的距离,并通过减法器来实现。加比选单元用于将进入每一状态的两条分支的前一时刻的幸存路径度量值与相应分支度量分别进行相加,进行比较并选取其中较小的为更新的幸存路径度量值,对应的路径为幸存路径,然后将幸存路径度量值输出给路径度量存储单元,将幸存路径输出给幸存路径存储单元;路径度量存储单元用于存储加比选单元输出的更新的路径度量值;幸存路径存储单元用于通过对加比选单元输出的幸存路径进行处理来得到译码比特,并输出给输出单元;输出单元用于完成译码器的缓冲输出;控制单元用于控制译码器中分支度量单元、加比选单元、路径度量存储单元、幸存路径存储单元和输出单元的协调工作与同步。

[0045] 如图4所示,加比选单元包含并行的32个蝶形单元和归一化防溢出处理单元,(2, 1, 7)共有64个状态,需要32个蝶形单元,每个蝶形单元的结构图如图5所示,这样每个蝶形运算单元需要4个加法器、2个比较器和2个选择器。

[0046] 如图6所示,归一化防溢出处理单元的输入来自于32个蝶形运算单元得到的64个路径度量值的最高位,判断64个路径度量值的最高位比特同时位1时产生一个flag_clear信号,通过这个信号是否为1来将64个路径度量值的最高位置位0,这样完成了防溢出的处理。

[0047] 图7a是本发明幸存路径存储单元的结构示意图,幸存路径存储单元包含输入选择单元、寄存器交换单元和输出选择单元,输入选择单元将加比选单元得到的幸存路径依次循环写入到寄存器交换单元的寄存器交换小组中,这种循环写入是通过一个计数器来控制写入的寄存器交换小组的序号,序号是从0增加到最大寄存器小组的数目,增加由幸存路径有效时将计数器加1,再根据计数器的数值将相应的幸存路径存入与计数器相同数值的寄存器交换小组中,当计数器达到最大的值,即寄存器交换小组的数目时,计数器置位0,接下来重复前面的过程。

[0048] 图7b是本发明寄存器交换小组单元的结构示意图。寄存器交换单元由一定数量的图7(b)所示的寄存器交换小组单元构成,组数一般为约束长度的5~7倍,这里我们选择组数位40,每个寄存器交换小组单元由64个寄存器和64个2选1的选择器组成,寄存器交换小组的输出反馈给输入选择单元中,通过输入选择单元中的计数器来选择当前的寄存器交换小组的输入是当前寄存器交换小组的输出还是当前的幸存路径,当计数器的数值等于寄存器交换小组的序号时,则将幸存路径输入到当前的寄存器交换小组中,若不等,则将当前寄存器交换小组的输出作为输入给当前的寄存器交换小组。输出选择单元是依次循环的读取寄存器交换小组中的数据得到译码比特。这种方法不需要在寄存器交换小组之间进行数据传递,只是在寄存器交换小组内进行数据选择传递,经过一定次数的选择交换后每组中的寄存器会收敛于译码的比特,这样就会减少寄存器组之间数据传递引起的状态翻转,从而达到降低功耗的目的。

[0049] 图8是本发明译码器在TGN信道A下的误码率曲线图,此信道只有一条径,分别得到了不同调制方式和码率下的误码率曲线图。

[0050] 图9是本发明译码器在TGN信道B下的误码率曲线图,此信道有九条径,分别得到了不同调制方式和码率下的误码率曲线图。

[0051] 图10是在TGN信道A下得到的寄存器翻转减少比例的曲线图,其中寄存器组深

度为 40。随着信噪比的增加,寄存器翻转减少比例也增加,能根据信噪比的大小自动调整功率。在 BPSK 和 1/2 码率 (MCS = 1) 下,从信噪比 5 到 25,寄存器翻转减少的比例一直在 0.6 以上;在 64QAM 和 2/3 码率 (MCS = 7) 下,寄存器翻转减少的比例也随着信噪比增加而增大。可见,此方法能减少寄存器翻转,降低的功耗随着信噪比增加而增加。

[0052] 图 11 是在 TGN 信道 B 下得到的寄存器翻转减少比例的曲线图,其中寄存器组深度为 40。可以得到类似的结论。由于多径的影响其减小的幅度没有信道 A 的明显。

[0053] 以上所述的具体实施例,对本发明的目的、技术方案和有益效果进行了进一步详细说明,所应理解的是,以上所述仅为本发明的具体实施例而已,并不用于限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

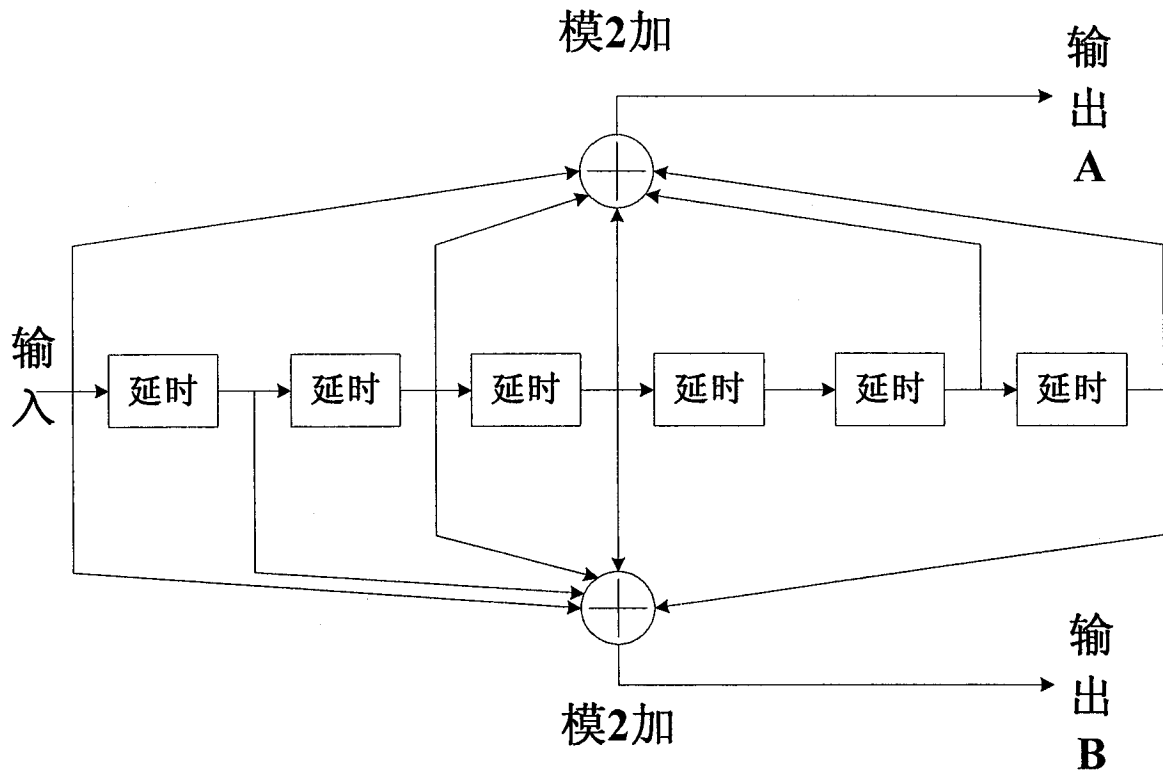


图 1

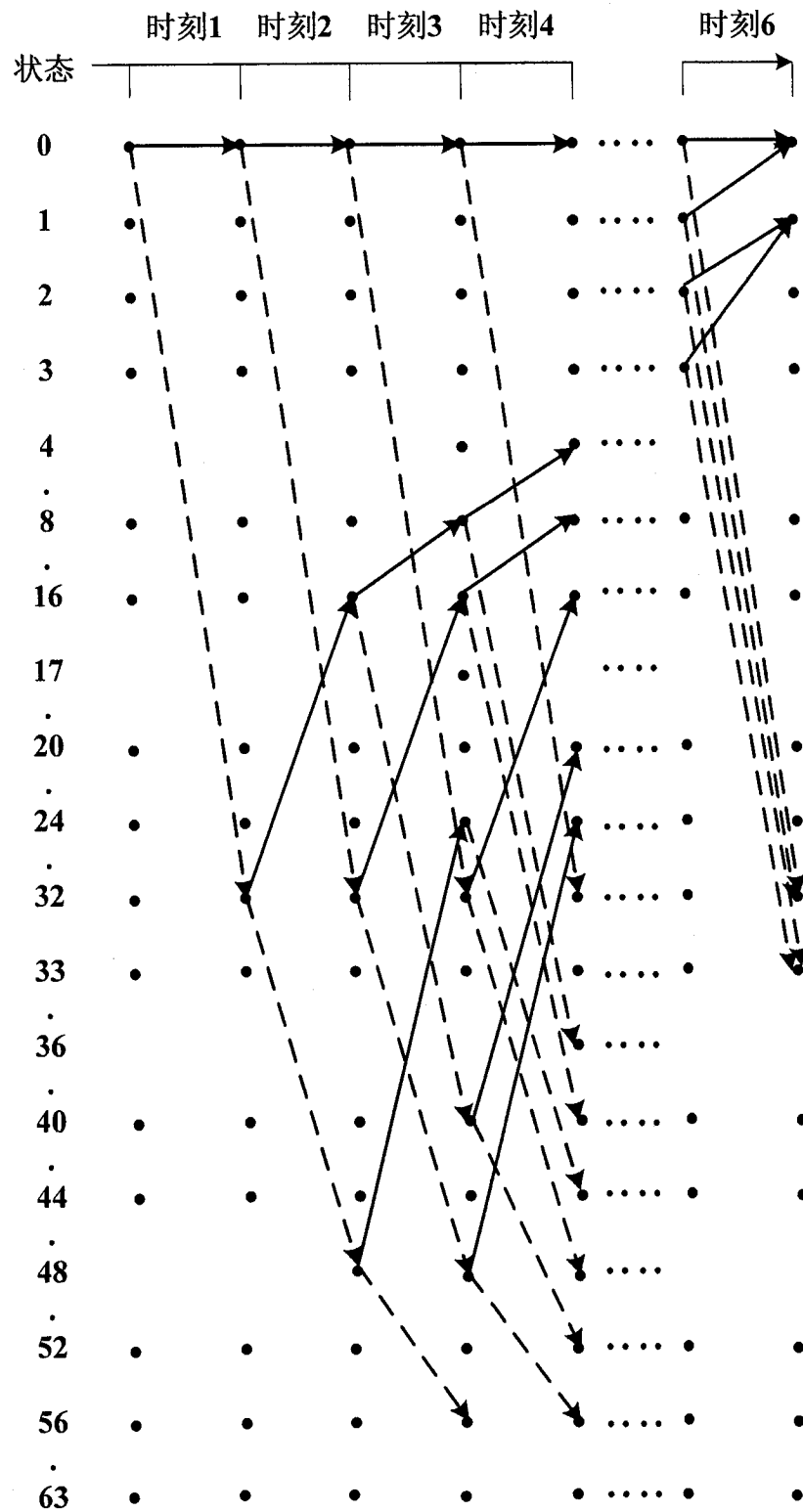


图 2

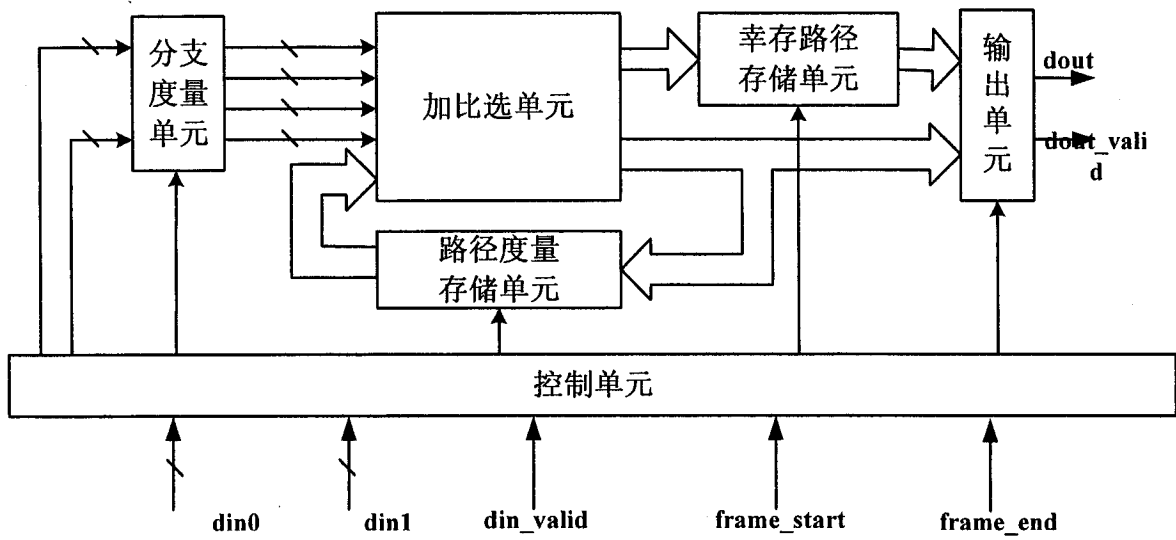


图 3

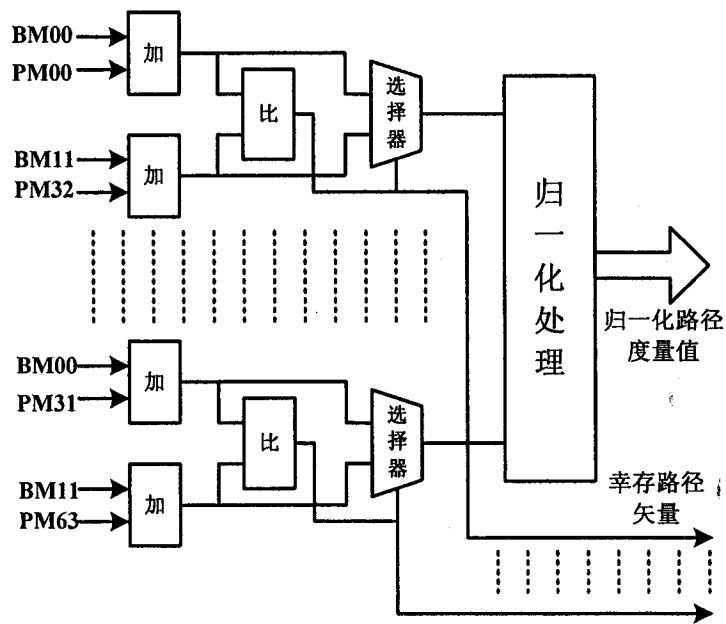


图 4

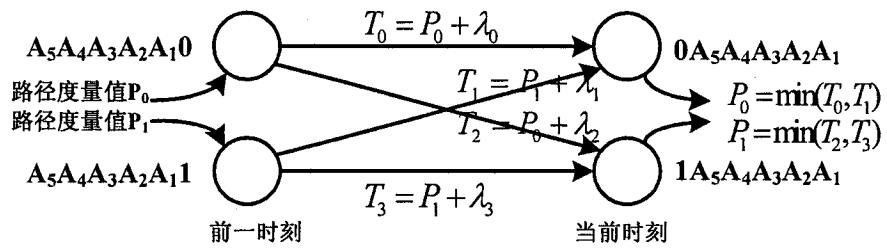


图 5

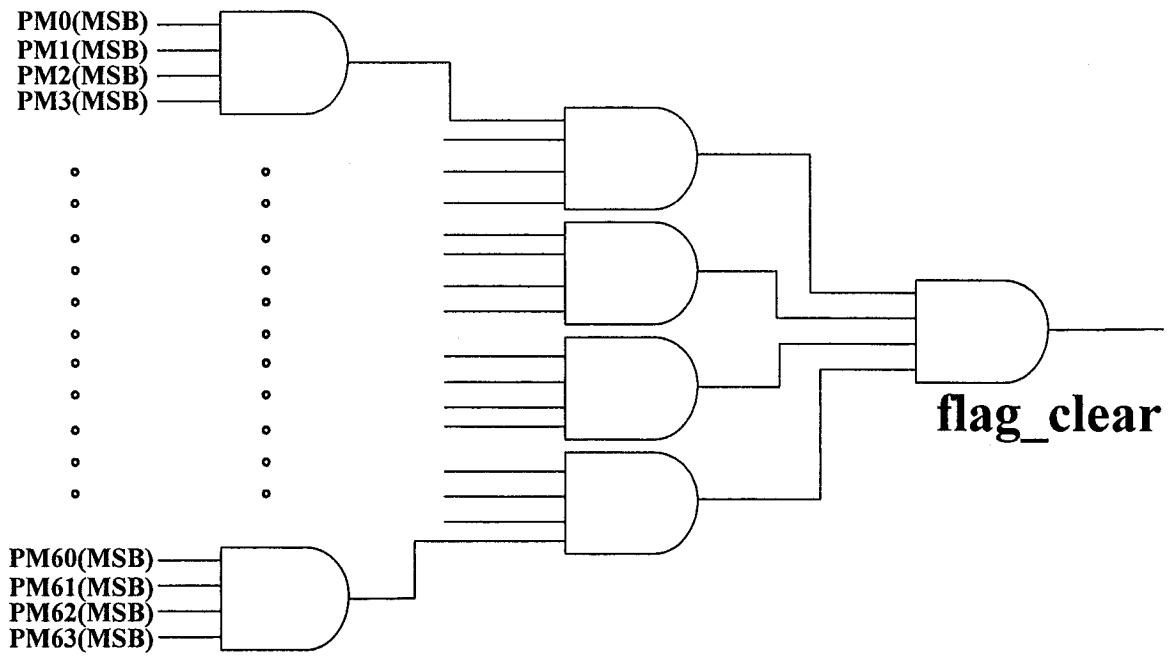


图 6

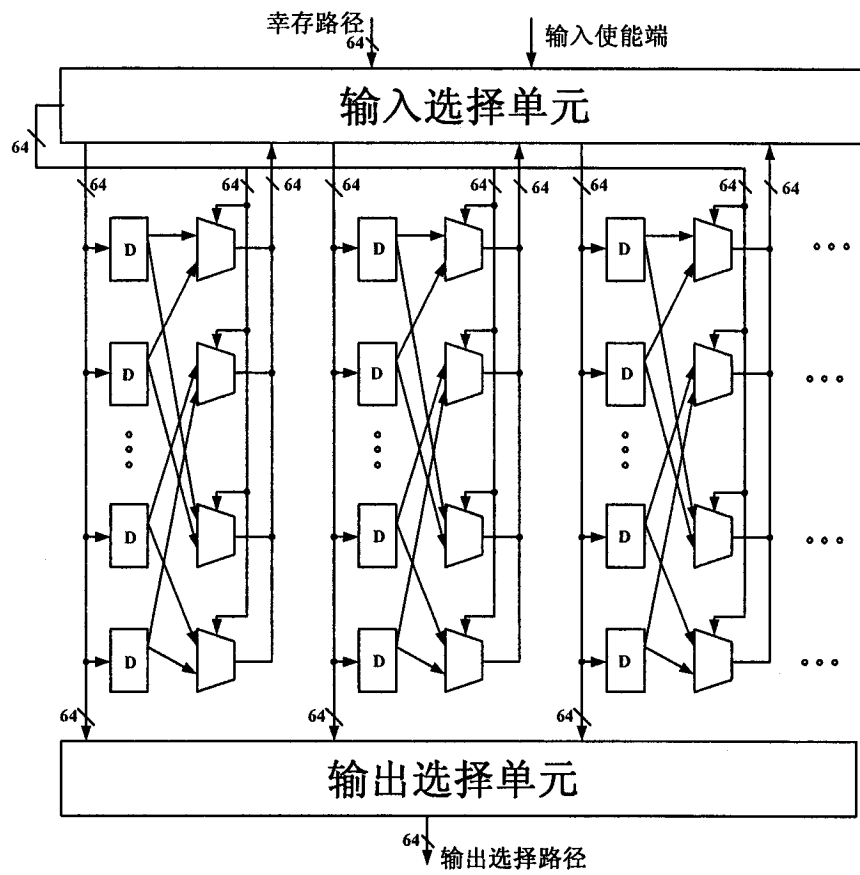


图 7a

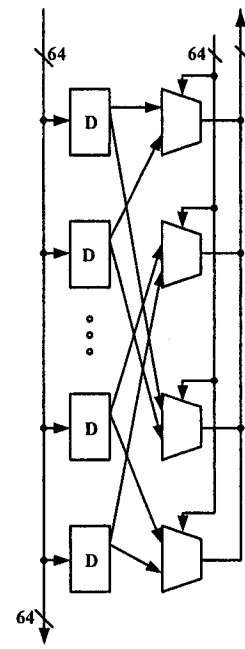


图 7b

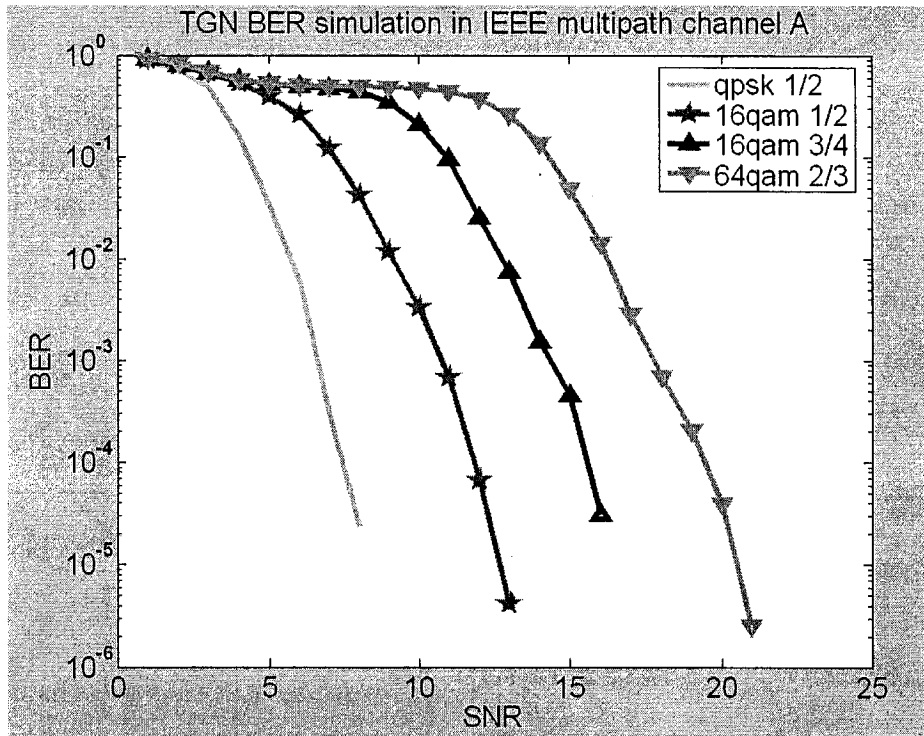


图 8

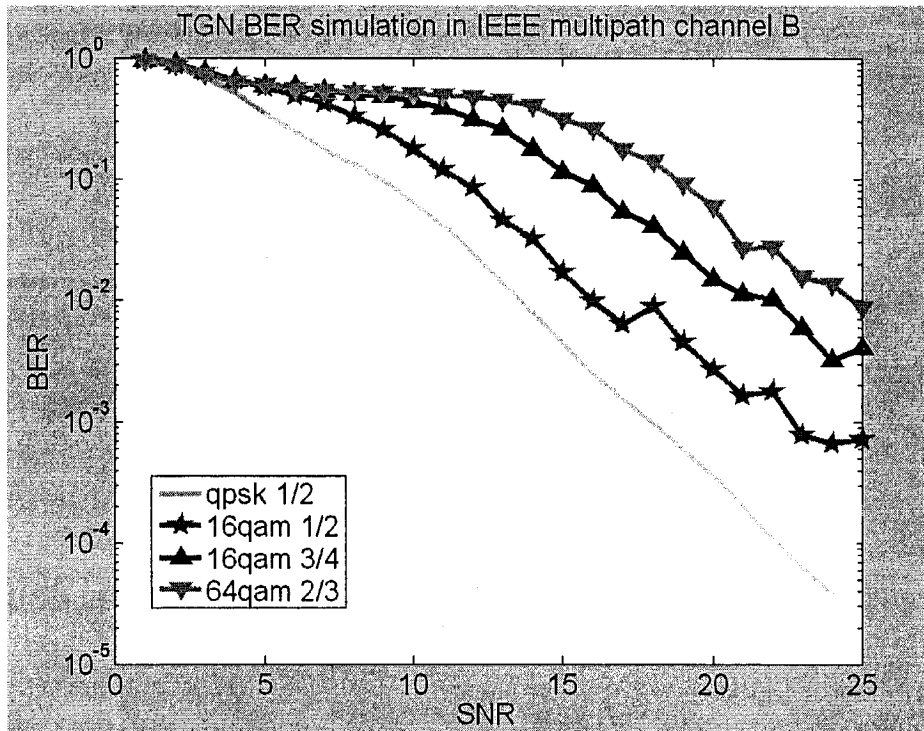


图 9

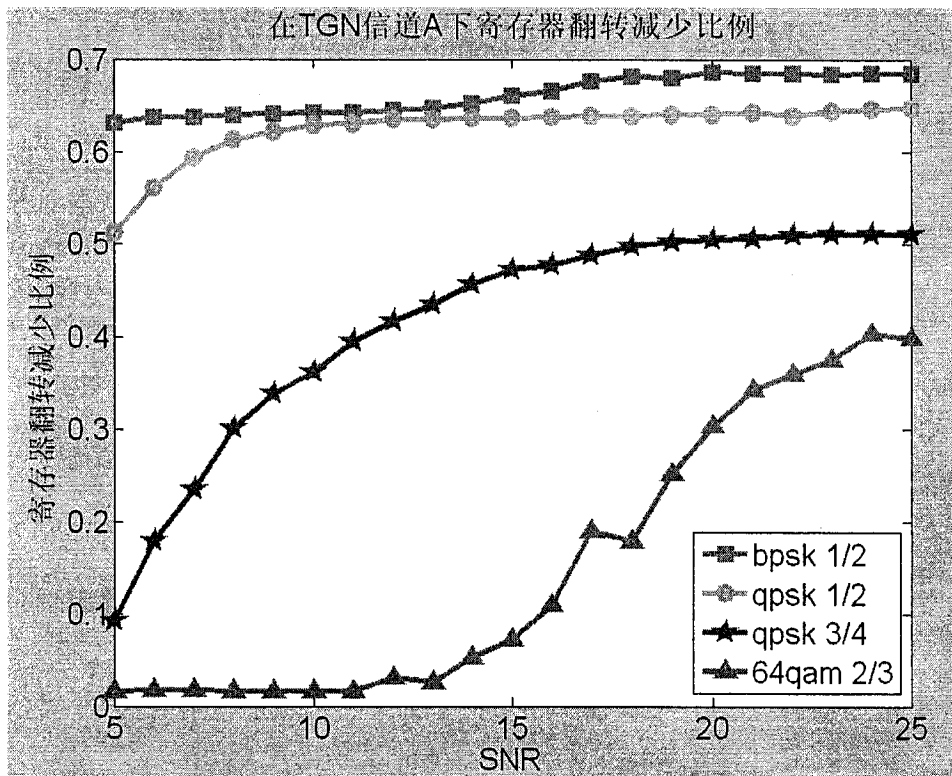


图 10

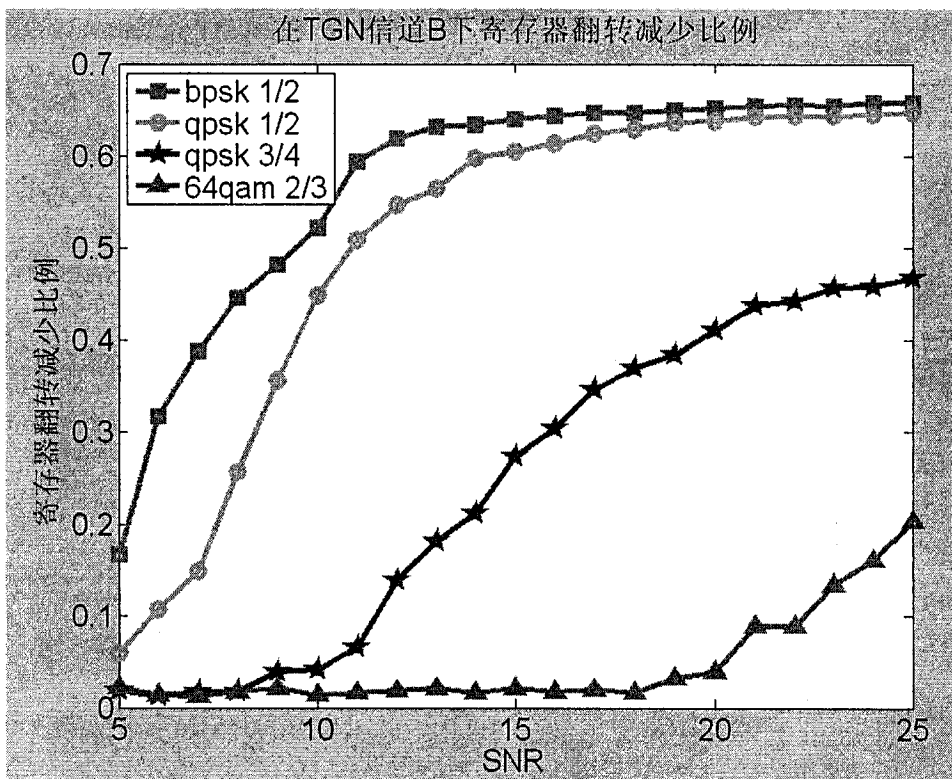


图 11