

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-12767

(P2019-12767A)

(43) 公開日 平成31年1月24日(2019.1.24)

(51) Int.Cl. F I テーマコード (参考)
 HO 1 L 25/07 (2006.01) HO 1 L 25/04 C
 HO 1 L 25/18 (2006.01)

審査請求 未請求 請求項の数 18 O L (全 42 頁)

(21) 出願番号	特願2017-128640 (P2017-128640)	(71) 出願人	302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号
(22) 出願日	平成29年6月30日 (2017. 6. 30)	(74) 代理人	110002066 特許業務法人筒井国際特許事務所
		(72) 発明者	武藤 邦治 東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内
		(72) 発明者	板東 晃司 東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内

(54) 【発明の名称】 半導体モジュールの製造方法および半導体モジュール

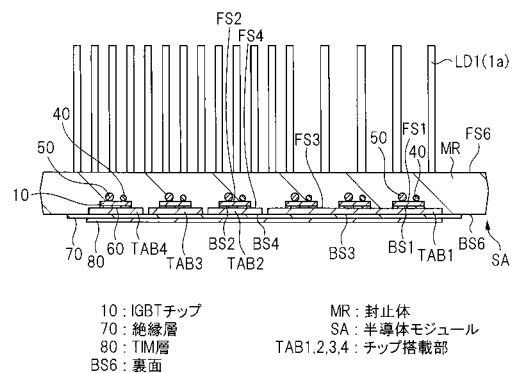
(57) 【要約】

【課題】半導体モジュールの信頼性を向上させる。

【解決手段】半導体モジュールSAの組立ての樹脂モールド工程では、IGBTチップ10と、ダイオードチップと、制御チップと、チップ搭載部TAB1~4のそれぞれの一部とを、封止体MRの裏面BS6からチップ搭載部TAB1~4のそれぞれの裏面が露出するように樹脂モールドを行う。上記樹脂モールド後、封止体MRの裏面BS6にチップ搭載部TAB1~4のそれぞれの裏面(露出部)を覆うように、絶縁層70を貼り、その後、絶縁層70にTIM層80を貼り付ける。ここで、平面視におけるTIM層80の領域は、絶縁層70の領域に包含されている。

【選択図】 図3

図 3



【特許請求の範囲】

【請求項 1】

以下の工程を有する半導体モジュールの製造方法：

(a) 第 1 パワートランジスタを内蔵し、前記第 1 パワートランジスタに電氣的に接続する第 1 端子を備えた第 1 面と、前記第 1 パワートランジスタに電氣的に接続する第 2 端子が形成された前記第 1 面の反対側の第 2 面と、を有する第 1 半導体チップを準備する工程；

(b) 第 2 パワートランジスタを内蔵し、前記第 2 パワートランジスタに電氣的に接続する第 3 端子を備えた第 1 面と、前記第 2 パワートランジスタに電氣的に接続する第 4 端子が形成された前記第 1 面の反対側の第 2 面と、を有する第 2 半導体チップを準備する工程；

(c) 前記 (a) 工程の後、第 1 面と前記第 1 面の反対側の第 2 面を有する第 1 チップ搭載部に、前記第 1 チップ搭載部の前記第 1 面と前記第 1 半導体チップの前記第 2 面とが向かい合うように、導電性の第 1 接合材を介して前記第 1 半導体チップを搭載する工程；

(d) 前記 (b) 工程の後、第 1 面と前記第 1 面の反対側の第 2 面を有する第 2 チップ搭載部に、前記第 2 チップ搭載部の前記第 1 面と前記第 2 半導体チップの前記第 2 面とが向かい合うように、導電性の第 2 接合材を介して前記第 2 半導体チップを搭載する工程；

(e) 前記 (c) および (d) 工程の後、前記第 1 半導体チップの前記第 1 端子と前記第 2 チップ搭載部とを第 1 導電性部材を介して電氣的に接続する工程；

(f) 前記 (c) および (d) 工程の後、前記第 2 半導体チップの前記第 3 端子とリードとを第 2 導電性部材を介して電氣的に接続する工程；

(g) 前記 (e) および (f) 工程の後、前記第 1 半導体チップと、前記第 2 半導体チップと、前記第 1 チップ搭載部の一部と、前記第 2 チップ搭載部の一部と、前記第 1 導電性部材と、前記第 2 導電性部材と、前記リードの一部とを、第 1 面と前記第 1 面の反対側の第 2 面とを有する封止体で、前記封止体の前記第 2 面から前記第 1 チップ搭載部の前記第 2 面と前記第 2 チップ搭載部の前記第 2 面のそれぞれが露出するように封止する工程；

(h) 前記 (g) 工程の後、前記封止体の前記第 2 面に前記第 1 チップ搭載部の前記第 2 面と前記第 2 チップ搭載部の前記第 2 面とを覆うように、絶縁層を貼る工程；

(i) 前記 (h) 工程の後、前記絶縁層に熱伝達材料層を貼る工程；

ここで、

前記 (i) 工程の後、平面視において、前記熱伝達材料層の領域は、前記絶縁層の領域に包含されている。

【請求項 2】

請求項 1 に記載の半導体モジュールの製造方法において、

前記 (i) 工程の後、透過平面視において、前記第 1 半導体チップと前記第 2 半導体チップのそれぞれは、前記熱伝達材料層の領域の内側に位置している、半導体モジュールの製造方法。

【請求項 3】

請求項 1 に記載の半導体モジュールの製造方法において、

前記 (g) 工程の後、かつ前記 (h) 工程の前に、前記封止体から露出する複数の前記リードのそれぞれの一部を切断・成形する工程を有する、半導体モジュールの製造方法。

【請求項 4】

請求項 1 に記載の半導体モジュールの製造方法において、

平面視において、前記封止体は、それぞれに前記封止体の前記第 1 面から前記第 2 面に貫通する第 1 貫通孔および第 2 貫通孔を有し、

前記絶縁層および前記熱伝達材料層は、前記第 1 貫通孔と前記第 2 貫通孔との間に位置している、半導体モジュールの製造方法。

【請求項 5】

請求項 4 に記載の半導体モジュールの製造方法において、

前記第 1 貫通孔と前記第 2 貫通孔のそれぞれにネジ部材を装着し、

10

20

30

40

50

前記ネジ部材によって前記封止体と放熱板とを接合する、半導体モジュールの製造方法。

【請求項 6】

請求項 5 に記載の半導体モジュールの製造方法において、
平面視において、前記絶縁層と前記熱伝達材料層は、前記第 1 貫通孔と前記第 2 貫通孔のそれぞれ中心を結ぶ仮想線の両側に跨がって配置されている、半導体モジュールの製造方法。

【請求項 7】

請求項 6 に記載の半導体モジュールの製造方法において、
平面視において、前記仮想線に沿う方向に配置された前記絶縁層の一方の辺と前記仮想線との距離と、前記絶縁層の他方の辺と前記仮想線との距離とは、同じである、半導体モジュールの製造方法。

10

【請求項 8】

請求項 1 に記載の半導体モジュールの製造方法において、
前記半導体モジュールは、前記第 1 半導体チップと前記第 2 半導体チップとを制御する制御チップをさらに備え、
透過平面視において、前記制御チップは、前記絶縁層の領域と前記熱伝達材料層の領域とに位置している、半導体モジュールの製造方法。

【請求項 9】

請求項 1 に記載の半導体モジュールの製造方法において、
前記第 1 チップ搭載部と前記第 2 チップ搭載部のそれぞれの厚さは、前記絶縁層と前記熱伝達材料層のそれぞれの厚さ以上である、半導体モジュールの製造方法。

20

【請求項 10】

請求項 1 に記載の半導体モジュールの製造方法において、
前記第 1 半導体チップにおける前記第 1 端子はエミッタ端子であり、かつ前記第 2 端子はコレクタ端子であり、
前記第 2 半導体チップにおける前記第 3 端子はエミッタ端子であり、かつ前記第 4 端子はコレクタ端子である、半導体モジュールの製造方法。

【請求項 11】

請求項 1 に記載の半導体モジュールの製造方法において、
前記 (i) 工程の後、平面視において、前記絶縁層は、第 1 方向に延在する第 1 辺、前記第 1 辺の反対側の第 2 辺、前記第 1 方向に交差する第 2 方向に延在する第 3 辺と前記第 3 辺の反対側の第 4 辺とを有しており、かつ、平面視において、前記熱伝達材料層は、前記第 1 方向に延在する第 5 辺、前記第 5 辺の反対側の第 6 辺、前記第 2 方向に延在する第 7 辺と前記第 7 辺の反対側の第 8 辺とを有しており、さらに、平面視において、前記熱伝達材料層の前記第 5 辺は、前記絶縁層の前記第 1 辺と前記絶縁層の前記第 2 辺との間に位置し、前記熱伝達材料層の前記第 6 辺は、前記絶縁層の前記第 2 辺と前記熱伝達材料層の前記第 5 辺との間に位置し、前記熱伝達材料層の前記第 7 辺は、前記絶縁層の前記第 3 辺と前記絶縁層の前記第 4 辺との間に位置し、前記熱伝達材料層の前記第 8 辺は、前記絶縁層の前記第 4 辺と前記熱伝達材料層の前記第 7 辺との間に位置している、半導体モジュールの製造方法。

30

40

【請求項 12】

以下の工程を有する半導体モジュールの製造方法：

(a) 第 1 パワートランジスタを内蔵し、前記第 1 パワートランジスタに電氣的に接続する第 1 端子を備えた第 1 面と、前記第 1 パワートランジスタに電氣的に接続する第 2 端子が形成された前記第 1 面の反対側の第 2 面と、を有する第 1 半導体チップを準備する工程；

(b) 第 2 パワートランジスタを内蔵し、前記第 2 パワートランジスタに電氣的に接続する第 3 端子を備えた第 1 面と、前記第 2 パワートランジスタに電氣的に接続する第 4 端子が形成された前記第 1 面の反対側の第 2 面と、を有する第 2 半導体チップを準備する工

50

程；

(c) 前記(a)工程の後、第1面と前記第1面の反対側の第2面を有する第1チップ搭載部に、前記第1チップ搭載部の前記第1面と前記第1半導体チップの前記第2面とが向かい合うように、導電性の第1接合材を介して前記第1半導体チップを搭載する工程；

(d) 前記(b)工程の後、第1面と前記第1面の反対側の第2面を有する第2チップ搭載部に、前記第2チップ搭載部の前記第1面と前記第2半導体チップの前記第2面とが向かい合うように、導電性の第2接合材を介して前記第2半導体チップを搭載する工程；

(e) 前記(c)および(d)工程の後、前記第1半導体チップの前記第1端子と前記第2チップ搭載部とを第1導電性部材を介して電氣的に接続する工程；

(f) 前記(c)および(d)工程の後、前記第2半導体チップの前記第3端子とリードとを第2導電性部材を介して電氣的に接続する工程；

(g) 前記(e)および(f)工程の後、前記第1半導体チップと、前記第2半導体チップと、前記第1チップ搭載部の一部と、前記第2チップ搭載部の一部と、前記第1導電性部材と、前記第2導電性部材と、前記リードの一部とを、第1面と前記第1面の反対側の第2面とを有する封止体で、前記封止体の前記第2面から前記第1チップ搭載部の前記第2面と前記第2チップ搭載部の前記第2面のそれぞれが露出するように封止する工程；

(h) 前記(g)工程の後、絶縁層と熱伝達材料層とを接合して形成されたシート構造体の前記絶縁層が、前記封止体の前記第2面に前記第1チップ搭載部の前記第2面と前記第2チップ搭載部の前記第2面とを覆うように、前記シート構造体を貼る工程；

ここで、

前記(h)工程の後、平面視において、前記シート構造体における前記熱伝達材料層の領域は、前記絶縁層の領域に包含されている。

【請求項13】

請求項12に記載の半導体モジュールの製造方法において、

前記(h)工程の後、透過平面視において、前記第1半導体チップと前記第2半導体チップのそれぞれは、前記熱伝達材料層の領域の内側に位置している、半導体モジュールの製造方法。

【請求項14】

請求項12に記載の半導体モジュールの製造方法において、

前記(h)工程の後、平面視において、前記絶縁層は、第1方向に延在する第1辺、前記第1辺の反対側の第2辺、前記第1方向に交差する第2方向に延在する第3辺と前記第3辺の反対側の第4辺とを有しており、かつ、平面視において、前記熱伝達材料層は、前記第1方向に延在する第5辺、前記第5辺の反対側の第6辺、前記第2方向に延在する第7辺と前記第7辺の反対側の第8辺とを有しており、さらに、平面視において、前記熱伝達材料層の前記第5辺は、前記絶縁層の前記第1辺と前記絶縁層の前記第2辺との間に位置し、前記熱伝達材料層の前記第6辺は、前記絶縁層の前記第2辺と前記熱伝達材料層の前記第5辺との間に位置し、前記熱伝達材料層の前記第7辺は、前記絶縁層の前記第3辺と前記絶縁層の前記第4辺との間に位置し、前記熱伝達材料層の前記第8辺は、前記絶縁層の前記第4辺と前記熱伝達材料層の前記第7辺との間に位置している、半導体モジュールの製造方法。

【請求項15】

第1パワートランジスタを内蔵し、前記第1パワートランジスタに電氣的に接続する第1端子を備えた第1面と、前記第1パワートランジスタに電氣的に接続する第2端子が形成された前記第1面の反対側の第2面と、を有する第1半導体チップと、

第2パワートランジスタを内蔵し、前記第2パワートランジスタに電氣的に接続する第3端子を備えた第1面と、前記第2パワートランジスタに電氣的に接続する第4端子が形成された前記第1面の反対側の第2面と、を有する第2半導体チップと、

第1面とその反対側の第2面を有する第1チップ搭載部であって、前記第1チップ搭載部の前記第1面と前記第1半導体チップの前記第2面とが向かい合うように、導電性の第1接合材を介して前記第1半導体チップが搭載された前記第1チップ搭載部と、

10

20

30

40

50

第1面とその反対側の第2面を有する第2チップ搭載部であって、前記第2チップ搭載部の前記第1面と前記第2半導体チップの前記第2面とが向かい合うように、導電性の第2接合材を介して前記第2半導体チップが搭載された前記第2チップ搭載部と、

前記第1チップ搭載部と前記第2チップ搭載部の周囲に配置された複数のリードと、

前記第1半導体チップの前記第1端子と前記第2チップ搭載部とを電氣的に接続する第1導電性部材と、

前記第2半導体チップの前記第3端子と前記複数のリードのうちの何れかのリードとを電氣的に接続する第2導電性部材と、

第1面と前記第1面の反対側の第2面とを有する封止体であって、前記第1半導体チップと、前記第2半導体チップと、前記第1チップ搭載部の一部と、前記第2チップ搭載部
10
の一部と、前記第1導電性部材と、前記第2導電性部材と、前記複数のリードそれぞれの一部とを、前記封止体の前記第2面から前記第1チップ搭載部の前記第2面と前記第2チップ搭載部の前記第2面のそれぞれが露出するように封止する前記封止体と、

前記封止体の前記第2面に前記第1チップ搭載部の前記第2面と前記第2チップ搭載部の前記第2面とを覆うように接合された絶縁層と、

前記絶縁層と積層されて接合された熱伝達材料層と、

を有し、

平面視において、前記熱伝達材料層の領域は、前記絶縁層の領域に包含されている、半導体モジュール。

【請求項16】

20

請求項15に記載の半導体モジュールにおいて、

透過平面視において、前記第1半導体チップと前記第2半導体チップのそれぞれは、前記熱伝達材料層の領域の内側に配置されている、半導体モジュール。

【請求項17】

請求項15に記載の半導体モジュールにおいて、

前記第1半導体チップと前記第2半導体チップとを制御する制御チップをさらに備え、透過平面視において、前記制御チップは、前記絶縁層の領域と前記熱伝達材料層の領域とに配置されている、半導体モジュール。

【請求項18】

30

請求項15に記載の半導体モジュールにおいて、

平面視において、前記絶縁層は、第1方向に延在する第1辺、前記第1辺の反対側の第2辺、前記第1方向に交差する第2方向に延在する第3辺と前記第3辺の反対側の第4辺とを有しており、

平面視において、前記熱伝達材料層は、前記第1方向に延在する第5辺、前記第5辺の反対側の第6辺、前記第2方向に延在する第7辺と前記第7辺の反対側の第8辺とを有しており、

平面視において、前記熱伝達材料層の前記第5辺は、前記絶縁層の前記第1辺と前記絶縁層の前記第2辺との間に位置し、前記熱伝達材料層の前記第6辺は、前記絶縁層の前記第2辺と前記熱伝達材料層の前記第5辺との間に位置し、前記熱伝達材料層の前記第7辺は、前記絶縁層の前記第3辺と前記絶縁層の前記第4辺との間に位置し、前記熱伝達材料層の前記第8辺は、前記絶縁層の前記第4辺と前記熱伝達材料層の前記第7辺との間に位置している、半導体モジュール。
40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、パワー半導体モジュール（IPM（Intelligent Power Module）、電子装置など）の製造方法とその構造に関する。

【背景技術】

【0002】

特開2012-195492号公報（特許文献1）には、MOSFET（Metal Oxide S
50

emiconductor Field Effect Transistor) を有するパワー半導体モジュールとその取り付け構造に関する技術が記載されている。このパワー半導体モジュールは、パワー半導体素子が搭載された第1金属基板と、パワー半導体素子が搭載されていない第2金属基板と、を備えており、上記第1金属基板のパワー半導体素子搭載面とは反対側の裏面を、樹脂パッケージ外に露出させ放熱面を形成した構造となっている。

【0003】

特開2005-109100号公報(特許文献2)には、パワーチップを備えた半導体装置とその製造技術が記載されている。具体的に、上記特許文献2に記載された半導体装置の組立てでは、金属箔が取り付けられた樹脂シートを樹脂封止用金型の内部底面に配置して樹脂モールドを行う技術が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2012-195492号公報

【特許文献2】特開2005-109100号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

パワー系の半導体モジュールにおいて、半導体チップが搭載されるチップ搭載部が封止体から露出しないフルモールドタイプの構造では、チップ搭載部から封止体の外部への放熱性が悪い。そこで、本発明者は、複数の半導体チップがそれぞれ搭載される複数のチップ搭載部を備えた半導体モジュールにおいて、複数のチップ搭載部の一部を封止体の外部に露出させる構造を検討した。

【0006】

本発明者が検討したところ、複数のチップ搭載部の一部を封止体の外部に露出させる構造の半導体モジュールでは、この半導体モジュールを放熱板に実装すると、複数のチップ搭載部の一部が放熱板を介してショートする可能性があり、半導体モジュールの信頼性を考慮した場合、改善すべき事項があることを本発明者は見出した。

【0007】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0008】

一実施の形態による半導体モジュールの製造方法は、第1半導体チップと第2半導体チップと第1チップ搭載部の一部と第2チップ搭載部の一部とを、封止体の第2面から上記第1チップ搭載部の第2面と上記第2チップ搭載部の第2面のそれぞれが露出するように封止する。上記封止後、上記封止体の上記第2面に上記第1チップ搭載部の上記第2面と上記第2チップ搭載部の上記第2面とを覆うように、絶縁層を貼り、その後、上記絶縁層に熱伝達材料層を貼る。ここで、平面視において、上記熱伝達材料層の領域は、上記絶縁層の領域に包含されている。

【0009】

また、一実施の形態による他の半導体モジュールの製造方法は、第1半導体チップと第2半導体チップと第1チップ搭載部の一部と第2チップ搭載部の一部とを、封止体の第2面から上記第1チップ搭載部の第2面と上記第2チップ搭載部の第2面のそれぞれが露出するように封止する。上記封止後、絶縁層と熱伝達材料層とを接合して形成されたシート構造体の上記絶縁層が、上記封止体の上記第2面に上記第1チップ搭載部の上記第2面と上記第2チップ搭載部の上記第2面とを覆うように、上記シート構造体を貼る。ここで、平面視において、上記シート構造体における上記熱伝達材料層の領域は、上記絶縁層の領域に包含されている。

【0010】

10

20

30

40

50

また、一実施の形態による半導体モジュールは、第1面と第2面とを有し、かつ第1半導体チップと、第2半導体チップと、第1チップ搭載部の一部と、第2チップ搭載部の一部とを、上記第2面から上記第1チップ搭載部の第2面と上記第2チップ搭載部の第2面のそれぞれが露出するように封止する封止体を有している。さらに、上記封止体の上記第2面に上記第1チップ搭載部の上記第2面と上記第2チップ搭載部の上記第2面とを覆うように接合された絶縁層と、上記絶縁層と積層されて接合された熱伝達材料層とを有している。そして、平面視において、上記熱伝達材料層の領域は、上記絶縁層の領域に包含されている。

【発明の効果】

【0011】

上記一実施の形態によれば、半導体モジュールの信頼性を向上させることができる。

【図面の簡単な説明】

【0012】

【図1】実施の形態1の半導体モジュールの構造を示す平面図である。

【図2】図1の半導体モジュールの構造を示す裏面図である。

【図3】図2のA-A線に沿って切断した構造を示す断面図である。

【図4】図2のB-B線に沿って切断した構造を示す断面図である。

【図5】図1の半導体モジュールの内部構造を示す透過平面図である。

【図6】本発明者が比較検討した半導体モジュールの構造を示す平面図である。

【図7】図6の半導体モジュールの構造を示す裏面図である。

【図8】図6のA-A線に沿って切断した構造を示す断面図である。

【図9】図6のB-B線に沿って切断した構造を示す断面図である。

【図10】図1の半導体モジュールにおけるインバータ回路および3相誘導モータを含むモータ回路の構成を示す回路図である。

【図11】図1の半導体モジュールにおいてIGBTが形成された半導体チップの外形形状を示す平面図である。

【図12】図11のIGBTのデバイス構造を示す断面図である。

【図13】図1の半導体モジュールにおいてダイオードが形成された半導体チップの外形形状を示す平面図である。

【図14】図13のダイオードのデバイス構造を示す断面図である。

【図15】図1の半導体モジュールにおけるゲート制御回路の回路ブロック構成を示す図である。

【図16】図1の半導体モジュールにおける回路ブロック構成を示す図である。

【図17】図16のゲート制御回路の内部ブロック構成を示す図である。

【図18】図17のゲート制御回路を具現化する半導体チップの構成を示す模式図である。

【図19】図1に示す半導体モジュールの組立てに用いられるリードフレームの構造を示す平面図である。

【図20】図19のA-A線に沿って切断した構造を示す断面図である。

【図21】図19のB-B線に沿って切断した構造を示す断面図である。

【図22】図1に示す半導体モジュールの組立てにおいてIGBTチップとダイオードチップのダイボンディング完了時の構造を示す平面図である。

【図23】図22のA-A線に沿って切断した構造を示す断面図である。

【図24】図22のB-B線に沿って切断した構造を示す断面図である。

【図25】図1に示す半導体モジュールの組立てにおいて制御チップのダイボンディング完了時の構造を示す平面図である。

【図26】図1に示す半導体モジュールの組立てにおいてアルミニウムワイヤのワイヤボンディング完了時の構造を示す平面図である。

【図27】図1に示す半導体モジュールの組立てにおいて金ワイヤのワイヤボンディング完了時の構造を示す平面図である。

10

20

30

40

50

【図 28】図 1 に示す半導体モジュールの組立てにおいてワイヤボンディング済みのリードフレームをモールド金型のキャビティ内に配置した構造を図 22 の A - A 線に沿って切断した構造を示す断面図である。

【図 29】図 1 に示す半導体モジュールの組立てにおいてワイヤボンディング済みのリードフレームをモールド金型のキャビティ内に配置した構造を図 22 の B - B 線に沿って切断した構造を示す断面図である。

【図 30】図 28 に示す構造においてキャビティ内に樹脂を注入し始めた状態を示す断面図である。

【図 31】図 29 に示す構造においてキャビティ内に樹脂を注入し始めた状態を示す断面図である。

【図 32】図 28 に示す構造においてキャビティ内への樹脂の注入を完了した状態を示す断面図である。

【図 33】図 29 に示す構造においてキャビティ内への樹脂の注入を完了した状態を示す断面図である。

【図 34】モールドを完了したリードフレームをモールド金型から取り出した構造を示す平面図である。

【図 35】図 34 の A - A 線に沿って切断した構造を示す断面図である。

【図 36】図 34 の B - B 線に沿って切断した構造を示す断面図である。

【図 37】図 1 に示す半導体モジュールの組立てにおいてメッキ形成後の構造を示す平面図である。

【図 38】図 37 の A - A 線に沿って切断した構造を示す断面図である。

【図 39】図 37 の B - B 線に沿って切断した構造を示す断面図である。

【図 40】図 1 に示す半導体モジュールの組立てにおいてリード切断・成形後の構造を示す平面図である。

【図 41】図 40 の半導体モジュールの構造を示す裏面図である。

【図 42】図 40 の A - A 線に沿って切断した構造を示す断面図である。

【図 43】図 40 の B - B 線に沿って切断した構造を示す断面図である。

【図 44】図 1 に示す半導体モジュールの組立てにおいて絶縁層および T I M 層貼り付け後の構造を示す裏面図である。

【図 45】図 44 の A - A 線に沿って切断した構造を示す断面図である。

【図 46】図 44 の B - B 線に沿って切断した構造を示す断面図である。

【図 47】図 44 に示す半導体モジュールを放熱板に実装した構造を図 44 の A - A 線に沿って切断した構造を示す断面図である。

【図 48】図 44 に示す半導体モジュールを放熱板に実装した構造を図 44 の B - B 線に沿って切断した構造を示す断面図である。

【図 49】本発明者が比較検討した半導体モジュールの構造を示す部分断面図である。

【図 50】本実施の形態 1 の半導体モジュールの構造を示す部分断面図である。

【図 51】本実施の形態 1 の半導体モジュールの裏面側の構造においてチップ搭載部の露出部の各部寸法の一例を示す裏面図である。

【図 52】本実施の形態 1 の半導体モジュールの裏面側の構造を示す裏面図である。

【図 53】本実施の形態 1 の変形例の半導体モジュールの裏面側の構造においてチップ搭載部の露出構造を示す裏面図である。

【図 54】本実施の形態 1 の変形例の半導体モジュールの裏面側の構造を示す裏面図である。

【図 55】本実施の形態 2 の半導体モジュールの裏面側の構造においてチップ搭載部の露出構造を示す裏面図である。

【図 56】本実施の形態 2 の半導体モジュールの裏面側の構造を示す裏面図である。

【発明を実施するための形態】

【0013】

以下の実施の形態では特に必要なとき以外は同一または同様な部分の説明を原則として

10

20

30

40

50

繰り返さない。

【 0 0 1 4 】

さらに、以下の実施の形態では便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。

【 0 0 1 5 】

また、以下の実施の形態において、要素の数など（個数、数値、量、範囲などを含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合などを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良いものとする。

10

【 0 0 1 6 】

また、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【 0 0 1 7 】

また、以下の実施の形態において、構成要素等について、「Aを有する」、「Aを含む」と言うときは、特にその要素のみである旨明示した場合等を除き、それ以外の要素を排除するものでないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

20

【 0 0 1 8 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

【 0 0 1 9 】

<用語の説明>

本明細書において、「半導体モジュール」とは、半導体部品（半導体チップ）と、この半導体部品と電氣的に接続された外部接続端子とを備える構造体であり、かつ、半導体部品が封止体で覆われている構造体を意味する。特に、「半導体モジュール」は、外部接続端子によって、外部装置と電氣的に接続可能に構成されている。

30

【 0 0 2 0 】

また、本明細書において、「パワートランジスタ」とは、複数の単位トランジスタ（セルトランジスタ）を並列接続することによって（例えば、数千個から数万個の単位トランジスタを並列接続する）、単位トランジスタの許容電流よりも大きな電流においても、単位トランジスタの機能を実現する単位トランジスタの集合体を意味する。例えば、単位トランジスタがスイッチング素子として機能する場合、「パワートランジスタ」は、単位トランジスタの許容電流よりも大きな電流にも適用可能なスイッチング素子となる。スイッチング素子を構成する「パワートランジスタ」として、I G B T（Insulated Gate Bipolar Transistor）と、パワー M O S F E Tとが例示できる。本明細書において、「パワートランジスタ」という用語は、例えば、「パワー M O S F E T」と「I G B T」の両方を包含する上位概念を示す語句として使用している。

40

【 0 0 2 1 】

（実施の形態 1）

<半導体モジュールの構造>

図 1 は実施の形態 1 の半導体モジュールの構造を示す平面図、図 2 は図 1 の半導体モジュールの構造を示す裏面図、図 3 は図 2 の A - A 線に沿って切断した構造を示す断面図、図 4 は図 2 の B - B 線に沿って切断した構造を示す断面図、図 5 は図 1 の半導体モジュール

50

ルの内部構造を示す透過平面図である。

【0022】

図1～図5に示す本実施の形態1の半導体モジュールは、例えば、エアコンなどに使用される3相誘導モータの駆動回路に使用されるものである。具体的に、この駆動回路には、インバータ回路が含まれ、このインバータ回路は直流電力を交流電力に変換する機能を有する回路である。

【0023】

本実施の形態1では、半導体モジュールに内蔵されるパワートランジスタが、IGBTの場合であり、半導体モジュールに複数のIGBTチップが組み込まれている場合を説明する。なお、3相インバータ回路を構成するIGBTが形成された複数の半導体チップを区別する必要がないときには、本明細書では、単に「IGBTチップ10」と呼び、同様に、3相インバータ回路を構成するダイオードが形成された複数の半導体チップを区別する必要がないときには、本明細書では、単に「ダイオードチップ20」と呼ぶ。

10

【0024】

本実施の形態1の半導体モジュールSAの概略構成について説明すると、図3～図5に示すように、それぞれパワートランジスタを内蔵する複数のIGBTチップ10と、それぞれダイオードを有する複数のダイオードチップ20と、複数のIGBTチップ10それぞれの動作を制御する制御チップ30と、が組み込まれている。そして、第1半導体チップおよび第2半導体チップを含む複数のIGBTチップ10と、複数のダイオードチップ20とは、チップ搭載部TAB1～4の何れかにそれぞれ導電性の接合材60を介して搭載され、一方、制御チップ30は、チップ搭載部TAB5に非導電性の接合材65を介して搭載されている。

20

【0025】

また、図5に示すように、制御チップ30とIGBTチップ10とは、金ワイヤ40によって電氣的に接続され、IGBTチップ10とダイオードチップ20とは、金ワイヤ40よりも線径が大きなアルミニウムワイヤ50によって電氣的に接続されている。ここで、金ワイヤ40とは、金(Au)を主成分とする導電性部材であり、一方、アルミニウムワイヤ50とは、アルミニウム(Al)を主成分とする導電性部材である。

【0026】

また、チップ搭載部TAB1～5の周囲には、複数のリードLD1およびリードLD2が設けられている。複数のリードLD1は、チップ搭載部TAB5の周囲に配置され、一方、複数のリードLD2は、チップ搭載部TAB1～4の周囲に配置されている。そして、制御チップ30と複数のリードLD1とは、それぞれ金ワイヤ40によって電氣的に接続されており、一方、ダイオードチップ20と複数のリードLD2とは、それぞれアルミニウムワイヤ50によって電氣的に接続されている。なお、複数のリードLD2には、チップ搭載部TAB2と一体に繋がっているものと、チップ搭載部TABとは別体でリード単独のものとは存在している。具体的には、チップ搭載部TAB1に搭載されたIGBTチップ10は、何れかのチップ搭載部TABと、ダイオードチップ20およびアルミニウムワイヤ50とを介して電氣的に接続されている。一方、チップ搭載部TAB2～4のそれぞれに搭載されたIGBTチップ10は、何れかの単独のリードLD2と、ダイオードチップ20およびアルミニウムワイヤ50とを介して電氣的に接続されている。

30

40

【0027】

また、複数のIGBTチップ10、複数のダイオードチップ20、制御チップ30、チップ搭載部TAB1～4のそれぞれの一部、チップ搭載部TAB5、複数の金ワイヤ40、複数のアルミニウムワイヤ50、複数のリードLD1の一部(インナ部)および複数のリードLD2の一部(インナ部)は、樹脂からなる封止体MRによって封止されている。なお、封止体MRは、表面(第3主面)FS6と、表面FS6の反対側の裏面(第3裏面)BS6と、表面FS6と裏面BS6との間に位置する図4に示す側面SS1とを有している。

【0028】

50

そして、図 1、図 2、図 4 および図 5 に示すように、複数のリード L D 1 のアウト部であるアウトリード 1 a は、封止体 M R のチップ搭載部 T A B 5 に近い側の側面 S S 1 からそれぞれ露出している。一方、複数のリード L D 2 のアウト部であるアウトリード 2 a は、封止体 M R のチップ搭載部 T A B 1 ~ 4 に近い側の側面 S S 1 からそれぞれ露出している。また、図 4 に示すように、複数のアウトリード 1 a、2 a は、それぞれ封止体 M R の表面 F S 6 の方向に向けて折り曲げられている。

【 0 0 2 9 】

また、封止体 M R において、その裏面 B S 6 から、チップ搭載部 T A B 1 ~ 4 のそれぞれの裏面が露出している。ただし、チップ搭載部 T A B 5 の裏面 B S 5 は、封止体 M R の裏面 B S 6 には露出していない。すなわち、チップ搭載部 T A B 5 のみ封止体 M R の内部に埋め込まれている。

10

【 0 0 3 0 】

本実施の形態 1 の半導体モジュール S A では、図 2 ~ 図 4 に示すように、封止体 M R の裏面 B S 6 に絶縁層 7 0 が接合されている（貼り付けられている）。詳細には、封止体 M R の裏面 B S 6 に、この裏面 B S 6 に露出するチップ搭載部 T A B 1 ~ 4 のそれぞれの裏面（露出部）を覆うように絶縁層 7 0 が接合されている（貼り付けられている）。さらに、絶縁層 7 0 と積層されて接合された（貼り付けられた）薄膜状の T I M（Thermal Interface Material、熱伝達材料、熱界面材料）層 8 0 を有している。

【 0 0 3 1 】

そして、図 2 に示すように、半導体モジュール S A の平面視（裏面視）において、T I M 層 8 0 の領域は、絶縁層 7 0 の領域に包含されている。すなわち、平面視の大きさが T I M 層 8 0 より絶縁層 7 0 の方が大きく、四角形の T I M 層 8 0 の 4 辺それぞれにおいて、絶縁層 7 0 が迫り出した構造となっている。絶縁層 7 0 と T I M 層 8 0 の大きさ・位置の関係は、図示しないが、T I M 層 8 0 の領域の縁が絶縁層 7 0 の領域の縁に接している場合も存在するが、後で説明する図 5 0 に示す沿面距離 L 2 を確保する上では、図 2 に示すような絶縁層 7 0 と T I M 層 8 0 の大きさ・位置関係が好ましい。具体的には、平面視において、絶縁層 7 0 は、第 1 方向（x 方向）に延在する第 1 辺 7 1、第 1 辺 7 1 の反対側の第 2 辺 7 2、第 1 方向（x 方向）に交差する第 2 方向（y 方向）に延在する第 3 辺 7 3 および第 3 辺 7 3 の反対側の第 4 辺 7 4 を有している。また、T I M 層 8 0 は、第 1 方向（x 方向）に延在する第 5 辺 8 1、第 5 辺 8 1 の反対側の第 6 辺 8 2、第 2 方向（y 方向）に延在する第 7 辺 8 3 および第 7 辺 8 3 の反対側の第 8 辺 8 4 を有している。そして、平面視において、T I M 層 8 0 の第 5 辺 8 1 は、絶縁層 7 0 の第 1 辺 7 1 と絶縁層 7 0 の第 2 辺 7 2 との間に位置し、T I M 層 8 0 の第 6 辺 8 2 は、絶縁層 7 0 の第 2 辺 7 2 と T I M 層 8 0 の第 5 辺 8 1 との間に位置している。さらに、T I M 層 8 0 の第 7 辺 8 3 は、絶縁層 7 0 の第 3 辺 7 3 と絶縁層 7 0 の第 4 辺 7 4 との間に位置し、T I M 層 8 0 の第 8 辺 8 4 は、絶縁層 7 0 の第 4 辺 7 4 と T I M 層 8 0 の第 7 辺 8 3 との間に位置しており、絶縁層 7 0 と T I M 層 8 0 は上述の大きさ・位置関係であることが好ましい。

20

30

【 0 0 3 2 】

なお、本実施の形態 1 の半導体モジュール S A は、その組立てにおいて、樹脂モールドイングによって封止体 M R が形成された後に、絶縁層 7 0 と T I M 層 8 0 とが貼り付けられたものである。

40

【 0 0 3 3 】

ここで、T I M 層 8 0 と絶縁層 7 0 とリードフレーム（後述する図 1 9 参照）9 0 について説明する。まず、T I M 層 8 0 は、伝熱機能を有した薄膜層である。そして、T I M 層 8 0 を介してその上下に配置される部材の熱膨張係数差によって発生する応力を緩和する。言い換えると、T I M 層 8 0 は、その上下に配置される部材の熱変形に柔軟に追従するものである。さらに、上記上下に配置される部材の接合面の凹凸を吸収する機能も備えている。T I M 層 8 0 は、例えば、カーボン粒子を含有する樹脂シート材、金属やセラミックを含有するシリコン樹脂層もしくは放熱性グリス層などである。また、T I M 層 8 0 の厚さは、例えば、0 . 1 5 ~ 0 . 5 mm である。さらに、T I M 層 8 0 の熱伝導率は

50

、例えば、 $40 \sim 90 \text{ W/mk}$ である。

【0034】

また、絶縁層70は、例えば、セラミックや絶縁性の樹脂材料からなる絶縁性樹脂シートであり、その厚さは、例えば、 $85 \mu\text{m}$ もしくは $210 \mu\text{m}$ である。厚さが $85 \mu\text{m}$ の絶縁層70の場合、その熱伝導率は、例えば、 3 W/mk である。さらに、厚さが $210 \mu\text{m}$ の絶縁層70の場合、その熱伝導率は、例えば、 11 W/mk である。

【0035】

また、リードフレーム90は、例えば銅系合金や鉄系合金などからなる板材であり、その厚さは、例えば、 0.5 mm である。その場合、チップ搭載部（第1チップ搭載部）TAB1およびチップ搭載部（第2チップ搭載部）TAB2を含むチップ搭載部TAB1～5およびリードLD1、LD2の厚さも 0.5 mm となる。したがって、チップ搭載部TAB1～5のそれぞれの厚さは、絶縁層70やTIM層80のそれぞれの厚さ以上である。

10

【0036】

次に、図5を用いて本実施の形態1の半導体モジュールSAの封止体MRを透過して見える構造について説明する。ここでは、3相インバータ回路を実現する半導体モジュールSAの透過構造について説明する。

【0037】

半導体モジュールSAは、x方向に並ぶように、チップ搭載部TAB1～TAB4が配列されており、これらのチップ搭載部TAB1～TAB4の上側（y方向側）にチップ搭載部TAB5が配置されている。そして、チップ搭載部TAB1には、U相に対応したハイサイドIGBTが形成された半導体チップCHP1（IGBTチップ10、HU）と、V相に対応したハイサイドIGBTが形成された半導体チップCHP1（IGBTチップ10、HV）と、W相に対応したハイサイドIGBTが形成された半導体チップCHP1（IGBTチップ10、HW）とが搭載されている。また、チップ搭載部TAB1には、それぞれダイオードが形成された半導体チップCHP2（ダイオードチップ20、HU）、CHP2（ダイオードチップ20、HV）、CHP2（ダイオードチップ20、HW）も搭載されている。

20

【0038】

同様に、チップ搭載部TAB2には、U相に対応したローサイドIGBTが形成された半導体チップCHP1（IGBTチップ10、LU）と、ダイオードが形成された半導体チップCHP2（ダイオードチップ20、LU）が搭載されている。また、チップ搭載部TAB3には、V相に対応したローサイドIGBTが形成された半導体チップCHP1（IGBTチップ10、LV）と、ダイオードが形成された半導体チップCHP2（ダイオードチップ20、LV）が搭載されている。さらに、チップ搭載部TAB4には、W相に対応したローサイドIGBTが形成された半導体チップCHP1（IGBTチップ10、LW）と、ダイオードが形成された半導体チップCHP2（ダイオードチップ20、LW）が搭載されている。

30

【0039】

一方、導電部材（吊りリード）HLに接続されたチップ搭載部TAB5には、3相インバータ回路のゲート制御回路がまとめて形成された半導体チップCHP3（制御チップ30）が搭載されている。

40

【0040】

この場合、半導体チップCHP3（制御チップ30）と6つのIGBTチップ10とは、それぞれワイヤW（金ワイヤ40）で電氣的に接続されている。このとき、半導体チップCHP3は、6つのIGBTチップ10が配列されたx方向の中心に配置されている。言い換えると、封止体MRの長辺（図5に示すx方向に沿って延びる辺）に沿って配置された6つのIGBTチップ10のうち、向かって左から3番目に配置されたIGBTチップ10と向かって左から4番目に配置されたIGBTチップ10との間を通過するy方向に沿った仮想線（図示せず）上に、半導体チップCHP3（制御チップ30）は配置され

50

ている。この結果、x方向に並ぶように配置された6つのIGBTチップ10のそれぞれと、x方向の中央部に配置された1つの半導体チップCHP3（制御チップ30）とが、金ワイヤ40を介してそれぞれ電氣的に接続されている。このように配置することで、制御チップ30からそれぞれのIGBTチップ10までのゲート配線長をほぼ等距離にすることができ、半導体モジュール100の信頼性向上につながる。

【0041】

また、半導体チップCHP3（制御チップ30）は、封止体MRの一方の側面SS1に配置された複数のリードLD1と、それぞれ金ワイヤW（金ワイヤ40）を介して電氣的に接続されている。また、6つのIGBTチップ10のそれぞれと、6つのダイオードチップ20のそれぞれとが、金ワイヤ40より線径が大きなアルミニウムワイヤ50を介して電氣的に接続されている。さらに、6つのダイオードチップ20のそれぞれと、封止体MRの他方の側面SS1に配置された複数のリードLD2とが、アルミニウムワイヤ50を介して電氣的に接続されている。

10

【0042】

なお、半導体チップCHP3（制御チップ30）が搭載されたチップ搭載部TAB5は、2本の吊りリードHLによって支持されている。

【0043】

次に、図6～図9を用いて、本発明者が比較検討を行った半導体モジュールを取り上げて本発明の課題の詳細について説明する。図6は本発明者が比較検討した半導体モジュールの構造を示す平面図、図7は図6の半導体モジュールの構造を示す裏面図、図8は図6のA-A線に沿って切断した構造を示す断面図、図9は図6のB-B線に沿って切断した構造を示す断面図である。

20

【0044】

本発明者は、図6～図9に示すフルモールドタイプの半導体モジュール100について検討を行った。フルモールドタイプの半導体モジュール100は、組み込まれる半導体チップやチップ搭載部および複数のワイヤ、さらにリードのアウト部以外の部分（インナ部）が、封止体MRによって覆われる構造のものである。すなわち、チップ搭載部TABが周囲全て樹脂によって覆われた構造の半導体モジュール100である。

【0045】

上記半導体モジュール100において、IGBTやMOSFETなどのパワー系のトランジスタを内蔵した半導体チップ（IGBTチップ10）が組み込まれていると、これらの半導体チップが発熱源となる。その際、図6～図9に示すようなフルモールドタイプの半導体モジュール100では、半導体チップを搭載したチップ搭載部TABが、封止体MRから露出しないように樹脂で覆われているため、チップ搭載部TABからパッケージ（封止体MR）の外部への放熱性が悪い。

30

【0046】

このような構造では、チップ搭載部TABの熱容量を大きくすることで、放熱性を改善することが考えられるが、パッケージ（封止体MR）の外部への放熱性が悪いと、半導体チップを大きくせざるを得ない。その結果、半導体モジュール100を小型化することができず、低コスト化もできない。

40

【0047】

そこで、本発明者は、放熱性を向上させるために複数の半導体チップがそれぞれ搭載される複数のチップ搭載部TABのそれぞれの裏面を、パッケージ（封止体MR）の外部へ露出させる構造を検討した。

【0048】

しかしながら、チップ搭載部TABの裏面を封止体MRの裏面に露出させる半導体モジュールを放熱板（ヒートシンク）に実装する場合、封止体MRの裏面側を放熱板に取り付ける実装構造となる。したがって、封止体MRの裏面に露出した複数のチップ搭載部TABのそれぞれの一部が、互いに放熱板を介して、ショートする可能性や、露出したチップ搭載部TABの一部と放熱板との絶縁耐圧距離が確保できない可能性があることが本発明

50

者の検討により分かった。

【0049】

次に、本実施の形態1の半導体モジュールSAの詳細について説明する。

【0050】

まず、本実施の形態1の半導体モジュールSAにおける3相インバータ回路の構成例について説明する。図10は図1の半導体モジュールにおけるインバータ回路および3相誘導モータを含むモータ回路の構成を示す回路図である。

【0051】

図10において、モータ回路は、3相誘導モータMTおよびインバータ回路INVを有している。3相誘導モータMTは、位相の異なる3相の電圧により駆動するように構成されている。具体的に、3相誘導モータMTでは、位相が120度ずれたU相、V相、W相と呼ばれる3相交流を利用して導体であるロータRTの回りに回転磁界を発生させる。この場合、ロータRTの回りを磁界が回転することになる。このことは、導体であるロータRTを横切る磁束が変化することを意味する。この結果、導体であるロータRTに電磁誘導が生じて、ロータRTに誘導電流が流れる。そして、回転磁界中で誘導電流が流れるということは、フレミングの左手の法則によって、ロータRTに力が加わることを意味し、この力によって、ロータRTが回転することになる。このように3相誘導モータMTでは、3相交流を利用することにより、ロータRTを回転させることができることがわかる。つまり、3相誘導モータMTでは、3相交流が必要となる。そこで、モータ回路では、直流から交流を作り出すインバータ回路INVを利用することにより、誘導モータに交流電力を供給している。そして、本実施の形態1では、1つのインバータ回路INVにて3種類(U相、V相、W相)の交流電力を生成し、3相誘導モータに供給している。

10

20

【0052】

以下に、このインバータ回路INVの構成例について説明する。図10に示すように、例えば、本実施の形態1におけるインバータ回路INVには、3相に対応してIGBTQ1とダイオードFWDが設けられている。すなわち、本実施の形態1におけるインバータ回路INVでは、例えば、図10に示すようなIGBTQ1とダイオードFWDを逆並列接続した構成により、インバータ回路INVの構成要素となるスイッチング素子を実現している。

30

【0053】

具体的には、第1レグLG1の上アームおよび下アーム、第2レグLG2の上アームおよび下アーム、第3レグLG3の上アームおよび下アームのそれぞれは、IGBTQ1とダイオードFWDを逆並列接続した構成要素から構成されることになる。

【0054】

言い換えれば、本実施の形態1におけるインバータ回路INVでは、正電位端子PTと3相誘導モータMTの各相(U相、V相、W相)との間にIGBTQ1とダイオードFWDが逆並列に接続されており、かつ、3相誘導モータMTの各相と負電位端子NTとの間にもIGBTQ1とダイオードFWDが逆並列に接続されている。すなわち、単相ごとに2つのIGBTQ1と2つのダイオードFWDが設けられている。この結果、本実施の形態1におけるインバータ回路INVは、合計6つのIGBTQ1と6つのダイオードFWDを有している。そして、個々のIGBTQ1のゲート電極には、ゲート制御回路GCCが接続されており、このゲート制御回路GCCによって、IGBTQ1のスイッチング動作が制御されるようになっている。このように構成されたインバータ回路INVにおいて、ゲート制御回路GCCでIGBTQ1のスイッチング動作を制御することにより、直流電力を3相交流電力に変換して、この3相交流電力を3相誘導モータMTに供給するようになっている。

40

【0055】

次に、ダイオードの必要性について説明する。

【0056】

上述したように、本実施の形態1におけるインバータ回路INVには、スイッチング素

50

子として、IGBTQ1が使用されているが、このIGBTQ1と逆並列接続するようにダイオードFWDが設けられている。単に、スイッチング素子によってスイッチ機能を実現する観点から、スイッチング素子としてのIGBTQ1は必要であるが、ダイオードFWDを設ける必要性はないものと考えられる。この点に関し、インバータ回路INVに接続される負荷にインダクタンスが含まれている場合には、ダイオードFWDを設ける必要があるのである。以下に、この理由について説明する。

【0057】

ダイオードFWDは、負荷がインダクタンスを含まない純抵抗である場合、還流するエネルギーがないため不要である。しかし、負荷にモータのようなインダクタンスを含む回路が接続されている場合、オンしているスイッチとは逆方向に負荷電流が流れるモードがある。すなわち、負荷にインダクタンスが含まれている場合、負荷のインダクタンスからインバータ回路INVへエネルギーが戻ることがある（電流が逆流することがある）。

10

【0058】

このとき、IGBTQ1単体では、この還流電流を流し得る機能をもたないので、IGBTQ1と逆並列にダイオードFWDを接続する必要がある。すなわち、インバータ回路INVにおいて、モータ制御のように負荷にインダクタンスを含む場合、IGBTQ1をターンオフしたとき、インダクタンスに蓄えられたエネルギー（ $1/2LI^2$ ）を必ず放出しなければならない。ところが、IGBTQ1単体では、インダクタンスに蓄えられたエネルギーを開放するための還流電流を流すことができない。そこで、このインダクタンスに蓄えられた電気エネルギーを還流するため、IGBTQ1と逆並列にダイオードFWDを接続する。つまり、ダイオードFWDは、インダクタンスに蓄えられた電気エネルギーを開放するために還流電流を流すという機能を有している。以上のことから、インダクタンスを含む負荷に接続されるインバータ回路においては、スイッチング素子であるIGBTQ1と逆並列にダイオードFWDを設ける必要があることがわかる。このダイオードFWDは、フリーホイールダイオードと呼ばれる。

20

【0059】

次に、IGBTの構造について説明する。

【0060】

図11は図1の半導体モジュールSAにおいてIGBTが形成された半導体チップの外形形状を示す平面図である。

30

【0061】

本実施の形態1におけるインバータ回路INVを構成するIGBTQ1とダイオードFWDの構造について図面を参照しながら説明する。本実施の形態1におけるインバータ回路INVには、IGBTQ1が含まれ、かつ、ダイオードFWDが含まれる。

【0062】

図11では、半導体チップCHP1の主面（表面）が示されている。図11に示すように、本実施の形態1における半導体チップCHP1の平面形状は、例えば、正方形形状をしている。そして、正方形形状をした半導体チップCHP1の表面には、エミッタ電極パッドEPとゲート電極パッドGPとが形成されている。一方、図11には図示されていないが、半導体チップCHP1の表面とは反対側の裏面には、コレクタ電極が形成されている。

40

【0063】

次に、IGBTのデバイス構造について説明する。

【0064】

図12は図11のIGBTのデバイス構造を示す断面図である。

【0065】

図12において、IGBTQ1は、半導体チップの裏面に形成されたコレクタ電極CEを有し、このコレクタ電極CE上に p^+ 型半導体領域PR1が形成されている。 p^+ 型半導体領域PR1上には n^+ 型半導体領域NR1が形成され、この n^+ 型半導体領域NR1上に n^- 型半導体領域NR2が形成されている。そして、 n^- 型半導体領域NR2上には

50

p型半導体領域PR2が形成され、このp型半導体領域PR2を貫通し、n⁻型半導体領域NR2に達するトレンチTRが形成されている。さらに、トレンチTRに整合してエミッタ領域となるn⁺型半導体領域ERが形成されている。トレンチTRの内部には、例えば、酸化シリコン膜よりなるゲート絶縁膜GOXが形成され、このゲート絶縁膜GOXを介してゲート電極GEが形成されている。このゲート電極GEは、例えば、ポリシリコン膜から形成され、トレンチTRを埋め込むように形成されている。また、図12においては、トレンチゲート構造を示したが、それに限定されることはなく、例えば、図示していないが、シリコン基板上に形成されるプレーナゲート構造を用いたIGBTでもよい。

【0066】

このように構成されたIGBTQ1において、ゲート電極GEは、図11に示すゲート電極パッドGPを介してゲート端子GTと接続されている。同様に、エミッタ領域となるn⁺型半導体領域ERは、エミッタ電極EE（エミッタ電極パッドEP）を介して、エミッタ端子ETと電氣的に接続されている。コレクタ領域となるp⁺型半導体領域PR1は、半導体チップの裏面に形成されているコレクタ電極CEと電氣的に接続されている。

10

【0067】

このように構成されているIGBTQ1は、パワーMOSFETの高速スイッチング特性および電圧駆動特性と、バイポーラトランジスタの低オン電圧特性とを兼ね備えている。

【0068】

なお、n⁺型半導体領域NR1は、バッファ層と呼ばれる。このn⁺型半導体領域NR1は、IGBTQ1がターンオフしているときに、p型半導体領域PR2からn⁻型半導体領域NR2内に成長する空乏層が、n⁻型半導体領域NR2の下層に形成されているp⁺型半導体領域PR1に接触してしまうパンチスルー現象を防止するために設けられている。また、p⁺型半導体領域PR1からn⁻型半導体領域NR2へのホール注入量の制限などの目的のために、n⁺型半導体領域NR1が設けられている。

20

【0069】

次に、IGBTの動作について説明する。

【0070】

まず、IGBTQ1がターンオンする動作について説明する。図12において、ゲート電極GEと、エミッタ領域となるn⁺型半導体領域ERの間に十分な正の電圧を印加することにより、トレンチゲート構造をしたMOSFETがターンオンする。この場合、コレクタ領域を構成するp⁺型半導体領域PR1とn⁻型半導体領域NR2の間が順バイアスされ、p⁺型半導体領域PR1からn⁻型半導体領域NR2へ正孔注入が起こる。続いて、注入された正孔のプラス電荷と同じだけの電子がn⁻型半導体領域NR2に集まる。これにより、n⁻型半導体領域NR2の抵抗低下が起こり（伝導度変調）、IGBTQ1はオン状態となる。

30

【0071】

オン電圧には、p⁺型半導体領域PR1とn⁻型半導体領域NR2との接合電圧が加わるが、n⁻型半導体領域NR2の抵抗値が伝導度変調により1桁以上低下するため、オン抵抗の大半を占めるような高耐圧では、パワーMOSFETよりもIGBTQ1の方が低オン電圧となる。したがって、IGBTQ1は、高耐圧化に有効なデバイスであることがわかる。すなわち、パワーMOSFETでは、高耐圧化を図るためにドリフト層となるエピタキシャル層の厚さを厚くする必要があるが、この場合、オン抵抗も上昇することになる。これに対し、IGBTQ1においては、高耐圧化を図るために、n⁻型半導体領域NR2の厚さを厚くしても、IGBTQ1のオン動作時には伝導度変調が生じる。このため、パワーMOSFETよりもオン抵抗を低くすることができるのである。つまり、IGBTQ1によれば、パワーMOSFETと比較して、高耐圧化を図る場合であっても、低オン抵抗なデバイスを実現することができるのである。

40

【0072】

続いて、IGBTQ1がターンオフする動作について説明する。ゲート電極GEと、エ

50

ミッタ領域となる n^+ 型半導体領域 ER の間の電圧を低下させると、トレンチゲート構造をした MOSFET がターンオフする。この場合、 p^+ 型半導体領域 PR1 から n^- 型半導体領域 NR2 への正孔注入が停止し、すでに注入された正孔も寿命が過ぎて減少する。残留している正孔は、エミッタ電極 EE 側へ直接流出して（テイル電流）、流出が完了した時点で IGBTQ1 はオフ状態となる。このようにして IGBTQ1 をオン/オフ動作させることができる。

【0073】

次に、ダイオードの構造について説明する。

【0074】

図13は図1の半導体モジュールにおいてダイオードが形成された半導体チップの外形形状を示す平面図である。

10

【0075】

図13では、半導体チップ CHP2 の主面（表面）が示されている。図13に示すように、本実施の形態1における半導体チップ CHP2 の平面形状は、正方形形状をしている。そして、正方形形状をした半導体チップ CHP2 の表面には、アノード電極パッド ADP が形成されている。一方、図示はしないが、半導体チップ CHP2 の表面とは反対側の裏面全体にわたって、カソード電極パッドが形成されている。

【0076】

続いて、ダイオード FWD のデバイス構造について説明する。図14は図13のダイオード FWD のデバイス構造を示す断面図である。図14において、半導体チップの裏面には、カソード電極 CDE が形成されており、このカソード電極 CDE 上に n^+ 型半導体領域 NR3 が形成されている。そして、 n^+ 型半導体領域 NR3 上に n^- 型半導体領域 NR4 が形成されており、 n^- 型半導体領域 NR4 上に、 p 型半導体領域 PR3 が形成されている。 p 型半導体領域 PR3 と p^- 型半導体領域 PR4 上には、アノード電極 ADE（アノード電極パッド ADP）が形成されている。アノード電極 ADE は、例えば、アルミニウム - シリコンから構成されている。

20

【0077】

次に、ダイオードの動作について説明する。

【0078】

このように構成されたダイオード FWD によれば、アノード電極 ADE に正電圧を印加し、カソード電極 CDE に負電圧を印加すると、 n^- 型半導体領域 NR4 と p 型半導体領域 PR3 の間の pn 接合が順バイアスされ電流が流れる。一方、アノード電極 ADE に負電圧を印加し、カソード電極 CDE に正電圧を印加すると、 n^- 型半導体領域 NR4 と p 型半導体領域 PR3 の間の pn 接合が逆バイアスされ電流が流れない。このようにして、整流機能を有するダイオード FWD を動作させることができる。

30

【0079】

次に、ゲート制御回路の構成について説明する。

【0080】

図15は図1の半導体モジュールにおけるゲート制御回路の回路ブロック構成を示す図である。図15では、3相誘導モータ MT を駆動するインバータ回路 INV の3相のうちの1相を例に挙げて、この1相を制御するゲート制御回路 GCC の構成について説明する。図15において、高圧電源（600V）と電氣的に接続される端子 VCC と、グラウンドと電氣的に接続される端子 COM との間に、例えば、インバータ回路 INV の1相分を構成するハイサイド IGBT（HQ1）とローサイド IGBT（LQ1）とが直列接続されている。そして、ハイサイド IGBT（HQ1）とローサイド IGBT（LQ1）との間の中間ノードが端子 Vs を介して3相誘導モータ MT と電氣的に接続されている。

40

【0081】

ここで、ゲート制御回路 GCC は、ハイサイド IGBT（HQ1）のオン/オフ動作とローサイド IGBT（LQ1）のオン/オフ動作を制御するように構成されている。例えば、ゲート制御回路 GCC は、ハイサイド IGBT（HQ1）のゲート電極に印加するゲ

50

ート電圧を制御することにより、ハイサイド IGBT (H Q 1) のオン/オフ動作を実現し、かつ、ローサイド IGBT (L Q 1) のゲート電極に印加するゲート電圧を制御することにより、ローサイド IGBT (L Q 1) のオン/オフ動作を実現する。

【0082】

具体的に、ゲート制御回路 G C C は、低圧電源と電氣的に接続される端子 V D D およびグランドと電氣的に接続される端子 V s s と接続されている。そして、ゲート制御回路 G C C は、インバータ回路 I N V の端子 H I N および端子 L I N から入力される入力信号を処理する入力信号処理回路 I S C と、レベルシフト回路 L S C と、ローサイド駆動回路 L D C と、ハイサイド駆動回路 H D C とを有している。

【0083】

そして、ローサイド駆動回路 L D C は、入力信号処理回路 I S C から出力される処理信号に基づいて、ローサイド IGBT (L Q 1) のゲート電極に印加するゲート電圧を制御する。例えば、ローサイド駆動回路 L D C は、端子 V s s から G N D 電位 (グランド電位) を入力し、この G N D 電位を基準に生成されたゲート電圧をローサイド IGBT (L Q 1) のゲート電極に供給する。ここで、ゲート電極に供給されるゲート電圧が、G N D 電位に対してしきい値電圧以上の場合、ローサイド IGBT (L Q 1) はオンする一方、ゲート電極に供給されるゲート電圧が、G N D 電位に対してしきい値電圧未満の場合、ローサイド IGBT (L Q 1) はオフする。このようにして、ローサイド IGBT (L Q 1) のオン/オフ動作がローサイド駆動回路 L D C によって制御されることになる。

【0084】

一方、ハイサイド駆動回路 H D C は、入力信号処理回路 I S C の処理信号をレベルシフト回路 L S C に入力した後、このレベルシフト回路 L S C からの出力信号に基づいて、ハイサイド IGBT (H Q 1) のゲート電極に印加するゲート電極を制御する。例えば、ハイサイド駆動回路 H D C は、端子 V s から基準となる基準電位を入力する。すなわち、ハイサイド駆動回路 H D C でも、ハイサイド IGBT (H Q 1) のゲート電極に印加するゲート電圧を生成する必要があるが、このゲート電圧を生成する際には、基準電位が必要となる。この点に関し、例えば、ローサイド駆動回路 L D C で使用している端子 V s s から入力される G N D 電位を、ハイサイド駆動回路 H D C で使用することが考えられるが、ハイサイド駆動回路 H D C では、端子 V s s から入力される G N D 電位を基準電位として使用することはできないのである。つまり、図 15 において、ローサイド IGBT (L Q 1) は、ローサイド IGBT (L Q 1) のエミッタ電位に対して、しきい値以上のゲート電圧を印加することにより、ローサイド IGBT (L Q 1) をオンさせることができる。このため、ローサイド IGBT (L Q 1) のゲート電圧は、ローサイド IGBT (L Q 1) のエミッタ電位を基準に生成される。この時、ローサイド IGBT (L Q 1) のエミッタ電位は、G N D 電位と同電位であることから、ローサイド IGBT (L Q 1) のゲート電圧は、端子 V s s から入力される G N D 電位を基準電圧として生成することができる。

【0085】

これに対し、図 15 に示すように、ハイサイド IGBT (H Q 1) でも、ハイサイド IGBT (H Q 1) のエミッタ電位を基準電位に使用することになるが、このハイサイド IGBT (H Q 1) のエミッタ電位は、G N D 電位から電源電位の間で変動することになる。つまり、ローサイド IGBT (L Q 1) がオンしている場合には、ハイサイド IGBT (H Q 1) のエミッタ電位は、G N D 電位と同電位となる。これに対し、ハイサイド IGBT (H Q 1) がオンしている場合には、ハイサイド IGBT (H Q 1) のエミッタ電位は、電源電位と同電位となる。このことは、ハイサイド IGBT (H Q 1) をオンさせるためには、電源電位を基準としてゲート電圧を生成する必要があることを意味し、したがって、端子 V s s から入力される G N D 電位を基準にして、ハイサイド IGBT (H Q 1) のゲート電極に印加するゲート電圧を生成することはできないのである。

【0086】

このことから、ハイサイド駆動回路 H D C では、ハイサイド IGBT (H Q 1) のエミッタ電位を端子 V s から入力して、この端子 V s から入力した電位を基準にして、ハイサ

10

20

30

40

50

イド IGBT (H Q 1) のゲート電極に印加するゲート電圧を生成している。したがって、端子 V_s から入力する電位は、電源電位まで変動することになることから、この端子 V_s から入力する電位を基準として生成されるハイサイド IGBT (H Q 1) のゲート電圧は、電源電位よりも高い電位が必要とされる。このことから、ハイサイド駆動回路 H D C では、例えば、端子 V_B をインバータ回路 I N V の外部に位置する低圧電源 L P S (1 5 V) と接続し、この端子 V_B から入力される電位と、上述した端子 V_s から入力される電位とを使用することにより、電源電位よりも高いゲート電圧を生成している。このゲート電圧は、ハイサイド駆動回路 H D C からハイサイド IGBT (H Q 1) のゲート電極に供給される。以上のようにして、ゲート電極に供給されるゲート電圧が、基準電位に対してしきい値電圧以上の場合、ハイサイド IGBT (H Q 1) はオンする一方、ゲート電極に供給されるゲート電圧が、基準電位に対してしきい値電圧未満の場合、ハイサイド IGBT (H Q 1) はオフする。このようにして、ハイサイド IGBT (H Q 1) のオン/オフ動作がハイサイド駆動回路 H D C によって制御されることになる。

10

【 0 0 8 7 】

次に、ゲート制御回路を具現化する半導体チップの構成について説明する。

【 0 0 8 8 】

上述したゲート制御回路 G C C は、例えば、集積回路を形成した半導体チップにより実現することができるが、ゲート制御回路 G C C を具現化した半導体チップには、以下に示す特徴点がある。すなわち、ゲート制御回路 G C C の構成要素である入力信号処理回路 I S C やレベルシフト回路 L S C やローサイド駆動回路 L D C は、端子 V_{ss} から供給される G N D 電位を基準にして回路設計されるため、半導体基板に作り込むことができる。これに対し、ハイサイド駆動回路 H D C は、端子 V_s から供給される電源電位まで変動する電位を基準にして回路設計がされることから、半導体基板 (端子 V_{ss}) とは分離して形成する必要がある。具体的に、ハイサイド駆動回路 H D C は、高耐圧のフローティング構造が採用されて、ローサイド駆動回路 L D C から独立した「浮島構造」が使用されている。そして、この「浮島構造」は、ローサイド駆動回路 L D C との信号のやり取りに制限があり、レベルシフト回路 L S C を通じてパルス信号だけしか受け渡しができない。このことから、ハイサイド駆動回路 H D C に必要とされるパッドは、「浮島構造」に形成する必要がある。以上のようにして、ゲート制御回路 G C C を形成した半導体チップには、「浮島構造」が形成されている。

20

30

【 0 0 8 9 】

次に、本実施の形態 1 の半導体モジュール S A の回路ブロック構成について説明する。図 1 6 は図 1 の半導体モジュールにおける回路ブロック構成を示す図であり、図 1 0 に示すインバータ回路 I N V を実現する回路ブロック構成である。図 1 6 において、本実施の形態 1 における半導体モジュール S A は、6 個の IGBT と 6 個のダイオードとゲート制御回路 G C C を有しているとともに、2 5 個の外部端子を備えている。番号 1 と番号 1 3 ~ 1 7 と番号 2 5 の端子は、ノンコネクタの端子 N C である。また、番号 2 ~ 4 の端子は、ゲート制御回路 G C C と接続された端子 V_B 1 ~ V_B 3 であり、番号 5 ~ 7 の端子は、ゲート制御回路 G C C に入力信号を入力する端子 H I N 1 ~ H I N 3 である。さらに、番号 8 の端子は、ゲート制御回路 G C C に低圧電源を供給する端子 V_{DD} であり、番号 9 の端子は、ゲート制御回路 G C C にグランド電位を供給する端子 V_{ss} である。また、番号 1 0 ~ 1 2 の端子は、ゲート制御回路 G C C に入力信号を入力する端子 L I N 1 ~ L I N 3 である。一方、番号 1 8 の端子は、グランド電位と接続される端子 N W (端子 C O M) であり、番号 1 9 の端子も、グランド電位と接続される端子 N V (端子 C O M) であり、番号 2 0 の端子も、グランド電位と接続される端子 N U (端子 C O M) である。また、番号 2 1 の端子は、3 相モータの W 相と接続される端子 W (端子 V_s 3) であり、番号 2 2 の端子は、3 相モータの V 相と接続される端子 V (端子 V_s 2) であり、番号 2 3 の端子は、3 相モータの U 相と接続される端子 U (端子 V_s 1) である。さらに、番号 2 4 の端子は、高圧電源と接続される端子 P (端子 V_{CC}) である。

40

【 0 0 9 0 】

50

図 17 は、図 16 に示すゲート制御回路 G C C の内部ブロック構成を示す図である。図 17 に示すように、ゲート制御回路 G C C は、図 15 に示す単位ブロック構成が U 相と V 相と W 相の各相に対応して設けられている。このとき、図 17 においては、図 15 に示す単位ブロック構成に示される符号の末尾に「1」が付されたものが U 相に対応し、図 15 に示す単位ブロック構成に示される符号の末尾に「2」が付されたものが V 相に対応し、図 15 に示す単位ブロック構成に示される符号の末尾に「3」が付されたものが W 相に対応している。

【0091】

次に、本実施の形態 1 の半導体モジュール S A のゲート制御回路を具現化する半導体チップの構成について説明する。

【0092】

図 18 は図 17 に示すゲート制御回路 G C C を具現化する半導体チップ C H P 3 の構成を示す模式図である。図 18 に示すように、半導体チップ C H P 3 には、U 相に対応したハイサイド駆動回路 H D C 1 が形成された「浮島構造」と、V 相に対応したハイサイド駆動回路 H D C 2 が形成された「浮島構造」と、W 相に対応したハイサイド駆動回路 H D C 2 が形成された「浮島構造」が形成されている。このとき、本実施の形態 1 における半導体チップ C H P 3 では、3 つの「浮島構造」は、y 方向に並ぶようにレイアウト配置されている。そして、「浮島構造」以外の領域に、ローサイド駆動回路 L D C 1 ~ 3 と、レベルシフト回路 L S C 1 ~ 3 と、入力信号処理回路 I S C 1 ~ 3 が形成されている。

【0093】

このように構成された本実施の形態 1 における半導体チップ C H P 3 によれば、3 相インバータ回路を構成するゲート制御回路 G C C を 1 つの半導体チップ C H P 3 にまとめることができるため、3 相インバータ回路を構成する半導体モジュール S A の製造コストを削減することができる利点を得ることができる。さらに、チップ間の性能ばらつきを考慮する必要がなくなるため、本実施の形態 1 における半導体チップ C H P 3 を使用することにより、ゲート制御回路 G C C による I G B T のコントロール性の向上を図ることができる。

【0094】

<半導体モジュールの製造方法>

1. リードフレーム準備

図 19 は図 1 に示す半導体モジュールの組立てに用いられるリードフレームの構造を示す平面図、図 20 は図 19 の A - A 線に沿って切断した構造を示す断面図、図 21 は図 19 の B - B 線に沿って切断した構造を示す断面図である。

【0095】

まず、図 19 に示すようなリードフレーム 90 を準備する。リードフレーム全体には、図 1 に示す 1 つの半導体モジュール S A を形成可能な製品形成領域 90 a が複数個形成されているが、本実施の形態 1 では代表として 1 つの製品形成領域 90 a のみを取り上げて説明する。この製品形成領域 90 a には、チップ搭載部 T A B 1 ~ 5 と、チップ搭載部 T A B 5 の周囲に配置された複数のリード L D 1 と、チップ搭載部 T A B 1 ~ 4 の近傍に配置された複数のリード L D 2 と、チップ搭載部 T A B 5 を支持する 2 本の吊りリード H L とが設けられている。そして、複数のリード L D 1、L D 2 および 2 本の吊りリード H L は、枠部 90 b に繋がっている。

【0096】

なお、チップ搭載部 T A B 1 ~ 4 は、図 20 に示すように、それぞれに半導体チップが搭載される面である表面（第 1 主面）F S 3 や F S 4、およびそれらの反対側の面である裏面（第 2 主面）B S 3 や B S 4 などをもっている。また、チップ搭載部 T A B 1 ~ 4 は、それぞれ同じ高さである。一方、図 21 に示すように、チップ搭載部 T A B 5 は、半導体チップが搭載される面である表面（第 3 主面）F S 5、およびその反対側の面である裏面（第 4 主面）B S 5 をもっている。なお、図 20、図 21 に示すように、チップ搭載部 T A B 5 は、チップ搭載部 T A B 1 ~ 4 とは異なる高さである。具体的には、チップ搭載

10

20

30

40

50

部 T A B 5 は、チップ搭載部 T A B 1 ~ 4 より高い位置に配置されている。

【 0 0 9 7 】

ここで、リードフレーム 9 0 は、例えば、銅 (C u) を主成分とする基材によって形成され、図 1 9 に示すリードパターンは、エッチング加工またはプレス加工などによって形成されたものである。

【 0 0 9 8 】

2 . ダイボンディング

図 2 2 は図 1 に示す半導体モジュールの組立てにおいて I G B T チップとダイオードチップのダイボンディング完了時の構造を示す平面図、図 2 3 は図 2 2 の A - A 線に沿って切断した構造を示す断面図、図 2 4 は図 2 2 の B - B 線に沿って切断した構造を示す断面図、図 2 5 は図 1 に示す半導体モジュールの組立てにおいて制御チップのダイボンディング完了時の構造を示す平面図である。

10

【 0 0 9 9 】

まず、図 1 1 に示すような I G B T チップ 1 0、図 1 3 に示すようなダイオードチップ 2 0、図 1 8 に示すような制御チップ 3 0 を準備する。なお、例えば、チップ搭載部 T A B 1 上に搭載される第 1 半導体チップは、I G B T チップ 1 0 である。そして、この I G B T チップ 1 0 は、パワートランジスタを内蔵しており、図 3 に示す表面 (第 1 面) F S 1 にパワートランジスタのエミッタ電極 (第 1 電極) に電氣的に接続するエミッタ端子 (第 1 端子) E P が形成されている。さらに、表面 F S 1 には、パワートランジスタのゲート電極に電氣的に接続されるゲート端子 G P が形成されている。一方、図示はしていないが、表面 F S 1 の反対側に位置する裏面 (第 2 面) B S 1 には、コレクタ端子 (第 2 端子) が形成されている。コレクタ端子は、パワートランジスタのコレクタ電極 (第 2 電極) に電氣的に接続されている。

20

【 0 1 0 0 】

また、例えば、チップ搭載部 T A B 2 上に搭載される第 2 半導体チップも、同様に I G B T チップ 1 0 である。そして、この I G B T チップ (第 2 半導体チップ) 1 0 も、パワートランジスタを内蔵しており、表面 (第 1 面) F S 2 にパワートランジスタのエミッタ電極 (第 3 電極) に電氣的に接続するエミッタ端子 (第 3 端子) E P が形成されている。さらに、表面 F S 2 には、パワートランジスタのゲート電極に電氣的に接続されるゲート端子 G P が形成されている。一方、同様に図示はしていないが、表面 F S 2 の反対側に位置する裏面 (第 2 面) B S 2 には、コレクタ端子 (第 4 端子) が形成されている。コレクタ端子はパワートランジスタのコレクタ電極 (第 4 電極) に電氣的に接続されている。

30

【 0 1 0 1 】

また、ダイオードチップ 2 0 は、図 1 3 に示すように、その表面に、アノード端子 A D P が形成されている。一方、図示はしていないが、表面の反対側に位置する裏面には、カソード端子が形成されている。

【 0 1 0 2 】

そして、図 2 2 に示すリードフレーム 9 0 を準備した後、ダイボンディングを行う。本実施の形態 1 では、各半導体チップを固着するダイボンド材 (図 3 に示す導電性の接合材 6 0) として、例えば、銀ペーストなどを用いる。

40

【 0 1 0 3 】

まず、図 2 2 ~ 図 2 4 に示すように、リードフレーム 9 0 のチップ搭載部 T A B 1 に 3 つの I G B T チップ 1 0 を上記導電性の接合材 6 0 を介して搭載し、さらに、チップ搭載部 T A B 2 ~ 4 のそれぞれに、同様に、それぞれ導電性の接合材 6 0 を介して I G B T チップ 1 0 を 1 つずつ搭載する。

【 0 1 0 4 】

次に、同様に、チップ搭載部 T A B 1 に 3 つのダイオードチップ 2 0 を導電性の接合材 6 0 を介して搭載し、さらに、チップ搭載部 T A B 2 ~ 4 のそれぞれに導電性の接合材 6 0 を介してダイオードチップ 2 0 を 1 つずつ搭載する。

【 0 1 0 5 】

50

I G B Tチップ10およびダイオードチップ20を搭載した後、図25に示すように、リードフレーム90のチップ搭載部TAB5に制御チップ30を搭載する。なお、制御チップ30は、図4に示す非導電性の接合材65を介してチップ搭載部TAB5に搭載する。

【0106】

また、I G B Tチップ10、ダイオードチップ20および制御チップ30は、例えば、それぞれ熱と荷重を印加してダイボンディングする。

【0107】

3. ワイヤボンディング

図26は図1に示す半導体モジュールの組立てにおいてアルミニウムワイヤのワイヤボンディング完了時の構造を示す平面図、図27は図1に示す半導体モジュールの組立てにおいて金ワイヤのワイヤボンディング完了時の構造を示す平面図である。

【0108】

ダイボンディング後、図26および図27に示すようにワイヤボンディングを行う。まず、図26に示すように、アルミニウムワイヤ50を用いてI G B Tチップ10とダイオードチップ20とを電氣的に接続し、さらにアルミニウムワイヤ50を介してチップ搭載部に繋がるリードLD2（図26中、下辺側に配置されるリードLD2のインナ部）と電氣的に接続する。あるいはアルミニウムワイヤ50を用いてI G B Tチップ10とダイオードチップ20とを電氣的に接続し、さらにアルミニウムワイヤ50を介してチップ搭載部には繋がらない単独のリードLD2のインナ部と電氣的に接続する。なお、アルミニウムワイヤ50とは、アルミニウム（Al）を主成分とする導電性部材である。

【0109】

アルミニウムワイヤ50を用いたI G B Tチップ10とダイオードチップ20とリードLD2とのボンディングを終了した後、図27に示すように、アルミニウムワイヤ50より線径が小さい（細い）金ワイヤ40を用いたワイヤボンディングを行う。まず、金ワイヤ40を用いて、I G B Tチップ10のそれぞれと制御チップ30とを電氣的に接続する。さらに、同じく金ワイヤ40を用いて、制御チップ30とリードLD1（図27中、上辺側に配置されるリードLD1のインナ部）とを電氣的に接続する。なお、金ワイヤ40とは、金（Au）を主成分とする導電性部材である。

【0110】

4. 樹脂封止（樹脂モールド）

図28は図1に示す半導体モジュールの組立てにおいてワイヤボンディング済みのリードフレームをモールド金型のキャビティ内に配置した構造を図22のA-A線に沿って切断した構造を示す断面図である。また、図29は図1に示す半導体モジュールの組立てにおいてワイヤボンディング済みのリードフレームをモールド金型のキャビティ内に配置した構造を図22のB-B線に沿って切断した構造を示す断面図、図30は図28に示す構造においてキャビティ内に樹脂を注入し始めた状態を示す断面図である。さらに、図31は図29に示す構造においてキャビティ内に樹脂を注入し始めた状態を示す断面図、図32は図28に示す構造においてキャビティ内への樹脂の注入を完了した状態を示す断面図、図33は図29に示す構造においてキャビティ内への樹脂の注入を完了した状態を示す断面図である。また、図34はモールドを完了したリードフレームをモールド金型から取り出した構造を示す平面図、図35は図34のA-A線に沿って切断した構造を示す断面図、図36は図34のB-B線に沿って切断した構造を示す断面図である。

【0111】

ワイヤボンディング後、樹脂封止を行う。ここでは、複数のI G B Tチップ10と、複数のダイオードチップ20と、制御チップ30と、複数のチップ搭載部TAB1～4の一部と、チップ搭載部TAB5と、複数の金ワイヤ40と、複数のアルミニウムワイヤ50と、複数のリードLD1のインナ部と、複数のリードLD2のインナ部とを封止体MRによって覆う。その際、表面（第1面）FS6とその反対側の裏面（第2面）BS6とを有する封止体MRの裏面BS6から複数のチップ搭載部TAB1～4のそれぞれの裏面（第

10

20

30

40

50

2面)が露出するように、図30に示す封止樹脂120を用いて封止する(封止体MRを形成する)。

【0112】

まず、図28に示すように、複数の製品形成領域90a(図19参照)を有するリードフレーム90を、上金型110aと下金型110bとからなるモールド金型110の下金型110bのキャビティ110cに収納する。

【0113】

収納後、上金型110aと下金型110bとを閉じて、図29に示すように、上金型110aと下金型110bとでリードフレーム90を挟み込む。この時、図28および図29に示すように、チップ搭載部TAB1~4のそれぞれの裏面(裏面BS3や裏面BS4など)を下金型110bのキャビティ110cの底面110dに密着させる。一方、チップ搭載部TAB5は、図29に示すように、キャビティ110cの底面110dから浮いた(離れた)状態となっている。

10

【0114】

このように、チップ搭載部TAB1~4のそれぞれの裏面を下金型110bのキャビティ110cの底面110dに密着させた状態で、図30に示すように、モールド金型110のゲート110e(図28参照)から封止樹脂120を注入する。図30および図31に示すように、キャビティ110cにおいてベントホール110fに向けた封止樹脂120の充填が始まっても、チップ搭載部TAB1~4のそれぞれの裏面が下金型110bのキャビティ110cの底面110dに密着しているため、チップ搭載部TAB1~4とキャビティ110cの底面110dとの間に封止樹脂120は回り込まない。

20

【0115】

この状態で、図32および図33に示すように、封止樹脂120のキャビティ110cへの充填を完了する。なお、封止樹脂120は、例えばエポキシ系樹脂などの熱可塑性樹脂である。

【0116】

ここで、例えば絶縁層70とTIM層80とを封止体MRから露出したチップ搭載部TAB1~4のそれぞれの裏面に貼り付けた状態で樹脂モールドを行うと、モールド金型110の熱により、絶縁層70およびTIM層80が劣化し、所望の品質の半導体モジュールSAを組立てることができなくなる。

30

【0117】

そこで、本実施の形態1の半導体モジュールSAの組立てでは、封止体MRを形成する樹脂モールドを行う際に、絶縁層70とTIM層80をモールド金型110に配置しないで樹脂モールドを行っている。すなわち、本実施の形態1の半導体モジュールSAの組立てでは、絶縁層70とTIM層80は、樹脂モールド完了後に封止体MRの裏面BS6に貼り付ける(接合する)。このように、樹脂モールド完了後に封止体MRの裏面BS6に絶縁層70とTIM層80を貼り付けることにより、モールド金型110の熱による絶縁層70およびTIM層80の劣化を防止することができ、半導体モジュールSAの組立てにおいて、所望の品質を得ることができる。

40

【0118】

モールド完了後、図34に示すように、図33のモールド金型110からリードフレーム90を取り出す。リードフレーム90の製品形成領域90a(図19参照)には封止体MRが形成されている。そして、図35および図36に示すように、封止体MRの裏面BS6には、チップ搭載部TAB1~4の裏面(裏面BS3や裏面BS3など)が露出した構造となっている。

【0119】

5. メッキ形成

図37は図1に示す半導体モジュールの組立てにおいてメッキ形成後の構造を示す平面図、図38は図37のA-A線に沿って切断した構造を示す断面図、図39は図37のB-B線に沿って切断した構造を示す断面図である。

50

【 0 1 2 0 】

樹脂封止後、メッキ形成を行う。

【 0 1 2 1 】

メッキ形成工程では、図 3 7 に示すように、封止体 M R から露出する各リードのアウトアリード（外部端子）1 a、2 a や枠部 9 0 b、さらには図 3 8 および図 3 9 に示すように、同じく封止体 M R の裏面 B S 6（第 2 面）から露出するチップ搭載部 T A B 1 ~ 4 の裏面 B S 3、4（第 2 面）を含むそれぞれの裏面に、外装メッキとして、金属膜であるメッキ膜 1 3 0 を形成する。

【 0 1 2 2 】

6 . リード切断・成形

図 4 0 は図 1 に示す半導体モジュールの組立てにおいてリード切断・成形後の構造を示す平面図、図 4 1 は図 4 0 の半導体モジュールの構造を示す裏面図、図 4 2 は図 4 0 の A - A 線に沿って切断した構造を示す断面図、図 4 3 は図 4 0 の B - B 線に沿って切断した構造を示す断面図である。

【 0 1 2 3 】

メッキ形成後、リード切断・成形を行う。

【 0 1 2 4 】

リード切断・成形工程では、図 4 0、図 4 1 に示すように、図 1 9 に示すリードフレーム 9 0 の枠部 9 0 b から図 1 に示す半導体モジュール S A を切り離して個片化（切断）するとともに、図 4 2、図 4 3 に示すように、各アウトアリード（外部端子）1 a、2 a を曲げ成形する。この時、各アウトアリード 1 a、2 a は、チップ搭載部 T A B 1 ~ 4 の露出側と反対側（封止体 M R の表面 F S 6 側）に向けて曲げ成形される。

【 0 1 2 5 】

7 . 絶縁層・T I M 層貼り付け

図 4 4 は図 1 に示す半導体モジュールの組立てにおいて絶縁層および T I M 層貼り付け後の構造を示す裏面図、図 4 5 は図 4 4 の A - A 線に沿って切断した構造を示す断面図、図 4 6 は図 4 4 の B - B 線に沿って切断した構造を示す断面図である。

【 0 1 2 6 】

リード切断・成形後、絶縁層・T I M 層貼り付けを行う。

【 0 1 2 7 】

上記リード切断・成形後、まず、封止体 M R の裏面（第 2 面）B S 6 に、チップ搭載部 T A B 1 の裏面（第 2 面）B S 3 とチップ搭載部 T A B 2 の裏面（第 2 面）B S 4 とを含むチップ搭載部 1 ~ 4 の各裏面を覆うように、絶縁層 7 0 を貼る。絶縁層 7 0 は、例えば、セラミックや絶縁性の樹脂材料からなる絶縁性樹脂シートであり、熱圧着で封止体 M R の裏面 B S 6 に貼り付ける。

【 0 1 2 8 】

ここで、絶縁層 7 0 は、チップ搭載部 T A B 1 の裏面 B S 3 と、チップ搭載部 T A B 2 の裏面 B S 4 と、封止体 M R の裏面 B S 6 と、それぞれ向かい合う表面（第 1 面）7 0 a および表面 7 0 a の反対側の裏面（第 2 面）7 0 b を有している。したがって、ここでは、絶縁層 7 0 の表面 7 0 a を、封止体 M R の裏面 B S 6 に、この裏面 B S 6 に露出しているチップ搭載部 T A B 1 ~ 4 の各裏面を覆うように貼り付ける。

【 0 1 2 9 】

絶縁層 7 0 を封止体 M R に貼り付けた後、絶縁層 7 0 に T I M 層（熱伝達材料層）8 0 を貼り付ける。言い換えると、T I M 層 8 0 を絶縁層 7 0 と積層させて接合する。なお、T I M 層 8 0 は、例えば、カーボン粒子を含有する樹脂シート材、金属やセラミックを含有するシリコン樹脂層もしくは放熱性グリス層などである。

【 0 1 3 0 】

また、図 4 4 に示すように、平面視（裏面視）において、T I M 層 8 0 の領域は、絶縁層 7 0 の領域に包含されている。すなわち、平面視での T I M 層 8 0 の大きさは、絶縁層 7 0 の大きさより小さく、T I M 層 8 0 の端部（外周部）は、絶縁層 7 0 の外周部より内

10

20

30

40

50

側に入り込んだ位置にある。言い換えると、四角形のTIM層80の4辺それぞれにおいて、絶縁層70が迫り出した構造となっている。その結果、絶縁層70によって、TIM層80と(電位を有する)露出したチップ搭載部TAB1~4との絶縁耐圧を確保することができる(詳細は、後述する図50で説明する)。

【0131】

また、図45、図46に示すように、第1半導体チップと前記第2半導体チップである複数のIGBTチップ10や複数のダイオードチップ20のそれぞれは、TIM層80の領域の内側に位置している。

【0132】

さらに、図44に示す平面視において、封止体MRは、それぞれに図45に示す封止体MRの表面(第1面)FS6から裏面(第2面)BS6に貫通する貫通孔(第1貫通孔)MR1および貫通孔(第2貫通孔)MR2を有している。貫通孔MR1と貫通孔MR2は、封止体MRの長方形の裏面(第2面)BS6の対向する2つの短辺それぞれの中央部に位置している。そして、半導体モジュールSAの組立てでは、絶縁層70およびTIM層80が、貫通孔MR1と貫通孔MR2との間に位置するように絶縁層70とTIM層80を貼り付ける(接合する)。

10

【0133】

なお、本実施の形態1の半導体モジュールSAの組立てでは、樹脂モールドによって封止体MRを形成した後、かつ絶縁層70を封止体MRに貼り付ける前に、封止体MRから露出する複数のリードそれぞれのアウトリード(一部)1a、2aを切断・成形することが好ましい。すなわち、樹脂モールドによって封止体MRを形成した後、さらに各アウトリード1a、2aを切断・成形した後に、封止体MRに絶縁層70とTIM層80を貼り付けることが好ましい。

20

【0134】

このように各アウトリード1a、2aの切断・成形後に、封止体MRに絶縁層70とTIM層80を貼り付ける組立てとすることにより、出荷後に客先(ユーザー)で絶縁層70とTIM層80を貼ることも可能になる。これにより、半導体モジュールSAの組立て手順のバリエーションを増やすことができる。

【0135】

ただし、絶縁層70とTIM層80の貼り付けは、樹脂モールド後であれば、どのタイミングでもよく、例えば、メッキ形成工程などの後であってもよい。

30

【0136】

以上により、図1に示す半導体モジュールSAの組立てを完了する。

【0137】

次に、本実施の形態1の半導体モジュールSAの実装構造について説明する。図47は図44に示す半導体モジュールを放熱板に実装した構造を図44のA-A線に沿って切断した構造を示す断面図、図48は図44に示す半導体モジュールを放熱板に実装した構造を図44のB-B線に沿って切断した構造を示す断面図である。また、図49は本発明者が比較検討した半導体モジュールの構造を示す部分断面図、図50は本実施の形態1の半導体モジュールの構造を示す部分断面図である。

40

【0138】

図47に示すように、半導体モジュールSAは、複数のパワートランジスタを有しているため、その動作時の発熱が大きい。したがって、図47に示すように、PCB(Printed Circuit Board)基板160などの実装基板に半導体モジュールSAを装着した際には、半導体モジュールSAに放熱板140を取り付ける。言い換えれば、半導体モジュールSAを放熱板140に実装する。その際、図47、図48に示すように、図44の貫通孔MR1と貫通孔MR2のそれぞれにネジ部材150を装着し、ネジ部材150によって封止体MRと放熱板140とを接合する。すなわち、ネジ部材150による締結で半導体モジュールSAの封止体MRを放熱板140に取り付ける。

【0139】

50

これにより、チップ搭載部TAB1～4の何れかの露出部分と放熱板140との距離が近すぎると、半導体モジュールSAと放熱板140との絶縁耐圧を確保することができない。図49に示す本願発明者が比較検討を行った構造であり、封止体MRの裏面BS6に貼り付けられた絶縁層70とTIM層80の大きさがほぼ等しい場合である。図49に示す構造において、例えば、チップ搭載部TABのエッジ部と放熱板140との沿面距離L1は短い。

【0140】

一方、図50に示す本実施の形態1の半導体モジュールSAの構造では、絶縁層70がチップ搭載部TAB1（ここではチップ搭載部TAB1のみを図示しているが、チップ搭載部TAB1～4）を覆うように封止体MRの裏面BS6に貼り付けられているとともに、絶縁層70の大きさよりTIM層80の大きさが小さい（絶縁層70の大きさ > TIM層80の大きさ）。これにより、チップ搭載部TAB1のエッジ部と放熱板140との沿面距離L2は、図49の構造の沿面距離L1に比べて遥かに長い（ $L2 > L1$ ）。

10

【0141】

すなわち、絶縁層70の大きさ > TIM層80の大きさとし、かつ、平面視で、四角形のTIM層80の全ての辺から絶縁層70が迫り出すように絶縁層70とTIM層80を貼り付けることにより、チップ搭載部TAB1のエッジ部と放熱板140との沿面距離L2を長くすることができ、半導体モジュールSAと放熱板140との絶縁耐圧量を増加させることができる。その結果、半導体モジュールSAの絶縁耐圧を確保することができる。

20

【0142】

次に、本実施の形態1の半導体モジュールSAにおけるモジュールサイズと絶縁層とTIM層の大きさの関係について具体例を説明する。図51は本実施の形態1の半導体モジュールの裏面側の構造においてチップ搭載部の露出部の各部寸法の一例を示す裏面図、図52は本実施の形態1の半導体モジュールの裏面側の構造を示す裏面図である。

【0143】

図51に示す半導体モジュールSAは、その裏面視における各寸法の一例を示したものであり、封止体MRの裏面BS6の平面視の大きさは、例えば、横の長さ $P = 38.0\text{ mm}$ 、縦の長さ $Q = 24.0\text{ mm}$ である。また、封止体MRにおける貫通孔MR1から貫通孔MR2までの距離は、例えば、 $T = 31.8\text{ mm}$ である。さらに、チップ搭載部TAB1～4全体の露出部の大きさは、例えば、 $S = 29.9\text{ mm}$ 、 $R = 10.4\text{ mm}$ である。ただし、これらの寸法は、一例であり、上述の数値に限定されないことは言うまでもない。

30

【0144】

図52は、図51の裏面構造に対する絶縁層70とTIM層80のそれぞれの大きさと貼り付け位置を示している。図52に示すように、本実施の形態1の半導体モジュールSAでは、絶縁層70の大きさを、絶縁層70の大きさ > チップ搭載部TAB1～4の露出部の大きさとする。すなわち、絶縁層70は、チップ搭載部TAB1～4の露出部の大きさと同サイズ、もしくはチップ搭載部TAB1～4の露出部の大きさより大きい。

【0145】

絶縁層70の大きさを、絶縁層70の大きさ > チップ搭載部TAB1～4の露出部の大きさとすることにより、絶縁層70の貼り付け時の位置ずれを考慮した大きさとすることができる（位置ずれに対するマージンを大きくすることができる）。

40

【0146】

また、絶縁層70の大きさは、絶縁層70の大きさ > TIM層80の大きさとなっている。これにより、図50の構造に示すように、半導体モジュールSAを放熱板140に実装した際のチップ搭載部TAB1のエッジ部と放熱板140との沿面距離L2を長くすることができ、絶縁耐圧を確保することができる。

【0147】

次に、本実施の形態1の変形例の半導体モジュールSAによる絶縁層70とTIM層8

50

0のそれぞれの最小の大きさについて説明する。

【0148】

図53は本実施の形態1の変形例の半導体モジュールの裏面側の構造においてチップ搭載部の露出構造を示す裏面図、図54は本実施の形態1の変形例の半導体モジュールの裏面側の構造を示す裏面図である。

【0149】

半導体モジュールSAにおける絶縁層70は、絶縁が目的であるため、少なくともチップ搭載部TAB1~4の露出部(図53に示す領域U1)を覆うことが必要となる。すなわち、絶縁層70の最小サイズは、チップ搭載部TAB1~4の露出部(領域U1)のサイズと同じである(絶縁層70の最小寸法=チップ搭載部の露出部の寸法)。したがって、図54に示すように、少なくとも図53の領域U1に対応した領域に絶縁層70を貼り付ける。

10

【0150】

一方、TIM層80は、放熱が目的である。これにより、TIM層80の最小サイズは、少なくとも発熱体(例えば、IGBTチップ10)の領域を覆うことである。すなわち、TIM層80の最小サイズは、図53に示す領域V1のサイズと同じである(TIM層80の最小寸法=チップ全体の領域の寸法)。したがって、図54に示すように、少なくとも図53の領域V1に対応した領域にTIM層80を貼り付ける。

【0151】

なお、絶縁層70およびTIM層80の大きさを小さくすることで、半導体モジュールSAの組立てにおける部材コストの低減化を図ることができる。

20

【0152】

また、「絶縁層70の大きさ>TIM層80の大きさ」かつ「平面視において、TIM層80の領域は、絶縁層70の領域に包含されている」とした場合、図示しないが、TIM層80の領域の縁が絶縁層70の領域の縁に接している場合も存在する。しかしながら、沿面距離L2を確保する上では、図52、図54に示すような絶縁層70とTIM層80の大きさ・位置関係が好ましい。具体的には、平面視において、絶縁層70は、第1方向(x方向)に延在する第1辺71、第1辺71の反対側の第2辺72、第1方向(x方向)に交差する第2方向(y方向)に延在する第3辺73および第3辺73の反対側の第4辺74を有している。また、TIM層80は、第1方向(x方向)に延在する第5辺81、第5辺81の反対側の第6辺82、第2方向(y方向)に延在する第7辺83および第7辺83の反対側の第8辺84を有している。そして、平面視において、TIM層80の第5辺81は、絶縁層70の第1辺71と絶縁層70の第2辺72との間に位置し、TIM層80の第6辺82は、絶縁層70の第2辺72とTIM層80の第5辺81との間に位置している。さらに、TIM層80の第7辺83は、絶縁層70の第3辺73と絶縁層70の第4辺74との間に位置し、TIM層80の第8辺84は、絶縁層70の第4辺74とTIM層80の第7辺83との間に位置しており、絶縁層70とTIM層80は上述の大きさ・位置関係であることが好ましい。すなわち、「絶縁層70の大きさ>TIM層80の大きさ」かつ「平面視において、TIM層80の領域は、絶縁層70の領域に包含されている」かつ「平面視において、TIM層80の領域の縁が絶縁層70の領域の縁より内側に離間して配置されている」ことが最も好ましい。

30

40

【0153】

なお、本実施の形態1では、図52、図54に示すように、TIM層80の平面形状と絶縁層70の平面形状のそれぞれは、略長方形で記載したが、TIM層80の平面形状と絶縁層70の平面形状のそれぞれはこれに限るものではなく、略円形でも、略多角形でも構わない。

【0154】

<効果>

本実施の形態1の半導体モジュールSAによれば、チップ搭載部TAB1~4から絶縁層70およびTIM層80を介して直接放熱板140などに熱を伝えることができるため

50

、半導体モジュールS Aの放熱性を向上させることができる。これにより、半導体モジュールS Aの信頼性(パフォーマンス)を向上させることができる。

【0155】

また、TIM層80が絶縁層70に包含されるように、すなわち、TIM層80を絶縁層70より小さくすることにより、半導体モジュールS Aの封止体MRと放熱板140との絶縁性を向上させることができる。つまり、半導体モジュールS Aの絶縁耐圧を確保することができる。その結果、半導体モジュールS Aの信頼性を向上させることができる。

【0156】

さらに、TIM層80が絶縁層70に包含されるように貼り付けられていることで、放熱板140などに実装した際のチップ搭載部TAB1~4間でのショートの発生を防止することができる。

10

【0157】

また、TIM層80が、発熱体(例えば、IGBTチップ10)の領域に対応した領域に貼り付けられていることにより、半導体モジュールS Aの放熱性を向上させることができる。

【0158】

また、半導体モジュールS Aの組立てにおいて、樹脂モールド後に、封止体MRの裏面BS6に絶縁層70およびTIM層80を貼り付けることにより、セラミック板や金属基板を露出させる構造の半導体モジュールに比べて部品コストを安くすることができる。その結果、半導体モジュールS Aの組立てコストの低減化を図ることができる。

20

【0159】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明はこれまで記載した実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0160】

(実施の形態2)

図55は本実施の形態2の半導体モジュールの裏面側の構造においてチップ搭載部の露出構造を示す裏面図、図56は本実施の形態2の半導体モジュールの裏面側の構造を示す裏面図である。

【0161】

図55に示すように、半導体モジュールS Aでは、IGBTチップ10を制御する制御チップ30が搭載される。この時、制御チップ30は、IGBTチップ10などの発熱体の近くに搭載されることから熱の影響を受け易い。そこで、絶縁層70は、制御チップ30用のチップ搭載部TAB5を含む全てのチップ搭載部TAB1~5の領域W1を覆うように、また、TIM層80は、全ての半導体チップの領域W2を覆うように、それぞれ図56に示すように、対応する領域に絶縁層70およびTIM層80を貼り付ける。これにより、図56に示す構造では、透過平面視において、制御チップ30は、絶縁層70の領域とTIM層80の領域とに位置している。

30

【0162】

全ての半導体チップの領域W2を覆うようにTIM層80が貼り付けられていることにより、制御チップ30への熱の影響を緩和させることができる。

40

【0163】

なお、図56に示す構造においても、絶縁層70のサイズ>TIM層80のサイズ、絶縁層70のサイズ>チップ搭載部の露出部のサイズ、TIM層80のサイズ>全ての半導体チップの領域、を満たしている。

【0164】

また、半導体モジュールS Aでは、図47に示す放熱板140にネジ部材150によって固定されることから、パッケージクラックなど固定時のダメージが懸念される。そこで、本実施の形態2の図56に示す構造では、平面視(裏面視)において、絶縁層70とTIM層80は、封止体MRの貫通孔MR1と貫通孔MR2のそれぞれ中心を結ぶ仮想線1

50

70の両側に跨がって配置されている。言い換えれば、上記仮想線170上に絶縁層70とTIM層80とが配置されている。

【0165】

これにより、上記仮想線170上に絶縁層70とTIM層80が配置されていることで、ネジ固定時のダメージを緩和させることができる。

【0166】

なお、平面視(裏面視)において、上記仮想線170に沿う方向に配置された絶縁層70の一方の端部(長辺)と仮想線170との距離L3と、絶縁層70の他方(反対側)の端部(長辺)と仮想線170との距離L4とは、同じであることが好ましい。すなわち、図56に示す構造において、 $L3 = L4$ であることが好ましい。 $L3 = L4$ とすることにより、半導体モジュールSAの放熱板140へのネジ固定時の安定性を向上させることができる。

10

【0167】

さらに、上記実施の形態1、2で説明した技術思想の要旨を逸脱しない範囲において、実施例と変形例とを組み合わせる適用することができる。

【0168】

上記実施の形態1、2では、半導体モジュールに組み込まれるパワー素子として、パワーバイポーラトランジスタ(Bipolar Transistor)など、IGBTを例に示して説明したが、組み込む素子としてはパワーMOSFETなどであってもよい。

【0169】

また、上記実施の形態1では、絶縁層70とTIM層80が別個の部材であり、それぞれ別々に封止体MRに貼り付ける場合を説明したが、予め絶縁層70とTIM層80とを接合して形成されたシート構造体180(図50参照)を準備し、樹脂モールドによって形成された封止体MRに、上記シート構造体180を貼り付けてもよい。その際、絶縁層70がチップ搭載部TAB1~4の各裏面の露出部を覆うように、上記シート構造体180を封止体MRの裏面BS6に貼る。

20

【0170】

なお、この場合においても平面視(裏面視)において、シート構造体180におけるTIM層80の領域は、絶縁層70の領域に包含されている。

【0171】

また、絶縁層70およびTIM層80は、チップ搭載部毎に、あるいは半導体チップ毎に分割して封止体MRに貼り付けてもよく、この場合においても実施の形態1の半導体モジュールSAと同様の効果を得ることができる。

30

【0172】

つまり、絶縁層70およびTIM層80が、チップ搭載部毎や半導体チップ毎に分割され、この分割された絶縁層70およびTIM層80を封止体MRに貼り付けた構造であっても、絶縁層70のサイズ>TIM層80のサイズ、絶縁層70のサイズ>チップ搭載部の露出部のサイズ、TIM層80のサイズ>全ての半導体チップの領域、を満たしていればよい。これにより、実施の形態1の半導体モジュールSAと同様の効果を得ることができる。

40

【0173】

また、実施の形態は、以下の形態を含む。

【0174】

(付記1)

パワートランジスタを内蔵する半導体チップを備えた半導体モジュールに貼り付けられるシート構造体であって、

前記半導体チップが搭載されるチップ搭載部の一部が前記半導体モジュールの封止体の裏面に露出し、前記封止体の前記裏面に露出する前記チップ搭載部の一部を覆うように前記封止体に貼り付けられた絶縁層と、

前記絶縁層と積層されて接合された熱伝達材料層と、

50

を有し、

平面視において、前記熱伝達材料層の領域は、前記絶縁層の領域に包含されている、シート構造体。

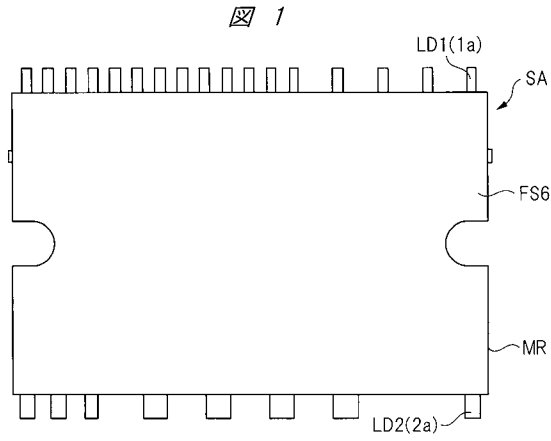
【符号の説明】

【0175】

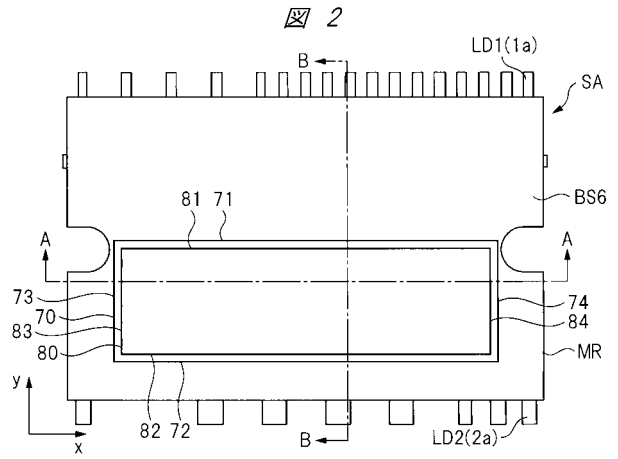
1 a、2 a	アウトリード	
1 0	I G B Tチップ	
2 0	ダイオードチップ	
3 0	制御チップ	
4 0	金ワイヤ	10
5 0	アルミニウムワイヤ	
6 0	導電性の接合材	
6 5	非導電性の接合材	
7 0	絶縁層	
7 0 a	表面（第1面）	
7 0 b	裏面（第2面）	
7 1	第1辺	
7 2	第2辺	
7 3	第3辺	
7 4	第4辺	20
8 0	T I M層（熱伝達材料層）	
8 1	第5辺	
8 2	第6辺	
8 3	第7辺	
8 4	第8辺	
9 0	リードフレーム	
9 0 a	製品形成領域	
9 0 b	枠部	
1 0 0	半導体モジュール	
1 1 0	モールド金型	30
1 1 0 a	上金型	
1 1 0 b	下金型	
1 1 0 c	キャビティ	
1 1 0 d	底面	
1 1 0 e	ゲート	
1 1 0 f	ベントホール	
1 2 0	封止樹脂	
1 3 0	メッキ膜	
1 4 0	放熱板	
1 5 0	ネジ部材	40
1 6 0	P C B基板	
1 7 0	仮想線	
1 8 0	シート構造体	
C H P 1 (H U)	半導体チップ（第1半導体チップ、ハイサイド用半導体チップ）	
C H P 1 (H V)	半導体チップ（第1半導体チップ、ハイサイド用半導体チップ）	
C H P 1 (H W)	半導体チップ（第1半導体チップ、ハイサイド用半導体チップ）	
C H P 1 (L U)	半導体チップ（第2半導体チップ、ローサイド用半導体チップ）	
C H P 1 (L V)	半導体チップ（ローサイド用半導体チップ）	
C H P 1 (L W)	半導体チップ（ローサイド用半導体チップ）	
C H P 2 (H U)	半導体チップ	50

CHP 2 (HV)	半導体チップ	
CHP 2 (HW)	半導体チップ	
CHP 2 (LU)	半導体チップ	
CHP 2 (LV)	半導体チップ	
CHP 2 (LW)	半導体チップ	
CHP 3	半導体チップ	
FS 1	表面 (第 1 面)	
BS 1	裏面 (第 2 面)	
FS 2	表面 (第 1 面)	
BS 2	裏面 (第 2 面)	10
FS 3	表面 (第 1 面)	
BS 3	裏面 (第 2 面)	
FS 4	表面 (第 1 面)	
BS 4	裏面 (第 2 面)	
FS 5	表面 (第 1 面)	
BS 5	裏面 (第 2 面)	
FS 6	表面 (第 1 面)	
BS 6	裏面 (第 2 面)	
HL	吊りリード	
LD 1	リード	20
LD 2	リード	
MR	封止体	
MR 1	貫通孔 (第 1 貫通孔)	
MR 2	貫通孔 (第 2 貫通孔)	
SA	半導体モジュール	
SS 1	側面	
TAB	チップ搭載部	
TAB 1 ~ 4	チップ搭載部	
TAB 5	チップ搭載部	
W	ワイヤ	30

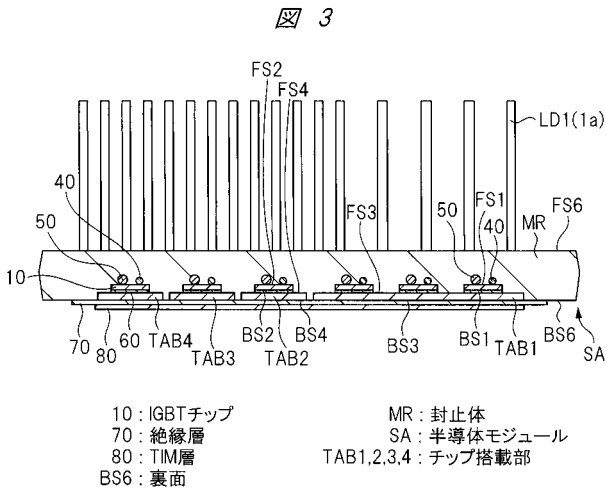
【 図 1 】



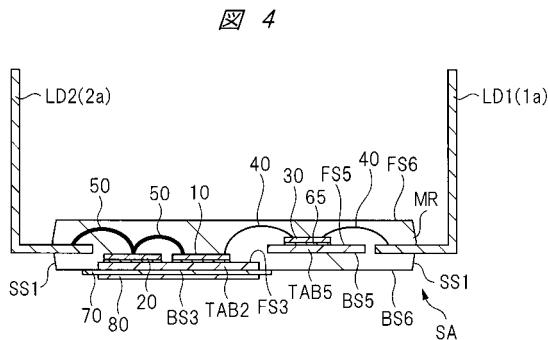
【 図 2 】



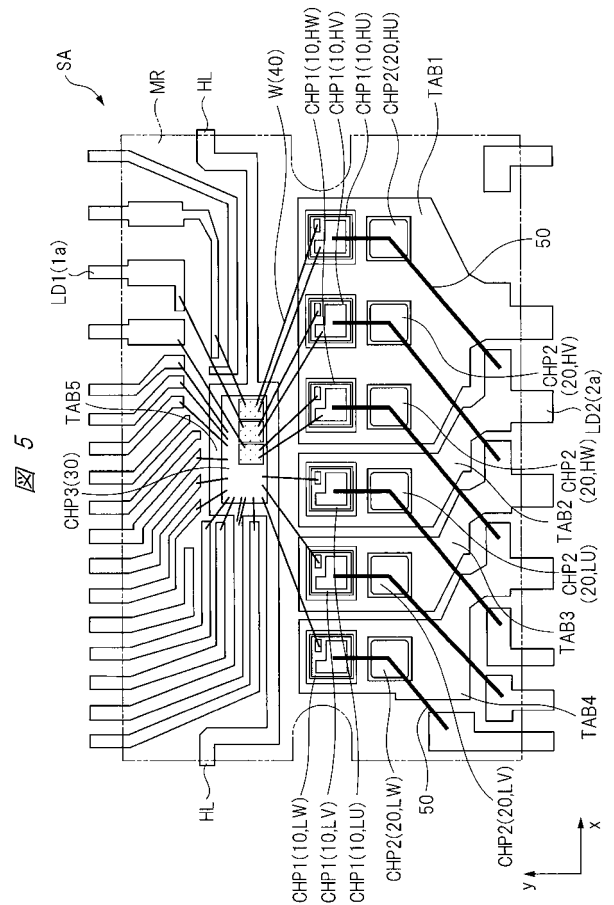
【 図 3 】



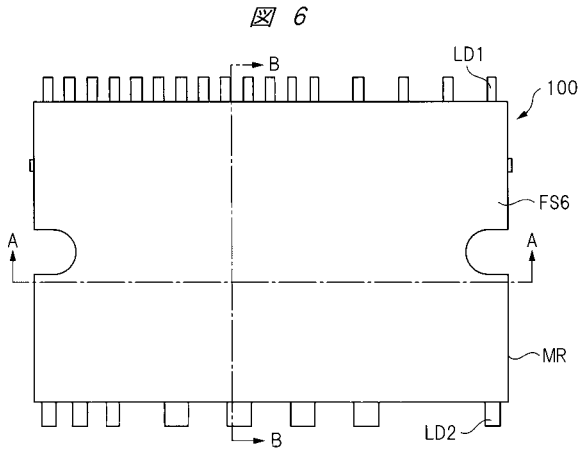
【 図 4 】



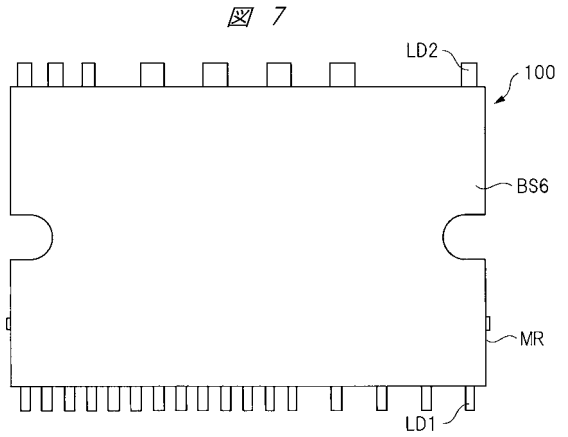
【 図 5 】



【 図 6 】

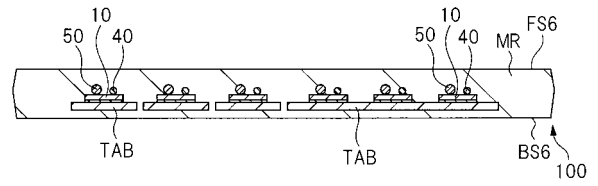


【 図 7 】



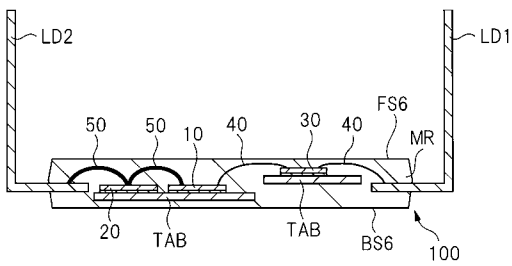
【 図 8 】

図 8

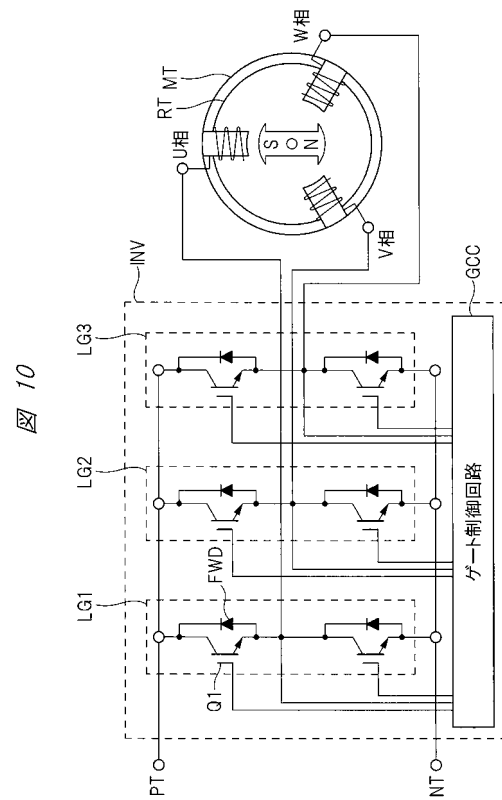


【 図 9 】

図 9

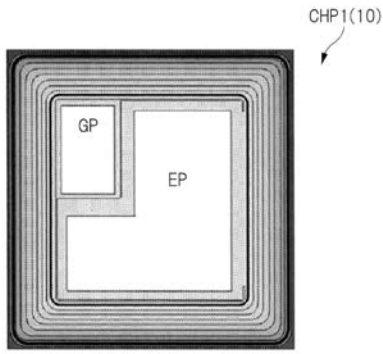


【 図 10 】



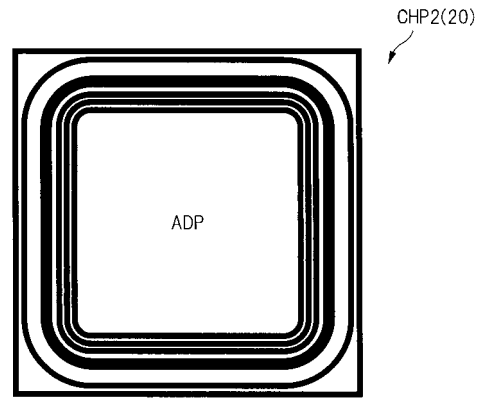
【図11】

図11



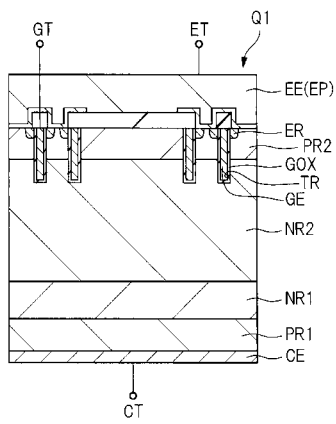
【図13】

図13



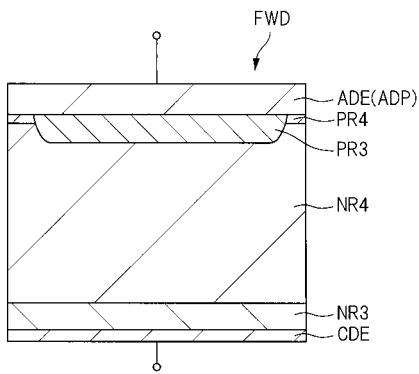
【図12】

図12



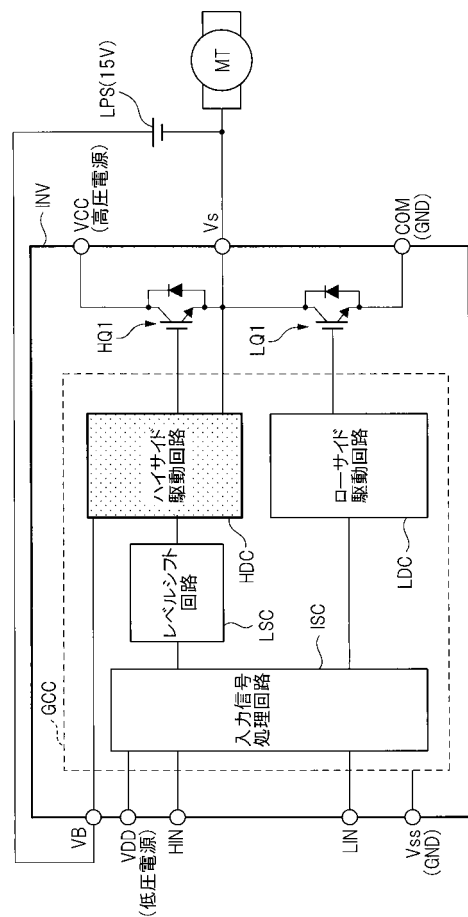
【図14】

図14



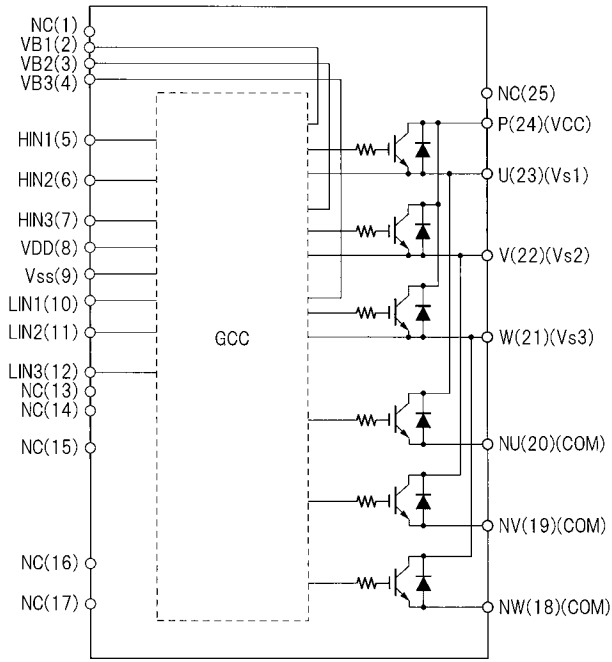
【図15】

図15



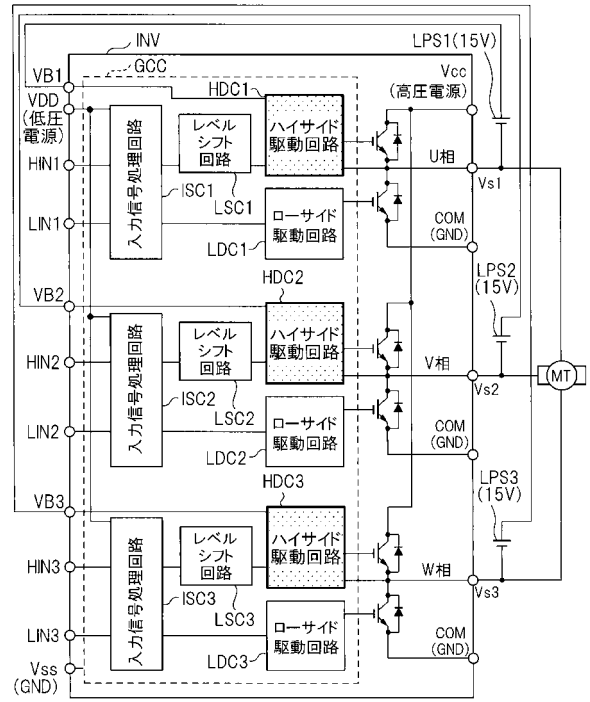
【図16】

図16



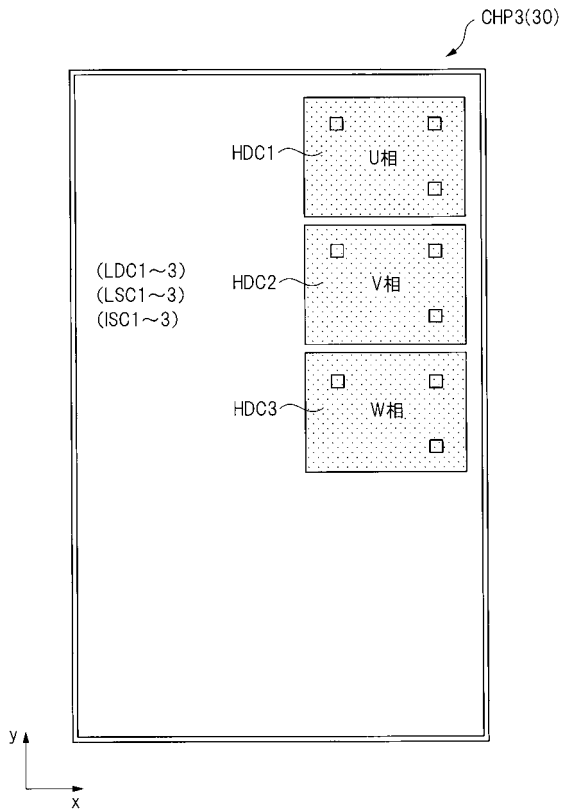
【図17】

図17



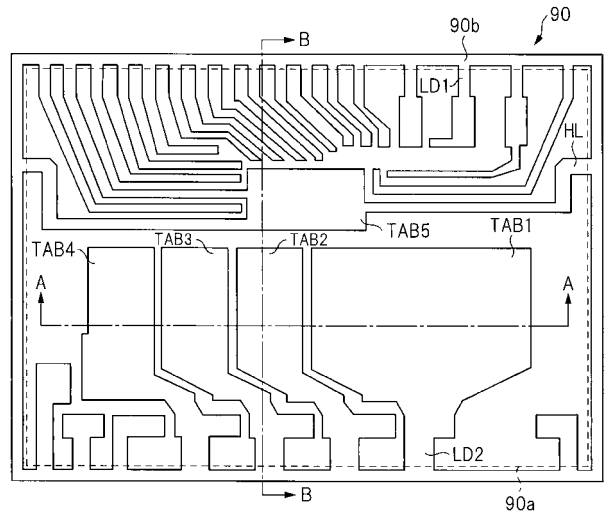
【図18】

図18



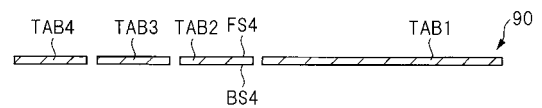
【図19】

図19

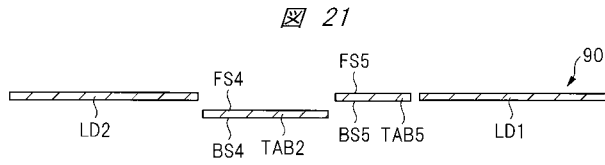


【図20】

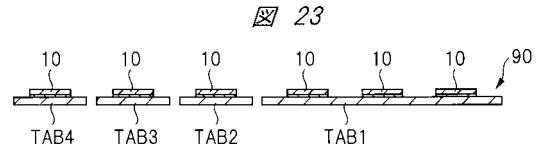
図20



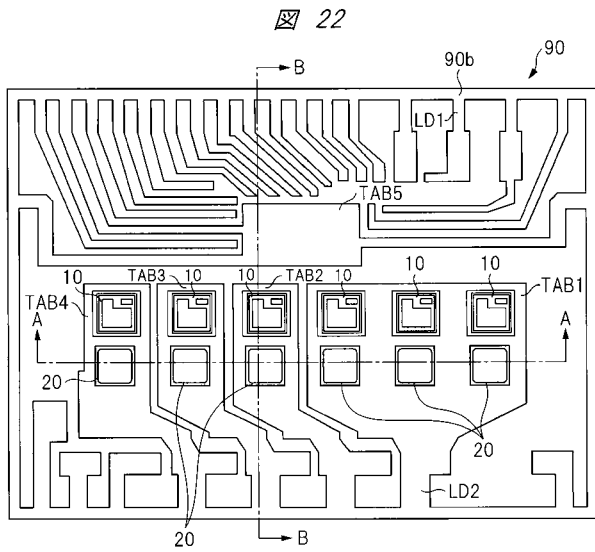
【図 2 1】



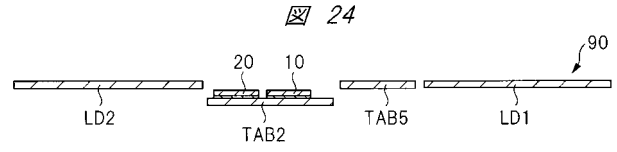
【図 2 3】



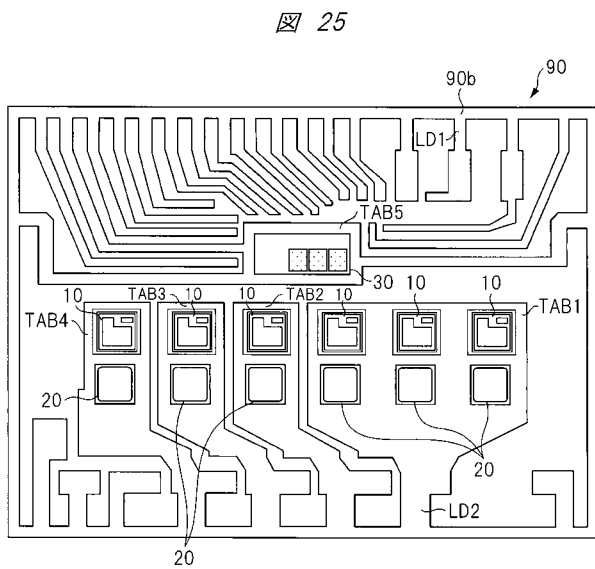
【図 2 2】



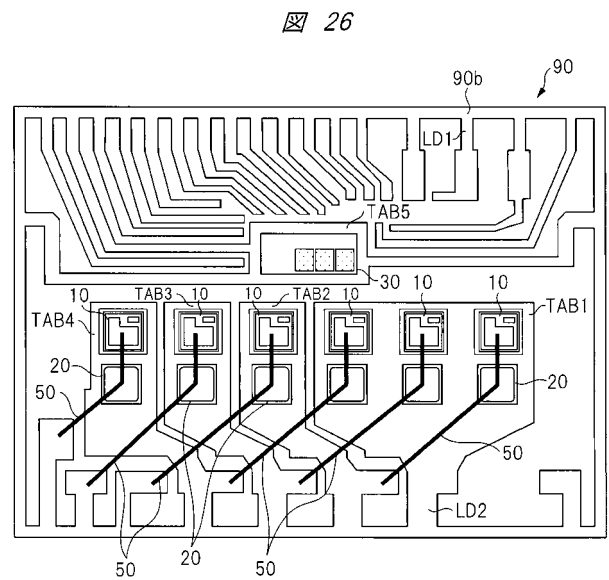
【図 2 4】



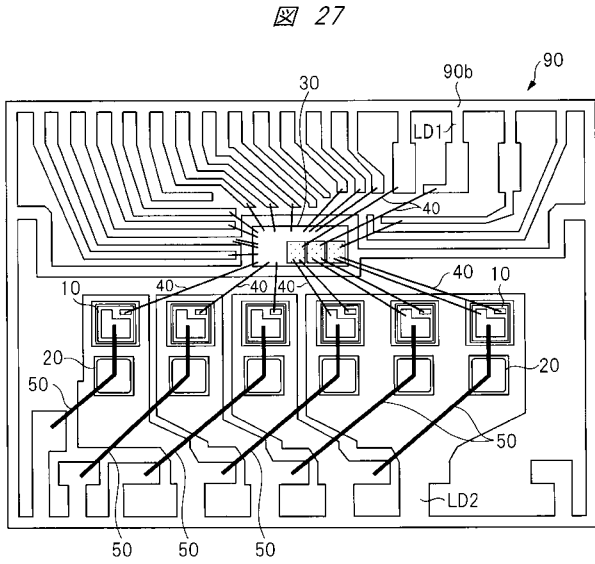
【図 2 5】



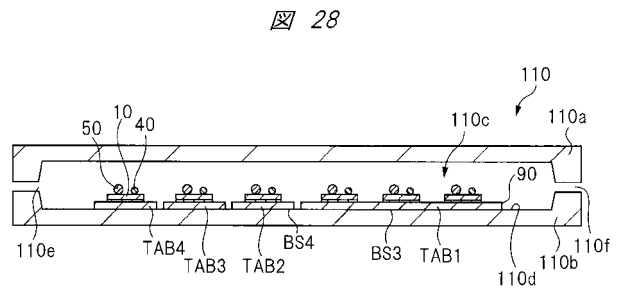
【図 2 6】



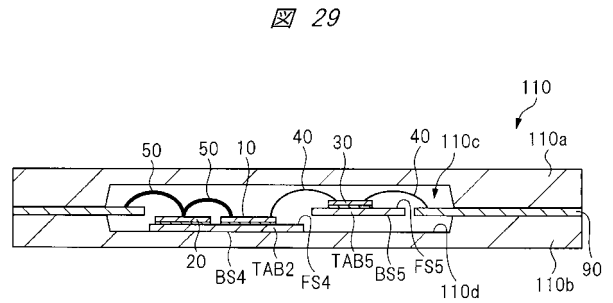
【 図 2 7 】



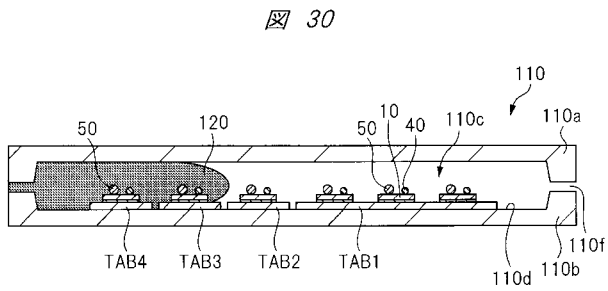
【 図 2 8 】



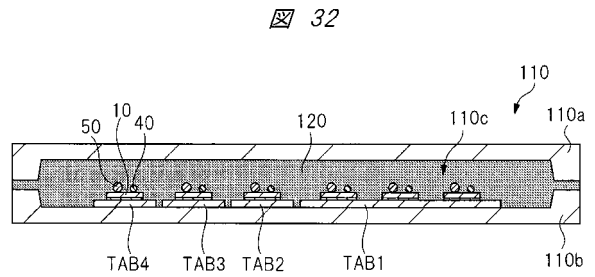
【 図 2 9 】



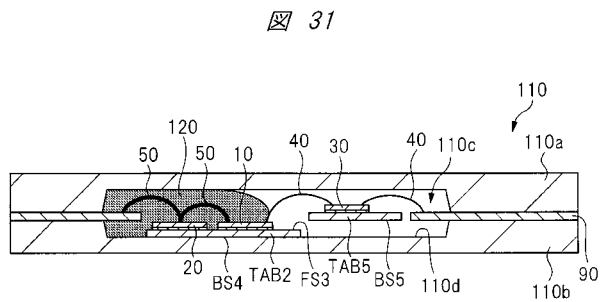
【 図 3 0 】



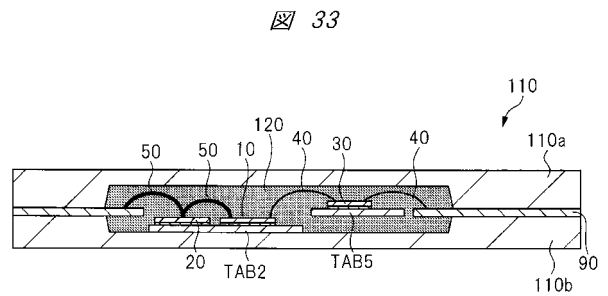
【 図 3 2 】



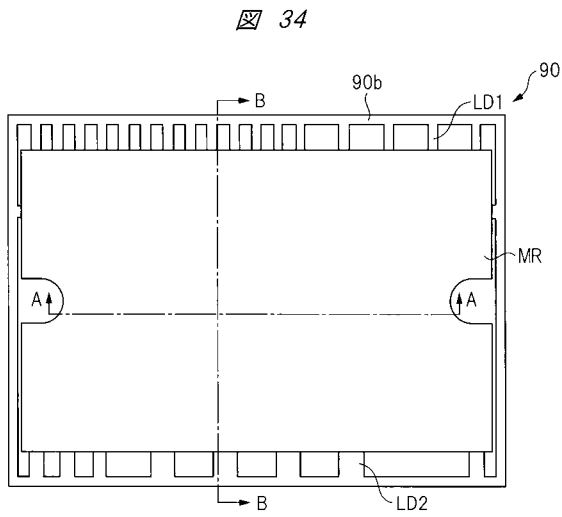
【 図 3 1 】



【 図 3 3 】

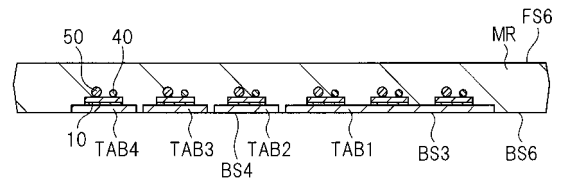


【 図 3 4 】



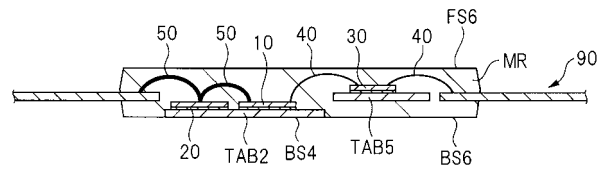
【 図 3 5 】

図 35

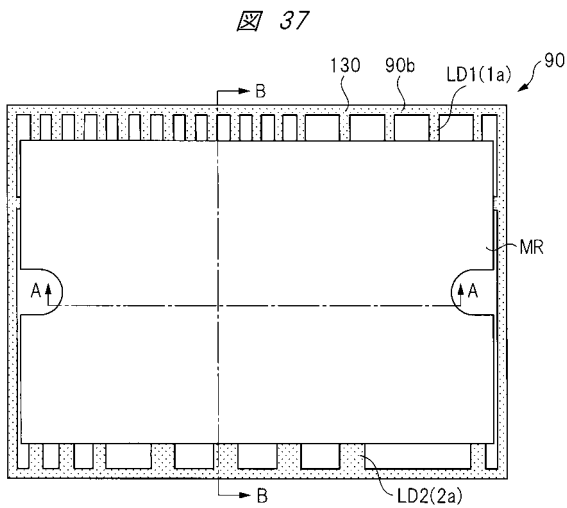


【 図 3 6 】

図 36

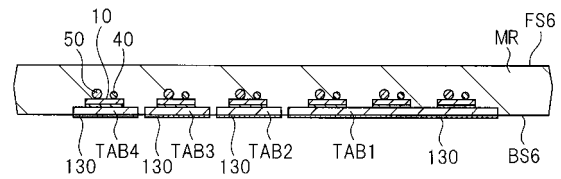


【 図 3 7 】



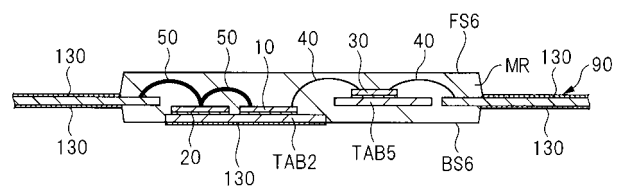
【 図 3 8 】

図 38

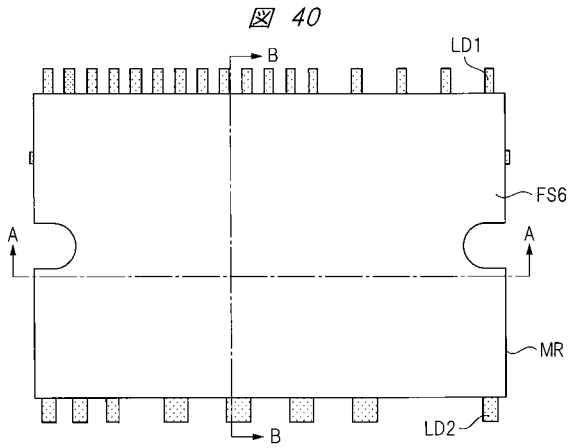


【 図 3 9 】

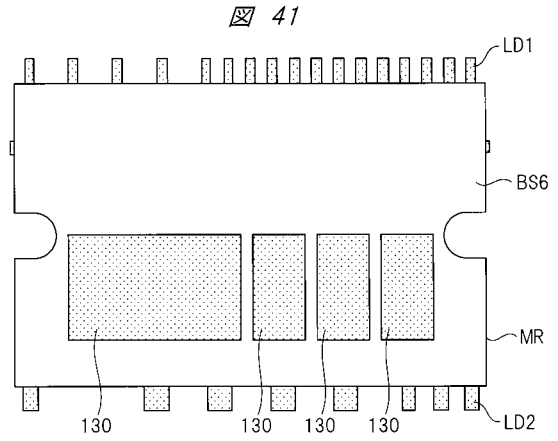
図 39



【図40】

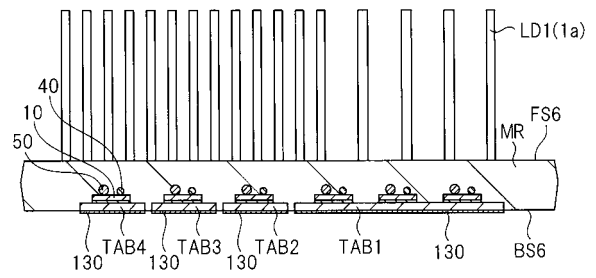


【図41】



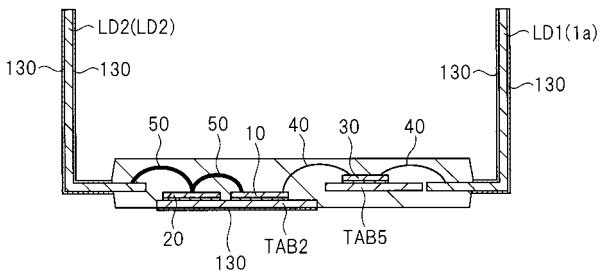
【図42】

図42



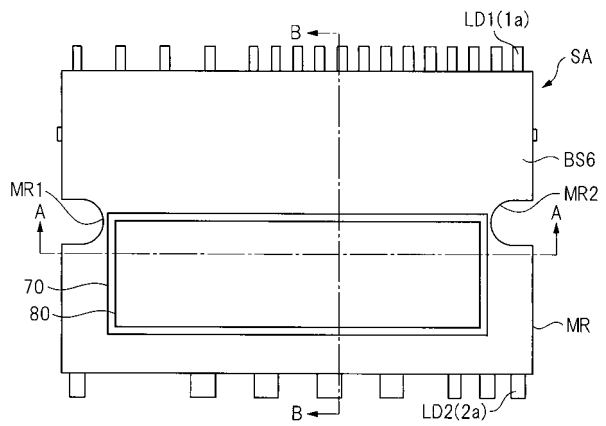
【図43】

図43

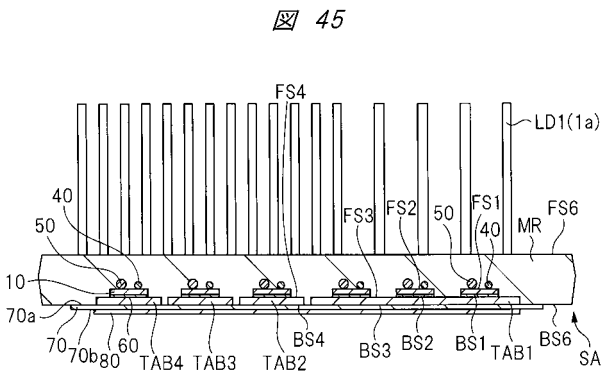


【図44】

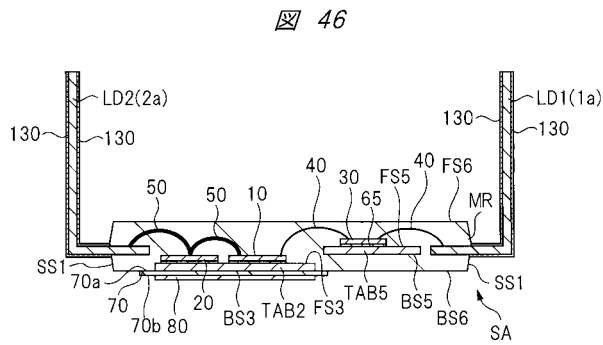
図44



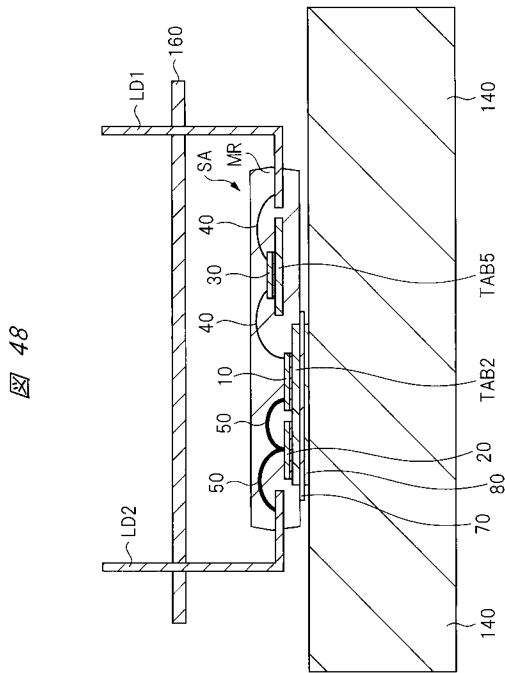
【 図 4 5 】



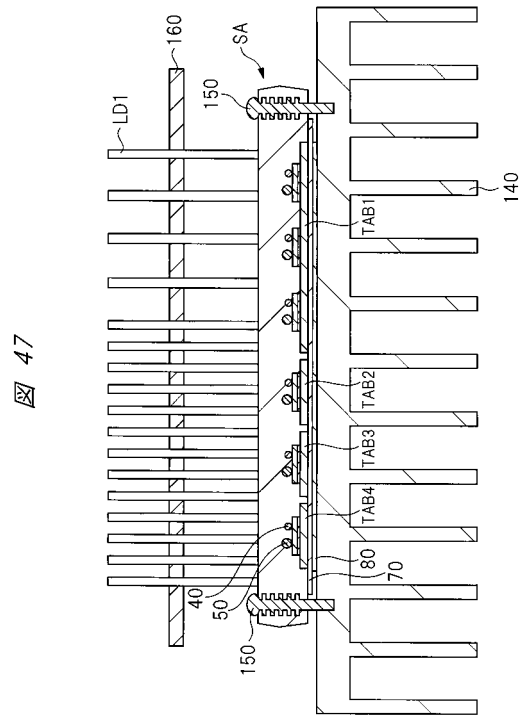
【 図 4 6 】



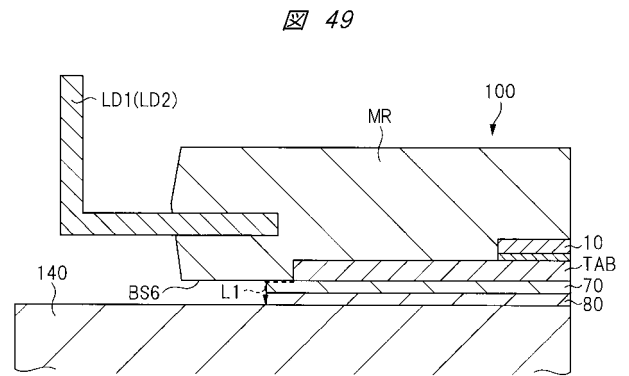
【 図 4 8 】



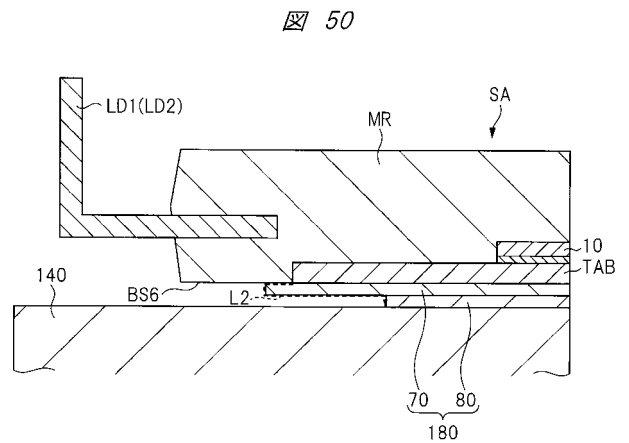
【 図 4 7 】



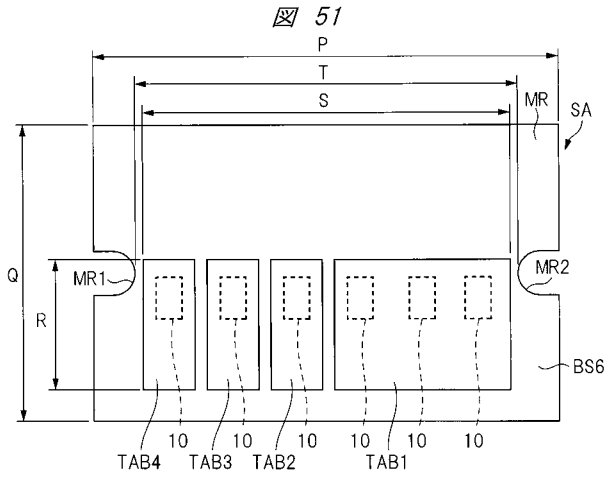
【 図 4 9 】



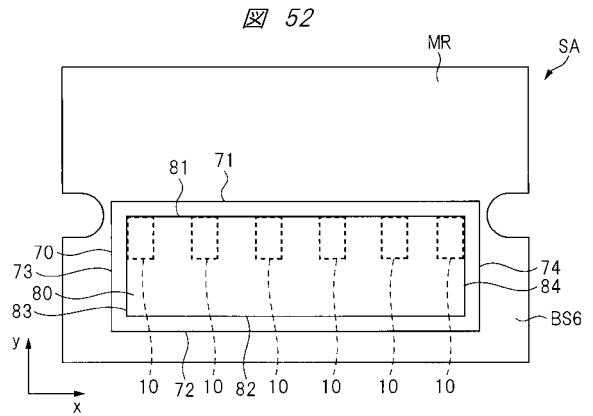
【 図 5 0 】



【図 5 1】

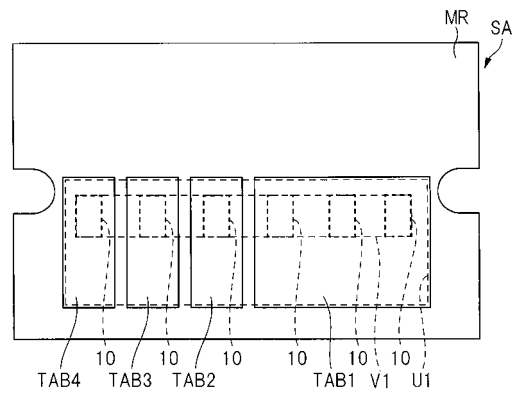


【図 5 2】



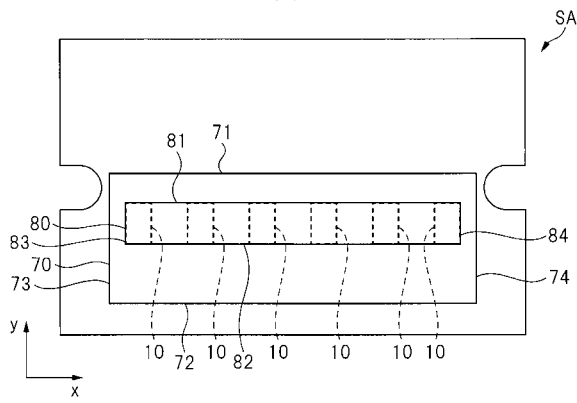
【図 5 3】

図 53



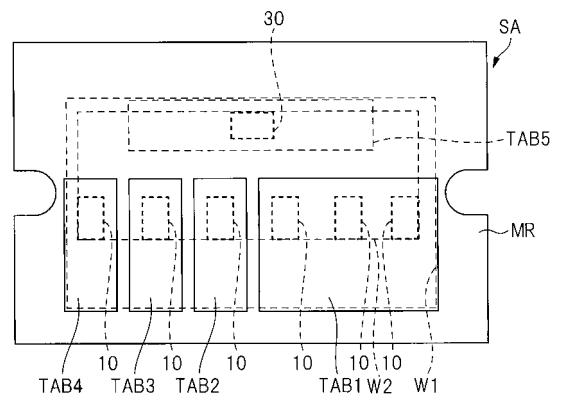
【図 5 4】

図 54



【図 5 5】

図 55



【 図 5 6 】

