

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-74158

(P2010-74158A)

(43) 公開日 平成22年4月2日 (2010. 4. 2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/417 (2006.01)	HO 1 L 29/50 M	4 M 1 0 4
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3 O 1 R	5 F 0 3 3
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 M	5 F 0 4 8
HO 1 L 23/52 (2006.01)	HO 1 L 21/90 D	
HO 1 L 21/768 (2006.01)	HO 1 L 27/08 1 O 2 D	
審査請求 有 請求項の数 10 O L (全 7 頁) 最終頁に続く		

(21) 出願番号 特願2009-207011 (P2009-207011)
 (22) 出願日 平成21年9月8日 (2009. 9. 8)
 (31) 優先権主張番号 12/212, 034
 (32) 優先日 平成20年9月17日 (2008. 9. 17)
 (33) 優先権主張国 米国 (US)

(71) 出願人 500262038
 台湾積體電路製造股▲ふん▼有限公司
 Taiwan Semiconductor Manufacturing Company, Ltd.
 台湾新竹科學工業園區新竹市力行六路八號
 8, Li-Hsin Rd. 6, Hsinchu Science Park, Hsinchu, Taiwan 300-77, R. O. C.
 (74) 代理人 100123434
 弁理士 田澤 英昭
 (74) 代理人 100101133
 弁理士 濱田 初音

最終頁に続く

(54) 【発明の名称】 ローカルインタコネクトを備えた半導体装置

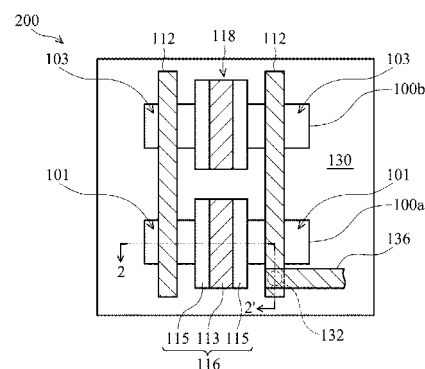
(57) 【要約】

【課題】 ローカルインタコネクトを備えた半導体装置を提供する。

【解決手段】 ローカルインタコネクトを備えた半導体装置であって、基板上に配置され、実質的に同一線上にある第1ゲート線構造と第2ゲート線構造、前記第1ゲート線構造の両側の前記基板に形成された第1対ソース/ドレイン領域と前記第2ゲート線構造の両側の前記基板に形成された第2対ソース/ドレイン領域、及び前記第1ゲート線構造と前記第2ゲート線構造の両側の前記基板上に配置され、それらが前記第1対ソース/ドレイン領域のうちの1つと前記第2対ソース/ドレイン領域のうちの1つに接続された一対の導電線を含む半導体装置。

。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ローカルインタコネクタを備えた半導体装置であって、
基板上に配置され、実質的に同一線上にある第 1 ゲート線構造と第 2 ゲート線構造、
前記第 1 ゲート線構造の両側の前記基板に形成された第 1 対ソース/ドレイン領域と前
記第 2 ゲート線構造の両側の前記基板に形成された第 2 対ソース/ドレイン領域、及び
前記第 1 ゲート線構造と前記第 2 ゲート線構造の両側の前記基板上に配置され、それら
が前記第 1 対ソース/ドレイン領域のうちの 1 つと前記第 2 対ソース/ドレイン領域のう
ちの 1 つに接続された一対の導電線を含む半導体装置。

【請求項 2】

10

前記第 1 ゲート線構造と前記第 2 ゲート線構造のそれぞれは、
前記基板上に配置されたゲート誘電体層、
前記ゲート誘電体層上に配置されたゲート電極、及び
前記ゲート電極の側壁に配置されたゲートスペーサを含む請求項 1 に記載の半導体装置

【請求項 3】

前記ゲート電極は、ポリシリコンを含む請求項 2 に記載の半導体装置。

【請求項 4】

前記一対の導電線は、前記ゲート電極と同じレベルにある請求項 2 に記載の半導体装置

20

【請求項 5】

前記第 1 と第 2 対ソース/ドレイン領域は、同じ導電性を有する請求項 2 に記載の半導
体装置。

【請求項 6】

前記第 1 ゲート線構造と前記第 2 ゲート線構造の前記ゲート電極は、一体成形される請
求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 と第 2 対ソース/ドレイン領域は、異なる導電性を有する請求項 1 に記載の半
導体装置。

【請求項 8】

30

前記一対の導電線は、実質的に前記第 1 ゲート線構造と前記第 2 ゲート線構造に平行す
る請求項 1 に記載の半導体装置。

【請求項 9】

前記一対のインタコネクタ層は、タングステンを含む請求項 1 に記載の半導体装置。

【請求項 10】

前記一対の導電線に配置され、前記一対の導電線のうちの 1 つに接続された少なくとも
1 つの導電プラグ、及び

前記導電プラグに配置され、そこに接続される金属層を更に含む請求項 1 に記載の半導
体装置。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、半導体装置技術に関し、特に、低接触抵抗を有するローカルインタコネクタ
(local interconnects) を備えた半導体装置に関するものである。

【背景技術】

【0002】

半導体集積回路の形成では、当技術分野で周知のように装置の密度を増加するために、
例えばトランジスタ、レジスタ、コンデンサ、または他の半導体素子の集積回路の半導体
装置のサイズが絶え間なく減少されている。よって、多層配線構造 (multilayer
red interconnect structure) が個別の半導体装置の電氣的接

50

続に通常求められる。半導体装置のサイズの減少とともに、より多くの構成要素が集積回路またはダイに配置され、多層配線構造の設計の複雑さを増加している。

【0003】

通常、多層配線構造は、プラグと金属層を含み、従来のデュアルダマシンプロセスによって提供される。デュアルダマシンプロセスでは、まず、従来のフォトリソグラフィーとエッチングプロセスによって、ビア開口(via opening)が金属配線層間絶縁体(IMD)/層間絶縁膜(ILD)に異方性エッチングされる。続いて、トレンチ開口(trench opening)と言われる第2異方性エッチングされた開口が第2フォトリソグラフィーとエッチングプロセスによって、1つ以上のビア開口の上方に形成される。ビア開口とトレンチ開口は、一緒にデュアルダマシン構造を作り、実質的に金属で充填されてプラグと金属層を形成する。半導体装置のサイズが減少された時、プラグのサイズも減少されるため、ビア開口のアスペクト比を増加し、製造歩留まりを減少する。アスペクト比は、ビア開口の縦/横比として定義される。アスペクト比が増加した時、プラグの接触抵抗が増加する。そのため、装置の密度が増加した時、装置の電気的特性と信頼度の保持または増加がより難しくなる。

10

【0004】

よって、装置のサイズが減少されて、装置の密度を増加する時に接触抵抗を減少できる、改善されたインタコネクタ(interconnect)構造の必要がある。

【発明の概要】

【発明が解決しようとする課題】

20

【0005】

ローカルインタコネクタを備えた半導体装置を提供する。

【課題を解決するための手段】

【0006】

ローカルインタコネクタを備えた半導体装置の実施例は、基板上に配置されて、実質的に同一線上にある第1ゲート線構造と第2ゲート線構造を含む。第1対ソース/ドレイン領域は、第1ゲート線構造の両側の基板に形成され、第2対ソース/ドレイン領域は、第2ゲート線構造の両側の基板に形成される。一对の導電線は、第1ゲート線構造と第2ゲート線構造の両側の基板上に配置され、各導電線が第1対ソース/ドレイン領域のうちの1つと第2対ソース/ドレイン領域のうちの1つに接続される。

30

【図面の簡単な説明】

【0007】

【図1】本発明に基づいたローカルインタコネクタを備えた半導体装置の実施例の平面図である。

【図2】図1に表されたライン2-2'に沿った断面図である。

【図3】本発明に基づいたローカルインタコネクタを備えた半導体装置のもう1つの実施例の平面図である。

【発明を実施するための形態】

【0008】

本発明についての目的、特徴、長所が一層明確に理解されるよう、以下に実施形態を例示し、図面を参照しながら、詳細に説明する。

40

【実施例】

【0009】

図1と図2は、ローカルインタコネクタを備えた半導体装置の実施例を表しており、図1は、平面図であり、図2は、図1に表されたライン2-2'に沿った断面図である。図1と図2を参照して、半導体装置200は、例えば、シリコン基板または他の半導体基板の基板100を含む。基板100は、当技術分野で周知のようにトランジスタ、レジスタと、他の半導体素子を含む各種の素子(図示されていない)を含むことができる。実施例では、基板は、互いに分離した少なくとも2つの活性領域100aと100bを有し、分離構造110、例えばシャロートレンチアイソレーション(STI)構造によって囲まれ

50

る。

【0010】

誘電体層120は、基板上100に形成され、ILD層として用いられる。誘電体層120は、二酸化ケイ素、リンケイ酸ガラス(PSG)、ボロホスホシリケートガラス(BPSG)、または例えばフッ化ケイ酸ガラス(FSG)または有機ケイ酸塩ガラス(OSG)などの低誘電率(k)材料であることができる。第1ゲート線構造116は、誘電体層120内と活性層100aの基板100上に配置される。第2ゲート線構造118は、誘電体層120内と活性層100bの基板100上に配置される。実施例では、第1ゲート線構造116と第2ゲート線構造118は、互いに分離され、同一線上に配列される。第1ゲート線構造116と第2ゲート線構造118のそれぞれは、対応する活性層の基板上のゲート誘電体層(絶縁膜)111を含むことができる。例えば、ポリシリコンのゲート電極113がゲート誘電体層111上に配置され、例えば窒化ケイ素層のキャップ層(図示されていない)によって覆われることができる。ゲートスペーサ115は、ゲート電極113の側壁に配置される。

10

【0011】

第1対ソース/ドレイン領域101は、第1活性層100aの基板100上に形成され、第1ゲート線構造116の両側に設置される。第2対ソース/ドレイン領域103は、第2活性層100bの基板100上に形成され、第2ゲート線構造118の両側に設置される。結果、2つのトランジスタが第1と第2活性層100aと100b上にそれぞれ形成される。実施例では、第1対ソース/ドレイン領域101と第2対ソース/ドレイン領域103は、例えばN型、またはP型の同じ導電型、または異なる導電型を有することができる。例えば、第1対ソース/ドレイン領域101と第2対ソース/ドレイン領域103が同じ導電型を有する場合、第1ゲート線構造116と第2ゲート線構造118のゲート電極113は、図3に示されるように一体化して共通ゲート線構造を形成することができる。

20

【0012】

一对の導電線112は、誘電体層(絶縁膜)120と第1ゲート線構造116と第2ゲート線構造118の両側の基板100上に位置される。よって一对の導電線112はゲート電極113と同じレベルにあり、各導電線112は、ローカルインタコネクトとして、第1ゲート線構造116と第2ゲート線構造118の同一側の第1対ソース/ドレイン領域101のうちの1つと第2対ソース/ドレイン領域103のうちの1つに電氣的に接続する。実施例では、一对の導電線112はタングステン、銅、またはアルミニウムを含むことができる。また、各導電線112は、実質的に第1ゲート線構造116と第2ゲート線構造118に平行する。即ち導電線112と第1ゲート線構造116と第2ゲート線構造118は、同じ方向に沿って延伸される。

30

【0013】

誘電体層(絶縁膜)130は、誘電体層120と一对の導電線112の上方に形成され、IMD層として用いられる。誘電体層130は、単一層または多層構造であることができる。また、誘電体層130は、誘電体層120と同じまたは類似の材料を含むことができる。例えばタングステンまたは銅プラグの少なくとも1つの導電プラグ132は、それに接続されるように誘電体層130と一对の導電線112の1つの上に配置される。例えば銅層の金属層136は、誘電体層130と導電プラグ132の上方に配置され、その下方の導電線112によって2つのトランジスタに電氣的接続される。

40

【0014】

本発明に基づくと、第1と第2活性層100aと100b上に形成された2つのトランジスタが、従来の導電プラグに比べ、より大きな接触領域を提供する導電線112によって互いに電氣的接続されることから、導電線112の接触抵抗は、従来の導電プラグより低い。即ち、半導体装置の装置密度は、従来の導電プラグを用いることと比較した時、ローカルインタコネクトとなる導電線112の低接触抵抗により、更に減少されることができる。また、2つのトランジスタのゲート電極線113が同一線上(即ちゲート電極11

50

3 は、一直線に沿って延伸する)にあることから、ソース/ドレイン領域 1 0 1 と 1 0 3 の形成のプロセスは、比較的簡単である。また、同一線上のゲート電極 1 1 3 が一次元だけに沿った単一導電層をパターンニングすることで形成されることができ、リソグラフィプロセスの間、よい線幅(CD)制御を得ることができる。また、ゲート電極 1 1 3 と導電線 1 1 2 が平行であることから、レイアウトも比較的簡単である。また、本発明に基づいたレイアウトは、比較的高密度のトランジスタレイアウトとなることができる。

【0015】

以上、本発明の好適な実施例を例示したが、これは本発明を限定するものではなく、本発明の精神及び範囲を逸脱しない限りにおいては、当業者であれば行い得る少々の変更や修飾を付加することが可能である。従って、本発明が請求する保護範囲は、特許請求の範囲を基準とする。

10

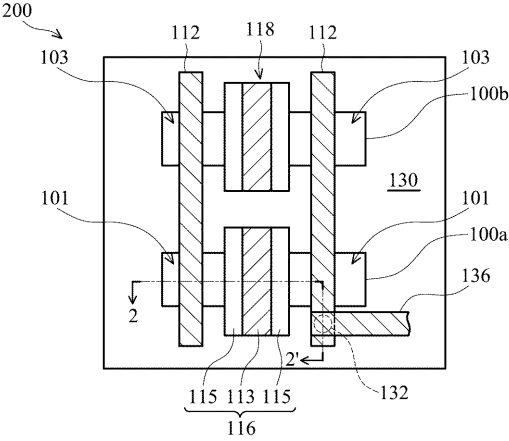
【符号の説明】

【0016】

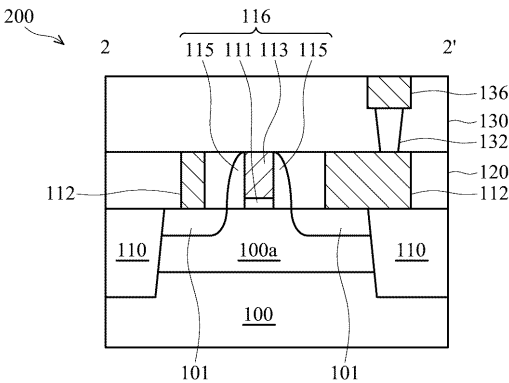
- 1 0 0 基板
- 1 0 0 a、1 0 0 b 活性層
- 1 0 1 第 1 対ソース/ドレイン領域
- 1 0 3 第 2 対ソース/ドレイン領域
- 1 1 0 分離構造
- 1 1 1 ゲート誘電体層
- 1 1 2 導電線
- 1 1 3 ゲート電極
- 1 1 5 ゲートスペーサ
- 1 1 6 第 1 ゲート線構造
- 1 1 8 第 2 ゲート線構造
- 1 2 0、1 3 0 誘電体層
- 1 3 2 導電プラグ
- 1 3 6 金属層
- 2 0 0 半導体装置

20

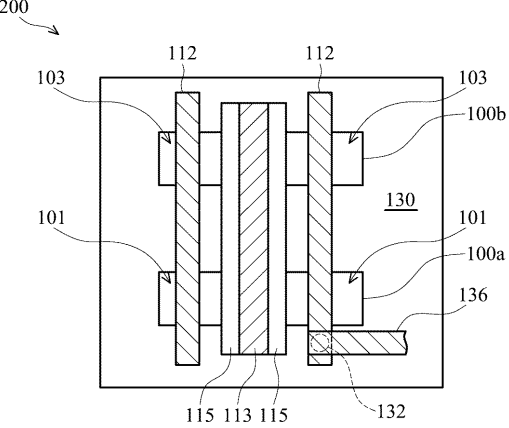
【図 1】



【図 2】



【図 3】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

H 0 1 L 23/522 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

(72)発明者 莊 學理
台湾新竹市富群街8 5 巷1 8 弄5 9 號

(72)発明者 鄭 光茗
台湾新竹縣寶山鄉▲なん▼坑路1 8 6 號

(72)発明者 鍾 昇鎮
台湾新竹縣竹北市莊敬5 街5 5 - 1 號6 樓

(72)発明者 梁 孟松
台湾台北市北投區泉源路1 6 號2 樓

F ターム(参考) 4M104 AA01 BB01 BB02 BB04 BB18 CC01 DD16 DD19 FF11 GG09

GG10 GG14 HH14 HH15

5F033 HH11 JJ01 JJ08 JJ11 JJ19 KK01 KK08 KK11 KK19 MM01

MM21 NN11 NN33 QQ09 QQ37 RR04 RR11 RR14 RR15 RR25

TT08 UU03 VV06 XX04 XX07 XX09

5F048 AA01 AC01 AC03 BA01 BE03 BE04 BF02 BF07 BF11 BF16

BG02 BG03 BG13