

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

①1 N° de publication : **2 585 201**  
(à n'utiliser que pour les  
commandes de reproduction)  
②1 N° d'enregistrement national : **86 10461**  
⑤1 Int Cl<sup>4</sup> : H 03 F 3/45.

①2 **DEMANDE DE BREVET D'INVENTION**

A1

- ②2 Date de dépôt : 18 juillet 1986.  
③0 Priorité : IT, 18 juillet 1985, n° 21627 A/85.  
④3 Date de la mise à disposition du public de la  
demande : BOPI « Brevets » n° 4 du 23 janvier 1987.  
⑥0 Références à d'autres documents nationaux appa-  
rentés :

⑦1 Demandeur(s) : *SGS MICROELETTRONICA SpA.* — IT.

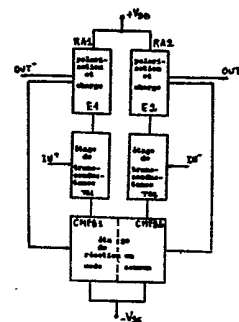
⑦2 Inventeur(s) : Guido Torelli et Alejandro de La Plaza.

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : Office Blétry.

⑤4 Amplificateur opérationnel tout différentiel pour circuits intégrés en technique MOS.

⑤7 L'amplificateur opérationnel tout-différentiel à étage selon l'invention, qui a un gain élevé en boucle ouverte, est intégrable avec une occupation minimale de surface de silicium et a un nombre minimal de lignes d'interconnexion de polarisation; il se compose de deux branches semblables RA<sub>1</sub>, RA<sub>2</sub> entre elles, dont chacune comprend des éléments respectivement semblables de polarisation/charge E<sub>1</sub>, E<sub>2</sub> de transconductance TR<sub>1</sub>, TR<sub>2</sub> et de réaction en mode commun CMFB<sub>1</sub>, CMFB<sub>2</sub>, chacun de ces trois éléments de chaque branche étant traversé par un même courant de repos.



FR 2 585 201 - A1

La présente invention concerne un amplificateur opérationnel tout différentiel à étage unique à gain élevé en boucle ouverte, réalisé en technique MOS, comportant des éléments (transistors) pour un étage de transconductance, des éléments de charge et de polarisation pour cet étage et un circuit de stabilisation de la tension de sortie au repos (CMFB).

L'utilisation d'amplificateurs opérationnels dans des circuits intégrés en technique MOS est devenue de plus en plus courante au cours de ces dernières années, en conséquence de l'exigence d'intégrer des circuits et des sous-systèmes analogiques dans cette technique.

Une revue des techniques de projetage pour amplificateurs opérationnels intégrés en technique MOS (soit NMOS, soit CMOS) est présentée par exemple dans l'article "MOS Operational Amplifier Design - A Tutorial Overview" de P.R. Gray et R.G. Mayer, paru dans "IEEE Journal of Solid-State Circuits", vol. SC-17, n° 6, page 969, décembre 1982.

Les conditions fondamentales qui doivent être satisfaites par un amplificateur opérationnel ("OPAMP") intégré dans un circuit monolithique MOS (fig. 1, où  $V_{REF}$  et  $V_{RIF}$  sont deux tensions fixes, pas forcément différentes l'une de l'autre, et A est le gain en boucle de l'amplificateur) sont les suivantes :

- gain élevé en boucle ouverte,
- bref temps de stabilisation ("settling time"),
- capacité de pilotage de charges capacitives,
- rejet élevé à la tension d'alimentation ("PSSR"),
- faible bruit d'entrée.

D'autres conditions particulièrement utiles pour des amplificateurs opérationnels intégrés sont les suivantes :

- faible occupation de surface de silicium,
- facilité d'interconnexion avec d'autres parties du circuit

intégré,

- forte excursion de la tension de sortie avec faible distorsion harmonique,
- dissipation de puissance limitée.

5       Récemment s'est imposée la technique de projetage qui utilise des amplificateurs opérationnels à sortie différentielle (amplificateurs "tout-différentiels" ou "fully-differential" ou "double-ended") dans lesquels la tension de sortie est prélevée, non pas entre la sortie unique de l'amplificateur et une  
10 tension de référence fixe (par exemple la masse ou une autre tension engendrée à l'intérieur du circuit intégré), mais entre les deux sorties de l'amplificateur, qui est projeté de telle manière que les deux signaux de sortie soient symétriques par rapport à une tension de référence  $V_{REF}$  (fig. 2).

15       Une différence importante entre les amplificateurs opérationnels à sortie unique et les amplificateurs tout-différentiels est que, dans ces derniers, il n'existe pas de noeud de référence commun à l'entrée et à la sortie de l'amplificateur opérationnel.

20       Un avantage essentiel de l'approche tout-différentiel consiste en ce que l'on obtient

- une amélioration de la valeur maximale de l'excursion de la tension effective de sortie,
- un abaissement de la distorsion harmonique à la sortie (en particulier de la distorsion harmonique due aux harmoniques  
25 pairs) et
- une augmentation de la valeur du PSSR.

30       Un problème typique de cette catégorie d'amplificateurs consiste en la nécessité de projeter une circuiterie qui fixe la tension "au repos" des deux sorties (c'est-à-dire les tensions présentes sur les deux sorties en l'absence de signaux appliqués aux entrées) à une valeur qui permette une excursion symétrique et de valeur maximale des signaux de sortie (cette tension au repos est en général  $V_{REF}$ , voir fig. 2).

35       Fréquemment en outre (typiquement quand le circuit est alimenté avec une seule tension), il faut aussi que la tension au repos des deux entrées soit fixée avec une circuiterie qui optimise ce niveau par rapport aux exigences de circuit de l'amplificateur (cette tension est en général  $V_{RIN}$ , voir fig. 2).

Une technique appliquée pour le projetage d'amplificateurs "tout-différentiels" est celle qui, pour satisfaire aux conditions fondamentales exigées de gain élevé, utilise deux étages en cascade dont chacun aurait, à lui seul, un gain insuffisant pour le type d'application désiré.

L'inconvénient principal et bien connu de cette approche tient au fait qu'un amplificateur à deux étages exige l'utilisation d'une capacité de compensation assez élevée (et croissante avec l'augmentation de la charge), disposée entre le premier et le second étage, pour assurer la stabilité du système dans lequel l'amplificateur est inséré. Entre autres choses, cela augmente dans une mesure non négligeable la surface occupée par l'amplificateur.

Une autre méthode de projetage, connue en soi et qui a trouvé un succès croissant, est celle qui utilise un seul étage d'amplification, ayant par lui-même un gain suffisamment élevé pour satisfaire aux exigences d'application. Un avantage important de ce type d'amplificateurs est qu'il élimine la nécessité de la capacité de compensation.

Dans l'essentiel, un amplificateur à étage unique est un amplificateur dans lequel on ne peut identifier qu'un étage qui est doté d'une transconductance élevée  $g_m$  qui assure une fonction de transfert

$$I_{out} = g_m V_{in} \quad (1)$$

$I_{out}$  représentant le courant du signal de sortie de l'étage et  $V_{in}$  représentant la tension du signal en entrée. Dans l'amplificateur dans son ensemble, l'amplification de tension est obtenue grâce à la chute provoquée par  $I_{out}$  sur une impédance de sortie  $Z_{out}$ , ce qui fait que le gain de tension de l'amplificateur en boucle ouverte  $A$  devient :

$$A = g_m Z_{out} \quad (2)$$

Un exemple de ce type d'approche à étage unique est celle qui fait usage d'un étage connu sous le nom de "folded cascode" ("cascode repliée", voir fig. 3 et page 979 de l'article cité). Sur cette fig. 3 et sur les figures suivantes, les transistors NMOS et PMOS doivent s'entendre avec leur électrode de "body" (ou substrat) connectée respectivement à la tension d'alimentation plus négative et à la tension d'alimentation plus positive, sauf

indication contraire. Dans le circuit de la fig. 3 en particulier, quelques-uns des transistors peuvent avoir l'électrode de "body" connectée à l'électrode de "source", si cela est nécessité par des exigences particulières.

5 Dans le circuit classique de la fig. 3, les éléments à haute transconductance sont les transistors M2 et M3. Les transistors M1, M4, M5 et M7 à M12 remplissent les fonctions de charge et de polarisation de l'étage. Le transistor M6 permet de fixer la tension au repos des sorties.

10 Sur le schéma de la fig. 3, on a indiqué dans un rectangle le bloc de circuits qui permet la stabilisation de la tension de sortie au repos (CMFB = Common Mode Feedback), bloc qui peut être réalisé de manières différentes selon les exigences de circuit. Par exemple, un tel chemin de réaction peut être  
15 réalisé avec des circuiteries continues dans le temps ou échantillonnées dans le temps.

En ce qui concerne les conditions requises qui ont été précédemment indiquées, l'amplificateur représenté sur la fig. 3 se comporte de la manière suivante :

- 20 - gain en boucle ouverte : élevé
- temps de stabilisation : dépend de la capacité de charge et, de toute façon, n'est pas supérieur au cas de l'amplificateur réalisé avec deux étages,
- pilotage de charges capacitives : bon, et sans qu'il faille  
25 ajouter des capacités de compensation de valeurs équivalentes à celle de la charge
- PSRR : optimal, par le fait que la tension de sortie est prélevée entre les deux noeuds OUT+ et OUT-, et non rapportée à une tension fixe
- 30 - bruit d'entrée : assez bas (de l'ordre de celui de l'amplificateur à deux étages)
- occupation de surface de silicium : réduite par rapport au cas de l'amplificateur à deux étages
- facilité d'interconnexion : dépend du nombre de tensions  
35 différentes de polarisation nécessaires au fonctionnement correct de l'amplificateur
- excursion de sortie : bonne, par le fait que la tension de sortie est prélevée entre deux sorties complémentaires. La

valeur de l'excursion maximale dépend des tensions de polarisation et des dimensions et des tensions de seuil des transistors qui constituent la "cascode",

- dissipation de puissance : dépend du temps de stabilisation désiré et est essentiellement fixé par la tension de polarisation  $V_{BIAS1}$ .

En dépit de ces avantages, les amplificateurs opérationnels tout-différentiels à simple étage actuellement disponibles ne sont pas exempts de limitations et d'inconvénients. Par exemple, dans leur structure actuelle, ils ne réussissent pas à satisfaire aisément aux exigences sans cesse plus élevées de : compacité; facilité d'interconnexion avec les autres parties du circuit intégré dans lequel l'amplificateur doit être inséré; adaptabilité à l'intégration dans des circuits à alimentation unique, même à basse tension; réduction de la puissance de dissipation; possibilité d'intégration avec occupation minimale de surface de silicium et avec un nombre minimal de lignes d'interconnexion de polarisation avec le reste du circuit, etc.

Le but de la présente invention est de réaliser un amplificateur opérationnel tout-différentiel à étage unique qui ne présente pas les limitations précitées, ait des prestations particulièrement satisfaisantes et présente le mieux du mieux des caractéristiques.

Selon l'invention, ce but et d'autres sont atteints avec un amplificateur du type précisé dans l'introduction de la présente description, se caractérisant par le fait qu'il est composé essentiellement de deux branches semblables entre elles, dont chacune comprend des éléments respectivement semblables de polarisation et de charge, de transconductance et de réaction en mode commun, chacun de ces trois éléments de chaque branche étant traversé par le même courant de repos.

L'invention pourra être mieux comprise à l'aide de la description de ses formes de réalisation préférées (et non limitatives) représentées sur les fig. 4 à 9 des dessins ci-annexés.

Sur la fig. 4 est représenté un amplificateur selon l'invention qui se compose essentiellement de deux branches RA1, RA2 exactement semblables entre elles, dont chacune comprend

les éléments de polarisation et de charge  $E_1 = E_2$ , de transconductance  $TR1 = TR2$  et de réaction en mode commun. L'étage de réaction en mode commun est également composé de deux moitiés exactement semblables entre elles  $CMFB_1 = CMFB_2$ . La disposition des blocs peut être celle qui est représentée sur la fig. 4 ou être différente. Par exemple, les positions des blocs de charge et de polarisation  $E_1 = E_2$  et de réaction en mode commun  $CMFB_1 = CMFB_2$  des deux branches peuvent être inversées.

Chaque branche RA1, RA2 de l'amplificateur opérationnel selon l'invention est caractérisée par le fait que le courant de repos qui traverse chacun des trois éléments fondamentaux (polarisation + charge  $E_1, E_2$ , transconductance  $TR1, TR2$ , réaction en mode commun  $CMFB_1 = CMFB_2$ ) est le même. Plus précisément, du point de vue du courant de repos, les trois éléments de chaque branche doivent être considérés comme étant en série entre eux. Du point de vue du courant de signal, le bloc de réaction en mode commun devra se comporter de façon à présenter dans l'ensemble une valeur de résistance indépendante de la présence d'un signal différentiel en entrée et en sortie, de manière à ne pas influencer le comportement de l'amplificateur à l'égard du signal.

Une forme de réalisation préférée mais non limitative de cette solution est représentée sur la fig. 5. Cette solution est très efficace, en particulier du point de vue de la compacité et de la facilité d'interconnexion avec les autres parties du circuit intégré dans lequel l'amplificateur doit être inséré. En outre, elle est particulièrement adaptée à l'intégration dans des circuits à alimentation unique (+VDD, 0), même à basse tension d'alimentation (par exemple, VDD = +5 V nominaux). De plus, la puissance dissipée peut être inférieure à celle de la solution connue décrite précédemment, à égalité de prestations du point de vue du temps de stabilisation, du fait qu'il existe deux seules branches entre l'alimentation et la masse.

Les transistors placés en position "symétrique" dans les deux branches RA1, RA2 sont identiques entre eux ( $M1 = M2, M3 = M4, M5 = M6, M7 = M8$ ). Les tensions de polarisation (VBIAS1, VBIAS2 et VBIAS3), qui ne sont pas nécessairement toutes différentes les unes des autres, sont engendrées par des circuiteries (non représentées) avec des valeurs propres à placer les

transistors M1 à M8 en zone de saturation, tant au repos que durant l'application du signal d'entrée.

Les tensions d'entrée VIN+ et VIN-, appliquées respectivement aux bornes IN+ et IN-, sont symétriques par rapport à une tension de référence d'entrée, que l'on appellera VRIN, engendrée à l'intérieur du circuit intégré, cette tension devant être telle qu'elle garantisse le fonctionnement optimal de l'amplificateur. La configuration d'application de l'amplificateur est donc celle qui est représentée sur la fig. 6. On verra ci-après une solution proposée pour la réalisation du circuit générateur de la tension VRIN.

Dans la solution ici présentée, le circuit de réaction en mode continu est réalisé avec la technique "continu dans le temps", comme le montre la fig. 7. Dans ce circuit, les transistors M9 et M10, qui sont identiques entre eux, travaillent en zone de triode (ou zone linéaire).

Pour obtenir la facilité maximale d'interconnexion avec les autres parties du circuit intégré, on peut poser VBIAS2 = VBIAS3 = VREF et utiliser, comme bloc de génération de la tension de référence d'entrée VRIN, le circuit de la fig. 8. Ce circuit est une réplique exacte de l'une des deux branches RA1 ou RA2 de l'amplificateur opérationnel, sauf en ce qui concerne le raccordement de l'électrode de "body" du transistor M13. La différence de ce raccordement n'est pas essentielle. Mais elle est utile pour qu'il soit possible d'utiliser la configuration ici décrite avec une tension d'alimentation à polarité unique et de basse valeur (par exemple de 5 V nominaux). On aura donc M11 = M1, M12 = M3, M13 = M5, M14 = M7, M15 = M9.

Dans le cas examiné, le circuit de la fig. 8 est la réplique de RA1 sur la fig. 5. A titre de variante, le bloc de génération de la tension VRIN peut être obtenu à partir de l'une des deux branches de l'amplificateur opérationnel, en conservant intacte la configuration décrite ci-dessus, mais en modifiant proportionnellement d'un même facteur K la largeur de tous les transistors. De cette manière, le courant qui traverse la branche de génération de VRIN est modifié proportionnellement du facteur K, mais les avantages obtenus avec le système de génération de VRIN ici décrit sont conservés.

Dans la pratique, le bloc de génération de VRIN pourra être obtenu, même au niveau de génération de "layout", en utilisant l'une des deux branches de l'amplificateur opérationnel et en exécutant éventuellement la modification sur l'électrode de "body" du transistor M13.

Avec cette configuration de circuit, on parvient à ce que les tensions de sortie au repos (tensions sur les noeuds OUT+ et OUT-) sont égales à VREF, tandis que la tension de référence d'entrée VRIN est automatiquement portée à la valeur qui optimise le fonctionnement de l'amplificateur opérationnel.

Le schéma complet de l'amplificateur opérationnel et du générateur associé de la tension de référence VRIM est représenté sur la fig. 9, sur laquelle la ligne de tirets X-X sépare l'amplificateur opérationnel proprement dit OPAMP (correspondant dans l'essentiel à la fig. 5) du générateur de VRIN (G.VRIN), correspondant dans l'essentiel à la fig. 8.

Le fonctionnement de l'amplificateur opérationnel est le suivant.

Au repos, c'est-à-dire quand les tensions de signal d'entrée sont nulles, les courants  $I_L'$  et  $I_R'$  sont égaux entre eux et (abstraction faite du facteur d'échelle  $K$  précité) au courant  $I_B$  de la branche de génération de VRIN, qui est fixé logiquement par la tension de polarisation VBIAS.

De même, les courants qui traversent les transistors M7, M8 et M14 seront donc égaux, ce qui fait que les noeuds 8 et 18 se trouveront à la même tension. En effet, M7, M8 et M14 sont des "source-follower" ("source-suiveur"), identiques entre eux, à tension de "gâchette" égale, tous deux en zone saturée et traversés par le même courant.

Il en résulte que les noeuds OUT+ et OUT- devront se trouver à la même tension que la "gâchette" du transistor M15, c'est-à-dire à VREF. Au cas où la tension des deux noeuds OUT+ et OUT- serait supérieure à VREF, la réaction en mode commun abaisserait cette tension, étant donné qu'il passerait, par l'une et l'autre des branches (M5, M7, M9) et (M6, M8, M10), un courant supérieur par rapport aux branches (M1, M3) et (M2, M4). Le contraire se produirait si les tensions des noeuds V4 et V5 étaient inférieures à la valeur VREF.

On notera que le courant qui passe dans les branches (M1, M3) et (M2, M4) ne dépend en fait pas, en première approximation, de la présence d'une tension sur les bornes d'entrée de l'amplificateur opérationnel, à condition évidemment que cette tension reste  
 5 dans les limites qui garantissent un fonctionnement normal de l'amplificateur. Sur la fig. 9, les courants dans ces deux branches ont été indiqués respectivement par les noms IL et IR.

Lorsqu'il est appliqué un signal différentiel entre les noeuds IN+ et IN- (par exemple  $V_{IN+} - V_{IN-} > 0$ ), il se produit une variation dans les valeurs des courants IL' et IR' ( $IL' > IR'$ ) qui détermine par conséquent un déséquilibre (de signal) entre les tensions VOUT+ et VOUT- ( $V_{OUT+} - V_{OUT-} > 0$ ). Etant donné que l'impédance des noeuds OUT+ et OUT- est très élevée (étage "cas-  
 10 code"), le gain en boucle ouverte entre  $\Delta (V_{OUT+} - V_{OUT-})$  et  
 15  $\Delta (V_{IN+} - V_{IN-})$  est très élevé.

Comme on le voit maintenant, le déséquilibre de signal entre les tensions VOUT+ et VOUT- n'influe pas, en première approximation, sur la réaction en mode commun, étant donné que la somme ( $V_{OUT+} + V_{OUT-}$ ) reste constante et que M9 et M10 travaillent en zone de triode. Dans cette zone, la relation entre le  
 20 courant qui traverse un transistor et la tension de "gâchette" Vg est donnée par :

$$I_{ds} = 2k'V_{ds}(V_g - V_s - V_T - V_{ds}/2)w/L \quad (3)$$

dans laquelle :

- 25  $k'$  = Facteur de conduction (au carré) du transistor  
 $V_{ds}$  = Tension entre "drain" et "source" du transistor  
 $V_g$  = Tension de gâchette du transistor  
 $V_s$  = Tension de "source" du transistor  
 $V_T$  = Tension de seuil du transistor  
 30  $w$  = Largeur effective du transistor  
 $L$  = Longueur effective du transistor.

Le courant ICM qui traverse dans l'ensemble les transistors M9 et M10 sera donc égale à :

$$I_{CM} = I_{ds9} + I_{ds10} = 2k'V_{ds}(V_{out+} - V_s - V_T - V_{ds}/2)w/L + \quad (4)$$

$$+ 2k'V_{ds}(V_{out-} - V_s - V_T - V_{ds}/2)w/L$$

35 où les grandeurs  $k'$ ,  $V_{ds}$ ,  $V_g$ ,  $V_s$ ,  $V_T$ ,  $w$  et  $L$  sont relatives aux deux transistors en question.

En posant  $V_{out} = V_{OUTC} + \Delta V$ , tant pour  $V_{out+}$  que pour

Vout-, VOUTO étant la tension de sortie au repos de l'amplificateur opérationnel et  $\Delta V$  étant la tension de signal présente sur une sortie de l'amplificateur, on obtient :

$$\begin{aligned} ICM &= 2k'Vds(2VOUTO + \Delta V_+ + \Delta V_- - 2V_s - 2V_T - 2Vds/2) \\ 5 \quad &= 4k'Vds(VOUTO - V_s - V_T - Vds/2), \end{aligned} \quad (5)$$

étant donné que pour le signal,  $\Delta V_+ = -\Delta V_-$ . Dans l'expression (5), il est tenu compte du fait que pour les deux transistors M9 et M10,  $W/L$ ,  $V_s$  et  $Vds$  sont égaux et  $V_T$  et  $K'$  peuvent être considérés comme à peu près égaux.

10 Par conséquent, la résistance offerte par le bloc (M9, M10) de réaction en mode commun est, avec une bonne approximation, indépendante de la tension de signal différentiel présente en sortie. Le circuit proposé sur les fig. 5 à 9 est donc un amplificateur  
 15 opérationnel tout-différentiel à étage unique, à gain élevé en boucle ouverte, intégrable avec une occupation minime de surface de silicium et avec un nombre minime de lignes d'interconnexion de polarisation avec le reste du circuit (2 dans le cas minimal : VREF et VBIAS). En outre, il stabilise automatiquement la tension de mode commun de sortie.

20 Dans la solution représentée sur la fig. 9, l'excursion maximale de sortie est égale à  $|V_{TN}| + |V_{TP}|$ ,  $V_{TN}$  étant la tension de seuil du transistor à canal N (transistors M5 et M6) et  $V_{TP}$  étant la tension de seuil du transistor à canal P (transistors M3 et M4). Dans le cas où on désire augmenter l'excursion  
 25 de chacune des deux tensions VOUT+ et VOUT-, on peut utiliser des transistors à seuil élevé (par exemple au moyen d'implantations appropriées) pour les composants M3 à M6. Autrement, on peut utiliser deux tensions de polarisation différentes pour les lignes VBIAS2 et VBIAS3 (cf. fig. 5), en renonçant à l'extrême  
 30 simplicité d'interconnexion qui est caractéristique de la solution représentée sur la fig. 9.

Le circuit selon l'invention est avantageusement en mesure de travailler même avec une alimentation unique de 5 V nominaux, avec une valeur absolue nominale de tension de seuil des transistors égale à 1 V, grâce à la disposition appropriée des  
 35 transistors dans l'amplificateur proprement dit et dans le générateur de référence G.VRIN. Comme indiqué précédemment, le raccordement entre "source" et "body" du transistor M13 a été

introduit particulièrement pour permettre le fonctionnement du circuit, même à basse tension d'alimentation. Le transistor M13 est en effet le seul qui ne nécessite pas de symétrie exacte par rapport à ses deux "homologues" des deux branches de l'amplificateur opérationnel.

Dans une autre solution possible, particulièrement compacte, on peut réaliser le générateur de référence 3.VRIN en éliminant le transistor M13 et en raccordant en court-circuit entre elles l'électrode de "drain" du transistor M12 et celle du transistor M14. Pour garantir le fonctionnement en zone de triode de M9, M10 et M15 dans des applications à tension d'alimentation de plus en plus basse, on peut utiliser, pour réaliser ces transistors, des dispositifs à seuil plus bas que celui qui est employé pour les autres transistors à canal N (par exemple des transistors dans lesquels la tension de seuil est abaissée au moyen d'une implantation. On notera que, pour faciliter le projetage ("layout") et rendre plus compacte la réalisation, les électrodes de "body" de tous les transistors de l'amplificateur sont raccordées à la tension d'alimentation appropriée (VDD pour les transistors à canal P, VSS pour les transistors à canal N).

Le générateur de référence pourra être en général partagé par plusieurs amplificateurs opérationnels semblables entre eux (par exemple par tous ceux d'un filtre ou d'un bloc de circuit).

Naturellement, il est possible d'imaginer d'autres configurations dans lesquelles la réalisation et les positions des blocs individuels de l'amplificateur opérationnel peuvent être différentes. Par exemple, dans une configuration, l'étage de réaction en mode commun peut être réalisé avec des transistors à canal P et être directement raccordé à la borne positive de l'alimentation, les électrodes de "source" des deux transistors étant connectés à cette borne; l'étage à transconductance élevée sera alors réalisé avec des transistors à canal P et l'étage de polarisation et de charge sera réalisé avec des transistors à canal N et sera disposé physiquement entre l'étage à transconductance élevée et la borne négative de l'alimentation. En outre, au cas où cela est rendu nécessaire par des exigences spécifiques, quelques-uns des transistors de l'amplificateur opérationnel (ou même leur totalité) peuvent être réalisés en raccordant

-l'électrode de "body" à l'électrode de "source", plutôt qu'à la borne appropriée de l'alimentation.

Par scrupule de clarté d'illustration, l'invention a été décrite à propos des formes de réalisation particulièrement  
5 simples et, par suite, préférées qui sont représentées sur les dessins; celles-ci sont susceptibles de variantes et de modifications (par exemple un nombre d'étages semblables différent de trois) qui, par le fait qu'elles sont à portée de main de l'homme de l'art, entrent naturellement dans le cadre et dans l'esprit  
10 de l'invention.

REVENDICATIONS

1. Amplificateur opérationnel tout-différentiel à étage unique à gain élevé en boucle ouverte, réalisé en technique MOS, comportant des transistors MOS pour un étage de transconductance, des  
5 éléments de charge et de polarisation pour cet étage et un circuit de stabilisation de la tension de sortie au repos (CMFB), caractérisé en ce qu'il se compose essentiellement d'au moins deux branches semblables entre elles, dont chacune comprend des éléments semblables respectivement de polarisation et de charge,  
10 de transconductance et de réaction en mode commun, chacun de ces trois éléments de chaque branche étant traversé par le même courant de repos.
2. Amplificateur selon la revendication 1, caractérisé en ce que dans chacune des branches semblables, l'étage de transconductance (TR1 ou TR2) comporte un transistor (M7 ou M8), l'élément de polarisation comprend un transistor (M1 ou M2), l'élément de charge comprend un transistor (M3 ou M5) et l'étage de réaction en mode commun comprend un transistor (M9 ou M10).
3. Amplificateur selon la revendication 1, caractérisé en ce  
20 que la tension d'alimentation est unique.
4. Amplificateur selon l'une quelconque des revendications 1 à 3, caractérisé par deux seules lignes d'interconnexion de polarisation.
5. Amplificateur selon l'une quelconque des revendications 1 à  
25 4, caractérisé par une réaction en mode commun de type continu dans le temps.
6. Amplificateur selon l'une quelconque des revendications 1 à 5, caractérisé en ce qu'il comporte un générateur de tension de référence (VRIN) réalisé essentiellement sous forme de réplique  
30 d'une moitié d'amplificateur, à part un facteur K égal ou différent de 1.

7. Amplificateur selon la revendication 6, caractérisé en ce que dans ledit générateur réplique de la moitié de l'amplificateur, il manque de préférence un transistor ou, dans le cas où il est présent, son électrode de "body" est reliée en court-circuit à son électrode de "source".
- 5
8. Amplificateur selon la revendication 3, dans lequel tous les transistors ont leur électrode de "body" raccordée à l'une des deux tensions d'alimentation.
9. Amplificateur selon l'une quelconque des revendications 1 à 10
- 8, caractérisé en ce que les positions des étages de réaction en mode commun et de polarisation/charge sont inversées par rapport à celles de l'amplificateur selon la revendication 2, les étages d'entrée et de réaction en mode commun étant réalisés avec des transistors à canal P et l'étage de polarisation avec des transistors à canal N.
- 15
10. Amplificateur selon l'une quelconque des revendications 1 à 9, caractérisé par au moins une majorité de transistors à électrode de "body" connectée à l'électrode de "source".