

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 20 日(20.12.2012)



(10) 国際公開番号

WO 2012/173279 A1

- (51) 国際特許分類:
H01L 43/08 (2006.01) H01L 27/105 (2006.01)
H01L 21/8246 (2006.01) H01L 29/82 (2006.01)
- (21) 国際出願番号: PCT/JP2012/065674
- (22) 国際出願日: 2012 年 6 月 13 日(13.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-133897 2011 年 6 月 16 日(16.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社(NEC Corporation) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP). 国立大学法人 京都大学 (Kyoto University) [JP/JP]; 〒6068501 京都府京都市左京区吉田本町 3 6 番地 1 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 深見 俊輔 (FUKAMI, Shunsuke) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 千葉 大地 (CHIBA, Daichi) [JP/JP]; 〒6110011 京都府宇治市五ヶ庄 国立大学法人 京都大学化学研究所内 Kyoto (JP).
- (74) 代理人: 池田 憲保, 外 (IKEDA, Noriyasu et al.); 〒1000011 東京都千代田区内幸町 1 丁目 2 番 2 号 日比谷ダイビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: NONVOLATILE MAGNETIC ELEMENT AND NONVOLATILE MAGNETIC DEVICE

(54) 発明の名称: 不揮発磁性素子及び不揮発磁気装置

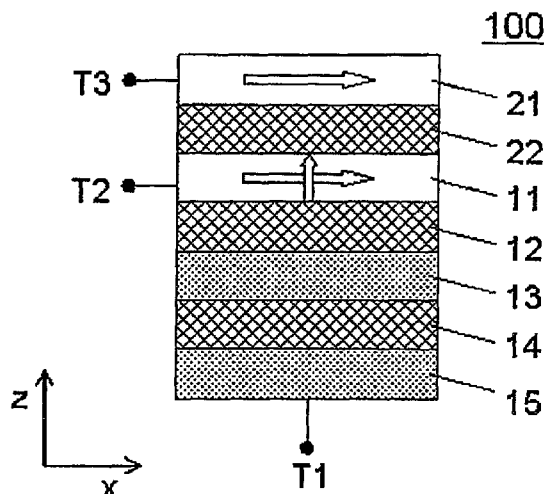


図 1

(57) Abstract: Provided is a nonvolatile magnetic device that can achieve low power consumption by writing by voltage and which has superior retention characteristics. The nonvolatile magnetic device includes a nonvolatile magnetic memory element (100). The nonvolatile magnetic memory element (100) includes: a first free layer (11) formed from a ferromagnetic body; a first insulating layer (12) formed from an insulator and provided so as to be connected to the first free layer; a charge layer (13) provided adjacent to the first insulating layer; a second insulating layer (14) formed from an insulator and provided adjacent to the charge layer; and an implantation layer (15) provided adjacent to the second insulating layer. The electrical resistivity of the charge layer (13) is smaller than the electrical resistivity of both the first insulating layer (12) and the second insulating layer (14), and the electrical resistivity of the implantation layer is smaller than the electrical resistivity of the second insulating layer.

(57) 要約: 電圧で書き込みを行うことで低消費電力を実現し、かつ保持特性にも優れた不揮発磁気装置を提供する。不揮発磁気装置は、不揮発磁気メモリ素子 (100) を含む。不揮発磁気メモリ素子 (100)

は、強磁性体からなる第 1 自由層 (11) と、前記第 1 自由層に接続して設けられた絶縁体からなる第 1 絶縁層 (12) と、前記第 1 絶縁層に隣接して設けられた帯電層 (13) と、前記帯電層に隣接して設けられた絶縁体からなる第 2 絶縁層 (14) と、前記第 2 絶縁層に隣接して設けられた注入層 (15) を含む。前記帯電層 (13) の電気抵抗率が前記第 1 絶縁層 (12)、及び前記第 2 絶縁層 (14) のいずれの電気抵抗率よりも小さく、前記注入層の電気抵抗率が前記第 2 絶縁層の電気抵抗率よりも小さい。

WO 2012/173279 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

不揮発磁性素子及び不揮発磁気装置

5

技術分野：

本発明は、不揮発磁性素子及び不揮発磁気装置に関する。特に本発明は、電圧により情報の書き込みを行う不揮発磁気メモリ素子、磁気メモリ装置、及び電圧により論理構成の変更が可能である不揮発ロジック回路に関する。

10

背景技術：

LSI (Large Scale Integrated Circuit) におけるSRAM (Static Random Access Memory)、DRAM (Dynamic Random Access Memory) などの半導体メモリのスケーリングの限界を打破する手段として不揮発メモリによる既存の半導体メモリの置き換えが有望視されている。具体的な不揮発メモリとしてはPRAM (Phase Change Random Access Memory)、ReRAM (Resistive Random Access Memory)、MRAM (Magnetic Random Access Memory) などが提案されている。この中でMRAMは磁性体の磁化の方向で情報を記憶するメモリであり、高速性という観点で他のメモリに対して優位であることから、既存のワークメモリの置き換えが期待されている。

MRAMは一部の市場で実用化されているものの、今後の市場規模拡大のための一番の課題は書き込み電流の低減である。これは書き込み電流が大きいと、セルを駆動するセルトランジスタのサイズが大きくなり、結果としてセルサイズが大きくなるためにビットコストが増大してしまうためである。また書き込み電流

25

が大きいことは、動作時の消費電力の観点からも好ましくない。

現在実用化されているMRAMにおける書き込み方法としては、配線に電流を導入することによって誘起されるエールステッド磁場を用いて、その近傍に配置

されたメモリ素子の磁化を反転させる方法が用いられている。しかしながらこの方法は数mA（ミリアンペア）の電流を用いる上、素子を微細化したときには書き込み電流はさらに増大してしまい、最先端のCMOS世代への適用の点では好ましくない。

- 5 MRAMの書き込み電流を低減する方法として、電流によって誘起されるスピントランスファートルクを用いる方式が有望視されており、活発な研究開発が行われている。スピントランスファートルクを用いた方式においては、磁性体の近傍に配置されるメタル配線に電流を導入するのではなく、磁性体に直接電流を導入することが特徴である。具体的な方法として、スピン注入磁化反転現象（C u r r e n t - i n d u c e d M a g n e t i z a t i o n S w i t c h i n g）と電流誘起磁壁移動現象（C u r r e n t - i n d u c e d D o m a i n w a l l m o t i o n）を書き込みに用いたMRAM素子が提案されている。
- 10 両者とも、素子サイズの微細化に伴って書き込み電流は低減する。すなわち書き込み電流はスケラブルである。従って、従来のエールステッド磁場を用いた方法に比べて格段に小さな電流での書き込み動作が期待される。しかしながら、い
- 15 ずれにしてもこれらの方法も書き込みに電流を用いる点では、エールステッド磁場を用いる方法と変わらない。

- ところで近年、磁場或いは電流ではなく電圧を用いることで強磁性体の磁気的な性質、例えば磁気異方性や飽和磁化の大きさを変調させることができることが
- 20 報告されている（非特許文献1、非特許文献2参照）。書き込みに電流ではなく電圧を用いることができれば、書き込みの際の消費電力は格段に抑えることができる。電圧を用いて書き込みを行うMRAMは特許文献1に開示されている。

先行技術文献：

- 25 特許文献：

特許文献1：特開2003-7980号公報

非特許文献：

非特許文献1：Science, vol. 301, p. 943 (2003).

非特許文献2: Applied Physics Express, vol. 2, p. 063001 (2009).

非特許文献3: Physical Review Letters, vol. 102, p. 247203 (2009).

5

発明の概要:

発明が解決しようとする課題:

しかしながら特許文献1に開示されているMRAMでは、電圧を用いて磁性体の磁化方向を変化させる方法は述べられているが、電圧によって変化した磁性体の磁化方向をその方向で保持する方法については述べられていない。すなわち、
10 不揮発メモリとして必要な十分な保持特性を実現することが困難である。

本発明は、電圧で書き込みを行うことで低消費電力を実現でき、かつ保持特性にも優れた不揮発メモリ素子を提供する。

また、本発明は、電圧で書き込みを行うことで低消費電力を実現でき、かつ保持特性にも優れた不揮発磁気装置を提供する。
15

また、本発明は、電圧で書き込みを行うことで低消費電力を実現し、かつ保持特性にも優れた磁気メモリ装置(MRAM)を提供する。

また、本発明は、電圧によって論理構成を変更し、それを不揮発に保持することのできる不揮発ロジック回路を提供する。

20 課題を解決するための手段:

本発明によれば、絶縁体からなる第1絶縁層と、前記第1絶縁層の一方の側に形成された強磁性体からなる第1自由層と、前記第1絶縁層の他方の側に前記第1自由層と対向して形成された電荷を蓄積する帯電層と、前記帯電層の一方の側に前記第1の絶縁層と対向して形成された絶縁体からなる第2絶縁層と、前記第2絶縁層の一方の側に前記帯電層と対向して形成された注入層を含み、前記帯電層の電気抵抗率が前記第1絶縁層、及び前記第2絶縁層のいずれよりも小さく、前記注入層の電気抵抗率が前記第2絶縁層よりも小さいことを特徴とする不揮発磁性素子が得られる。
25

本発明の一実施態様では、更に、不揮発磁性素子は、絶縁体から構成される第

3 絶縁層と、前記第3絶縁層の一方の側に形成された強磁性体からなる参照層を含む。前記参照層と前記第1自由層とは前記第3絶縁層に対し互いに反対側に配置される。

5 本発明の一実施態様では、前記注入層は第1の端子に接続され、前記第1自由層は第2の端子に接続され、前記参照層、または前記帯電層のいずれか一方が第3の端子に接続される。

本発明の一実施態様では、前記第1自由層は、磁化方向が可変な第1領域と磁化方向が固定された第2領域からなる。

10 本発明の一実施態様では、前記注入層は、ソース領域とチャネル領域とドレイン領域からなる。

本発明の一実施態様では、前記帯電層は、強磁性体から構成され、方向が固定された磁化を有している。

本発明の一実施態様では、前記第3絶縁層の他方の側に前記参照層とに対向して形成された第2自由層を含む。

15 本発明の一実施態様では、不揮発磁性素子は、強磁性体から構成され前記第1自由層に磁束を印加するバイアス層を含む。

20 また、本発明によれば、絶縁体からなる第1絶縁層と、前記第1絶縁層の一方の側に形成された強磁性体からなる第1自由層と、前記第1絶縁層の他方の側に前記第1自由層と対向して形成された電荷を蓄積する帯電層と、前記帯電層の一方の側に前記第1の絶縁層と対向して形成された第2絶縁層と、前記第2絶縁層の一方の側に前記帯電層と対向して形成された注入層を含み、前記帯電層の電気抵抗率が前記第1絶縁層、及び前記第2絶縁層のいずれよりも小さく、前記注入層の電気抵抗率が前記第2絶縁層よりも小さい不揮発磁性素子を含む不揮発磁気装置が得られる。

25 一実施態様では、不揮発磁性素子として、不揮発磁気メモリ素子が使用され、磁気メモリ装置が得られる。

別の一実施態様では、不揮発磁性素子として、不揮発磁性ロジック素子が使用され、ロジック回路が得られる。

発明の効果：

本発明に係る不揮発磁性素子においては、電圧で書き込みを行う。書き込みは帯電層への電荷の蓄積で行われ、そこで消費する電流は無視できるほど小さいので非常に小さな消費電力での書き込みが可能となる。一方で読み出しにはTMR効果を用いるので従来のMRAMと同等のアクセス時間が実現できる。

- 5 本発明に係る不揮発磁気装置は、本発明に係る不揮発磁性素子を有しているので、不揮発磁気装置が磁気メモリ装置の場合には、高速のランダムアクセス周波数を維持した上で、消費電力が非常に低い磁気メモリ装置が提供できる。

- 本発明に係る不揮発磁気装置は、本発明に係る不揮発磁性素子を有しているので、不揮発磁気装置がロジック回路の場合には、電圧により論理構成の変更が可能であると共に、論理演算の結果を不揮発に保持することができるロジック回路
10 が得られる。

図面の簡単な説明：

- 図1は、本発明の実施形態に係る磁気メモリ素子100の代表的な構造を模式的に示した断面図である。
15

図2Aは、実施形態に係る磁気メモリ素子100のメモリ状態(1)を概念的に示した断面図で、「0」状態を示す。

図2Bは、実施形態に係る磁気メモリ素子100のメモリ状態(1)を概念的に示した断面図で、「1」状態を示す。

- 20 図3Aは、実施形態に係る磁気メモリ素子100のメモリ状態(2)を概念的に示した断面図で、「0」状態を示す。

図3Bは、実施形態に係る磁気メモリ素子100のメモリ状態(2)を概念的に示した断面図で、「1」状態を示す。

- 25 図4Aは、実施形態に係る磁気メモリ素子100のメモリ状態(3)を概念的に示した断面図で、「0」状態を示す。

図4Bは、実施形態に係る磁気メモリ素子100のメモリ状態(3)を概念的に示した断面図で、「1」状態を示す。

図5Aは、実施形態に係る磁気メモリ素子100のメモリ状態(4)を概念的に示した断面図で、「0」状態を示す。

図5Bは、実施形態に係る磁気メモリ素子100のメモリ状態(4)を概念的に示した断面図で、「1」状態を示す。

図6Aは、実施形態に係る磁気メモリ素子100のメモリ状態(5)を概念的に示した断面図で、「0」状態を示す。

- 5 図6Bは、実施形態に係る磁気メモリ素子100のメモリ状態(5)を概念的に示した断面図で、「1」状態を示す。

図7Aは、実施形態に係る磁気メモリ素子100のメモリ状態(6)を概念的に示した断面図で、「0」状態を示す。

- 10 図7Bは、実施形態に係る磁気メモリ素子100のメモリ状態(6)を概念的に示した断面図で、「1」状態を示す。

図8Aは、実施形態に係る磁気メモリ素子100のメモリ状態(7)を概念的に示した断面図で、「0」状態を示す。

図8Bは、実施形態に係る磁気メモリ素子100のメモリ状態(7)を概念的に示した断面図で、「1」状態を示す。

- 15 図9Aは、実施形態に係る磁気メモリ素子100のメモリ状態(8)を概念的に示した断面図で、「0」状態を示す。

図9Bは、実施形態に係る磁気メモリ素子100のメモリ状態(8)を概念的に示した断面図で、「1」状態を示す。

- 20 図10Aは、実施形態に係る読み出し方法(1)について説明するための断面図である。

図10Bは、実施形態に係る読み出し方法(1)について説明するための別の断面図である。

図11Aは、実施形態に係る読み出し方法(2)について説明するための断面図である。

- 25 図11Bは、実施形態に係る読み出し方法(2)について説明するための別の断面図である。

図12Aは、実施形態に係る読み出し方法(3)について説明するための断面図である。

図12Bは、実施形態に係る読み出し方法(3)について説明するための別の

断面図である。

図13Aは、実施形態に係る読み出し方法（4）について説明するための断面図である。

図13Bは、実施形態に係る読み出し方法（4）について説明するための別の断面図である。

図14Aは、実施形態に係る書き込み方法（1）について説明するための断面図である。

図14Bは、実施形態に係る書き込み方法（1）について説明するための別の断面図である。

図15Aは、実施形態に係る書き込み方法（2）について説明するための断面図である。

図15Bは、実施形態に係る書き込み方法（2）について説明するための別の断面図である。

図16Aは、強磁性体に電圧V1が印加されたときの磁化曲線を模式的に示している。

図16Bは、強磁性体に電圧V2が印加されたときの磁化曲線を模式的に示している。

図17は、実施形態に係る磁気メモリセル110の1ビット分の回路の構成例を示す回路図である。

図18は、実施形態に係る磁気メモリ装置150の構成の一例を示すブロック図である。

図19は、実施例の磁気メモリ素子の構造を模式的に示す断面図である。

図20は、実施例の磁気メモリ素子の第1自由層（Co）の反転磁界の電圧依存性を示す図である。

図21は、実施形態に係る磁気メモリ素子100の第1の変形例の構造を模式的に示している。

図22は、実施形態に係る磁気メモリ素子の第2の変形例（1）の構造を模式的に示している。

図23は、実施形態に係る磁気メモリ素子の第2の変形例（2）の構造を模式

的に示している。

図24は、実施形態に係る磁気メモリ素子の第3の変形例の構造を模式的に示している。

5 図25は、実施形態に係る磁気メモリ素子の第4の変形例の構造を模式的に示している。

図26は、実施形態に係る磁気メモリ素子の第5の変形例(1)の構造を模式的に示している。

図27は、実施形態に係る磁気メモリ素子の第5の変形例(2)の構造を模式的に示している。

10 図28は、実施形態に係る磁気メモリ素子の第5の変形例(3)の構造を模式的に示している。

図29は、実施形態に係る磁気メモリ素子の第6の変形例(1)の構造を模式的に示している。

15 図30は、実施形態に係る磁気メモリ素子の第6の変形例(2)の構造を模式的に示している。

図31は、実施形態に係る磁気メモリ素子の第6の変形例(3)の構造を模式的に示している。

図32は、実施形態に係る磁気メモリ素子の第7の変形例(1)の構造を模式的に示している。

20 図33Aは、実施形態に係る磁気メモリ素子の第7の変形例(1)のメモリ状態「0」における第1自由層11の磁区構造を示したx-y平面図である。

図33Bは、実施形態に係る磁気メモリ素子の第7の変形例(1)のメモリ状態「1」における第1自由層11の磁区構造を示したx-y平面図である。

25 図34は、実施形態に係る磁気メモリ素子の第7の変形例(2)の構造を模式的に示している。

図35Aは、実施形態に係る磁気メモリ素子の第7の変形例(2)のメモリ状態「0」における第1自由層11の磁区構造を示したx-y平面図である。

図35Bは、実施形態に係る磁気メモリ素子の第7の変形例(2)のメモリ状態「1」における第1自由層11の磁区構造を示したx-y平面図である。

図 3 6 A は、他の実施の形態である NOR ロジックの一部を示す。

図 3 6 B は、他の実施の形態である NOR ロジックの一部を示す。

図 3 6 C は、他の実施の形態である NOR ロジックの一部を示す。

図 3 6 D は、他の実施の形態である NOR ロジックの一部を示す。

5 図 3 7 A は、他の実施の形態である NAND ロジックの一部を示す。

図 3 7 B は、他の実施の形態である NAND ロジックの一部を示す。

図 3 7 C は、他の実施の形態である NAND ロジックの一部を示す。

図 3 7 D は、他の実施の形態である NAND ロジックの一部を示す。

10 発明を実施するための形態：

本発明に係る不揮発磁気装置の具体的な実施形態として、磁気メモリ装置とロジック回路が挙げられる。実施形態の不揮発磁気装置には、不揮発磁性素子を使用される。磁気メモリ装置に使用される不揮発磁性素子には、不揮発磁気メモリ素子が使用される。明細書では、不揮発磁気メモリ素子を単に磁気メモリ素子とも称する。ロジック回路に使用される不揮発磁性素子は、不揮発磁性ロジック素子である。本明細書では、不揮発磁性ロジック素子を単に磁性ロジック素子とも称する。

20 本明細書では、主に磁気メモリ装置について詳細に説明される。本発明に係る磁気メモリ装置は、アレイ状に配置された複数の磁気メモリセルを有しており、各磁気メモリセルは磁気メモリ素子（不揮発磁気メモリ素子）を有している。本発明は当該磁気メモリ装置の構造に関する。

第 1 の実施形態

(構造)

25 図 1 は本実施形態に係る磁気メモリ素子 1 0 0 の代表的な構造を模式的に示した断面図である。図 1 において、x 軸は基板平行方向、z 軸は基板垂直方向である。

本実施形態に係る磁気メモリ素子 1 0 0 は少なくとも第 1 自由層 1 1、第 1 絶縁層（第 1 非磁性層ともいう）1 2、帯電層 1 3、第 2 絶縁層（第 2 非磁性層ともいう）1 4、及び注入層 1 5 を具備する。これらの層の積層構造は、図示してい

ない基板上に形成される。この実施形態の説明では、基板の上方に各層が形成されるものとして説明するが、基板の下方に積層されてもよい。また必須ではないが、参照層 2 1、及び第 3 絶縁層 2 2 が設けられる。参照層 2 1、第 3 絶縁層 (第 3 非磁性層ともいう) 2 2 が設けられない構成については後述される。

- 5 第 1 自由層 1 1 は強磁性体から構成される。また第 1 自由層 1 1 は方向が可変である磁化を有する。第 1 自由層は、磁化自由層又は自由磁性層と称することもできる。

- 10 第 1 絶縁層 1 2 は絶縁体から構成される。また第 1 絶縁層 1 2 は第 1 自由層 1 1 に電氣的に接続して設けられる。図 1 に示される例では第 1 絶縁層 1 2 は第 1 自由層 1 1 に隣接して設けられている。但し第 1 絶縁層 1 2 は第 1 自由層 1 1 に対して電氣的に接続して設けられればよく、必ずしも隣接して設けられる必要はない。第 1 絶縁層 1 2 が第 1 自由層 1 1 に対して隣接せずに設けられる例については後述される。

- 15 帯電層 1 3 は第 1 絶縁層 1 2、及び後述される第 2 絶縁層 1 3 に比べて電気抵抗の低い材料により構成される。例えば帯電層 1 3 は導電体により構成される。また帯電層 1 3 は第 1 絶縁層 1 2 に隣接して第 1 自由層 1 1 と反対側に設けられる。

第 2 絶縁層 1 4 は絶縁体から構成される。また第 2 絶縁層 1 4 は帯電層 1 3 に隣接して第 1 絶縁層 1 3 とは反対側に設けられる。

- 20 注入層 1 5 は前記第 2 絶縁層 1 4 よりも電気抵抗の低い材料により構成される。また注入層 1 5 は第 2 絶縁層 1 4 に隣接して帯電層 1 3 と反対側に設けられる。

第 3 絶縁層 2 2 は絶縁体から構成される。また第 3 絶縁層 2 2 は第 1 自由層 1 1 に隣接して第 1 絶縁層 1 2 と反対側に設けられる。

- 25 参照層 2 1 は強磁性体から構成される。また参照層 2 1 は第 3 絶縁層 2 2 に隣接して第 1 自由層 1 1 と反対側に設けられる。また参照層 2 1 は磁化方向が一方向に固定された磁化を有する。

すなわち、本実施形態に係る磁気メモリ素子は典型的には、参照層 2 1、第 3 絶縁層 2 2、第 1 自由層 1 1、第 1 絶縁層 1 2、帯電層 1 3、第 2 絶縁層 1 4、及び注入層 1 5 がこの順に積層して設けられる。

また上述の第1自由層11、第1絶縁層12、帯電層13、第2絶縁層14、注入層15、参照層21、及び第3絶縁層22は、後に述べられる機能を失わない範囲であれば複数の層からなる積層膜であっても構わない。

また注入層15は第1端子T1を介して後述する磁気メモリセル110を構成する回路へと接続される。また第1自由層11は第2端子T2を介して磁気メモリセル110を構成する回路へと接続される。また参照層21は第3端子T3を介して磁気メモリセル110を構成する回路へと接続される。ただし、これらの注入層15、第1自由層11、及び参照層21と第1端子T1、第2端子T2、及び第3端子T3の間に、導電性の層が挿入されても構わない。上述のように、当該磁気メモリ素子100は典型的には3端子以上の素子となる。

(メモリ状態)

次に本実施形態に係る磁気メモリ素子100のメモリ状態について説明する。

本実施形態に係る磁気メモリ素子100においては、帯電層13に蓄積された電荷の有無、或いは電荷の符号によって情報を記憶する。すなわち帯電層13における電荷の有無、或いは電荷の符号が格納される情報に対応する。

図2A、図2Bは本実施形態に係る磁気メモリ素子100のメモリ状態を概念的に示した断面図である。図では簡単のために第1自由層11、第1絶縁層12、及び帯電層13のみが示されている。

図2Aは「0」状態、図2Bは「1」状態での帯電層13、及び第1自由層11の状態を模式的に示している。図2Aの「0」状態では帯電層13には電子eが蓄積されている。またこの帯電層13に蓄積された電子eが作る電場によって第1自由層11の磁化は+z方向を向いている。一方図2Bの「1」状態では帯電層13には電子eが蓄積されていない。このとき第1自由層11には電場が印加されず、磁化は+x方向を向いている。このように帯電層13における電荷の有無、及び符号に対応して第1自由層11の磁化方向が変化することが本実施形態の特徴である。

また本実施形態に係る磁気メモリ素子100におけるメモリ状態の電気、磁氣的な構成は図2A、図2Bで示された限りではない。

例えば図3A、図3Bに示されるような電気、磁氣的な構成によってメモリ情

報を格納してもよい。図3Aに示された「0」状態においては帯電層13には電子 e が蓄積され、それによって形成される電場で第1自由層11の磁化は $+x$ 方向を向き、一方図3Bに示された「1」状態においては帯電層13には電荷が蓄積されず、第1自由層11の磁化は $+z$ 方向を向いている。

5 また、例えば図4A、図4Bに示されるような電気、磁氣的な構成によってメモリ情報を格納してもよい。図4Aに示された「0」状態においては帯電層13にはホール h が蓄積され、それによって形成される電場で第1自由層11の磁化は $+z$ 方向を向き、一方図4Bに示された「1」状態においては帯電層13には電荷が蓄積されず、第1自由層11の磁化は $+x$ 方向を向いている。

10 また、例えば図5A、図5Bに示されるような電気、磁氣的な構成によってメモリ情報を格納してもよい。図5Aに示された「0」状態においては帯電層13にはホール h が蓄積され、それによって形成される電場で第1自由層11の磁化は $+x$ 方向を向き、一方図5Bに示された「1」状態においては帯電層13には電荷が蓄積されず、第1自由層11の磁化は $+z$ 方向を向いている。

15 また、例えば図6A、図6Bに示されるような電気、磁氣的な構成によってメモリ情報を格納してもよい。図6Aに示された「0」状態においては帯電層13には電子 e が蓄積され、それによって形成される電場で第1自由層11の磁化は $+z$ 方向を向き、一方図6Bに示された「1」状態においては帯電層13にはホール h が蓄積され、それによって形成される電場で第1自由層11の磁化は $+x$
20 方向を向いている。

また、例えば図7A、図7Bに示されるような電気、磁氣的な構成によってメモリ情報を格納してもよい。図7Aに示された「0」状態においては帯電層13には電子 e が蓄積され、それによって形成される電場で第1自由層11の磁化は $+x$ 方向を向き、一方図7Bに示された「1」状態においては帯電層13にはホール h が蓄積され、それによって形成される電場で第1自由層11の磁化は $+z$
25 方向を向いている。

また、例えば図8A、図8Bに示されるような電気、磁氣的な構成によってメモリ情報を格納してもよい。図8Aに示された「0」状態においては帯電層13にはホール h が蓄積され、それによって形成される電場で第1自由層11の磁化

は $+z$ 方向を向き、一方図8Bに示された「1」状態においては帯電層13には電子 e が蓄積され、それによって形成される電場で第1自由層11の磁化は $+x$ 方向を向いている。

また、例えば図9A、図9Bに示されるような電気、磁氣的な構成によってメモリ情報を格納してもよい。図9Aに示された「0」状態においては帯電層13にはホール h が蓄積され、それによって形成される電場で第1自由層11の磁化は $+x$ 方向を向き、一方図7Bに示された「1」状態においては帯電層13には電子 e が蓄積され、それによって形成される電場で第1自由層11の磁化は $+z$ 方向を向いている。

- 10 このように帯電層13における電荷の有無、及び電荷の符号と、第1自由層11における磁化の方向の関係には任意性があり、第1自由層11の材料、及び全体構造によって製造者が自由に設計することができる。

15 なお、図2A、2B乃至図9A、9Bでは、第1自由層11の磁化は $+x$ 、 $+z$ 方向に完全に平行になるものとして描かれているが、実際にはそれぞれ $+x$ 成分、 $+z$ 成分を有していればよく、 $+x$ 方向と $+z$ 方向の間での磁化方向の 90 度の差は必須ではない。

(読み出し方法)

次に本実施形態に係る磁気メモリ素子100に格納された情報の読み出し方法について図10A、10B乃至図13A、13Bを用いて説明する。

- 20 本実施形態に係る磁気メモリ素子100においては、第1自由層11、第3絶縁層22、及び参照層21から構成される磁気トンネル接合 (Magnetic Tunnel Junction; MTJ) におけるトンネル磁気抵抗効果 (Tunnel Magneto-Resistance effect; TMR 効果) を用いることで情報の読み出しを行う。図10A、10B乃至図13A、13Bはその具体的な方法の一例を模式的に示した断面図である。
- 25 なお、図10A、10B乃至図13A、13Bでは、第1自由層11の磁化の向きは、図2A、図2Bに示されたように、「0」状態のときに $+z$ 方向、「1」状態のときに $+x$ 方向を取るものとして描かれている。図3A、図3B乃至図9A、9Bで示されたように第1自由層11の磁化の向きと格納される情報の対応はこの限りではないが、これらの場合の読み出し方法については自明であるので

省略する。

図10A、10Bに示される例においては、参照層21は+x方向に固定された磁化を有している。この場合、図10Bに示された「1」状態においては、第1自由層11と参照層21の磁化は平行配置となり、低抵抗状態が実現される。

- 5 一方図10Aに示された「0」状態においては、第1自由層11と参照層21の磁化は垂直配置となり、高抵抗状態が実現される。

また図11A、図11B乃至図13A、図13Bのような磁化配置を用いてもTMR効果を用いて第1自由層11の磁化の向きを当該MTJの抵抗差として読み出すことが可能である。

- 10 図11A、図11Bでは参照層11の磁化は-x方向に固定されている。この場合、図11Aに示される「0」状態においては第1自由層11の磁化と参照層21の磁化は垂直配置となり、一方図11Bに示される「1」状態においては第1自由層11の磁化と参照層21の磁化は反平行配置となる。従って、前者が低抵抗状態、後者が高抵抗状態となる。

- 15 図12A、図12Bでは参照層11の磁化は+z方向に固定されている。この場合、図12Aに示される「0」状態においては第1自由層11の磁化と参照層21の磁化は平行配置となり、一方図12Bに示される「1」状態においては第1自由層11の磁化と参照層21の磁化は垂直方向となる。従って、前者が低抵抗状態、後者が高抵抗状態となる。

- 20 図13A、図13Bでは参照層11の磁化は-z方向に固定されている。この場合、図13Aに示される「0」状態においては第1自由層11の磁化と参照層21の磁化は反平行配置となり、一方図13Bに示される「1」状態においては第1自由層11の磁化と参照層21の磁化は垂直方向となる。従って、前者が高抵抗状態、後者が低抵抗状態となる。

- 25 このように参照層11の固定磁化の方向によって、「0」状態、「1」状態のどちらを平行配置、垂直配置、及び反平行配置とし、どちらを低抵抗状態、高抵抗状態とするかを任意に設計することができる。

(書き込み方法)

次に本実施形態に係る磁気メモリ素子100への情報の書き込み方法について

図14A、図14B、図15A、図15Bを用いて説明する。

本実施形態に係る磁気メモリ素子100においては注入層15を用いて帯電層13に電荷を出し入れすることで情報の書き込みを行う。図14A、図14B、図15A、図15Bはその具体的な方法を模式的に示している。

- 5 図14A、図14Bに示された方法では、「0」書き込みを行う際には図14Aに示されるように注入層15に負電圧を印加する。このとき注入層15から帯電層13にTMR効果により電子が流れ、帯電層13に電子eが蓄積される。一方「1」書き込みを行う際には図14Bに示されるように注入層15に正電圧を印加する。このとき帯電層13から注入層15にTMR効果により電子が流れ、
- 10 帯電層13の電子eが放出される。

- また図15A、図15Bに示された方法では、「0」書き込みを行う際には図15Aに示されるように注入層15に正電圧を印加する。このとき帯電層13から注入層15にTMR効果により電子eが流れ、帯電層13にホールhが蓄積される。一方「1」書き込みを行う際には図14Bに示されるように注入層15に
- 15 負電圧を印加する。このとき注入層15から帯電層13にTMR効果により電子が流れ、帯電層13のホールhが放出される。

このように注入層15に正負の電圧を印加することによって帯電層13に蓄積される電荷量、及び符号をコントロールすることで当該磁気メモリ素子100への情報の書き込みを行うことができる。

- 20 また、図14A、図14B、図15A、図15Bでは注入層15と帯電層13の間での第2絶縁層14を介したトンネル電流による書き込み方法を示したが、この他に帯電層13と第1自由層11での第1絶縁層12を介したトンネル電流を用いて情報の書き込みを行うことも可能である。さらにはこれらを併用することも可能である。

- 25 さらに、注入層15と帯電層13の間、及び帯電層13と第1自由層11の間でのトンネル電流を用いることなく帯電層13に電荷を蓄積する方法も可能である。この具体的な方法については後述される。

(原理)

次に本実施形態に係る磁気メモリ素子100における動作方法で用いる原理に

ついて、図16A、図16Bを用いて説明する。

本実施形態に係る磁気メモリ素子100においては、情報の書き込み、及び保持に、電圧による磁気異方性の変調効果を用いる。図16A、図16Bは電圧による磁気異方性の変調効果を概念的に示している。図16A、図16Bはある強磁性体

5 磁性体にそれぞれ電圧V1、電圧V2が印加されたときの磁化曲線を模式的に示している。以下の説明ではこれらの磁化曲線の横軸は基板垂直方向の磁場であるものとするが、基板平行方向であっても構わない。

適切に設計された強磁性体に電圧を印加した場合、その強磁性体の磁気異方性が変化することが知られている。本実施形態においては、第1自由層11にこの

10 磁気異方性の変化が大きく、異方性の方向が変化する材料、及び構成を用いる。すなわち、例えば図16Aに示されるように電圧V1が印加された場合、磁気異方性は基板垂直方向に付与され、ゼロ磁場において磁化は基板垂直方向を向く。一方図16Bに示されるように電圧V2が印加された場合、磁気異方性は基板面内方向に付与され、ゼロ磁場において磁化の垂直方向成分はゼロで、磁化は基板

15 平行方向を向く。すなわち外部から印加される電圧（電場）によって第1自由層11の磁化のゼロ磁場における方向が変化する。

本実施形態においては、この電場が帯電層13に蓄積された電荷によって生成される。すなわち帯電層13における電荷の有無、及び符号によって第1自由層11の位置に誘起される電場が変化し、これによって第1自由層11の磁化の向きが変化する。そしてこの磁化の向きは、参照層21、第3非磁性層22、及び第1自由層11からなるMTJにおいて読み出される。すなわち、情報の記憶は帯電層13における電荷の蓄積で行われ、書き込みには電流ではなく電圧が用いられる。この点で当該磁気メモリ装置はDRAMやFlashメモリと類似している。一方情報の読み出しにはTMR効果を用いる。この点ではMRAMと類似

20

25 している。

なお、強磁性体においては、磁気異方性の方向や大きさの他、飽和磁化の値やスピン偏極率に関連した電子構造なども印加される電圧によって変化することが知られている。従って、本実施形態においては必ずしも第1自由層11において外部からの電場で変化するものが磁気異方性の方向である必要はなく、例えば飽

和磁化や電子構造であっても構わない。飽和磁化や電子構造の変化は、上述の原理と同様にTMR効果に反映されるので、同様なMTJ構造によって読み出しを行うことができる。

(回路構成)

- 5 次に、本実施形態に係る磁気メモリ素子100を有する磁気メモリセル110に書き込み電圧及び読み出し電流を導入するための回路構成について説明する。

図17は、磁気メモリセル110の1ビット分の回路の構成例を示している。図17に示される例では、磁気記憶素子100は3端子の素子となっており、第1MOSトランジスタM1、第2MOSトランジスタ、ワード線WL、グラウン
10 ド線GND、及び書き込みビット線WBL、読み出しビット線RBLに接続されている。具体的には、注入層15に繋がる第1端子T1はMOSトランジスタM1を介して書き込みビット線WBLに接続され、またMOSトランジスタM1のゲートがワード線WLに接続される。第1自由層11に繋がる第2端子T2はグラウンド線GNDに、参照層21に繋がる第3端子T3は読み出しビット線RBL
15 Lに接続される。

データ書き込み時は、ワード線WLはHighレベルに設定され、第1MOSトランジスタM1がONになる。また書き込みビット線WBLの電圧が適当な値に設定される。これによって第1端子T1の電圧が適切に設定され、データの書き込みが行われる。

- 20 データ読み出し時は、ワード線WLがHighレベルに設定され、第2MOSトランジスタM2がONになる。また読み出しビット線RBLが適切な電位に設定される。これによって第2端子T2と第3端子T3の間で電流が流れ、TMR効果を用いた読み出しが行われる。

図18は、本実施形態に係る磁気メモリ装置150の構成の一例を示すブロック図である。磁気メモリ150装置は、メモリセルアレイ115、Xドライバ120、Yドライバ130、コントローラ140を備えている。メモリセルアレイ115は、アレイ状に配置された複数の磁気メモリセル110を有している。磁気メモリセル110の各々は、上述の磁気メモリ素子100を有している。既出の図17で示されたように、各磁気メモリセル110は、ワード線WL、グラウ
25

ンド線GND、及び書き込みビット線対WBL、読み出しビット線RBLに接続されている。Xドライバ120は、複数のワード線WLに接続されており、それら複数のワード線WLのうちアクセス対象の磁気メモリセル110につながる選択ワード線を駆動する。Yドライバ130は、複数の書き込みビット線WBL、
5 読み出しビット線RBLに接続されており、各ビット線をデータ書き込みあるいはデータ読み出しに応じた状態に設定する。コントローラ140は、データ書き込みあるいはデータ読み出しに応じて、Xドライバ120とYドライバ130のそれぞれを制御する。

なお、図17、図18で示されたセル回路図、及び回路ブロック図は、本実施
10 形態に係る磁気メモリ装置150を実現するための一例であり、他の構成を用いても実施することが可能である。

(材料)

次に本実施形態に係る磁気メモリ素子100を構成する各レイヤーに用いる材料について説明する。

15 第1自由層11、参照層21は強磁性体により構成され、例えばFe、Co、Niを含有した様々な材料を用いることができる。具体的にはFe、Co、Ni、Fe-Co、Fe-Ni、Fe-B、Co-B、Fe-Co-B、Fe-Ni-Bなどが例示される。

第1非磁性層12、第2非磁性層14、第3非磁性層22は絶縁体により構成
20 される。具体的にはSi-O、Si-N、Al-O、Al-N、Mg-O、Hf-O、Ti-Oなどが例示される。ここで、Si-Oの表示はSiとOとの化合物を意味しており、この種の同様の他の表示も、それぞれ化合物を表している。

帯電層13は第1非磁性層12、第2非磁性層14よりも電気抵抗の低い材料により構成され、あらゆる金属材料を用いることができるほか、半導体、絶縁体
25 の性質を持つ材料であっても構わない。具体的にはAl、Cu、Ti、Zr、Ta、W、Ru、Poly-Si、Si-N、Al-N、Ti-N、Zr-Nなどが例示される。

注入層15は第2非磁性層14よりも電気抵抗の低い材料により構成され、あらゆる金属材料を用いることができるほか、半導体の性質を持つ材料であっても

構わない。具体的にはAl、Cu、Ti、Zr、Ta、W、Ru、Poly-Si、Al-N、Ti-N、Si、Ge、Cなどが例示される。

本実施形態に係る磁気メモリ素子100の具体的な膜構成としては例えば以下のような構成を用いることで実施が可能である。括弧内は膜厚で、注入層及び参

5 照層は多層の積層膜である。

・注入層15: Ta (1-10 nm) / Cu (1-30 nm) / Ta (1-10 nm)

・第2絶縁層14: Si-O (0.5-3.0 nm)

・帯電層13: Cu (0.1-5 nm)

10 ・第1絶縁層12: Hf-O (1-10 nm)

・第1自由層11: CoFeB (0.8-1.5 nm)

・第3絶縁層22: MgO (0.5-3.0 nm)

・参照層21: CoFeB (2 nm) / Ru (1 nm) / CoFe (2 nm) / PtMn (20 nm)

15 (実施例)

本発明に係る磁気メモリ素子100の実施例について説明する。図19は、磁気メモリ素子100の膜の構成を示す。図において、磁気メモリ素子は、上から順に、第1自由層、第1絶縁層、帯電層、第2絶縁層、及び注入層からなっている。第1絶縁層としてMg-O膜が、第2絶縁層としてHf-O膜が、注入層としてAu膜が使用されている。図20は、この素子において、第1自由層(Co)の反転磁界のT1-T2間の電圧依存性を示す。電圧は-12Vから+12V、+12Vから-12Vに掃引した。-12Vから電圧をオフ(0V)した場合と、+12Vからオフした場合で反転磁界が異なり、反転磁界が履歴特性を示すことから、メモリ動作が実行されていることが確認される。

25 (効果)

次に本実施形態で得られる効果について説明する。

本実施形態に係る磁気メモリ素子100においては、これまでに開発されているMRAMが電流を用いて書き込みを行うのに対して、電圧で書き込みを行うことが最大の特徴である。書き込みは帯電層13への電荷の蓄積で行われ、そこで

消費する電流は無視できるほど小さい。従って、非常に小さな消費電力での書込みが可能となる。一方で、読み出しにはTMR効果を用いるので従来のMRAMと同等のアクセス時間が実現できる。

- 実施形態の磁気メモリ装置は、このような磁気メモリ素子を有しているので、
5 高速のランダムアクセス周波数を維持した上で、消費電力が非常に低い磁気メモリ装置が提供できる。

[変形例]

以上で説明された磁気メモリ素子100は以下に説明される変形例を用いても実施することができる。

10 (第1の変形例)

図21は本実施形態に係る磁気メモリ素子100の第1の変形例の構造を模式的に示している。第1の変形例は磁気メモリ素子100の構造に関する。

- 前述のように、本実施形態に係る磁気メモリ素子100は、少なくとも第1自由層11、第1絶縁層12、帯電層13、第2絶縁層14、及び注入層15を具備し、また必須ではないが、参照層21、及び第3絶縁層22が設けられることが好ましい。ただしこの参照層21、第3絶縁層22は省略が可能である。第1の変形例に係る磁気メモリ素子100は参照層21、第3絶縁層22が省略される。そして、参照層21の機能は帯電層13によって果たされ、また第3絶縁層22の機能は第1絶縁層12によって果たされる。

- 20 図21に示された磁気メモリ素子100は、第1自由層11、第1絶縁層12、帯電層13、第2絶縁層14、及び注入層15がこの順に積層されてなる。第1自由層、第2絶縁層、及び注入層15については、図1を用いて説明された通りであるので省略する。帯電層13は図1を用いて説明された際には、第1絶縁層12、及び後述される第2絶縁層13に比べて電気抵抗の低い材料により構成されることが述べられたが、第1の変形例においてはこれに加えて、帯電層13は
25 強磁性体から構成される必要があり、なおかつ一方向に固定された磁化を有している。言い換えると、第1の変形例における帯電層13は、図1における帯電層13と参照層21の両方の機能を併せ持っている。また、第1絶縁層11は絶縁性の材料から構成される。また第1の変形例における第1絶縁層11は、図1に

における第1絶縁層11と第3絶縁層22の両方の機能を併せ持っている。

第1の変形例は、参照層21の機能が帯電層13に吸収され、第3絶縁層22の機能が第1絶縁層12に吸収される分、帯電層13、第1絶縁層12の設計の自由度は狭まるが、必要なレイヤーが減る分、構造が単純化され、インテグレーションが容易となる。

(第2の変形例)

図22は本実施形態に係る磁気メモリ素子100の第2の変形例の構造を模式的に示している。第2の変形例は磁気メモリ素子100の構造に関する。

第2の変形例に係る磁気メモリ素子100は、第1自由層11、第1絶縁層12、帯電層13、第2絶縁層14、注入層15、参照層21、第3絶縁層22に加えて、第2自由層23が設けられる。図22においては、注入層15は第1の端子T1に、第1自由層11は第2の端子T2に、参照層21は第3の端子T3に、そして第2自由層23は第4の端子T4に接続されている。しかし外部回路との接続のための端子のとり方についてはこの限りではなく、例えば第2の端子と第4の端子が共通化されても構わない。

第2自由層23は強磁性体から構成され、方向が可変な磁化を有する。また第2自由層23の磁化の方向は第1自由層11の磁化の方向に応じて変化する。第2自由層23は第3非磁性層22に隣接して参照層21とは反対側に設けられる。すなわち、第2自由層23、第3非磁性層22、参照層21によってMTJが形成される。

第2の変形例においては、帯電層13における電荷の有無、符号によって第1自由層11の磁化の方向が変化する。そしてこの磁化に応じて第2自由層23の磁化が変化し、最終的には第2自由層23、第3非磁性層22、参照層21からなるMTJによって情報が読み出される。従って、第1自由層11は電圧によって磁化が変化し易いように設計すればよい。一方第2自由層23は大きなTMR比が得られるように設計すればよい。このように第2の変形例は、書き込み・保持特性と読み出し特性を独立に設計することが可能であり、設計の自由度が高まる。

図23は第2の変形例の別の形態の構造を示した模式図である。図23におい

ては、第1自由層11と第2自由層23の間に導電層30が設けられている。また導電層30が外部の回路との接続のための第2の端子に接続されている。このように第1の自由層11と第2の自由層23は電氣的に接続されていても構わない。この場合導電層30には金属製の様々な材料を用いることができる。例えば

5 Cu、Taなどが例示される。

また第1自由層11と第2自由層23は導電層30を介して磁氣的に結合していてもよい。第1自由層11と第2自由層23の磁氣的な結合は、導電層30にRuなどの材料を用いることで実現できる。

(第3の変形例)

10 図24は本実施形態に係る磁気メモリ素子100の第3の変形例の構造を模式的に示している。第3の変形例は磁気メモリ素子100の構造に関する。

第3の変形例に係る磁気メモリ素子100は、第1自由層11に隣接して挿入層40が設けられる。図24では挿入層40は第1自由層11と第1絶縁層12に挟まれて配置されている。挿入層40にはどのような材料を用いても良い。

15 挿入層40は第1自由層11の磁氣的性質の電圧特性を調整する目的で設けられる。例えば、非特許文献3によれば、挿入層40として極薄のPtを用いることで第1自由層11の電圧による磁氣的性質の変化を大きくできることが述べられている。

また図24では第1自由層11が外部の第2の端子に接続されているが、挿入層40が第2の端子に接続されてもよい。

20

(第4の変形例)

図25は本実施形態に係る磁気メモリ素子100の第4の変形例の構造を模式的に示している。第4の変形例は磁気メモリ素子100への情報の書き込み方法に関する。

25 図14A、図14B、15A、図15Bを用いて説明された書き込み方法によれば、注入層15、第2絶縁層14、帯電層13の間でのトンネル電流によって書き込みが行われるが、本実施形態に係る磁気メモリ素子100への情報の書き込み方法として用いることのできる方法はこの限りではない。

注入層15、第2絶縁層14、帯電層13の間でのトンネル電流を用いる以外

の方法として、図25では第4の変形例ではホットエレクトロンを用いる方法が示されている。図25に示された構成では、注入層15はソース領域S、チャンネル領域C、ドレイン領域Dの3領域からなり、ソース領域S、ドレイン領域Dが第1端子T1、補助第1端子T1'に接続されている。書き込みの際は例えば第2の端子T2と補助第1端子T1'をHighレベルにすることでソース領域Sからチャンネル領域Cを介してドレイン領域Dに電子が流入し、この際ホットエレクトロンが帯電層13に蓄積される。このようにして電荷の蓄積を行うことができる。同様にしてホットホール注入によって帯電層13の帯電を消去することも可能である。

- 10 ホットエレクトロンを用いた書き込み方法はNOR型フラッシュメモリで用いられており、低電圧で高速での書き込みが可能である。

(第5の変形例)

図26乃至図28は本実施形態に係る磁気メモリ素子100の第5の変形例の構造を模式的に示している。第5の変形例は磁気メモリ素子100の端子の取り
15 方に関する。

本実施形態に係る磁気メモリ素子100は典型的には3端子の素子となる。そして3つの端子に接続されるために、各層は基板平行面内において延伸して設けられても構わない。

- 20 例えば図26に示されるように、第1自由層11がx方向に延伸して設けられ、第2の端子に接続されてもよい。また図27に示されるように導電層30がx方向に延伸して設けられ、第2の端子に接続されてもよい。また図26に示されるように挿入層40がx方向に延伸して設けられ、第2の端子に接続されてもよい。

(第6の変形例)

- 25 図29乃至図31は本実施形態に係る磁気メモリ素子100の第6の変形例の構造を模式的に示している。第6の変形例は磁気メモリ素子100の構造に関する。

本実施形態に係る磁気メモリ素子100においては、帯電層13における電荷の有無、及び符号と、それに対応した第1自由層11の磁化の向きが記憶された情報に相当する。また読み出しの際は第1自由層11の磁化の向きを第1自由層

1 1、第3非磁性層2 2、参照層2 1からなるMTJにおけるTMR効果で読み出す。ここで図1 0 A、図1 0 Bに示された場合を例にとると、図1 0 Aの

「0」状態では第1自由層1 1は垂直磁気異方性となり、当該MTJは磁化方向が垂直配置となる。一方で図1 0 Bの「1」状態では第1自由層1 1は面内磁気異方性となり、当該MTJは磁化方向が平行配置となる。ここで図1 0 Bの

「1」状態の場合、第1自由層1 1は面内磁気異方性となるが、必ずしも+x方向を向くとは限らず、+x方向からずれた場合には当該MTJは平行配置からずれるため、MTJ抵抗が増大することになる。第6の変形例ではこのような不良を防ぐために、第1自由層1 1に磁束Φが印加されるように設計される。

10 図2 9に示された磁気メモリ素子1 0 0では、磁束Φを印加するためにバイアス層5 0が設けられている。特に図2 9に示された例では、第1バイアス層5 0 aと第2バイアス層5 0 bが第1自由層1 1の近傍に設けられている。また第1バイアス層5 0 aと第2バイアス層5 0 bは+x方向に磁化しており、+x方向の磁束Φが第1自由層1 1に印加されている。この場合、第1自由層1 1が面内磁気異方性状態となったときには+x方向を向くことになり、第1自由層1 1、第3非磁性層2 2、参照層2 1からなるMTJの平行配置を安定して生成することができる。バイアス層5 0は図2 9の例では面内磁気異方性材料により構成されているが、垂直磁気異方性材料を用いてz方向の高さをずらすことによっても実現が可能である。またバイアス層5 0を用いて±z方向の磁束Φを第1自由層1 1の位置において生成することも可能である。

また図3 0では、参照層2 1からの漏洩磁束Φが第1自由層1 1に印加される例が示されている。参照層2 1の固定磁化が-x方向を向くようにし、第1自由層1 1の位置における+x方向の漏洩磁束Φが大きくなるように設計することで、第1自由層1 1が面内磁気異方性状態となったときには+x方向を向くことになり、第1自由層1 1、第3非磁性層2 2、参照層2 1からなるMTJの反平行配置を安定して生成することができる。

また図3 1では、参照層2 1の磁化は+z方向に固定されており、第1自由層1 1の位置において+z方向の漏洩磁束Φが生成される例が示されている。この場合、第1自由層1 1が垂直磁気異方性状態となったときには+z方向を向くこ

とになり、第1自由層11、第3非磁性層22、参照層21からなるMTJの平行配置を安定して生成することができる。

(第7の変形例)

図32、図33A、図33B乃至図35A、図35Bは本実施形態に係る磁気メモリ素子100の第7の変形例の構造を模式的に示している。第7の変形例は第1自由層11の磁区構造に関する。

これまでの説明図では第1自由層11は単磁区構造になるものとして描かれているが、実際には多磁区構造となっても構わず、多磁区構造となることで好ましい効果を得ることも可能である。図32、図33A、図33B乃至図35A、図35Bにはその具体例が示されている。

図32では第1自由層11はx方向に延伸して設けられている。図33A、図33Bは第1自由層11の磁区構造を示したx-y平面図であり、図33Aでは「0」状態、図33Bでは「1」状態での第1自由層11の磁区構造が示されている。図33A、図33Bに示されるように、第1自由層11は第1領域11aと第2領域11bから構成される。第1領域11aはメモリ状態によって磁化方向は可変であり、第2領域の磁化は+x方向に固定されている。そして帯電層13に電荷が蓄積された場合、形成される電場によって第1領域11aの磁化は+z方向を向く(図33A)。一方帯電層13の電荷が放出され、電場がゼロになったとき、第1領域11aの磁化は第2領域11bとの結合によって+x方向を向く。このように、第1自由層11に磁区構造を持たせることによっても第6の変形例で述べられたものと同じ効果を得ることができる。

図34、図35A、図35Bは第7の変形例の別の形態を示している。図34は断面図を示しており、図35A、図35Bは各メモリ状態での平面図を示している。図34、図35A、図35Bにおいては、第1領域11aは可変な磁化を有しており、一方第2領域の磁化は+z方向に固定されている。この場合、例えば第1自由層11に電場が印加されたときに第1自由層11は垂直磁気異方性が付与されるものとする、第1領域11aの磁化は+z、-zのいずれかの方向を向くことになる。ここで第1自由層11が磁壁が入ることでエネルギーが増大するように設計されていれば第1自由層11は磁壁を導入することを嫌がるので、

第1領域11aの磁化は+z方向を向くことになる。また第1自由層11に磁壁が入った方がエネルギー的に有利になるように設計されていれば、第1領域11aの磁化は-z方向を向くことになる。このように電圧によって磁化方向が変化しない第2領域11bを第1自由層11内に設けておくことによって、実現されるMTJの磁化配置に係る第1領域11aの磁化の安定方向を制御することが可能である。

他の実施の形態

以上で説明された磁気メモリ素子100に用いている原理は、ロジック回路に適用することもできる。その概略を図1、磁性ロジック素子を示す図36A-36D、図37A-37Dを用いて説明する。

ロジック回路においては、単数または複数の入力に対してある演算が行われ、一つの出力が得られる。例えば2入力のNAND演算の場合、2入力が「1」と「1」の場合のみ出力は「0」となり、それ以外の入力の組み合わせでは「1」が出力され、またNOR演算の場合、2入力が「0」と「0」の場合のみ「1」となり、それ以外の組み合わせでは「0」が出力される。このような場合の論理構成はSRAMに格納されるため、電源オフ時にその構成情報を保持しておくために、別途、フラッシュメモリのような不揮発メモリを併せて設けておく必要がある。本実施形態で用いる原理を適用することで、このような不揮発メモリを別途併設することなく、論理構成を不揮発に保持できる不揮発ロジック回路を提供することができる。

図1において、帯電層13における電荷の有無、及び符号に応じて、第1自由層11の磁気異方性が変化することを述べた。ここで、第1自由層11に2つの入力信号（第1入力、第2入力）が入力された場合を考える。また、帯電層13に正電荷が蓄積された「0」状態における第1自由層11の磁気異方性がK0となり（図36A-36D）、負電荷が蓄積された「1」状態における第1自由層11の磁気異方性がK1になるものとする（図37A-37D）。そして、第1自由層11の磁気異方性がK0の場合、第1入力と第2入力のいずれもが「1」の場合のみ第1自由層11の磁化は-x方向を向き、それ以外の入力の組み合わせに対しては第1自由層11の磁化は+x方向を向くものとする（図36A-3

6 D)。また同様に、第1自由層11の磁気異方性がK1の場合、第1入力と第2入力のいずれもが「0」の場合のみ第1自由層11の磁化は+x方向を向き、それ以外の入力の組み合わせに対しては第1自由層11の磁化は-x方向を向くものとする(図37A-37D)。この場合、第1自由層11の磁化が+x方向

5 の状態で「1」が出力され、-x方向の状態で「0」が出力されるように参照層21の磁化方向を設計することによって、前者の場合(図36A-36D)はNOR演算が実現でき、後者の場合(図37A-37D)はNAND演算が実現できていることがわかる。そしてこの論理構成情報は帯電層13におけるチャージとして蓄積されるので、不揮発に保持される。

10 第1入力、第2入力の具体的な形態、及びそれに対する第1自由層11内での応答形態としては、様々なものを用いることができる。例えば第1入力、第2入力が配線に流れる電流によって誘起されるエールステッド磁場であり、第1自由層11内の磁化がその磁場に対して反転するという形態を用いることができる。また第1入力、第2入力が第1自由層11に直接導入される電流であり、その電

15 流によって誘起されるスピントランスファートルクによって起こる第1自由層11内での磁化反転を用いることもできる。磁場による磁化反転もスピントランスファートルクによる磁化反転も第1自由層11の磁気異方性の常態に影響を受ける。

上記実施形態では、不揮発磁性素子を有する、磁気メモリ装置及びロジック回路

20 路について説明してきたが、これら磁気メモリ装置及びロジック回路は、強磁性体からなる第1自由層と、第1自由層に接続して設けられた絶縁体からなる第1絶縁層と、第1絶縁層に隣接して設けられた帯電層と、帯電層に隣接して設けられた絶縁体からなる第2絶縁層と、第2絶縁層に隣接して設けられた注入層を含み、帯電層の電気抵抗率が第1絶縁層、及び第2絶縁層のいずれよりも小さく、

25 注入層の電気抵抗率が第2絶縁層よりも小さい不揮発磁性素子を含む不揮発磁気装置の1形態である。

本発明は上記実施形態及び変形例に限定されず、本発明の技術思想の範囲内において、適宜変更され得ることは明らかである。

産業上の利用可能性：

本発明の活用例として、携帯電話、モバイルパソコンやPDAに使用される不揮発性の半導体メモリ装置や論理演算装置、自動車などに使用される不揮発性メモリ、論理演算装置内蔵のマイコンが挙げられる。

この出願は、2011年6月16日に出願された日本出願特願第2011-133897号を基礎とする優先権を主張し、その開示のすべてをここに取り込む。

符号の説明：

- | | | |
|----|-------|---------|
| | 1 1 | 第1自由層 |
| | 1 2 | 第1絶縁層 |
| 10 | 1 3 | 帯電層 |
| | 1 4 | 第2絶縁層 |
| | 1 5 | 注入層 |
| | 2 1 | 参照層 |
| | 2 2 | 第3絶縁層 |
| 15 | 2 3 | 第2自由層 |
| | 3 0 | 導電層 |
| | 4 0 | 挿入層 |
| | 5 0 a | 第1バイアス層 |
| | 5 0 b | 第2バイアス層 |
| 20 | 1 0 0 | 磁気メモリ素子 |
| | 1 1 0 | 磁気メモリセル |
| | 1 2 0 | Xドライバ |
| | 1 3 0 | Yドライバ |
| | 1 5 0 | 磁気メモリ装置 |
| 25 | T 1 | 第1端子 |
| | T 2 | 第2端子 |
| | T 3 | 第3端子 |
| | T 4 | 第4端子 |

請 求 の 範 囲

[請求項 1]

絶縁体からなる第 1 絶縁層と、

- 5 前記第 1 絶縁層の一方の側に形成された強磁性体からなる第 1 自由層と、
前記第 1 絶縁層の他方の側に前記第 1 自由層と対向して形成され、電荷を蓄積する帯電層と、

前記帯電層の一方の側に前記第 1 の絶縁層と対向して形成された絶縁体からなる第 2 絶縁層と、

- 10 前記第 2 絶縁層の一方の側に前記帯電層と対向して形成された注入層を含み、
前記帯電層の電気抵抗率が前記第 1 絶縁層、及び前記第 2 絶縁層のいずれよりも小さく、

前記注入層の電気抵抗率が前記第 2 絶縁層よりも小さいことを特徴とする不揮発磁性素子。

- 15 [請求項 2]

絶縁体から構成される第 3 絶縁層と、

前記第 3 絶縁層の一方の側に形成された強磁性体からなる参照層を含み、

前記参照層と前記第 1 自由層とは前記第 3 絶縁層に対し互いに反対側に配置されていることを特徴とする請求項 1 記載の不揮発磁性素子。

- 20 [請求項 3]

前記注入層は第 1 の端子に接続され、

前記第 1 自由層は第 2 の端子に接続され、

前記参照層、または前記帯電層のいずれか一方が第 3 の端子に接続されることを特徴とする請求項 1 又は 2 記載の不揮発磁性素子。

- 25 [請求項 4]

前記第 1 自由層と前記第 1 の絶縁層の間に形成され、前記第 1 自由層の磁気的性質の電圧特性を調整することのできる挿入層を含むことを特徴とする請求項 1 乃至 3 のいずれか 1 に記載の不揮発磁性素子。

[請求項 5]

前記第 1 自由層が磁化方向が可変な第 1 領域と磁化方向が固定された第 2 領域からなることを特徴とする請求項 1 乃至 4 のいずれか 1 に記載の不揮発磁性素子。

[請求項 6]

- 5 前記注入層がソース領域とチャネル領域とドレイン領域からなることを特徴とする請求項 1 乃至 5 のいずれか 1 に記載の不揮発磁性素子。

[請求項 7]

前記帯電層が強磁性体から構成され、方向が固定された磁化を有していることを特徴とする請求項 1 記載の不揮発磁性素子。

[請求項 8]

- 10 前記第 3 絶縁層の他方の側に前記参照層に対向して形成された第 2 自由層を含むことを特徴とする請求項 2 記載の不揮発磁性素子。

[請求項 9]

前記第 1 自由層と前記第 2 自由層との間に形成された導電層を含む請求項 8 記載の不揮発磁性素子。

- 15 [請求項 10]

強磁性体から構成され、前記第 1 自由層に磁束を印加するバイアス層が設けられることを特徴とする請求項 1 乃至 9 のいずれか 1 に記載の不揮発磁性素子。

[請求項 11]

- 20 請求項 1 乃至 10 記載のいずれか 1 に記載の不揮発磁性素子は、不揮発磁気メモリ素子からなることを特徴とする不揮発磁性素子。

[請求項 12]

請求項 1 乃至 11 記載のいずれか 1 に記載の不揮発磁性素子を含む不揮発磁気装置。

[請求項 13]

- 25 請求項 12 記載の不揮発磁気装置は、磁気メモリ装置であることを特徴とする不揮発磁気装置。

[請求項 14]

請求項 1 乃至 10 記載のいずれか 1 に記載の不揮発磁性素子は、磁性ロジック素子であることを特徴とする不揮発磁性素子。

[請求項 1 5]

請求項 1 4 記載の不揮発性磁性素子を含むことを特徴とする不揮発磁気装置。

[請求項 1 6]

請求項 1 5 記載の不揮発性磁気装置は、ロジック回路であることを特徴とする

5 不揮発磁気装置。

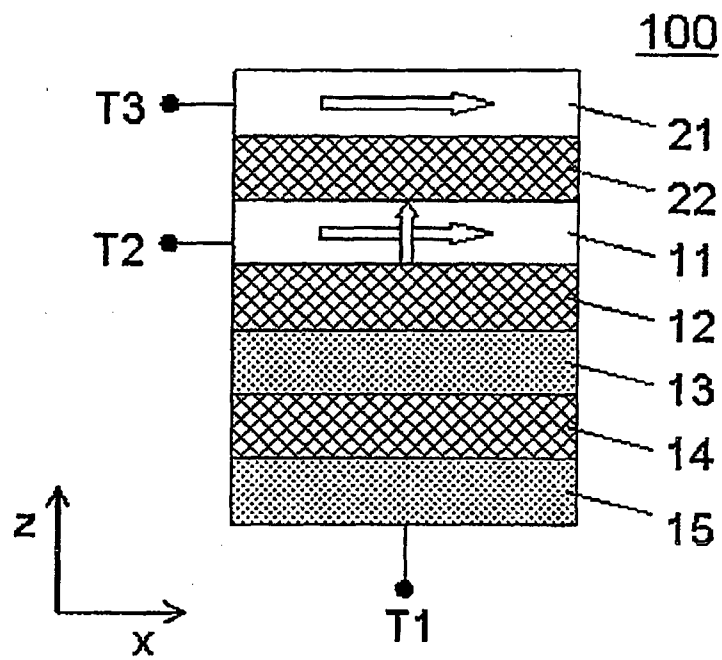


図 1

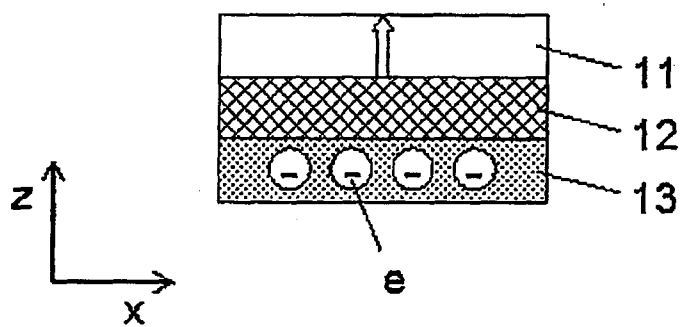


図 2A

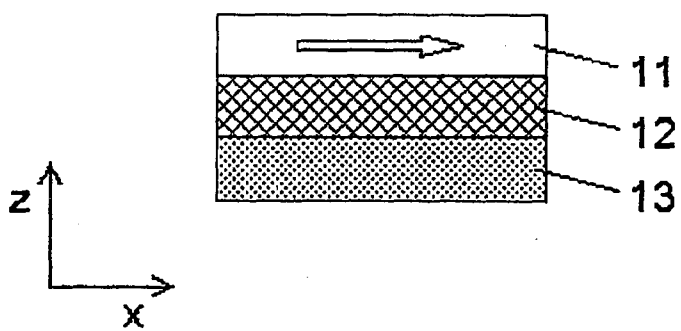


図 2B

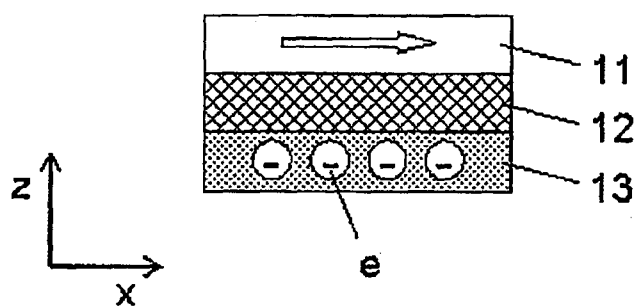


図 3A

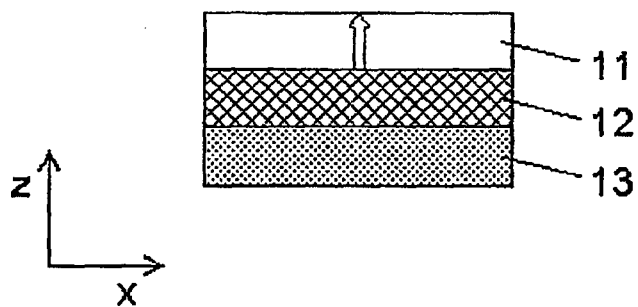


図 3B

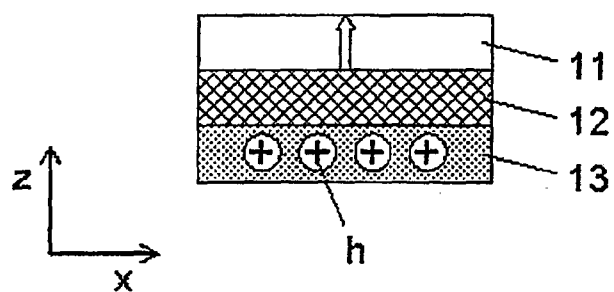


図 4A

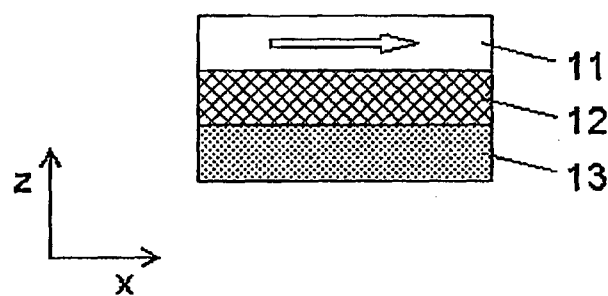


図 4B

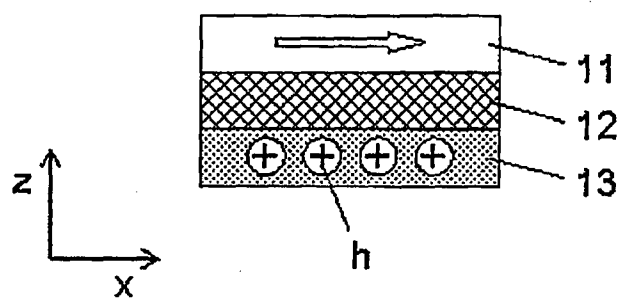


図 5A

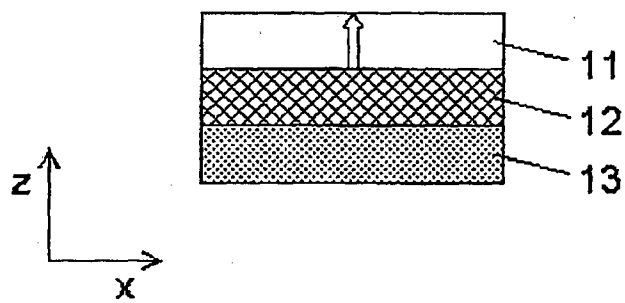


図 5B

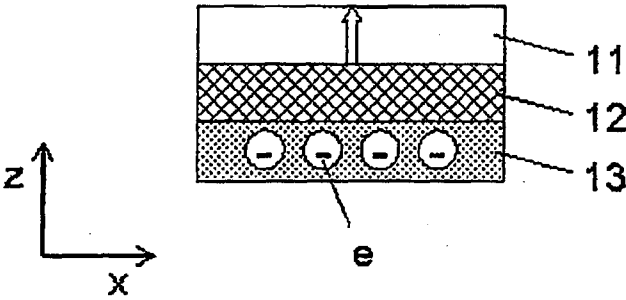


図 6A

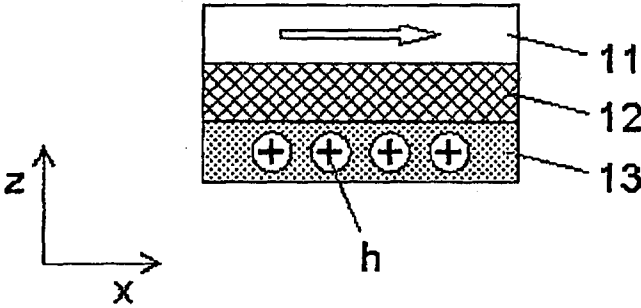


図 6B

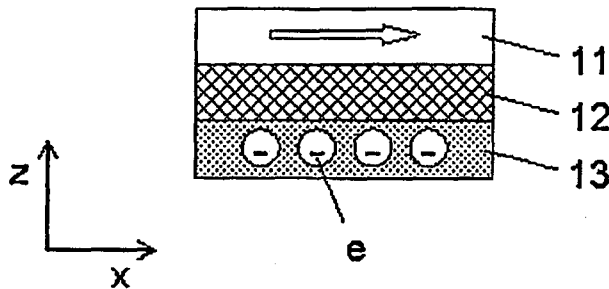


図 7A

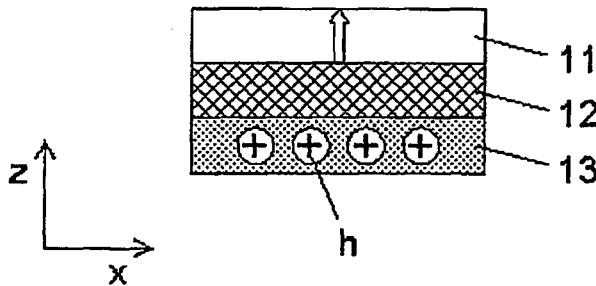


図 7B

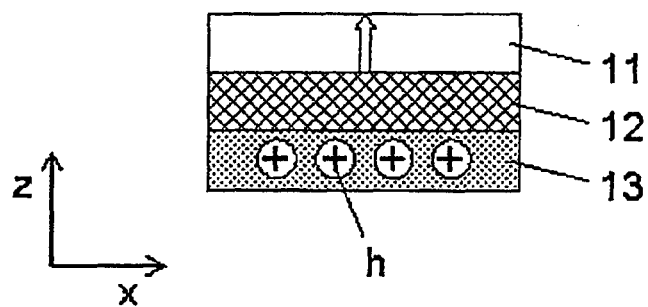


図 8A

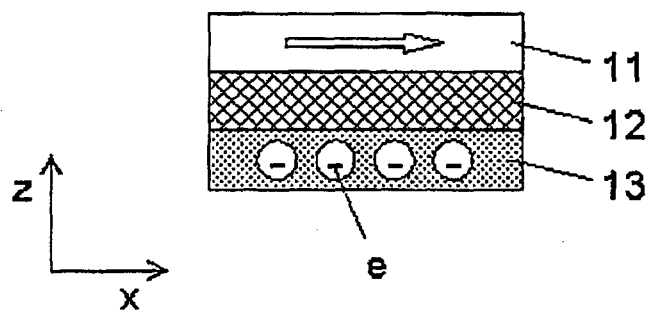


図 8B

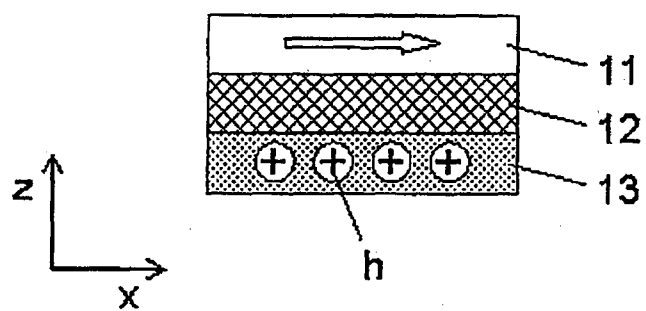


図 9A

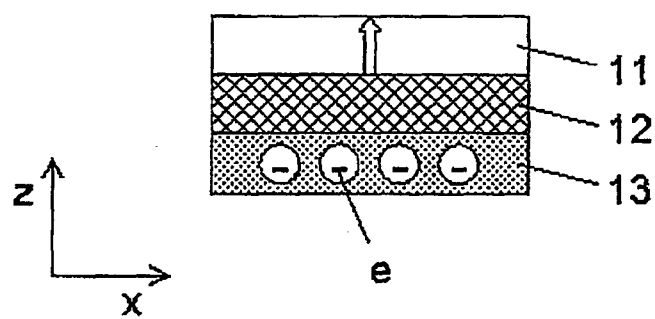


図 9B

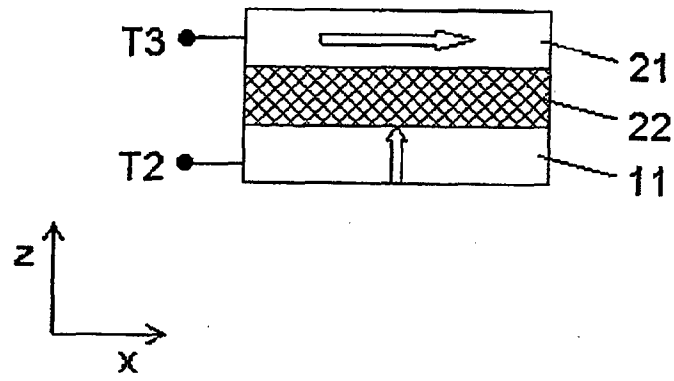


図 10A

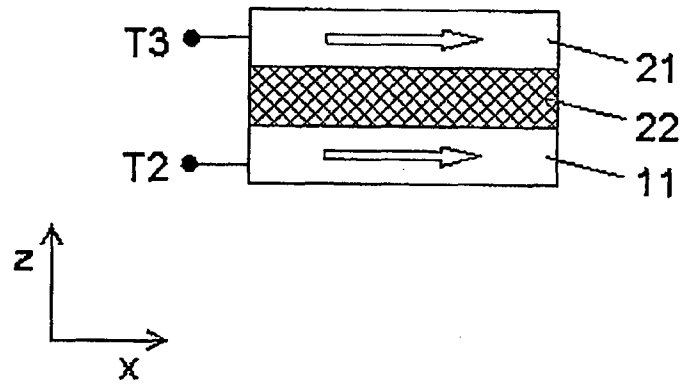


図 10B

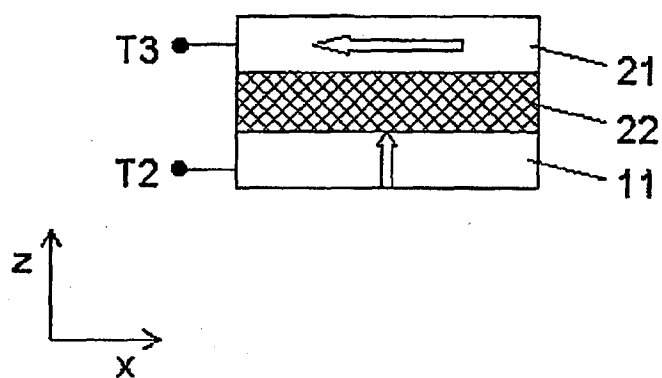


図 11A

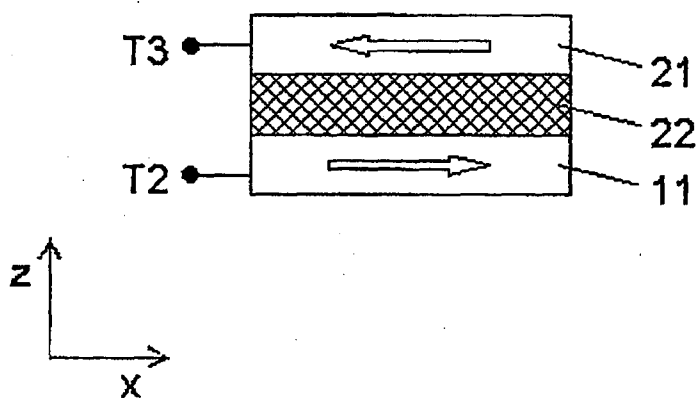


図 11B

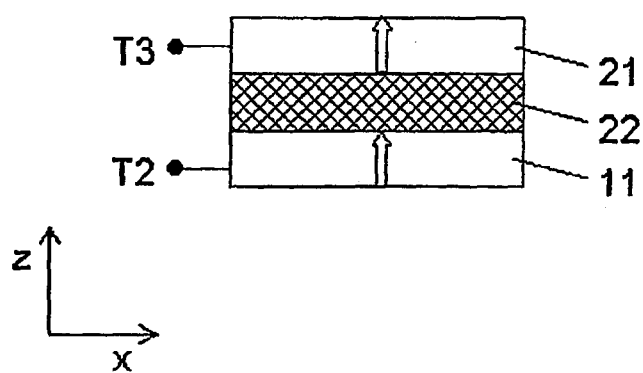


図 12A

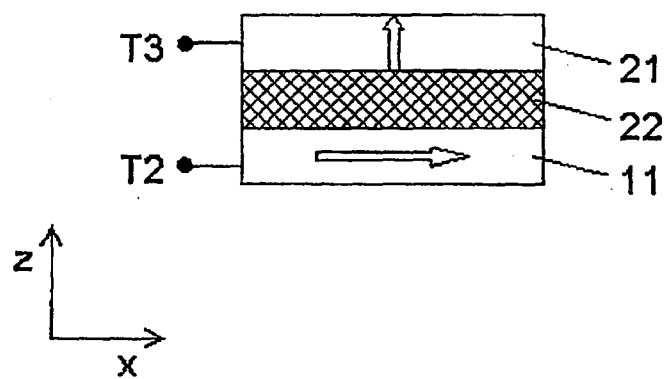


図 12B

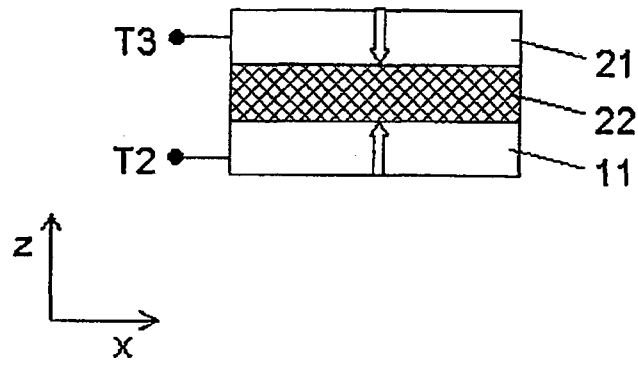


図 13A

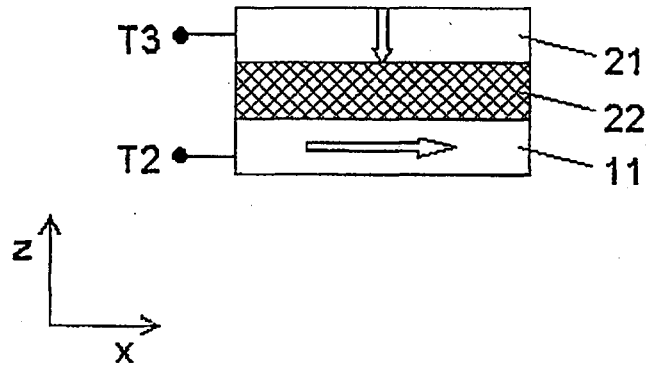


図 13B

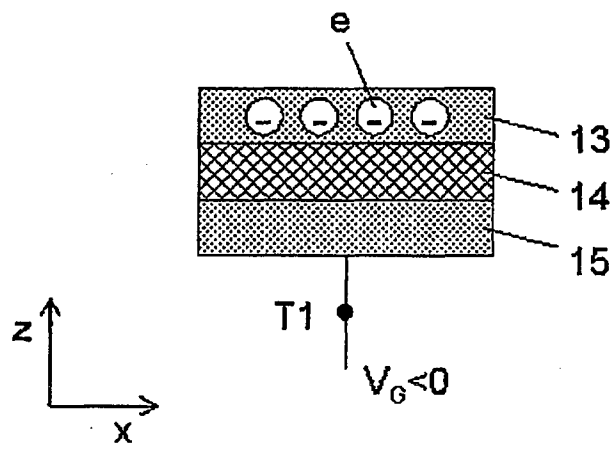


図 14A

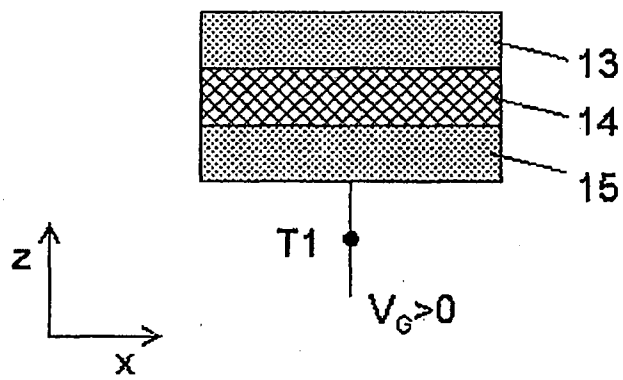


図 14B

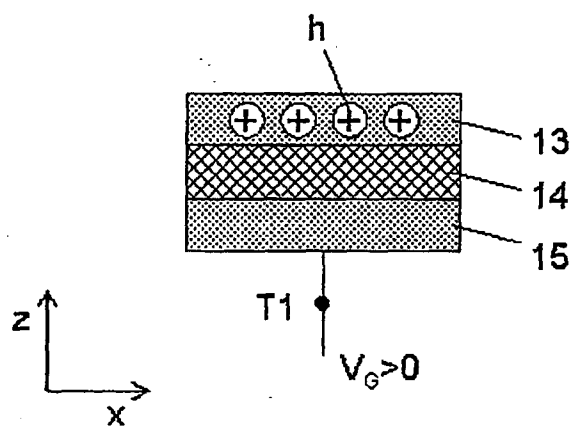


図 15A

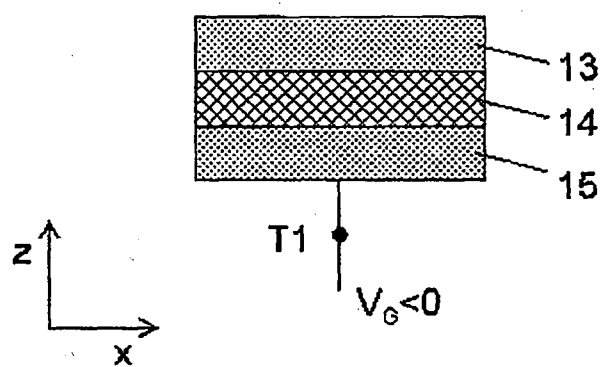


図 15B

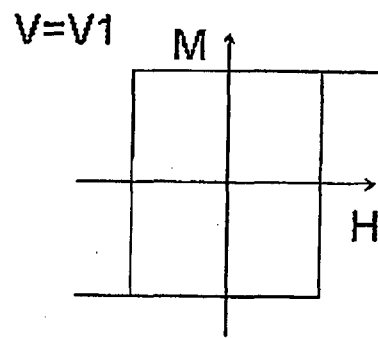


図 16A

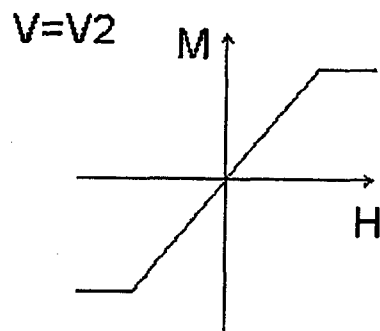


図 16B

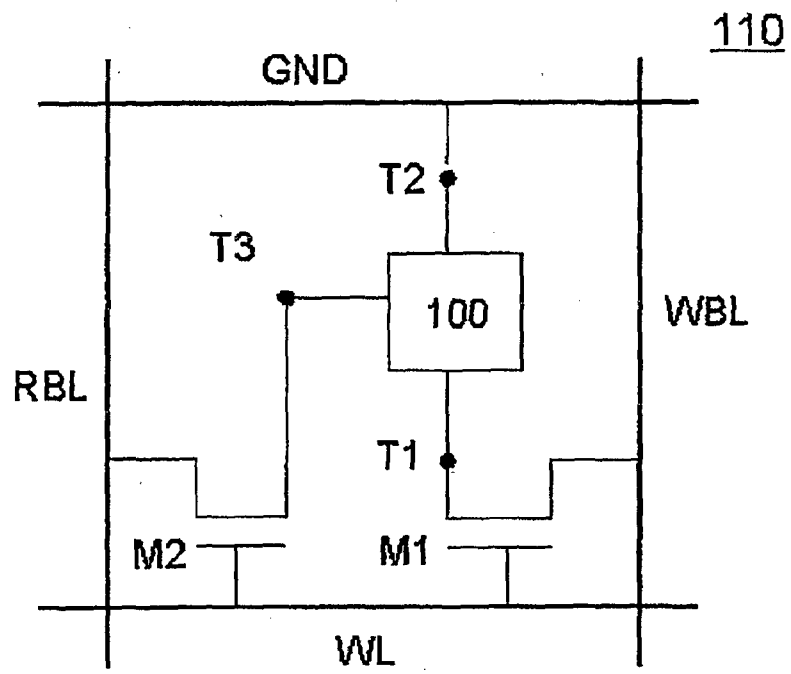


図 17

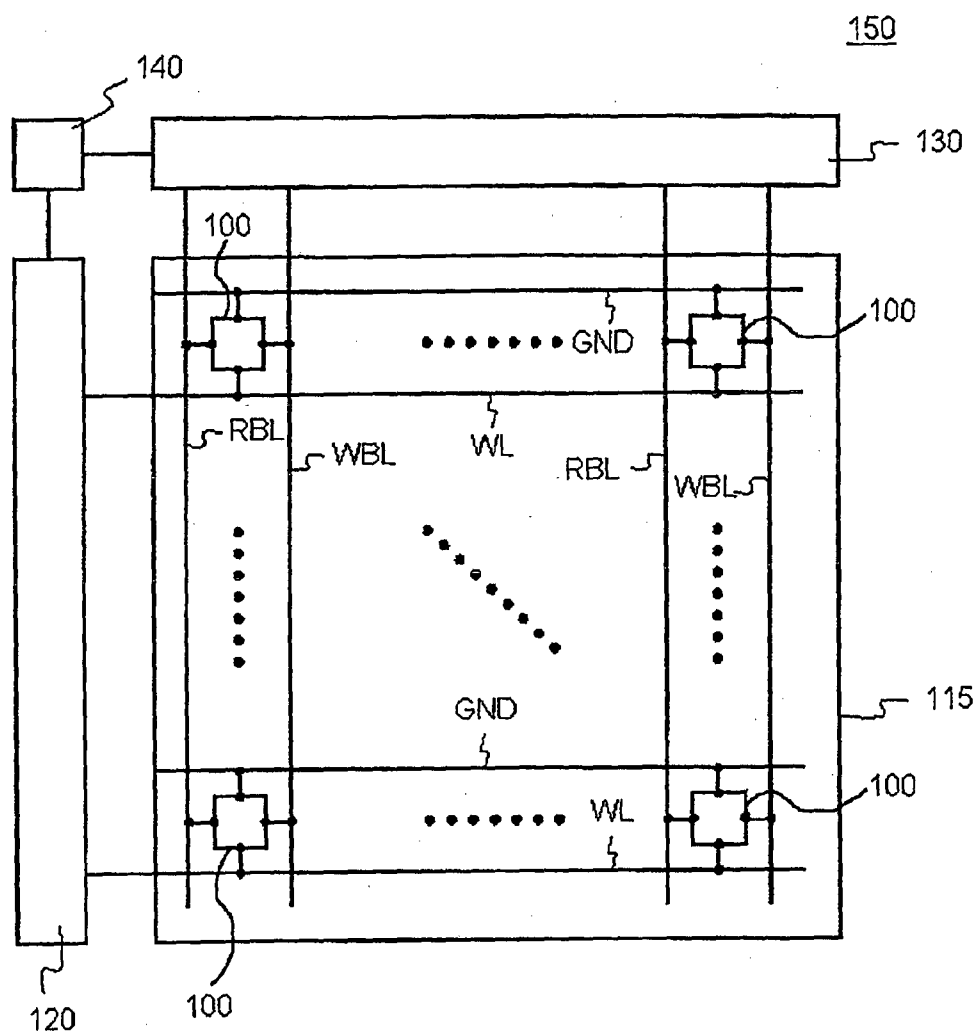


图 18

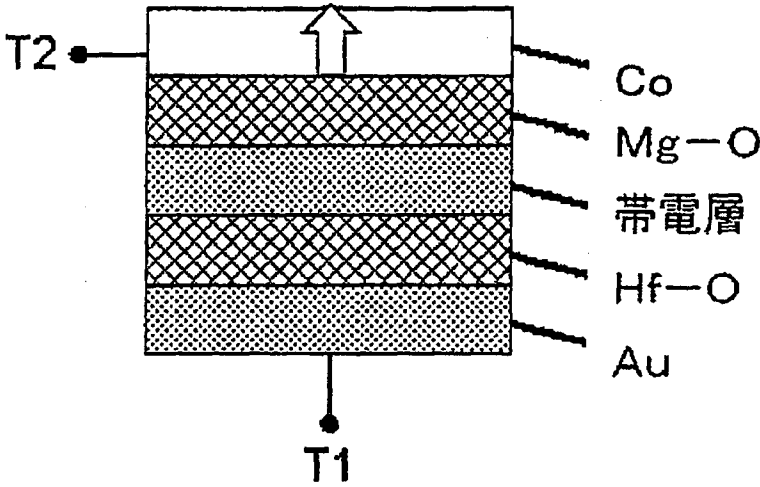


図 19

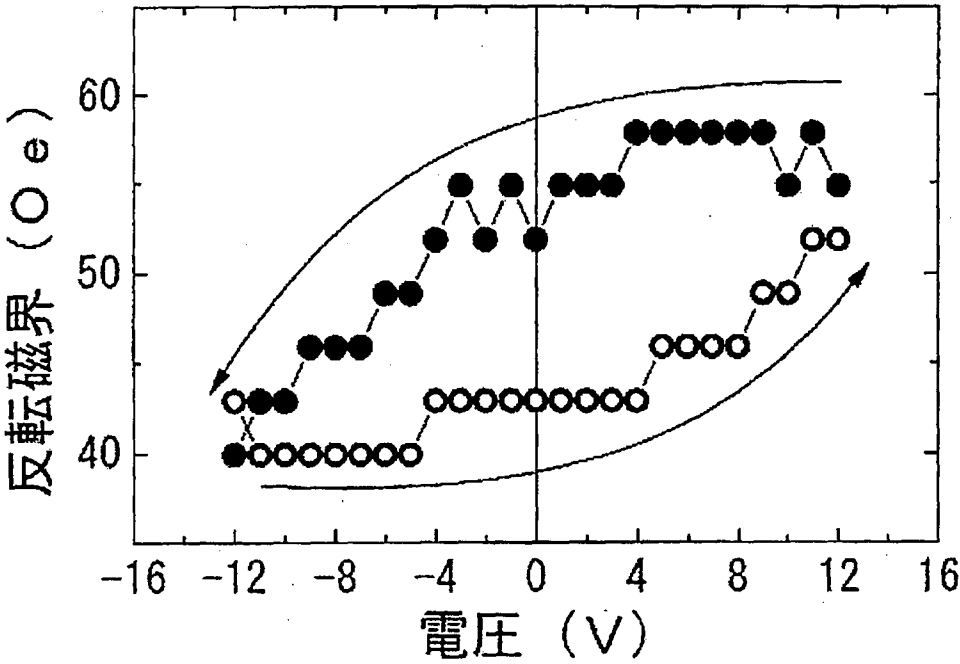


図 20

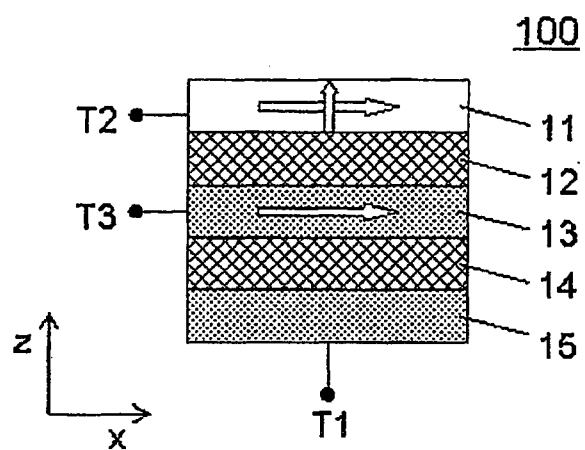


図 21

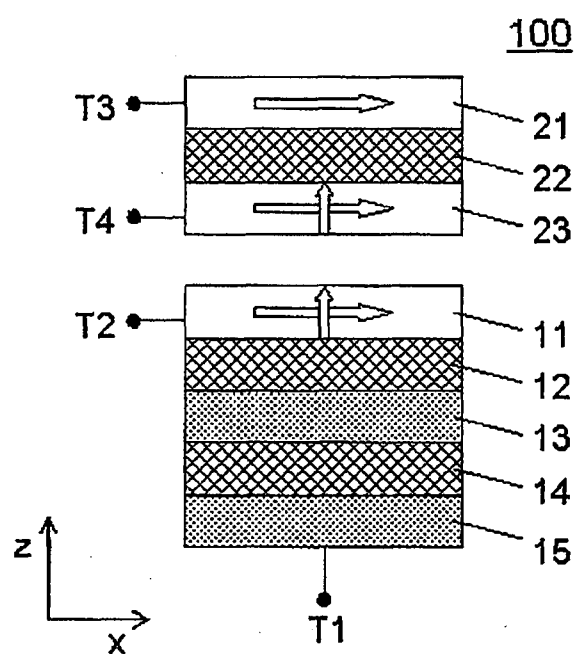


図 22

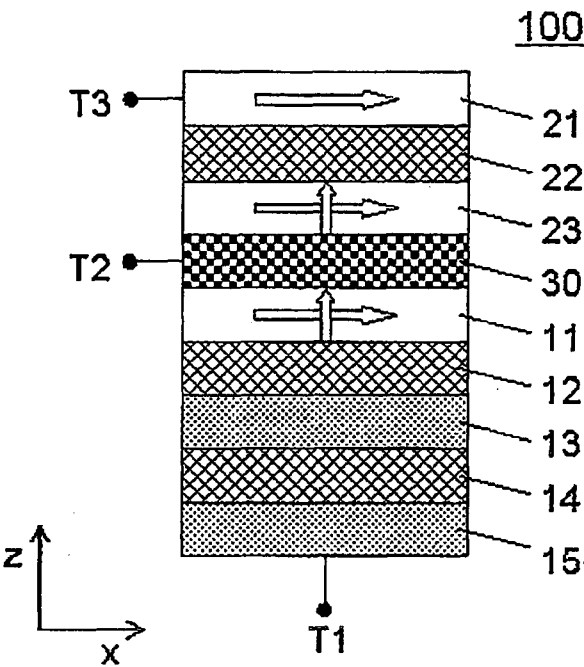


図 23

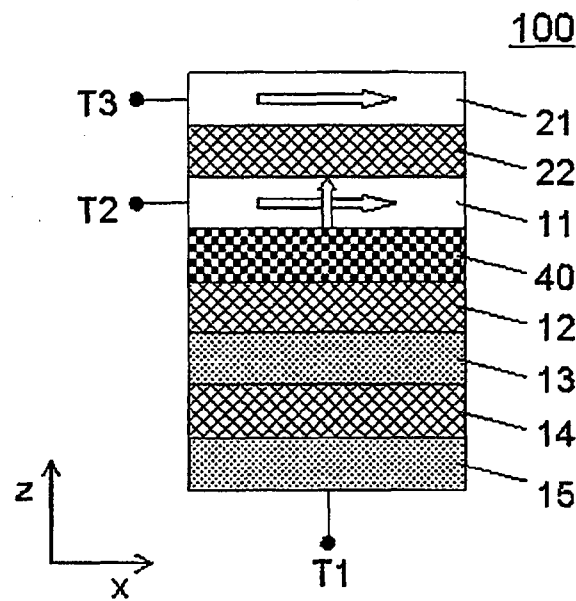


図 24

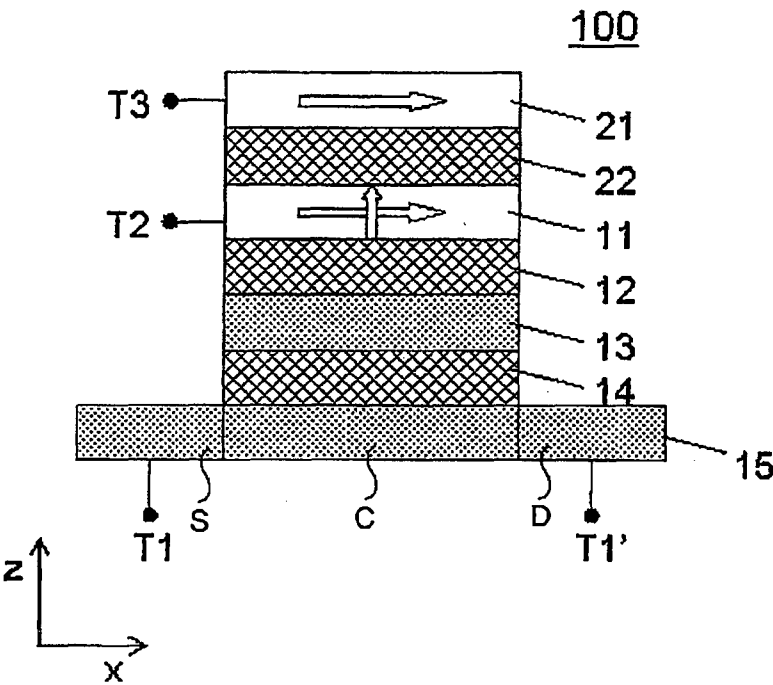


図 25

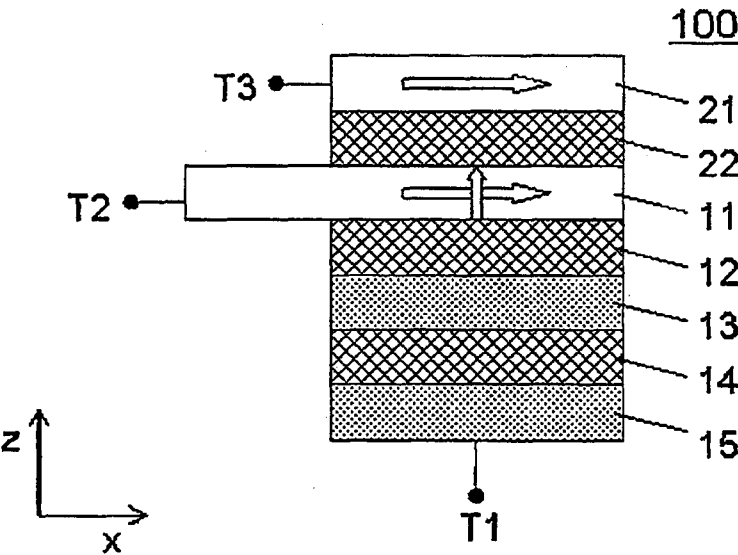


図 26

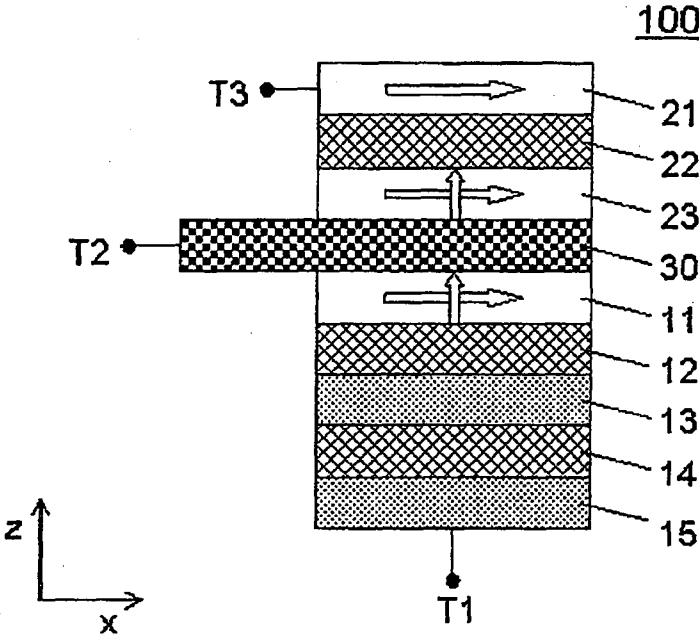


図 27

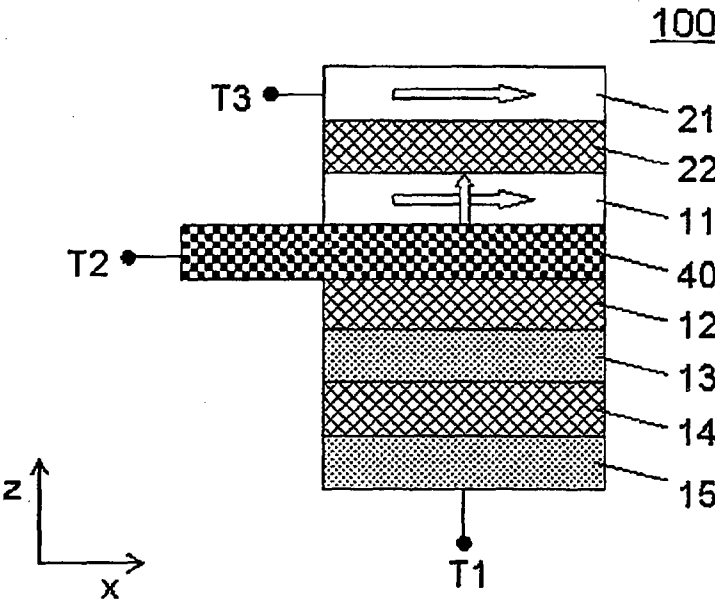


図 28

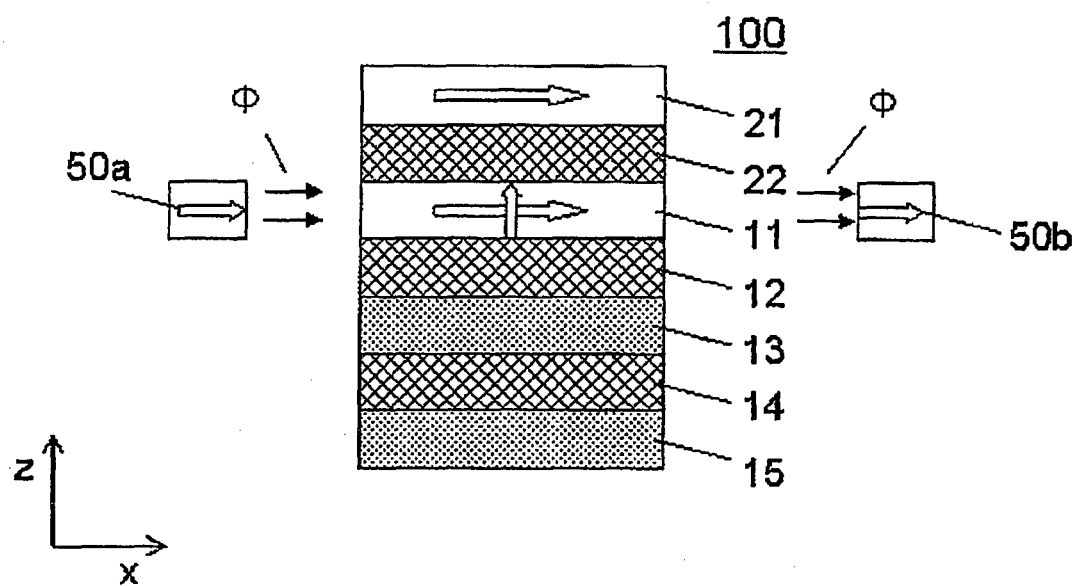


図 29

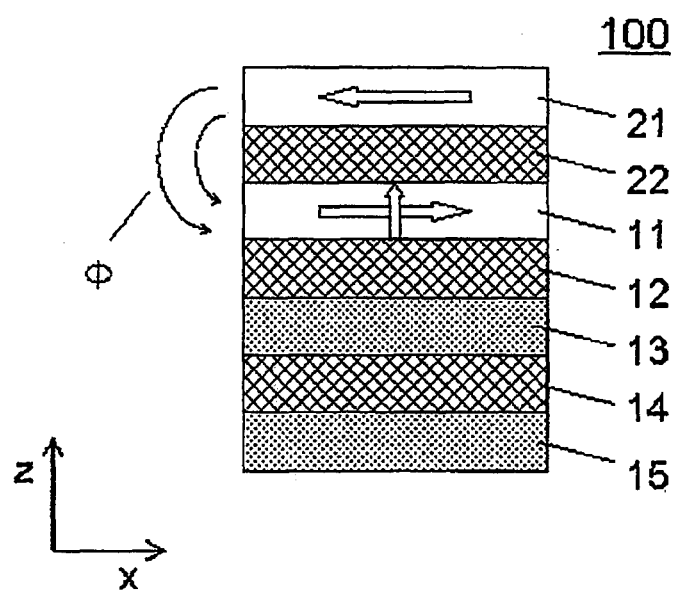


図 30

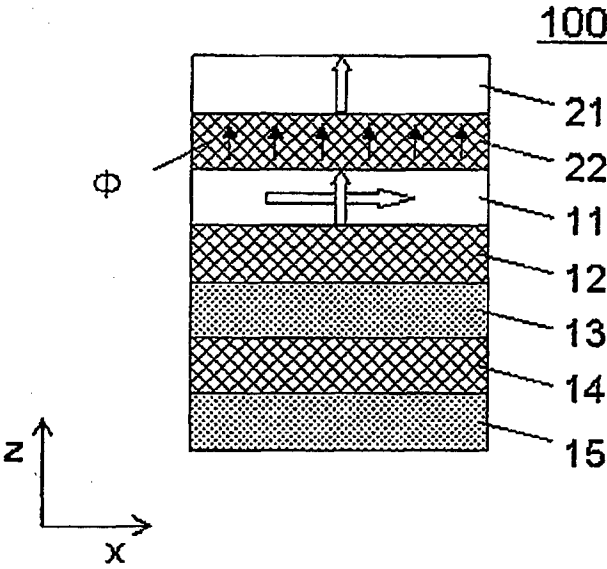


図 31

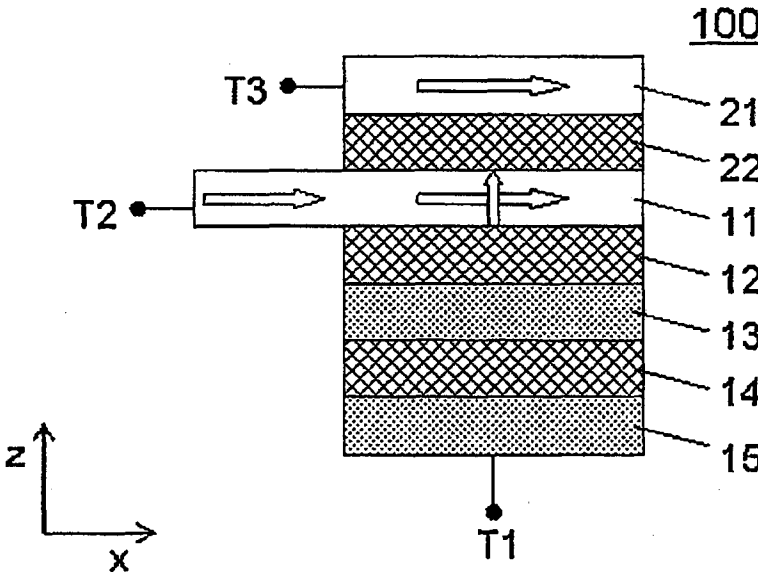


図 32

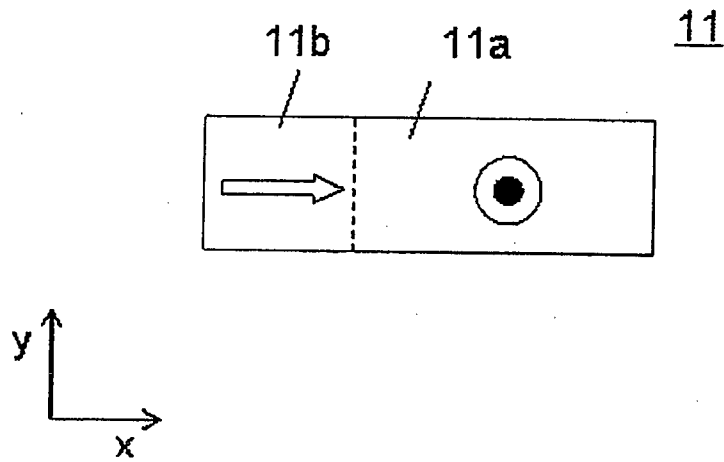


図 33A

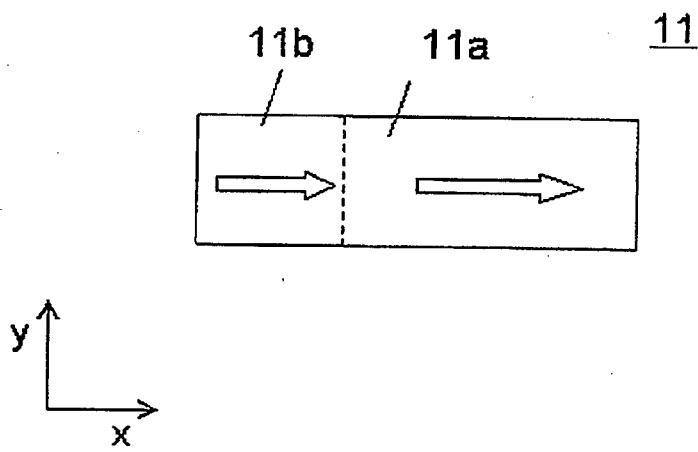


図 33B

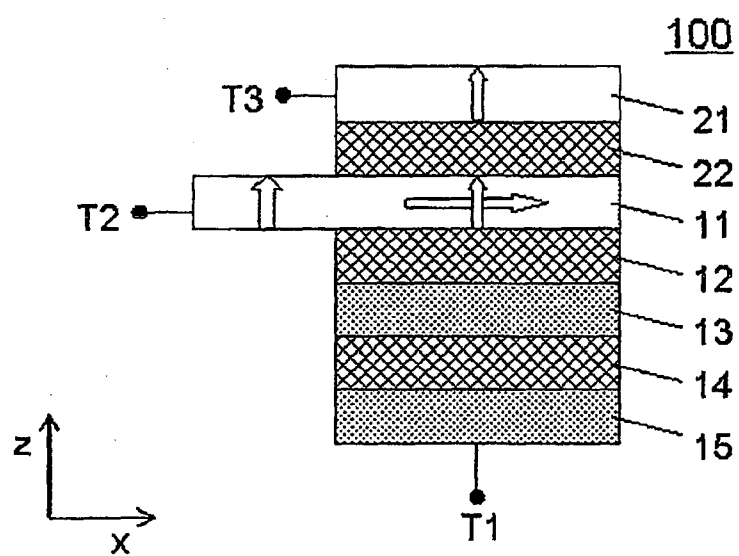


図 34

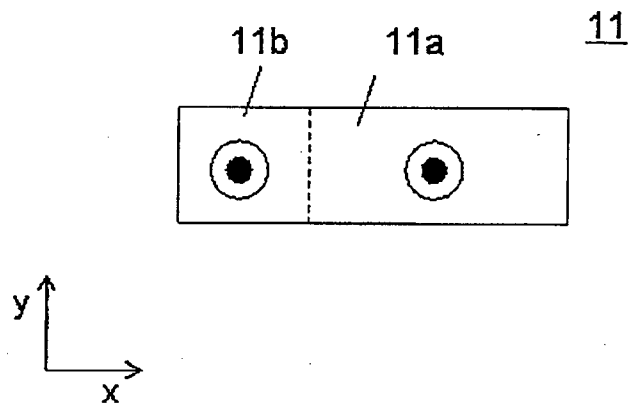


図 35A

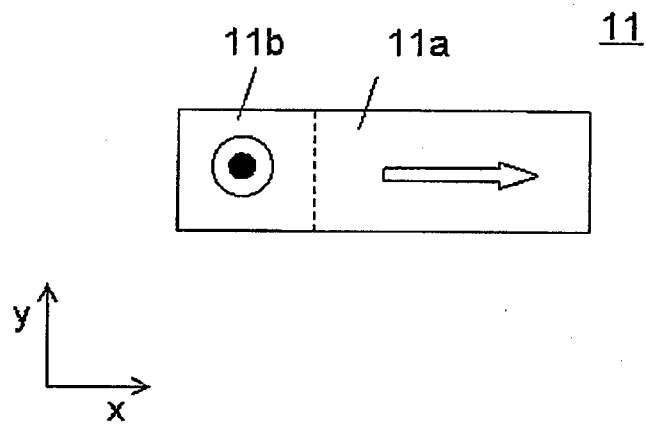


図 35B

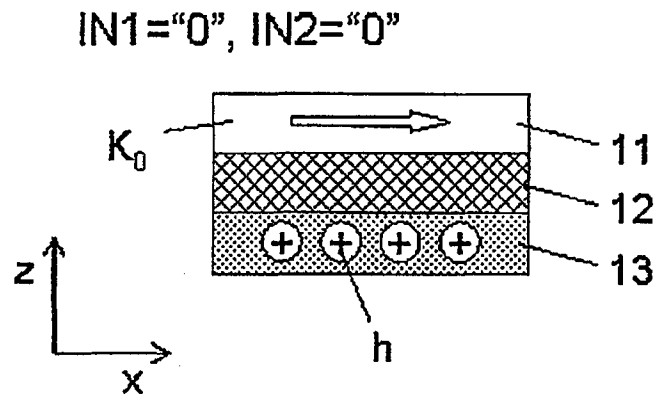


図 36A

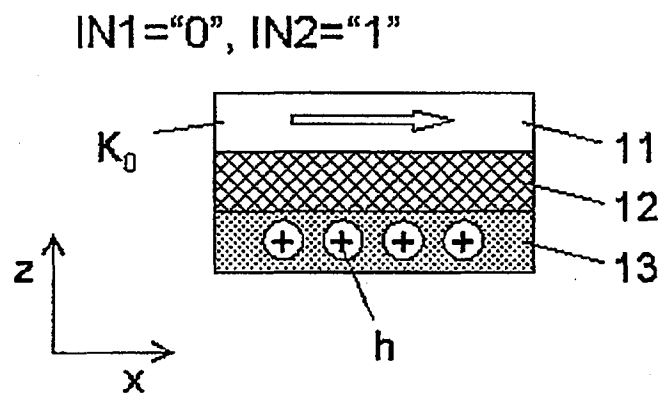


図 36B

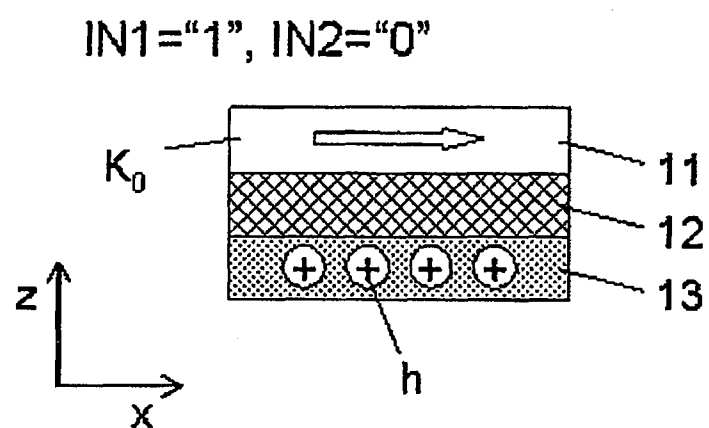


図 36C

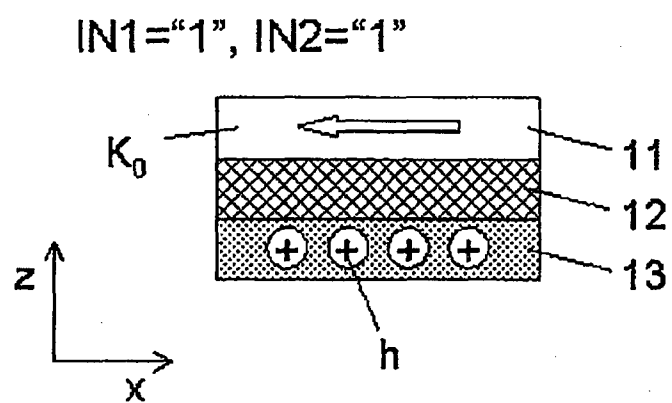


図 36D

IN1="0", IN2="0"

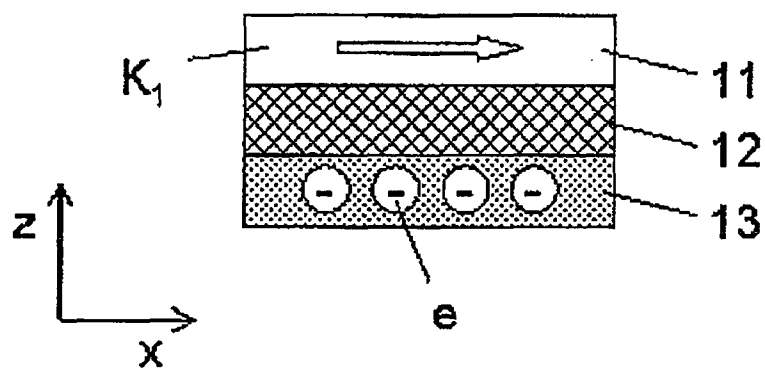


図 37A

IN1="0", IN2="1"

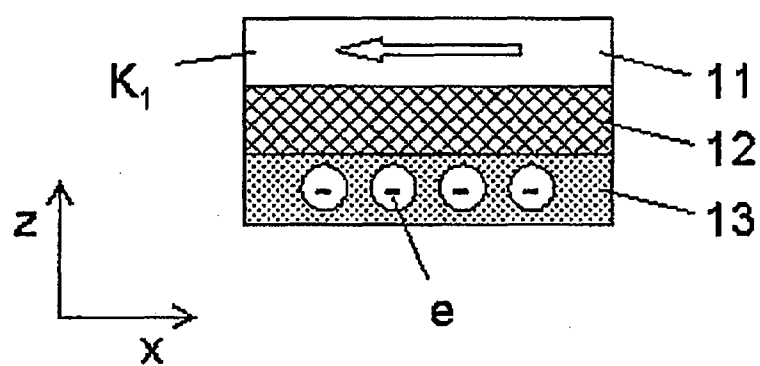


図 37B

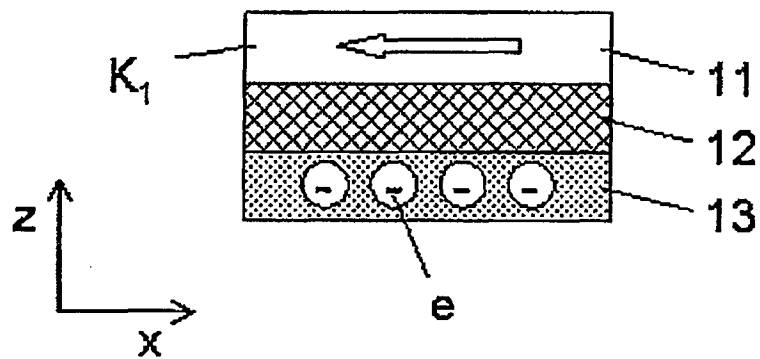
$IN1="1", IN2="0"$ 

図 37C

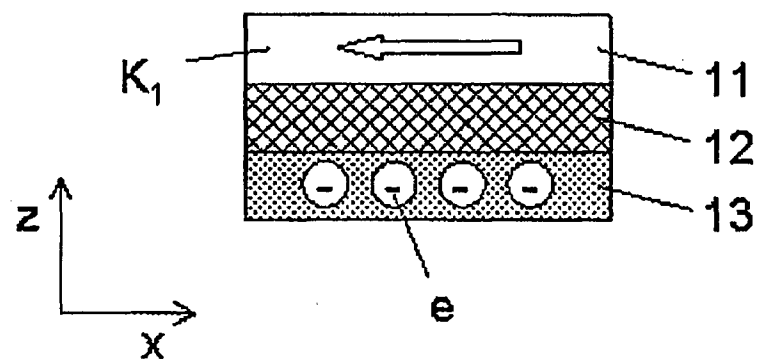
 $IN1="1", IN2="1"$ 

図 37D

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/065674

A. CLASSIFICATION OF SUBJECT MATTER

H01L43/08 (2006.01) i, H01L21/8246 (2006.01) i, H01L27/105 (2006.01) i,
H01L29/82 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L43/08, H01L21/8246, H01L27/105, H01L29/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

Scopus, IEEE Xplore, CiNii

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-286713 A (Osaka University), 19 October 2006 (19.10.2006), entire text; all drawings (Family: none)	1-16
A	JP 2003-7980 A (Sony Corp.), 10 January 2003 (10.01.2003), entire text; all drawings & US 2003/0012050 A1	1-16
A	JP 2011-124462 A (Fujitsu Ltd.), 23 June 2011 (23.06.2011), entire text; all drawings (Family: none)	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 August, 2012 (02.08.12)

Date of mailing of the international search report
14 August, 2012 (14.08.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/065674

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-179219 A (Matsushita Electric Industrial Co., Ltd.), 24 June 2004 (24.06.2004), entire text; all drawings (Family: none)	1-16
A	WO 2009/133650 A1 (Osaka University), 05 November 2009 (05.11.2009), entire text; all drawings & US 2011/0049659 A1	1-16
A	JP 2010-212342 A (Osaka University), 24 September 2010 (24.09.2010), entire text; all drawings (Family: none)	1-16
A	WO 2010/032574 A1 (Hitachi, Ltd.), 25 March 2010 (25.03.2010), entire text; all drawings & EP 2328194 A1 & KR 10-2011-0040917 A	1-16

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L43/08 (2006.01) i, H01L21/8246 (2006.01) i, H01L27/105 (2006.01) i, H01L29/82 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L43/08, H01L21/8246, H01L27/105, H01L29/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

Scopus, IEEE Xplore, CiNii

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-286713 A (国立大学法人大阪大学) 2006. 10. 19, 全文、全図 (ファミリーなし)	1-16
A	JP 2003-7980 A (ソニー株式会社) 2003. 01. 10, 全文、全図 & US 2003/0012050 A1	1-16
A	JP 2011-124462 A (富士通株式会社) 2011. 06. 23, 全文、全図 (ファミリーなし)	1-16

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 0 8 . 2 0 1 2

国際調査報告の発送日

1 4 . 0 8 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

橘 均憲

5 0

3 0 4 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-179219 A (松下電器産業株式会社) 2004.06.24, 全文、全図 (ファミリーなし)	1-16
A	WO 2009/133650 A1 (国立大学法人大阪大学) 2009.11.05, 全文、全図 & US 2011/0049659 A1	1-16
A	JP 2010-212342 A (国立大学法人大阪大学) 2010.09.24, 全文、全図 (ファミリーなし)	1-16
A	WO 2010/032574 A1 (株式会社日立製作所) 2010.03.25, 全文、全図 & EP 2328194 A1 & KR 10-2011-0040917 A	1-16