

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年6月17日(2010.6.17)

【公開番号】特開2008-21968(P2008-21968A)

【公開日】平成20年1月31日(2008.1.31)

【年通号数】公開・登録公報2008-004

【出願番号】特願2007-121187(P2007-121187)

【国際特許分類】

H 0 1 L 27/10 (2006.01)

H 0 1 L 27/105 (2006.01)

H 0 1 L 45/00 (2006.01)

H 0 1 L 49/00 (2006.01)

G 1 1 C 13/00 (2006.01)

【F I】

H 0 1 L 27/10 4 5 1

H 0 1 L 27/10 4 4 8

H 0 1 L 45/00 Z

H 0 1 L 49/00 Z

G 1 1 C 13/00 A

【手続補正書】

【提出日】平成22年4月27日(2010.4.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板の表面の付近にそれぞれ形成され、可変抵抗状態を保存する第 1 抵抗層及び第 2 抵抗層と、

前記第 1 抵抗層の下側の前記半導体基板の部分に形成され、前記第 1 抵抗層と連結された第 1 埋め込み電極と、

前記第 2 抵抗層の下側の前記半導体基板の部分に形成され、前記第 2 抵抗層と連結された第 2 埋め込み電極と、

前記半導体基板上に形成され、前記第 1 抵抗層及び第 2 抵抗層上を横切って延びるゲート電極と、

前記半導体基板と前記ゲート電極との間のゲート絶縁膜と、を備える不揮発性メモリ素子の動作方法であって、

前記第 1 埋め込み電極を第 1 ビットラインとして利用し、前記第 2 埋め込み電極を第 2 ビットラインとして利用し、前記ゲート電極をワードラインとして利用して、前記第 1 抵抗層及び第 2 抵抗層に 2 ビットのデータをプログラムするステップと、前記第 1 抵抗層及び第 2 抵抗層にプログラムされた 2 ビットのデータを読み取るステップと、を含むことを特徴とする不揮発性メモリ素子の動作方法。

【請求項 2】

前記 2 ビットのデータをプログラムするステップは、前記第 1 抵抗層及び第 2 抵抗層の抵抗をそれぞれ二つの状態に変化させて行うことを特徴とする請求項 1 に記載の不揮発性メモリ素子の動作方法。

**【請求項 3】**

前記プログラムするステップで前記第 1 抵抗層の抵抗変化は、

前記第 1 ビットラインにプログラム電圧を印加し、前記第 2 埋め込み電極と前記第 1 抵抗層とを連結する深いチャンネルが形成されるように、前記ワードラインにターンオン電圧を印加して行うことを特徴とする請求項 1 または 2 に記載の不揮発性メモリ素子の動作方法。

**【請求項 4】**

前記プログラムするステップで前記第 2 抵抗層の抵抗変化は、

前記第 2 ビットラインにプログラム電圧を印加し、前記第 1 埋め込み電極と前記第 2 抵抗層とを連結する深いチャンネルが形成されるように、前記ワードラインにターンオン電圧を印加して行うことを特徴とする請求項 1 から 3 の何れか一項 に記載の不揮発性メモリ素子の動作方法。

**【請求項 5】**

前記 2 ビットのデータを読み取るステップは、

前記埋め込み電極の一つと隣接した抵抗層の一つとを連結するように深いチャンネルを形成し、前記第 1 ビットラインと前記第 2 ビットラインとの間の両方向電流値を順次に測定するステップを含むことを特徴とする請求項 1 から 4 の何れか一項 に記載の不揮発性メモリ素子の動作方法。

**【請求項 6】**

前記 2 ビットのデータを読み取るステップは、

前記第 1 抵抗層と前記第 2 抵抗層とを連結するように浅いチャンネルを形成し、前記第 1 ビットラインと前記第 2 ビットラインとの間の少なくとも一方方向電流値を測定するステップを含むことを特徴とする請求項 1 から 4 の何れか一項 に記載の不揮発性メモリ素子の動作方法。

**【請求項 7】**

前記一方方向電流値を測定するステップは、少なくとも二つのレベルの読み取り電圧で繰り返されることを特徴とする請求項 6 に記載の不揮発性メモリ素子の動作方法。

**【請求項 8】**

前記第 1 抵抗層及び前記第 2 抵抗層に保存されたデータを同時に消去するステップをさらに含むことを特徴とする請求項 1 から 7 の何れか一項 に記載の不揮発性メモリ素子の動作方法。

**【請求項 9】**

前記データを同時に消去するステップは、

前記第 1 抵抗層と前記第 2 抵抗層とを連結するように浅いチャンネルを形成し、前記第 1 ビットラインと前記第 2 ビットラインとの間に消去電圧を印加するステップを含むことを特徴とする請求項 8 に記載の不揮発性メモリ素子の動作方法。

**【請求項 10】**

前記第 1 抵抗層及び第 2 抵抗層は、 $\text{Nb}_2\text{O}_5$ 、クロムがドーピングされた  $\text{SrTiO}_3$ 、 $\text{ZrO}_x$ 、 $\text{GST}(\text{GeSb}_x\text{Te}_y)$ 、 $\text{NiO}$ 、 $\text{ZnO}$ 、 $\text{TiO}_2$  及び  $\text{HfO}$  からなる群から選択された少なくとも一つをそれぞれ含むことを特徴とする請求項 1 から 9 の何れか一項 に記載の不揮発性メモリ素子の動作方法。