申請日期	84 年 6 月 26 日
案號	84106527
類別	G05B 11/28

公告本

A4 86.11.24
C4

（以上各欄由本局填註）

發明 新型 專利說明書（修正頁）

一、發明新型名稱	中文	變頻器之上下臂無效時間產生控制電路 463075
	英文	
二、發明創作人	姓名	(1) 三之石直幹 (2) 齊藤博 (3) 武智賢治
	國籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都小平市回田町一六五－三ライオンズヴィアーレ武蔵小金井弐番館二〇六 (2) 日本國東京都小金井市線町五－一八－三〇尚武寮 (3) 日本國東京都國分寺市日吉町三－二二－一日立國森ハウス三〇六
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立工程股份有限公司 日立エンジニアリング株式会社
	國籍	(1) 日本 (2) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國茨城縣日立市幸町三丁目二番一號
	代表人姓名	(1) 金井務 (2) 坂井彰

裝 訂 線

經濟部中央標準局員工消費合作社印製

463075

申請日期	84 年 6 月 26 日
案號	84106527
類別	

修正補充 本86年11月21日

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明新型名稱	中文	
	英文	
二、發明創作人	姓名	⑷ 梶原久志 ⑸ 山形浩誠 ⑹ 橋村浩一
	國籍	⑷ 日本 ⑸ 日本 ⑹ 日本
	住、居所	⑷ 日本國茨城縣那珂郡東海村村松四二七－一〇 ⑸ 日本國茨城縣日立市久慈町三－九－－－二〇三 ⑹ 日本國東京都小金井市線町五－一八－三〇尚武寮
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

723209

463075

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本　　1995 年　3 月 20 日　　07-085927　　☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

修正 本86年11月2日
補充

五、發明說明（1）

〔產業上之利用領域〕

本發明是關於變換器之上下臂無效時間產生控制電路，例如關於使用內藏馬達驅動用的計時器之微電腦、資料處理裝置、或是半導體積體電路並且利用其馬達驅動等的控制系統之有效技術。

〔先行技術〕

如昭和５９年１１月３０日歐姆公司出版的「LSI手冊」第５４０～５４１頁所記載，微電腦以中央處理裝置爲中心而爲了實行程式儲存用的ＲＯＭ（Read Only Memory）、資料儲存用的ＲＡＭ（Radom Access Memory）、及資料的輸入輸出之計時器等的輸入輸出電路等其機能組成被形成在１個半導體基板上。

會有將有關的微電腦用於馬達的驅動控制的情況，例如冷氣等的馬達控制、ＡＣ感應伺服馬達等，平成５年３月日立製作所發行「Ｈ８／３００３硬體操作」以所謂內藏實行適於變頻器馬達控制的ＰＷＭ（脈波調幅）輸出之計時器的單晶片微電腦作爲其例。變頻器馬達以３相的正弦波信號（Ｕ．Ｖ．Ｗ）作驅動。上述單晶片微電腦以比加諸的正弦波還高的周波數之搬送波形成近似的ＰＷＭ輸出而驅動上述馬達。

前述計時器以２個向上計數器及３個比較寄存器實行３相的ＰＷＭ輸出。以所謂１８０°通電方式，爲了防止波臂短路所以在上下波臂間必須設有無效時間，在輸送寄

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（2）

存器各別附加有緩衝寄存器，當記數器到達下限值時（谷值），或是到達上限值（峰值）時，就實行從緩衝器寄存器送往輸送寄存器的轉送。

〔發明所欲解決之課題〕

不過，在上述的「H8／3003硬體操作」所記載的計時器的相輔PWM形態，可以6相（3組）輸出具有互輔未重疊的關係之PWM輸出。不過

（1）當發生高於上限值或是低於下限值的數值時才得有0％及100％負載的脈波，不過時間計數器爲下限值時加諸上述數值就形成爲100％，計時計數器爲上限值時加諸如上述數值則形成爲0％。然則，用軟體判斷時間計數器的方向，而新比較值必須寫入至緩衝寄存器。因此輸出0％至100％中任意的負載脈波時，在途中會產生有必須變更資料設定時間之問題。另外0％、100％負載的脈波就會偏位半周期。其結果，在馬達驅動時會有無法產生最大轉矩的問題。

（2）禁止有0％－無效時間，100％－無效時間之間的設定，因而無法輸出任意負載的脈波。用軟體將該值避免掉但會造成對軟體的負擔過大。另外，因爲無法實現0％～100％的任意負載，所以產生有速度甚致於轉矩的脈動。（3）無法有峰值／谷值的改寫。所設定的時間無法比1週期短，因而會產生難於使精度提高的問題。

本發明的目的：（1）不會加諸軟體的負擔，而且可

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 3 ）

實行負載０％～１００％之輸出的相輔ＰＷＭ輸出、（２）配合０％與１００％的位相、（３）正相／逆相間的ＯＮ－ＯＦＦ、ＯＦＦ－ＯＮ的轉換時必須持有無效時間（無重疊時間）、（４）正相／逆相同時ＯＦＦ的期間使其低於無效時間的２倍、（５）負載以５０％爲中心時正相／逆相的負載爲對稱的，（６）比較寄存器的資料之改寫時間爲任意時間，（７）以資料轉送裝置使其容易的實行負載的改寫之內藏計時器的控制裝置及提供利用該控制裝置的控制系統。本發明的前述目的及其他目的與新特徵點，從本說明摘要的記述及附圖就可明白。

〔解決課題的手段〕

於本申請專利簡單的說明所被公示的本發明當中具代表性之概要，如以下所述。即是（１）設置持有相當於無效時間的時間差之２個向上計數器、及２個的向下計數器，這些計數器計數下限值與上限值（１／２周期＋無效時間）之間，使所計數相對較大值的向上計數器之上限值與所計數相對較大值的向下計數器之下限值爲一致，並且所計數相對較小值的向上計數器的上限值與所計數相對較小值的向下計數器器使其交織在相當於１／２周期的計數值，再者計數相對較大值的向上計數器與計數相對較大時的向下計數器使其交織在相當於無效時間的計數器，進而計數器相對較小值的向上計數器與計數相對較小值的向下計數器使其接近下限值因而實現上下對稱的計數。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 4 ）

（ 2 ）使第 1 比較寄存器（ T G R ）與第 2 比較寄存器（ B R ），與上述計數器成比較可能，上述計數器值爲無效時間以下的情況及相當於 1 ／ 2 周期的計數值以上的時候進行兩方的比較，當無效時間以上且相當於 1 ／ 2 周期的計數值以下的時候，只進行第 1 比較的比較。

（ 3 ）正相輸出爲 O F F 準位狀態下，比較寄存器一致於計數相對較小值的計數時，逆相輸出就成爲 O N 準位，比較寄存器一致於計數相對較大值的向下計數時，逆相輸出就成爲 O F F 準位；逆相輸出爲 O F F 準位的狀態下，比較寄存器一致於計數相對較大值的向下計數時正相輸出就成爲 O N 準位，比較寄存器一致於計數相對較大值的向上計數時，正相輸出就成爲 O F F 準位。

（ 4 ）中央處理裝置 C P U 寫入起初第 2 比較寄存器。從實行兩方的比較之區域遷移至只實行第一比較之領域時，以硬體將第 2 比較寄存器進行資料轉送至第 1 比較寄存器。進而從實行向上計數時的兩方比較之區域遷移至只進行第 1 比較之領域時，進行從第 2 比較寄存器送至第 1 比較寄存器之資料轉送，或是從進行向下計數器的兩方比較之區域遷移至只進行第 1 比較之區域時，使其選擇可能的進行從第 2 比較寄存器送至第 1 比較寄存器之資料轉送。

〔 作用 〕

依照上述過的手段，（ 1 ）以 5 0 % 輸出（ 1 ／ 2 周

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 5 ）

期＋１／４無效時間的計數值）爲中心，計數動作、比較動作形成爲對稱，而可以進行上下對稱的輸出。（２）在峰值・谷值的前後一定成一對的狀態發生ＯＮ－ＯＦＦ的輸出轉換、ＯＦＦ－ＯＮ的輸出轉換，因而可以隨時設定從下限值至上限值的任意值。（３）不限定０％輸出、１００％輸出的輸出設定，而可以配合０％輸出、１００％輸出的位相。（４）只有一方爲ＯＦＦ狀態時，由於進行送往他方的ＯＮ狀態的輸出轉換，因而一定可以確保無效時間。

〔實施例〕

在第１圖表示本發明所適用的單晶片的微電腦其實施例的方塊圖。同圖各電路方塊圖以眾所皆知的半導體積體電路之製造技術，被形成於單結晶矽的１個半導體基板上。

本實施例其單晶片的微電腦，以被收納有中央處理裝置ＣＰＵ、計時產生電路ＣＰＧ、資料傳輸控制器（資料轉送裝置）ＤＴＣ、介入控制器ＩＮＴ、程式等的ＲＯＭ（Ｒｅａｄ Ｏｎｌｙ Ｍｅｍｏｒｙ）、被用於一時記憶等的ＲＡＭ（Ｒａｎｄｏｎ Ａｃｃｅｓｓ Ｍｅｍｅｒｙ）、計數器Ａ及計數器Ｂ（ＩＴＵ）、串聯轉換介面ＳＣＩ、Ａ／Ｄ轉換器、以第１至第９所形成的輸入輸出通道ＩＯＰ１～ＩＯＰ９的各機能單元或是機能模組所構成。

所使用的機能單元或是機能模組，以內部匯流排被相

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 6 ）

互的連接。內部匯流排以含有位址匯流排、資料匯流排、其他讀取信號、寫入信控制匯流排所構成。控制匯流排包含匯流排尺寸信號（ＷＯＲＤ）或是系統單元即可。上述機能單元或是機能模組，介由內部匯流排而以中央處理裝置ＣＰＵ或是資料傳輸控制器ＤＴＣ讀取／寫入。沒有特別的限制，但內部匯流排的匯流排容量以１６位元所構成。

本實施例其單晶片的微電腦，被設有接地電位Ｖｓｓ、電源電壓、類比接電電位ＡＶｓｓ類比電源電壓ＡＶｃｃ作爲電源端子、及移位ＲＥＳ、待命ＳＴＢＹ、形態控制ＭＤ１與ＭＤ１、單元輸入ＥＸＴＡＬ與ＸＴＡＬ等。

各輸入輸出通道，與位址匯流排、資料匯流排、匯流排控制信號或是計時器、串聯轉換介面ＳＣＩ、Ａ／Ｄ轉換器的輸入輸出端子兼用。即是計數器、串聯轉換介面ＳＣＩ、Ａ／Ｄ轉換器，各別有輸入輸出信號，且介由與輸入輸出通道所兼用的端子與外部作輸入輸出。例如第５通道ＩＯＰ５與計時器Ａ的輸入輸出端子兼用；第６通道ＩＯＰ６和第７通道ＩＯＰ７與計時器Ｂ（ＩＴＵ）的輸入輸出端子兼用；第８通道ＩＯＰ８與串行轉換介面ＳＣＴ的輸入輸出端子兼用。類比資料的輸入端子與第９通ＩＯＰ９兼用。外部觸發信號與上述第５通道ＩＯＰ５兼用。

具有外部同步脈波輸入ＴＣＬＫＡ～ＴＣＬＫＤ作爲

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 7 ）

上述計時器B（ＩＴＵ）的輸入端子、及具有ＴＩＯＣ０Ａ～４Ａ、ＴＩＯＣ０Ｂ～４Ｂ、ＴＩＯＣＣ、３Ｃ、４Ｃ、ＴＩＯＣＤ、３Ｄ、４Ｄ爲輸入輸出端子或輸入接收／輸出傳輸兼用端子。其中ＴＩＯＣ３Ｂ、ＴＩＯＣ３Ｄ、ＴＩＯＣ４Ａ、ＴＩＯＣ４Ｃ、ＴＩＯＣ４Ｂ、ＴＩＯＣ４Ｄ作爲馬達控制用的６相輸出，該６相稱爲Ｕ相、Ｕ＃相、Ｖ相、Ｖ＃相、Ｗ相、Ｗ＃相。此處＃表示邏輯反轉。ＴＣＬＫＡ與ＴＣＬＫＢ、ＴＣＬＫＣ與ＴＣＬＫＤ可以各別輸入２相的同步脈波。

上述計數器Ａ及計數器Ｂ的傳輸匹配信號、過大信號、過小的信號加諸於Ａ／Ｄ轉換器作爲Ａ／Ｄ轉換開始觸發器。插入信號，由Ａ／Ｄ轉換器、計時器Ａ、計時器Ｂ及串聯轉換介面ＳＣＩ輸出信號，插入控制器ＩＮＴ接受這些輸出信號，而根據所定的寄存器等之指定，因此控制是否加諸插入要求信號至中央處理裝置、或是加諸起動要求信號至資料傳送控制器ＤＴＣ。以ＤＴＥ位元進行所要求的轉換。也就是ＤＴＥ位元在被設定爲１的狀態下產生有插入要因時，就會產生相對於資料傳送控制器ＤＴＣ的起動要求信號，並且進行該資料轉送時就自動的消除插入要求。然而ＤＴＥ位元在被消除爲０的狀態下產生有插入要因時，就會產生有對於中央處理裝置ＣＰＵ的起動信號，中央處理裝置ＣＰＵ實行所要的資料處理，並且消除表示插入要因的位元。

在以資料傳送控制器ＤＴＣ的資料轉送時，符合了所

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 8 ）

定的條件時，例如轉送計數器形成爲0時，在未消除表示插入要因的位元下，將對應的ＤＴＥ位元消除成0，而在中央處理裝置使其產生插入要求。至於各插入要因被分割爲獨立的ＤＴＥ位元與獨立的向量。

資料轉送裝置，除了上述的資料傳送控制器ＤＴＣ之外，使用直接記憶存取控制裝置亦可。上的資料傳送控制器ＤＴＣ的例，可以利用被記載於昭和６３年１２月日立製作所發行的「Ｈ８／５３２硬體操作」等的裝置。直接記憶存取擴制器裝置ＤＭＡＣ的例，則可利用被記載於平成5年3月日立製作所發行的「Ｈ８／３００３硬體操作」等的裝置。

這些的資料轉送裝置（ＤＴＣ／ＤＭＡＣ），如被記載於「８／３００３硬體操作」或是特願平４－１３７９５４，以1次的起動，轉送複數單位的資料，所謂可以作爲單位轉送形態。這些持有根源位址寄存器ＳＡＲ、未改本質位址寄存器ＤＡＲ、單元大小計數器ＴＣＲＨ，單元大小保存寄存器ＴＣＲＬ、單元轉送計數器ＢＴＣＲ，並且使其能實行以單元的資料轉送。

在第2圖及第3圖被表示爲有關本發明之計時器Ｂ（）ＩＴＵ）的一實施例之方塊圖。以第2圖及第3圖構成爲上述計時器Ｂ（ＩＴＵ），但爲了易於理解第2圖及第3圖的相互關係，而重複畫出波道2及波道3、4的一部分。

計時器Ｂ爲１６位元組成的集中計時組件（ＩＴＵ）

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 9）

該組件以16位元計時器所構成，具有以時間計數器TCNY0～4所形成的5個計數器，且以5波道所構成。波道0具有4個輸出傳輸寄存器／輸入接收寄存器0A～0D（TGR0A～TGR0D）。波道1具有2個輸出傳輸寄存器／輸入接收寄存器1A、1B（TGR1A、TGR1B）。以2相的外部同步脈波，可以實行向上向下計數，作爲所謂位相計數形態。波道2具有2個輸出傳輸寄存器／輸入接收寄存器2A、2B（TGR2A、TGR2B）。以2相的外部同步脈波，可以實行向上向下計數，作爲所謂位相計數形態。

波道3具有4個輸出傳輸寄存器／輸入接收寄存器3A～3D（TGR3A～TGR3D）。波道4具有4個輸出傳輸寄存器／輸入接收寄存器4A～4D（TGR4A～TGR4D）。組合上述波道3及波道4，因而可以實行所謂復位同期形態與相輔PWM形態。其他尙具有共通的寄存器TSTR、TSYR與相輔PWM形態形態用副寄存器TCNTS的他種寄存器。在上述波道0、3、4，輸出傳輸寄存器／輸入接收寄存器A及C、B及D使其可能作如後述的緩衝動作。

上述位相計數形態、復位同期形態、及緩衝動作，被記載於上述「H8／3003硬體操作」PP.307～415等。當相輔PWM形體之時，計數器TCNT3、4實行並列的向上／向下計數器。當計數器TCNT4爲向下計數到0時，就發生過小信號，計數器TCNT3爲

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 10）

向上計數而一致於收存在上述寄存器TGR3A的資料時，則發生傳輸匹配3A。另外，在此途中，當一致於被各別收納在上述寄存器TGR3B、TGR3D、TGR4A、TGR4B、TGR4C、TGR4D的資料時，則使其變化計時器輸出。計時器輸出（U、U#、V、V#、W、W#），具有各自正相／逆相的輸出。因此，可以實行相輔3相的PWM輸出。

本實施例計時器的特徵如下所述。各波道都可以選擇φφ／4、φ／16、φ／64、φ／246、φ／1024、φ／4096等8種類的計數器輸入同步脈波。各波道同時以傳輸匹配，可以選擇0輸出、1輸出、計數觸發輸出。可以作上昇邊端、下降邊端，兩邊端檢出的選擇，作爲輸入接收機能。以傳輸匹配或是輸入接收使其可能作消除計數器動作。使具有可以送至複數個時間計數器YCNT的同時寫入、以傳輸匹配／輸入接收的同時消除、以計數器的同步動作之各寄存器的同步輸入輸出作爲其同步動作。使具可能有任意負載的PWM輸出作爲PWM形態，並且由於與同步動作組合，而使其可能有最大8相的PWM出力。

波道0、3及4使其可能設定有緩衝器動作。也就是使其可能輸入接收寄存器的雙重緩衝器構成，並且使其可能有輸出傳輸寄存器的自動改寫。波道1及2爲各別獨立的位相計數形態，也就是使其可能有2相編碼脈波的向上向下計數。然後，以成爲波道1的上數／下數使其動作波

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 11）

道2的輸入同步脈波作爲32位元計數器。

波道3及4，將其組合作爲復位同步形態，因而可以輸出鋸齒波比較形體的6相PWM波形。將其組合作爲相輔PWM形態可以輸出持有三角波比較形體的無重疊之6相PWM波形。

〔表1〕

位元	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0

計時控制寄存器TCR爲8位元的寄存器，對應於各波道0～4而各別被設置，且被用於實行時間計數器TCNT的控制。TCR0、3、4的位元構成如上述表1，TCR1、2的位元構成如以下表2。

〔表2〕

位元	7	6	5	4	3	2	1	0
	----	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0

位元7、6、5（CCLR2～0）爲選擇計數器

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 12）

ＴＣＮＴ的計數器消除要因之控制位元，於波道０、３、４，若爲Ｂ´０００（Ｂ´爲２進位數）則禁止消除，若爲Ｂ´００１則在寄存器ＴＣＲＡ的傳輸匹配／輸入接收消除ＴＣＮＴ，若爲Ｂ´０１０則在寄存器ＴＧＲＢ的傳輸匹配／輸入接收消除ＴＣＮＴ，若爲Ｂ´０１１則作同步消除／同步動的其他波道之寄存器消除ＴＣＮＴ，若爲若爲Ｂ´１００則在寄存器ＴＧＲＣ的傳輸匹配／輸入接收消除ＴＣＮＴ，若爲Ｂ´１０１則在寄存器ＴＧＲＤ的傳輸匹配／輸入接收消除ＴＣＮＴ，Ｂ´１１０及１１１作爲預約用（禁止設定）。

在波道１及２，位元７未使用，當讀出時就輸出１。於波道１及２，若爲Ｂ´００則禁止消除，若爲Ｂ´０１則在寄存器ＴＧＲＡ的傳輸匹配／輸入接收消除ＴＣＮＴ，若爲Ｂ´１０則在寄存器ＴＧＲＢ的傳輸匹配／輸入接收消除ＴＣＮＴ，若爲Ｂ´１１則以成爲同步消除／，同步動作的其他的波道之計數器消除ＴＣＮＴ。

位元４、３（ＣＫＥＧ１，０）爲選擇輸入同步脈衝的邊端之控制位元，在以內部同步脈衝的φ計數時，該設定成爲無效。若爲Ｂ´００（初期值）則在上昇邊端計數，若爲Ｂ´０１則在下降邊端計數，若爲Ｂ´１－則在兩邊端計數。此處－意味著可以爲０亦可以爲１。

位元２、１、０（ＴＰＳＣ２～０）爲選擇計數的同步脈波的控制位元，於波道０，若爲Ｂ´０００則選擇內部同步脈波φ，若爲Ｂ´００１則選擇內部同步衝波

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 13）

φ／4，若爲B´0100則選擇內部同步脈波φ／16，若爲B´0110則選擇內部同步脈波φ／256，若爲B´1000則選擇外部同步脈波A（TCLKA端子），若爲B´1010則選擇外部同步脈波B（TCLKB端子），若爲B´1100則選擇外部同步脈波C（TCLKC端子），若爲B´1110則選擇外部同步脈波D（TCLKD端子）。

於波道1，若爲B´0000則選擇內部同步脈波φ，若爲B´0010則選擇內部同步脈波φ／4，若爲B´0100則選擇內部同步脈波φ／16，若爲B´0110則選擇內部同步脈波φ／64，若爲B´1000則選擇內部同步脈波φ／256，若爲B´1010則選擇波道2的TCNT之上流／下流，若爲B´1100則選擇外部同步脈波A（TCLKA端子），若爲B´1110則選擇外部同步脈波B（TCLKB端子）。不過，在波道1爲位相計數形態之時，這些的設定形爲無效。

於波道2，若爲B´0000則選擇內部同步脈波φ，若爲B´0010則選擇內部同步脈波φ／4，若爲B´0100則選擇內部同步脈波φ／16，若爲B´0110則選擇內部同步脈波φ／64，若爲B´1000則選擇內部同步脈波φ／1024，若爲B´1010則選擇外部同步脈波A（TCLKA端子），B´1100則選擇外部同步脈波B（TCLKB端子

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 14）

），Ｂ´１１１則選擇外部同步脈波Ｃ（ＴＣＬＫＣ端子）。不過，在波道２爲位相計數形態之時，這些的設定形成爲無效。

於波道３及４，若爲Ｂ´０００則選擇內部同步脈波φ，若爲Ｂ´００１則選擇內部同步脈波φ／４，若爲Ｂ´０１０則選擇內部同步脈波φ／１６，若爲Ｂ´０１１則選擇內部同步脈波φ／６４，若爲Ｂ´１００則選擇內部同步脈波φ／２５６，若爲Ｂ´１００則選擇內部同步脈波φ／１０２４，若爲Ｂ´１１０１則選擇外部同步脈波Ａ（ＴＣＬＫＡ端子），Ｂ´１１１則選擇外部同步脈波Ｂ（ＴＣＬＫＢ端子）。

計時形態寄存器ＴＭＤＲ爲８位元的讀取／寫入可能的寄存器，且實行各波道的動作形態之設定。該位元構成如表３所示。其中７、６位元未使用（預約位元），讀取時１就被輸出，寫入之時則使其寫入１。

〔表３〕

位元	7	6	5	4	3	2	1	0
	----	----	BFB	BFA	MD3	MD2	MD1	MD0

位元５（ＢＦＢ）設定是否使其通常動作寄存器

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 15）

ＴＧＲＢ及是否組合ＴＧＲＢ與ＴＧＲＤ而成緩衝器動作。在未持有ＴＧＲＤ的波道該位元形成爲未使用。位元４（ＢＦＡ）設定是否使其通常動作寄存器ＴＧＲＡ及是否組合ＴＧＲＡ與ＴＧＲＣ而成爲緩衝器動作。在未持有ＴＧＲＣ的波道該位元形成爲未使用。

位元３～０（ＭＤ３～０）爲設定計時器的動作形態之控制位元。在波道０、３、４不能作位相計數形態的設定。在波道０、１、２、４不能作復位同步ＰＷＭ形態、相輔ＰＷＭ形態的設定。在位元３使其經常寫入０將波道３設定於復位同步ＰＷＭ形態或是相輔ＰＷＭ形態時，波道４的設定變成無效，使其依照上述波道３的設定。

若爲Ｂ＇０００００則爲通常動作，Ｂ＇００００１成爲預約（禁止設定），若爲００１０則爲ＰＷＭ形態１，若爲００１１則爲ＰＷＭ形態２，若爲Ｂ＇０１００則爲位相計數形態１，若爲０１０１則爲位相計數形態２，若爲Ｂ＇０１１０則爲位相計數形態３，若爲０１１１則爲位相計數形態４，若爲Ｂ＇１０００則爲復位同步ＰＷＭ形態，Ｂ＇１００１、Ｂ＇１０１０、Ｂ＇１０１１、Ｂ＇１１００爲預約（禁止設定），若爲１１０１則爲相輔ＰＷＭ形態（在峰值轉送），若爲Ｂ＇１１１０則爲相輔ＰＷＭ形態（在谷值轉送），若爲Ｂ＇１１１則爲相輔ＰＷＭ形態（在峰值・谷值轉送）。

計時器Ｉ／Ｏ控制寄存器ＴＩＯＲ爲８位元的寄存器，在各波道控制各波道的寄存器ＴＧＲ的機能。在波道０

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 16）

、3、4設置各2個（TIOR0H，L、TIOR3H，L、TIOR4H，，L）及在波道1與2設置各1個（TIOR1，TIOR2），合計爲8個。該位元的構成如表4所示。

〔表4〕

位元7	6	5	4	3	2	1	0
IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0

於波道0，TIOR0H爲TIOR0A與B的機能控制，TIOR0L爲被用於TGR3A與3B的機能控制。於波道3，TIOR3H爲TIOR3A與3B的機能控制，TIOR3L爲被用於TIOR3L爲被用於TIOR3C與3D的機能控制。於波道4，TIOR4H爲TIOR4A與4B的機能控制，TIOR4L爲被用於TIOR4C與4D的機能控制。於波道1，TIOR1爲被用於TGR1A與1B的機能控制。於通道2，TIOR2爲被用於TGR2A與2B的機能控制。在波道0、3、4的TGRC或是TGRD設定於緩衝器形態時，不拘限於動作TIOR的設定作爲緩衝寄存器。

寄存器TIORnH爲實行TIORnA與nB（n

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 17）

爲０、３、４）的機能控制，ＴＩＯＲｎＬ爲實行ＴＧＲｎＣ與ｎＤ（ｎ爲０、３、４）的機能控制。位元７～４（ｉｏｂ３～０）爲設定寄存器ＴＧＲＢ與ＴＧＲＤ的機能控制。在Ｂ´０００００～０１１１之時ＴＧＲＢ與ＴＧＲＤ被作爲輸出傳輸寄存器使用，若爲Ｂ´００００則禁止輸出（初期值），若爲Ｂ´０００１初期輸出以０則在傳輸匹配輸出０，若爲Ｂ´００１０初期輸出以０則在傳輸匹配輸出１，若爲００１１初期輸出以０則在傳輸匹配作計數觸發器輸出。若爲Ｂ´０１００則禁止輸出（初期值），若爲Ｂ´０１０１初期輸出以１則在傳輸匹配輸出０，若爲Ｂ´０１１０初期輸出以１則在傳輸匹配輸出１，若爲Ｂ´０１１１初期輸出以１則在傳輸匹配作計數觸發器輸出。

在Ｂ´１０００～１１１１之時ＴＧＲＢ與ＴＧＲＤ被作爲輸入接收寄存器使用，若爲Ｂ´１０００接收輸入源以端子（ＴＩＯＣｎＢ、ＴＩＯＣｎＤ）在上昇邊端作輸入接收，若爲Ｂ´１００１接收輸入源以端在下降邊端作輸出接收，若爲Ｂ´１０１０與Ｂ´１０１１接收輸入源以端子在兩邊緣作輸入接收。若爲Ｂ´１１００接收輸入源在被供給至通道１之外部同步脈波的上昇邊端作輸入接收，若爲１１０１接收輸入源在波道１／外部同步脈波的下降邊端作輸入接收，若爲Ｂ´１１１０與Ｂ´１１１接收輸入源在供給至波道１之外部同步脈波的兩邊端作輸入接收。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 18）

位元3～0（IOA3～0）爲設定寄存器TGRA與TGRC的機能控制。在B´0000～0111之時TGRA被作爲輸出傳輸寄存器使用，若爲B´0000則禁止輸出（初期值），若爲B´0001初期值以0則在傳輸匹配輸出0，若爲0010初期輸出以0則在傳輸匹配輸出1，若爲B´0011初期輸出以0則在傳輸匹配作計數觸發器輸出。若爲0100則禁止輸出（初期值），若爲B´0101初期輸出以1在傳輸匹配輸出0，若爲B´0110初期輸出以1則在傳輸匹配輸出1，若爲B´0111初期輸出以1則在傳輸匹配計數觸發器輸出。

在B´1000～1111之時TGRA與TGRC被作爲輸入接收寄存器使用，若爲B´1000接收輸入源在被供給至端子之同步脈波的上昇邊端作輸入接收，若爲B´1001接收輸入源在被供給至端子之同步脈波的下降邊端作輸入接收，若爲B´1010與B´1011接收輸入源在被供給至端子之同步脈波的兩邊端作輸入接收。若爲B´1100接收輸入源在被供給至波道1之外部同步脈波的上昇邊端作輸入接收，若爲B´1101接收輸入源在被供給至波道1之外部同步脈波的下降邊端作輸入接收，若爲B´1110與B´111接收輸入源在被供給至波道1之外部同步脈波之兩邊端作輸入接收。

寄存器TIOR1（TIOR2）爲實行TGR1B（TGR2B）的機能控制。位元7－4（IOB3～0

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 19）

）爲設定寄存器ＴＧＲ１Ｂ（ＴＧＲ２Ｂ）的機能控制。在Ｂ´００００～００１１之時ＴＧＲ１Ｂ（ＴＧＲ２Ｂ）被作爲輸出傳輸寄存器使用，若爲Ｂ´００００則禁止輸出（初期值），若爲Ｂ´０００１初期輸出以０則在傳輸匹配輸出０，若爲Ｂ´００１０初期輸出以０則在傳輸匹配輸出１，若爲Ｂ´００１１初期輸出以０則在傳輸匹配作計數觸發輸出。若爲Ｂ´０１００則禁止輸出（初期值），若爲０１０１初期輸出以１則在傳輸匹配輸出０，若爲Ｂ´０１１０初期輸出以１則在傳輸匹配輸出１，若爲Ｂ´０１１１初期輸出以１則在傳輸匹配作計數觸發輸出。

在Ｂ´１０００～１１１之時ＴＧＲ１Ｂ（ＴＧＲ２Ｂ）被作爲輸入接收寄存器使用，若爲Ｂ´１０００接收輸入源在被供給至端子之同步脈波的上昇邊端作輸入接收，若爲Ｂ´１００１接收輸入源在被供給至端子之同步脈波的上昇邊端作輸入接收，若爲Ｂ´１０１０與Ｂ´１０１１接收輸入源在被供給至端子之同步脈波的兩邊端作輸入接收。若爲Ｂ´１１００接收輸入源在被供給至波道１之外部同步脈波的上昇邊端作輸入接收，若爲Ｂ´１１０１接收輸入源在被供給至波道１之外部同步脈波的下降邊端作輸入接收，若爲Ｂ´１１１０與Ｂ´１１１１接收輸入源在被供給至波道１之外部同步脈波的兩邊端作輸入接收。

位元３～０（ＩＯＡ３～０）爲設定寄存器ＴＧＲ１

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 20）

A（TGR2A）的機能控制。在B´0000～0111之時TGR1A（TGR2A）被作爲輸出傳輸寄存器使用，若爲0000則禁止輸出（初期值），若爲0001初期輸出以0則在傳輸匹配輸出0，若爲B´0010初期輸出以0則在傳輸匹配輸出1，若爲B´0011初期輸出以0則在傳輸匹配作計數觸發器輸出。若爲0100則禁止輸出（初期值），若爲0101初期輸出以1則在傳輸匹配輸出0，若爲B´0110初期輸出以1則在傳輸匹配輸出1，若爲0111初期輸出以1則在傳輸匹配作計數觸發器輸出。

在B´1000～1111之時TGR1A（TGR2A）被作爲輸入接數寄存器使用，若爲B´1000接收輸入源在被供給至端子之同步脈波的上昇邊端作輸入接收，若爲B´1001接收輸入源在被供給至端子之同步脈波的下降邊端作輸入接收，若爲B´1010與B´1011接收輸入源在被供給至端子之同步脈波的兩邊端作輸入接收。若爲B´1100接收輸入源在被供給至波道1之外部同步脈波的上昇邊端作輸入接收，若爲1101接收輸入源在被供給至波道1之外部同步脈波的下降邊端作輸入接收，若爲B´1110與B´111接收輸入源在被供給至波道1之外部同步脈波的兩邊端作輸入接收。

計時中斷可能寄存器TIER爲8位元的寄存器，控制上流插入要求，通用寄存器（TGR）的傳輸匹配／輸

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 21）

入接收插入要求及A／D轉換開始要求信號之發生的許可／禁止。在各波道0～4各被設置爲1個合計5個的寄存器TIER0～4。於表5表示TIER0、3、4的位元構成，於表6表示TIER1、2的位元構成。

＜表5＞

位元	7	6	5	4	3	2	1	0
	TTGB	---	---	TCIEV	TGIED	TGIEC	TGIEB	TGIEA

〔表6〕

位元	7	6	5	4	3	2	1	0
	TTEG	---	TCIEU	TCIEV	---	---	TGIEB	TGIEA

位元7（TTGE）以寄存器TGRA輸入接收／傳輸匹配（波道4爲計數器的上流／下流），若爲0則禁止A／D轉換開始要求的發生，若爲1則許可A／D轉換開始要求的發生0位元6未使用，當讀出時輸出1。

位元5（TCIEU）爲下流中斷可能，在波道1、2計數狀態寄存器TSR的下流標記（TCFU）被設置爲1時，以所加諸的TCFU的插入要求若爲0則禁止，

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 22）

若爲 1 則許可。

位元 4（ＴＣＩＥＶ）爲下流中斷可能，在波道 1、2 當計時狀態ＴＳＲ的上流標記（ＴＣＦＶ）被設定爲 1 時，以所加諸的插入要求若爲 0 則禁止，若爲 1 則許可。

位元 3（ＴＣＩＥＯ）爲ＴＧＲ中斷可能Ｄ，於波道 0、3、4 當計時狀態寄存器ＴＳＲ的ＴＧＦＤ被設定爲 1 時，以所加諸的ＴＧＦＤ位元插入要求若爲 0 則禁止，若爲 1 則許可。波道 1、2 未被使用，讀出時輸出 1。

位元 1（ＴＧＲＢ）爲ＴＧＲ中斷可能Ｂ，於波道 0～4 當計時狀態寄存器ＴＳＲ被設定爲 1 時，以所加諸的ＴＧＦＤ位元插入要求若爲 0 則禁止，若爲 1 則許可。

位元 0（ＴＧＩＥＡ）爲ＴＧＲ中斷可能Ｂ，於波道 0～4 當計時狀態寄存器ＴＳＲ被ＴＧＦＡ被設定爲 1 時，以所加諸的ＴＧＦＡ位元的插入要求若爲 0 則禁止，若爲 1 則許可。

計時狀態寄存器ＴＳＲ爲 8 位元的寄存器，在各波道被設置各 1 個合計 5 個的寄存器ＴＳＲ 0～4。在表 7 表示ＴＳＲ 0 的位元構成，在表 8 表示ＴＳＲ 1、2 的位元構成，在表 9 表示ＴＳＲ 3、4 的位元構成。

（請先閱讀背面之注意事項再填寫本頁）
訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 23)

〔 表 7 〕

位元 7	6	5	4	3	2	1	0
---	---	---	TCFV	TGFD	TGFC	TGFB	TGFA

〔 表 8 〕

位元 7	6	5	4	3	2	1	0
TCFD	---	TCFU	TCFV	---	---	TGFB	TGFA

〔 表 9 〕

位元 7	6	5	4	3	2	1	0
TCFD	---	---	TCFV	TGFD	TGFC	TGFB	TGFA

位元 7 （ T C F D ）爲計數方向標記，表示波道 1 ～ 4 的 T C N T 的計數方向之狀態標記。波道 0 未使用，讀出時輸出 1 。T C F D 若爲 0 則表示向下計數，若爲 1 則表示向上計數。位元 6 於波道 0 ～ 4 爲未使用，讀出時輸出 1 。

位元 5 （ T C F U ）爲下流標記，表示波道 1 、 2 的

（請先閱讀背面之注意事項再填寫本頁）
訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 24）

ＴＣＮＴ之下流的發生。波道０、３、４未被使用。因此讀出時如上述同樣輸出１。所加諸的標記ＴＣＦＵ的消除條件，在ＴＣＦＵ＝１的狀態讀出ＴＣＦＵ後將０寫入至ＴＣＦＵ。以１的設定條件，使ＴＣＮＴ的值成爲下溢（Ｂ´００００→Ｂ´ＦＦＦＦ）時。

位元４（ＴＣＦＵ）表示ＴＣＮＴ之上流標記的發生之狀態標記，消除條件，在ＴＣＦＵ＝１的狀態讀出ＴＣＦＶ後將０寫入至ＴＣＦＶ時，以１的設定條件，使ＴＣＮＴ的值成爲上流（Ｂ´ＦＦＦＦ→Ｂ´００００）時。

位元３（ＴＧＦＤ）爲輸入接收／輸出傳輸標記Ｄ，表示波道。０、３、４之ＴＧＲＤ的輸入接收或是傳輸匹配的發生之狀態標記。波道１、２未使用，讀出時輸出１。０的消除條件，在ＴＧＦＤ＝１的狀態讀出ＴＧＦＤ後將０寫入至ＴＧＦＤ時。被設定１的條件，（１）ＴＧＲＤ作爲輸出傳輸寄存器機能的情況，形成ＴＣＮＴ＝ＴＧＲＤ時，（２）ＴＧＲＤ作爲輸入接收寄存器機能的情況，ＴＣＮＴ的值以輸入接收信號轉送至ＴＧＲＤ時。

位元２（ＴＧＦＣ）爲輸入接收／輸出傳輸標記，表示波道。０、３、４之ＴＧＲＣ的輸入接收或是傳輸匹配的發生之狀態標記。波道１、２未使用，讀出時輸出１。０的消除條件，在ＴＧＦＣ＝１的狀態讀出ＴＧＦＣ後將０寫入至ＴＧＦＣ時。被設定１的條件，（１）

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 25）

ＴＧＲＤ作爲輸出傳輸寄存器機能的情況，形成ＴＣＮＴ＝ＴＧＲＣ時，（２）ＴＧＲＣ作爲輸出接收寄存器機能的情況，ＴＣＮＴ的值以輸入接收信號轉送至ＴＧＲＣ時。

位元１（ＴＧＦＢ）爲輸入接收／輸出傳輸標記Ｃ，表示波道。０～４之ＴＧＲＢ之輸入接收或是傳輸匹配的發生之狀態標記。０的消除條件在ＴＧＦＢ＝１的狀態讀出ＴＧＦＢ後將０寫入至ＴＧＦＢ時。被設定爲１的條件，（１）ＴＧＲＢ作爲輸出傳輸機能的情況，形成ＴＣＮＴ＝ＴＧＲＢ時，（２）ＴＧＲＢ作爲輸入接收機能的情況，ＴＣＮＴ的值以輸入接收信號轉送至ＴＧＲＢ時。

位元０（ＴＧＦＡ）爲輸入接收／輸出傳輸標記Ｃ，表示波道０～４的ＴＧＲＡ之輸入接收或是傳輸匹配的發生之狀態標記。０的消除條件爲在ＴＧＦＡ＝１的狀態讀出ＴＧＦＢ後將０寫入至ＴＧＦＢ時。被設定爲１的條件，（１）ＴＧＲＢ作爲輸出傳輸寄存器機能的情況，形成ＴＣＮＴ＝ＴＧＲＡ時，（２）ＴＧＲＡ作爲輸入接收機能的情況，ＴＣＮＴ的值以輸入接收信號轉送至ＴＧＲＡ時。

時間計數器ＴＣＮＴ爲１６位元的計數器，經常以１６位元的單位而被存取，在各波道０～４各１個，被設置爲合計５個的時間計數器ＴＣＮＴ０～４。ＴＣＮＴ０爲向上計數器，ＴＣＮＴ１、２爲位相計數形態之時向上

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 26）

／向下計數器，其他爲向上計數器。ＴＣＮＴ３、４爲相輔ＰＷＭ形態之時向上／向下計數器，除此之外爲向上計數器。

通用寄存器ＴＧＲ爲１６位元的寄存器，在波道０、３、４設置各４個，在波道１、２設置各２個合計１６個。於波道０、３、４爲輸出傳輸／輸入接收兼用寄存器、以ＴＧＲＣ與ＴＧＲＡ、ＴＧＴＤ與ＴＧＲＢ的組合使其緩衝器動作爲設定可能。於波道１與２，ＴＧＲＡ與ＴＧＲＢ爲使其輸出傳輸／輸入接收兼用寄存器。

計時開始寄存器ＴＳＴＲ爲８位元的寄存器，選擇波道０～４的計數器ＴＣＮＴ之動作／停止。該位元構成表示於表１０。於各位元（位元５、４、３未使用）當爲０時停止時間計數器ＴＣＮＴ，當爲１時使計數器動作。

〔表１０〕

位元 7	6	5	4	3	2	1	0
CST4	CST3	---	---	---	CST2	CST1	CST0

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 27）

〔表１１〕

位元	7	6	5	4	3	2	1	0
	SYNC4	SYNC3	---	---	---	SYNC2	SYNC1	SYNC0

計時同步寄存器ＴＳＹＲ爲８位元的寄存器，選擇波道０～４的時間計數器ＴＣＮＴ０～４的獨立動作／同步動作。將對應的位元設定爲１的波道實行同步動作。該位元構成表示於上述表１１。

除了位元５～３之外的各位元之ＳＹＮＣ４～０爲選擇波道４～０的獨立動作／同步動作。這些的位元若爲０，對應的波道之時間計數器ＴＣＮＴ４～０爲獨立動作（ＴＣＮＴ４～０的寫入／消除與其他波道無關），若爲１波道４～０作爲同期動作，使其可能爲ＴＣＮＴ４～０的同步寫入／同步消除。同步寫入爲實行送往指定的１個ＴＣＮＴ之寫入，則送往指定同步動作的其他計數器也被寫入相同值。同步消除爲發生指定同動作的１個ＴＣＮＴ之消除條件，則被指定同步動作的其他計數器也被消除。

可能主輸出計時寄存器ＴＯＥＲ８位元的寄存器，實行波道３、４的輸出設定之許可／禁止。該位元構成表示於表１２。位元７與６未使用，作讀取時則輸出爲１。在寫入時使其寫入１。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 28）

〔表１２〕

位元7	6	5	4	3	2	1	0
---	---	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B

位元５（ＯＥ４Ｄ）若爲０則ＴＩＯＣ４Ｄ端子的ＩＴＵ輸出被禁止（作爲輸入輸出通道的動作），若爲１則ＴＩＯＣ４Ｄ端子的ＩＴＵ輸出被許可。位元４（ＯＥ４Ｃ）若爲０則ＴＩＯＣ４Ｃ端子的輸出被禁止（作爲輸入輸出通道的動作），若爲１則ＴＩＯＣ４Ｃ端子的ＩＴＵ被許可。位元３（ＯＥ３Ｄ）若爲０則ＴＩＯＣ３Ｄ端子的ＩＴＵ輸出被禁止（作爲輸入輸出通道的動作），若爲１則ＴＩＯＣ３Ｄ端子的ＩＴＵ輸出被許可。位元２（ＯＥ４Ｂ）若爲０則ＴＩＯＣ４Ｂ端子的ＩＴＵ輸出被禁止（作爲輸入輸出通道的動作），若爲１則ＴＩＯＣ４Ｂ端子的ＩＴＵ輸出被許可。位元１（ＯＥ４Ａ）若爲０則ＴＩＯＣ４Ａ端子的ＩＴＵ輸出被禁止（作爲輸入輸出通道的動作），若爲１則ＴＩＯＣ４Ａ端子的ＩＴＵ輸出被許可。位元０（ＯＥ３Ｂ）若爲０則ＴＩＯＣ３Ｂ端子的ＩＴＵ輸出被禁止（作爲輸入輸出通道的動作），若爲１則ＴＩＯＣ３Ｂ端子的ＩＴＵ輸出被許可。

計時輸出控制寄存器ＴＯＣＲ爲８位元的寄存器，以

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 29）

相輔ＰＷＭ形態／復位同步ＰＷＭ形態輸出的外部觸發器禁止輸出，實行同步於ＰＷＭ同步的計時觸發輸出之許可／禁止及ＰＷＭ輸出的輸出準位反轉之控制。該位元構成表示在表１３。

（請先閱讀背面之注意事項再填寫本頁）
訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 30）

〔表１３〕

位元7	6	5	4	3	2	1	0
PSYN1	PSYN0	TPIE	XTGD	XTGD	POFF	OLS4	OLS3

位元７（ＰＳＹＮ１）爲進行ＰＷＭ同步輸出的控制，在０時ＰＷＭ輸出被ＯＦＦ時，保持此時的輸出中的準位。在１時ＰＷＭ輸出被ＯＦＦ時，若不停止波道３、４的時間計數器ＴＣＮＴ３、４時同步於計數器的動作而輸出。也就是不受以ＰＷＭ輸出ＯＦＦ的影響。位元６（ＰＳＹＮ０）作爲設定同步於ＰＷＭ同步的計數觸發器輸出之禁止／許可。在０時禁止同步於ＰＷＭ同步的計數觸發器輸出，在１時許可同步於ＰＷＭ同步的計數觸發器輸出。

位元５（ＴＰＩＥ）爲可能插入ＰＷＭ輸出斷路。將以復位同步ＰＷＭ形態／相輔ＰＷＭ形態時的ＩＴＵ之外部觸發器其輸出斷路信號之輸入時的插入要求（ＴＰＩＳＤ）進行許可／禁止的設定。也就是在０時禁止外部觸發器輸入時的ＰＷＭ輸出斷路插入要求（ＴＰＩＳＤ），若爲１則許可。

位元４（ＸＴＧＤ）沒有外部觸發器功能，設定復位同步ＰＷＭ形態／相輔ＰＷＭ形態時其ＩＴＵ的外部觸發器之禁止。也就是在０時禁止外部觸發器輸入，若爲１則

（請先閱讀背面之注意事項再填寫本頁）
訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 31）

ＴＩＯＣ３Ｃ端子作爲爲了禁止ＩＴＵ輸出的外部觸發器輸入端子。

位元３（ＸＴＥＧ）爲外部觸發器邊端，設定復位同部ＰＷＭ形態／相輔形態ＰＷＭ形態時其ＩＴＵ的外部觸發器之邊端。也就是在０時則在上昇邊端斷路輸出，若爲１則在下降邊端斷路輸出。

位元２（ＰＯＦＦ）爲ＰＷＭ輸出ＯＦＦ標記，在被ＯＦＦ復位同步ＰＷＭ形態／同步ＰＷＭ形態時的ＩＴＵ輸出之時被設定。該消除爲在計時器輸出（消除條件）ＰＯＦＦ＝１的狀態在讀取後寫入０時，斷路資料輸出（設定條件）爲（１）寫入１時，（２）ＸＴＧＤ＝０時指定於ＴＩＯＣ３Ｃ的觸發器被輸入時。

位元１與０（ＯＬＳＯ．１）爲輸出準位選擇４、３，選擇復位同步ＰＷＭ形態／相輔ＰＷＭ形態的輸出準位。各端子的初期設定爲：ＴＩＯＣ３Ｂ、ＴＩＯＣ４Ａ、ＴＩＯＣ４Ｂ的各輸出準位，計數器４及向上計數器發生傳輸匹配時就形成０輸出，計數器４及向下計數器發生傳輸匹配時就形成１輸出；ＴＩＯＣ３Ｄ、ＴＩＯＣ４Ｃ、ＴＩＯＣ４Ｄ的輸出準位，計數器３及向上計數器發生傳輸匹配時就形成１輸出，計數器３及向下計數器發生傳輸匹配時就形成０輸出。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 32）

〔表１４〕

位元	7	6	5	4	3	2	1	0
	---	---	OS4D	OS4C	OS3D	OS4B	OS4A	OS3B

計時輸出斷路資料寄存器ＴＯＳＲ爲８位元的寄存器，當復位同步ＰＷＭ形態／相輔ＰＷＭ形態之時，ＴＯＣＲ／ＰＯＦＦ位元被設定１時本寄存器的設定值被輸出。該位元構成表示於上述表１４。位元７及６未被使用，讀取時就輸出１，在寫入之時則爲１。

位元５（ＯＳ４Ｄ）爲設定ＴＩＯＣ４Ｄ端子的斷路輸出資料，且若爲０則ＴＩＯＣ４Ｄ端子的斷路輸出形成爲０，若爲１則ＴＩＯＣ４Ｄ端子的斷路輸出形成爲１。位元４（ＯＳ４Ｃ）爲設定ＴＩＯＣ４Ｃ端子的ＩＴＵ輸出之許可／禁止，若爲０則ＴＩＯＣ４Ｃ端子的斷路輸出形成爲０，若爲１則ＴＩＯＣ４Ｃ端子的斷路輸出形成爲１。位元３（ＯＳ３Ｄ）爲設定ＴＩＯＣ３Ｄ端子的斷路輸出資料，若爲０則ＴＩＯＣ３Ｄ端子的斷路輸出形成爲０，若爲１則ＴＩＯＣ３Ｄ端子的斷路輸出形成爲１。

位元２（ＯＳ４Ｂ）爲設定ＴＩＯＣ４Ｂ端子的斷路輸出資料，若爲０則ＴＩＯＣ４Ｂ端子的斷路輸出形成爲０，若爲１則ＴＩＯＣ４Ｂ端的斷路輸出形成爲１。位元１（ＯＳ４Ａ）爲設定ＴＩＯＣ４Ｂ端子的斷路輸出資料

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 33）

，若爲0則ＴＩＯＣ４Ａ端子的斷路輸出形成爲０，若爲１則ＴＩＯＣ４Ａ端子的斷路輸出形成爲１。位元０（ＯＳ３Ｂ）設定ＴＩＯＣ３Ｂ端子的斷路輸出資料，若爲０則ＴＩＯＣ３Ｂ端子的斷路輸出形成爲０，若爲１則ＴＩＯＣ３Ｂ端子的斷路輸出形成爲１。

計時閘控寄存器爲８位元的寄存器，當復位同步ＰＷＭ形態／相輔ＰＷＭ形態之時，對無碳刷ＤＣ馬達控制進行必要的波形輸出之控制。該位元構成表示在表１５０位元７爲被使用，讀取時就輸出１，寫入之時則爲１。

〔表１５〕

位元7	6	5	4	3	2	1	0
---	BDC	N	P	FB	WF	VF	UF

位元６（ＢＯＣ）爲無碳刷ＤＣ馬達，選擇爲３無碳刷ＤＣ馬達控制的閘閘信號輸出、間斷輸出的機能。所加諸的ＢＤＣ若爲０則作通常輸出，若爲１則作無碳刷ＤＣ馬達用閘閥信號／間斷輸出。位元５（Ｎ）爲逆相輸出，選擇是否在逆相端子的輸出輸出閘閥信號、選擇是否間斷閘閥信號與復位同步ＰＷＭ／相輔ＰＷＭ輸出而輸出。也就是Ｎ若爲０則在逆相端子輸出直接輸出閘閥信號，若爲

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 34）

1則在逆相端子輸出間斷閘閥信號與復位同步ＰＷＭ／相輔ＰＷＭ輸出而輸出。位元4（Ｐ）爲正相輸出，選擇是否在正相端子的輸出輸出閘閥信號，選擇是否間斷選通信號及復位同步ＰＷＭ／相輔ＰＷＭ輸出而輸出。也就是Ｐ若爲0則在正相端子輸出直接輸出閘閥信號，若爲1則在正相端子輸出間斷閘閥信號及復位同步ＰＷＭ／相輔ＰＷＭ輸出而輸出。

位元3（ＦＢ）爲歸還輸入，爲了生成閘閥信號的歸還輸入選擇是否爲作爲外部輸入，是否作爲寄存器輸入。所加諸的ＦＢ若爲0則歸還輸入被作外部輸入（輸入源爲波道0的ＴＧＲＡ、ＴＧＲＢ、ＴＧＲＣ的輸出接收信號），若爲1則歸還輸入被作爲寄存器輸入（ＴＧＣＲ的ＵＦ、ＶＦ、ＷＦ）。位元2～0的ＷＦ、ＶＦ、ＵＦ爲上述歸還輸入資料的設定。

副計數器ＴＣＮＴＳ爲16位元的向下計數器，1個被設定在波道3。該計數器ＴＣＮＴＳ只設定在相輔ＰＷＭ形態時有效，被作爲讀取專用與計數器。

無效時間寄存器ＤＤＲ爲16位元的寄存器，1個被設置在波道3。該寄存器ＴＤＤＲ只在相輔ＰＷＭ形態時爲有效的寄存器，設定相輔形態時的ＴＣＮＴ3與ＴＣＮＴ4的補償值。在相輔ＰＷＭ形態時消除ＴＣＮＴ3與ＴＣＮＴ4而重新開始時，ＴＤＤＲ的值被設定於ＹＣＮＴ3而開始計數動作。以該寄存器ＴＤＤＲ的8位元單位的存取是被禁止。通常以16位元單元作存

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 35）

取。

ＰＷＭ載體周期比較寄存器ＴＣＤＲ爲１６位元的寄存器，１個被設置於波道３。該寄存器ＴＤＤＲ只在相輔ＰＷＭ形態時爲有效的寄存器，在相輔ＰＷＭ形態時被設定於ＴＣＮＴ４的值與常時作比較，一致時ＴＣＮＴ３、ＴＣＮＴ４就轉換成向下計數。生三角波的情況，在ＴＣＤＲ設定爲１／２ＰＷＭ周期。該寄存器ＴＣＤＲ，無法寫入ＣＰＵ。在作爲該寄存器ＴＣＤＲ的緩衝比較寄存器設定數值。在相輔ＰＷＭ形態設定時就以所選擇的轉送時間轉送。

ＰＷＭ載體周步緩衝寄存器ＴＣＢＲ爲１６位元的寄存器，１個被設定於波道３。此寄存器ＴＣＤＲ，只在相輔ＰＷＭ形態時爲有效的寄存器，在相輔形態時作爲ＴＣＤＲ的緩衝寄存器機能。在該寄存器ＴＣＢＲ設定數值，在相輔ＰＷＭ形態設定時以所選擇的轉送時間被轉送至ＴＤＣＲ。

至於上述計時器的動作概略如下所述。

（１）通常動作

在各波道０～４被設置有時間計數器ＴＣＮＴ與通用寄存器ＴＧＲ。時間計數器ＴＣＮＴ實行向上／向下計數器動作，可能作爲自由活動動作、４週期計數動作，或是外部狀況動作。通用寄存器ＴＧＲ各別可以作爲輸入接收寄存器或是輸出傳輸寄存器使用。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（36）

（2）同步動作

設定同步動作的波道之時間計數器TCNT實行同步復位動作。即是改寫被設定成同步動作的波道當中任意之TCNT時其他波道的TCNT也就同時的被改寫。另外，由於被設定成同步動作之複數個波道的TSYR之計時器同部位元的設定，因而可能有TCNT的同部消除。

（3）緩衝器動作

通用寄存器TGRA與TGRC、TGRB與TGRD的組合下，可以使緩衝器動作。TGRC具有TGRA的緩衝寄存器的機能，TGRD具有TGRB的緩衝器機能。

（4）串接連接機能

連接波道1的時間計數器TCNT1與波道2的時間計數器2而可以使其作爲32位元計數器的動作。

（5）PWM形態

爲輸出PWM波形的形態，輸出準位以TIOR而被設定。由於各通用寄存器TGR的設定，因而可以輸出負載0%～100%的PWM波形。

（6）位相計數形態

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 37）

在波道1與2檢出從外部同部脈衝輸入端子所被輸入的2個同部脈衝之位相，而使其爲ＴＣＮＴ的向上／向下之形態，設定成位相計數形態時，所對應的ＴＣＬＫ端子形成爲同步脈衝輸入，另外ＴＣＮＴ實行向上／向下動作，而可以作爲2相編碼脈波的輸入使用。

（７）復位同部ＰＷＭ形態

組合波道3與4而3相輸出正相、逆向的ＰＷＭ波形。3相的ＰＷＭ波形，一端的變化點形成爲共通的關係。設定成復定同部ＰＷＭ形態時，通用寄存器ＴＧＲ３Ａ、ＴＧＲ３Ｂ、ＴＧＲ４Ａ、ＴＧＲ４Ｂ自動的作爲輸出傳輸寄存器的機能。另外ＴＩＯＣ３Ａ、ＴＩＯＣ３Ｂ、ＴＩＯＣ４Ａ、ＴＩＯＣ４Ｂ、ＴＩＯＣ４Ｃ、ＴＩＯＣ４Ｄ的各端子自動的成爲ＰＷＭ輸出端子，ＴＣＮＴ３實行向上計數動作，ＴＣＮＴ４爲獨立的動作。不過ＴＧＲ４Ａ～Ｂ爲分隔開的。

（８）相輔ＰＷＭ形態

組合波道3與4，而正相、逆相爲3相輸出無重疊的關係之ＰＷＭ波形。設定成相輔ＰＷＭ形態時，通用寄存器ＴＧＲ３Ａ、ＴＧＲ３Ｂ、ＴＧＲ４Ａ、ＴＧＲ４Ｂ自動的作爲輸出傳輸的機能。另外，ＴＩＯＣ３Ａ、ＴＩＯＣ３Ｂ、ＴＩＯＣ４Ａ、ＴＩＯＣ４Ｂ、ＴＩＯＣ４Ｃ、ＴＩＯＣ４Ｄ的各端子自動的形成爲

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 38）

ＰＷＭ輸出端子，且ＴＣＮＴ３與ＴＣＮＴ４爲實行向上／向下動作。

上述緩衝器動作持有通用寄存器ＴＧＲＡ～ＴＧＲＤ爲止４個的波道０，３，４的機能。緩衝器動，各別作爲輸入接收機能時或傳輸機能時動作內容爲相異。緩衝器動作時的寄存器的組合如同前述。

在第４圖，通用寄存器被表示爲輸出傳輸的情況之緩衝器動作構成圖。通用寄存器與ＴＣＮＴ用比較器作比較，且發生傳輸匹配時，活性化作爲信號轉送路徑的緩衝電路而該波道的緩衝器之值被轉送至通用寄存器。

在第５圖，通用寄存器被表示爲輸入接收寄存器的情況之緩衝器動作構成圖。以輸入接收信號活爲性化緩衝器電路，而將計數器ＴＣＮＴ的值轉送至通用寄存器的同時，至此所被收納的通用寄存器的值被轉送至緩衝寄存器。

在第６圖，被表示爲爲了說明緩衝器動作的設定順序之流程圖。將通用寄存器的機能設定至計時器Ｉ／Ｏ控制寄存器ＴＩＯＲ。其次設定ＴＦＣＲ的緩衝器動作位元，並且設定ＴＳＴＲ的ＣＳＴ位元而使其開始計數動作。

在第７圖，被表示爲爲了說明緩衝器動作例的時間圖。在於同圖，將波道０設定成ＰＷＭ形態，且被表示爲將通用寄存器ＴＧＲ０Ａ與ＴＧＲ０Ｃ設定成緩衝動作的情況。在於同圖ＴＣＮＴ以傳輸匹配Ｂ（ＴＧＲ０Ｂ的值）而消除，輸出爲使其在傳輸匹配Ａ（ＴＧＲ０Ａ的值）輸出１，在傳輸匹配Ｂ輸出０。如上述的緩衝器動作被設定

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 39）

時，傳輸匹配A就會發生，使輸出變化成1的同時緩衝寄存器TGR0C的值（B´0200）被轉送至通用寄存器TGR0A。發生上述傳輸匹配A時該動作爲返復進行。

在第8圖，被表示爲爲了說明緩衝器動作的他例之時間圖。在於同圖，將通用寄存器TGRA設定於輸入接收寄存器，並且被表示爲將加諸的TGRA與TGRC設定成緩衝器動作的情況。在於同圖，TCNT在TGRA的輸入接收下消除計數器，TIOCA的端子的輸入接收的輸入邊端爲選擇上昇邊端／下降邊端的兩邊端。爲了設定如上述的緩衝器動作，因而TCNT的值以輸入接收A被收納於TGRA的同時，至此被收納於TGRA的值被轉送至TGRC。

在第9圖，被表示爲爲了說明串聯連接機能的設定順序之流程圖。在於計時器動作形態設定爲設定各波道的動作形態。其次以設定TCR的計時分頻器位元之實行串接連接設定。然後設定TSTR的CST位元而使其開始計數動作。

在第10圖，被表示爲爲了說明串接連接動作例的時間圖。在同圖，於通常動作形態（TGR設定於傳輸匹配寄存器）時，波道1在TCNT2的上流下作計數動作，並且波道2實行使其計數內部同步脈波ϕ／6的兩邊端的動作。也就是在TCNT2同步脈波的下降下時間計數器TCNT2從B´FFFF變爲B´0000，並且使其

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 40）

發生ＴＣＮＴ１同步脈波。因此，時間計數器ＴＣＮＴ１從Ｂ´０００１變成Ｂ´０００２。在寄存器ＴＧＲ１Ａ因被收納有Ｂ´０００１，所以發生傳輸匹配信號。

在第１１圖，被表示爲爲了說明串接連接動作的其他例之時間圖。在同圖，於通常動作形態下（ＴＧＲ設定成接收寄存器）時，波道１在ＣＮＴ２的上流下作計數動作，並且波道２實行使其計數內部同步脈波φ／１６的兩邊端的動作。也就是在ＴＣＮＴ２同步脈波的下降下時間計數器ＴＣＮＴ３從Ｂ´ＦＦＦＦ變成Ｂ´０００，且使其發生ＴＣＮＴ１同步脈波。因此，時間計數器ＴＣＮＴ１從Ｂ´０３Ａ１變成Ｂ´０３Ａ２。接收輸入ＴＩＯＣＡ１與ＴＩＯＣＡ２被輸入時，在寄存器ＴＧＲ１Ａ被收納有ＴＣＮＴ１的計數值Ｂ´０３Ａ２，並且在寄存器ＴＧＲ２Ａ被收納ＴＣＮＴ２的計數Ｂ´０００１。

在第１２圖，被表示爲爲了說明串接連接動作的再一例之時間圖。在同圖，於位相計數形態時，波道１在通常形態／ＴＣＮＴ２的上流／下流下計數動作，且波道２於被輸入至位相計數形態／ＴＣＫＬＡ、ＴＣＫＬＢ的外部同步脈波的位相差下實行向上／向下計數。也就是ＴＣＮＴ２其ＴＣＬＫＡ的位向爲進向時，實行如Ｂ´ＦＦＦＤ→Ｂ´ＦＦＦＥ→Ｂ´ＦＦＦＦ→Ｂ´ＯＯＯＯ的向上計數動作，並且ＴＣＮＴ１由於該上流而實行Ｂ´００００→Ｂ´０００１的向上計數動作。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 41）

然後，該計數值形成爲B´0002時，TCNT2其TCLKA的位相遲緩時，就實行如B´0002→B´0001→B´0000→B´FFFF的向下計數動作，TCNT1由於該下流而實行如因而可以擴展位相計數形態的動態範圍。

PWM形態由輸出端子輸出各別PWM波形輸出。以計數器的消除或是上流而各端子的輸出值被輸出爲在TOIR所指定的初期值。以各寄存器的傳輸匹配的準位可以從0輸出、1輸出、計數觸發器之中作選擇。初期值與傳輸匹配的輸出準位使其同時，爲了不變化輸入準位致使未形成PWM波形輸出。由於TGR的傳輸匹配作爲TCNT的向下消除要因，因而可以在該寄存器設定周期。在PWM形態，可以輸出負載0～10%的PWM波形。可以設定於全波道獨立的PWM形態，同步動作也是可能的。PWM形態1在成對下使用TRRA與TGRB、及TGRC與TGRD而生成PWM波形，並且可能爲最大8個的PWM波形。PWM形態將TGR的1個作爲專用周期寄存器，其他的使用在PWM輸出。由於與同步動作併用而形成爲可能有最大15相輔的PWM波形輸出。

在第13圖，被表示爲爲了說明OWM形態的設定順序之流程圖。第1，設定TCR的TPSC2－0位元而實行計數器同步脈波的選擇。第2，設定上述TCR的CCLR1、CCLR0位元而實行計數器消除要因的選擇。第3、設定TIOR而實行波形輸出準位的選擇。第

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 42）

4、在ＴＧＲＡ設定時間數據。第５、設定ＴＧＲＢ的時間數據。第６，設定ＴＰＭＲ的ＰＷＭ形態位元。第７、設定ＴＳＴＲ的ＣＳＴ位元而使其開始計數動作。

在第１４圖，被表示爲爲了說明ＰＷＭ形態的動作之動作波形圖。設定於ＰＷＭ形態時，ＴＩＯＣＡ～ＴＩＯＣＤ形成爲輸出端子，以ＴＧＲ的傳輸匹配實行所指定的波形輸出。於同圖，ＴＣＮＴ的計數器消除要因作爲ＴＧＲＡ的傳輸匹配，且ＴＧＲＢ的初期值０，在傳輸匹配以１輸出的情況被表示。在此情況，設定於ＴＧＲＡ的數值形成爲周期，且設定於ＴＧＲＢ的數成爲負載。

在第１５圖及第１６圖，被表示爲爲了說明ＰＷＭ形態的其他動作之動作波形圖。在第１５（Ａ）圖，ＴＣＮＴ的計數器消除要因作爲ＴＧＲＡ的傳輸匹配，且ＴＧＲＢ以０，在傳輸匹配以１輸出的情況被表示。於該情況，設定於ＴＧＲＡ的數值形成爲周期，設定於ＴＧＲＢ的數值成爲負載，由於該ＴＧＲＢ的改寫而使其ＴＧＲＡ＜ＴＧＲＢ就得負載０％的輸出。在第１５（Ｂ）圖，由於上述ＴＧＲＢ的改寫因同時的發生ＴＧＲＡ與ＴＧＲＢ的傳輸匹配就無變化。因此，改寫成ＴＧＲＢ＜ＴＧＲＡ也被輸出有負載１００％。然後，由於再度的改寫而改寫成ＴＧＲＢ＞ＴＧＲＡ，負載１００％的其次周期變化成負載０％。

位相計數形態，檢出２個外部同步脈波輸入的位相差，且使ＴＣＮＴ作向上／向下動作。該形態在波道１及２

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 43）

都設定可能。設成位相計數形態時，不限於ＴＣＲ的ＴＰＳＣ位元之設定的計數同步脈波形成爲外部同步脈波，ＴＣＮＴ作爲向上／向下計數器的動作。不過ＴＩＯＲ的機能爲有效的，且輸入接收／傳輸匹配機能或插入機能爲可以使用的。該機能可以使用於２相一致脈波之輸入處理。位相計數形態的設定順序，以指定ＴＭＤＲ的ＭＤ２～０位元而被進行。

在第１７圖，被表示爲爲了說明位相計數形態的動作例之時間圖。在同圖被表示有位相計數形態。該形態的向上計數條件。於波道１（２）在ＴＣＬＫＡ（ＴＣＬＫＣ）爲高準位時ＴＣＬＫＢ（ＴＣＬＫＤ）上昇至高準位時則實行向上計數。ＴＣＬＫＡ（ＴＣＬＫＣ）爲低準位時ＴＣＬＫＤ（ＴＣＬＫＤ）下降至低準位時則實行向上計數。另外，ＴＣＬＫＢ（ＴＣＬＫＤ）爲低準位時ＴＣＬＫＡ（ＴＣＬＫＣ）上昇至高準位時則實行向上計數。ＴＣＬＫＢ（ＴＣＬＫＤ）爲低準位時，ＴＣＬＫＡ（ＴＣＬＫＣ）下降至低準位時則進行向下計數。也就是ＴＣＬＫＡ（ＴＣＬＫＣ）的位相比ＴＣＬＫＢ（ＴＣＬＫＤ）還快時則進行向上計數動作。

該形態的向下計數條件：在波道１（２）ＴＣＬＫＡ（ＴＣＬＫＣ）爲高準位時ＴＣＬＫＢ（ＴＣＬＫＤ）下降至低準位時則進行向下計數器。ＴＣＬＫＡ（ＴＣＬＫＣ）爲低準位時ＴＣＬＫＢ（ＴＣＬＫＤ）上昇至高準位時則進行向下計數器。另外，ＴＣＬＫＢ（

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 44）

ＴＣＬＫＤ）爲高準位時ＴＣＬＫＡ（ＴＣＬＫＣ）上昇至高準位時則進行向下計數。ＴＣＬＫＢ（ＴＣＬＫＣ）爲低準位時ＴＣＬＫＡ（ＴＣＬＫＣ）下降至準位時則進行向下計數。也就是ＴＣＬＫＡ（ＴＣＬＫＣ）的位相比ＴＣＬＫＢ（ＴＣＬＫＤ）還慢時則進行向下計數動作。

無圖示，在位相計數形態２，波道１（２）的ＴＣＬＫＢ（ＴＣＬＫＤ）爲高準位時ＴＣＬＫＡ（ＴＣＬＫＣ）下降至低準位時則進行向上計數，ＴＣＬＫＢ（ＴＣＬＫＤ）爲低準位時ＴＣＬＫＡ（ＴＣＬＫＣ）下降至低準位時則進行向下計數。

在位相計數形態３，波道１（２）的ＴＣＬＫＡ（ＴＣＬＫＣ）爲高準位時ＴＣＬＫＢ（ＴＣＬＫＤ）上昇至高準位時，或者是ＴＣＬＫＡ（ＴＣＬＫＣ）爲低準位時ＴＣＬＫＢ（ＴＣＬＫＤ）下降至低準位時則進行向上計數，且ＴＣＬＫＡ（ＴＣＬＫＣ）爲高準位時ＴＣＬＫＢ（ＴＣＬＫＤ）下降至低準位時，ＴＣＬＫＢ（ＴＣＬＫＤ)下降至低準位時，或者是ＴＣＬＫＡ（ＴＣＬＫＣ）爲低準位時ＴＣＬＫＢ（ＴＣＬＫＤ）上昇至高準位時則進行向下計數。

位相計數形態４，波道１（２）的ＴＣＬＫＢ（ＴＣＬＫＤ）爲高準位時ＴＣＬＫＡ（ＴＣＬＫＣ）下降至低準位時則進行向上計數，且ＴＣＬＫＡ（ＴＣＬＫＣ）爲高準位時ＴＣＬＫＢ（ＴＣＬＫＤ）下降至低準位時則進行向下計數。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 45）

復位同步ＰＷＭ形態，由於組合波道３與４，因而將一方的波形變化點形成爲共通的關係之ＰＷＭ波形（正相・逆相）作３相輸出。設定於復位同步形態時，ＴＩＯＣ３Ａ、ＴＩＯＣ３Ｂ、ＴＩＯＣ４Ａ、ＴＩＯ４Ｃ、ＴＩＯＣ４Ｂ及ＴＩＯＶ４Ｄ端子自動的形成爲ＰＷＭ端子，時間計數器ＴＣＮＴ３作爲向上計數器機能。

在第１８圖被表示爲，爲了說明復位同步ＰＷＭ形態的設定手序之流程圖。復位同步ＰＷＭ形態的設定順序如以下所述。第１，將寄存器ＴＳＴＲ的ＳＴＲ位元消除成０後而使計數動作停止。第２，設定寄存器ＴＣＲ的ＴＲＳＣ２～０位元，而實行計數器同步脈波的選擇。第３，設定上述寄存器ＴＣＲ的ＣＣＬＲ１、ＣＣＬＲ０位元，而實行計數器消除要因的選擇。第４，將寄存器ＴＭＤＲ設定成復位同步ＰＷＭ形態。第５、在計數器ＴＣＮＴ３寫入Ｂ´０００００而實行計數器的設定。第６，在寄存器ＴＧＲ３Ａ設定周期，且在ＴＧＲ３Ｂ、ＴＧＲ４Ａ、ＴＧＲ４Ｂ設定ＰＷＭ輸出波形變化時間。然後，第７，將寄存器ＴＳＴＲ的ＣＳＴ３位元設定成１而使其開始計數動作。

在第１９圖，被表示爲爲了說明復位同步ＰＷＭ形態的動作之時間圖。在復位同步ＰＷＭ形態，計數器ＴＣＮＴ３作爲向上計數器的動作。此時，計數器ＴＣＮＴ４爲獨立動作。計數器ＴＣＮＴ３的計數值與寄

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 46）

存器ＴＧＲ３Ａ的值成傳輸匹配時計數器ＴＣＮＴ３被消除而從Ｂ´００００重新開始向上計數。ＰＷＭ端子，發生有各別寄存器ＴＧＲ３Ｂ、ＴＧＲ４Ａ、ＴＧＲ４Ｂ與計數器ＴＣＮＴ３的傳輸匹配及計數器消除時，實行計數觸發器輸出。用前述ＴＧＣＲ，而許可從各ＰＷＭ輸入輸出端子的脈波輸出，同時可以作爲固定輸出。

相輔形態，由於使其組合波道３及４，因而３相輸出正相與逆向爲無重疊的關係之ＰＷＭ波形。設定成相輔ＰＷＭ形態時，ＴＩＯＣ３Ｂ、ＴＩＯＣ３Ｄ、ＴＩＯＣ４Ａ、ＴＩＯＣ４Ｂ、ＴＩＯ４Ｃ、ＴＩＯＣ４Ｄ端子，自動的形成爲ＰＷＭ輸出端子，且ＴＩＯＣ３Ａ端子爲同步於ＰＷＭ同步的計數觸發器輸出，ＴＩＯＣ３Ｂ端子可能設定作爲爲了斷路ＰＷＭ輸出的外部觸發器輸入端子。另外，計數器ＴＣＮＴ３、ＴＣＮＴ４是作爲向上／向下計數器的機能。

在第２０圖，被表示爲爲了說明相輔ＰＷＭ形態的設定順序之流程圖。相輔ＰＷＭ形態的設定順序如其次所述。第１、對於寄存器ＴＭＤＲ而進行相輔ＰＷＭ形態的設定。第２，設定寄存器ＴＯＣＲ的外部觸發器可能位元，而以外部輸入進行輸出斷路的許可／禁止的設定。第３，設定上述寄存器ＴＯＣＲ的同步輸出２、１位元，而進行同步於ＰＷＭ同步的計時觸發器輸出的許可／禁止的設定。第４，設定上述寄存器ＴＯＣＲ的輸出準位選擇４、３位元，而進行ＰＷＭ輸出準位的設定。第５，在各通用寄

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 47）

存器ＴＧＲ，各緩衝寄存器設定數據，且進行負載的初期值設定。第６，在寄存器ＴＣＤＲ、ＴＣＤＲ、ＴＧＲ３Ａ、ＴＧＲ３Ｃ設定數據，並且設定無效時間、載體周期。然後，第７、設定寄存器ＴＳＴＲ的ＣＳＴ位元，而使其開始計數動作。

在第２１圖，被表示爲爲了說明相輔ＰＷＭ形態的動作之波形圖。由於設定計時形態寄存器ＴＭＤＲ的形態３～０，因而將波道３、４設定成相輔形態。設定計時輸出控制寄存器ＴＯＣＲ的輸出準位選擇４、３而選擇ＰＷＭ脈波的可動準位，且輸出以各計數器ＴＣＮＴ３、４與寄存器ＧＲ爲一致的準位輸出。在計時無效時間寄存器ＴＤＤＲ設定無效時間，且在計時周期資料寄存器ＴＤＣＲ加諸載體周期的１／２而設定數值，在ＴＧＲ３Ａ加諸載體周期的１／２的無效時間分量而設定數值。然後，將所輸出的ＰＷＭ負載值設定於寄存器ＴＧＲ３Ａ｜Ｂ、ＴＧＲ４Ａ、ＴＧＲ４Ｂ的負載寄存器。然後設定計時開始寄存器TSTR，而使其開使ＴＣＮＴ３、４的計數動作。

於第２１圖，在Ｔａ的期間，進行與計數器ＴＣＮＴ３、ＴＣＮＴ４二個計數器的比較。在Ｔｂ期間，進行與計數器ＴＣＮＴ３、ＴＣＮＴ４及ＴＣＮＴＳ三個計數器的比較。於同圖，在向上計數器時寄存器ＴＧＲ４Ａ與計數器ＴＣＮＴ３發生傳輸匹配就在正相輸出０，且與計數器ＴＣＮＴ４發生傳輸匹配就在逆相輸出１。在向下計數器時寄存器ＴＧＲ４Ａ與計數器ＴＣＮＴ

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 48）

4發生傳輸匹配就在逆相輸出0，且與計數器TCNT3發生傳輸匹配就在正相輸出1。此時，在Tb期間，同時的比較至目前爲止的TGR4A的資料（舊值）與次周期的新負載，且以副計數器TCNTS保持無效時間同時使其轉換負載。也就是就負載被設定在TDDR以下的值，由於TGR4A的新值與副計數器TCNTS的傳輸匹配因而在正相輸出0。另外由於TGR4A的新值與TCNT4的傳輸匹配因而在逆相輸出1。

在第22圖，被表示爲爲了說明在上述相輔PWM形態的0%與100%的輸出例之波形圖。於本發明的相輔PWM形態，可以輸出負載0%與100%。在同圖，被表示爲0%與100%輸出時的波形與當時的寄存器設定值。輸出負載100%的情況，由於在通用寄存器TGR4A設定與TGR3A相同值因而輸出爲可能的。另外輸出負載0%的情況，由於在通用寄存器TGR4A設定B´00000因而輸出爲可能的。如同圖所示，從負載100%使變化成負載0%的情況，高準位的期間僅縮短無效時間的部分。

在23圖，被表示爲爲了說明在上述相輔PWM形態的計數觸發器輸出機能之波形圖。於有關本發明的相輔PWM形態，由於設有輸出控制寄存器TOCR的PSYN1±|、PSYN0位元，因而可能有同步於載體同步的計數觸發器輸出。此時TIOC3A端子自動的形成爲該同步輸出端子，且可以得有如同圖的輸出波形。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 49)

也就是同步輸出的初期值爲1輸出。另外，該輸出以PWM輸出的外部斷路信號輸入的觸發器，而可能選擇是否保持當時的輸出準位、是否持續停止計數器TCNT3、4爲止的同步輸出。

在第24圖，被表示爲爲了說明在上述相輔PWM形態的PWM功率資料轉送時間之波形圖。於有關本發明的相輔PWM形態，在計時形態寄存器TMDR下選擇形態時，設定從緩衝寄存器轉送至通用寄存器的時間。在同圖表示在每1／2PWM周期轉送資料的情況之動作例。從緩衝寄存器送往暫時寄存器（Temp__R）的轉送，副計數器TCNTS無動化的期間是經常被實行。另外，從暫時的寄存器送往通常寄存器的轉送，以此情況TCDR與TCNT3在向下計數時發生傳輸匹配的時間、及無效時間寄存器TDDR與TCNT4在向上計數時發生傳輸匹配的時間之2個時間下被進行。因此，緩衝寄存器的改寫在1／2周期1次也未被實行的情況，通用寄存器的值如同圖的（1）1PWM周期之間無變化。另外，將緩衝寄存器在1／2PWM周期之間改寫2次的情況，如（2）般資料data5形成爲通過。

在相輔PWM形態，由於消除計時輸出控制寄存器TOCR的外部觸發禁止位元，因而所指定的觸發器被輸入時，在從PWM輸出至計時輸出斷路寄存器TOSR之值輸出值就自動的轉換。外部觸發器輸入至TIOC3端子，且與接收輸入相同指定邊端爲可能。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 50）

在第２５圖至第２７圖，被表示爲爲了說明在上述相輔ＰＷＭ形態的１００％至０％爲止的各別輸出例之波形。如第２４圖所示，送往ＴＧＲ的改寫在一定的時間下被進行，但此處爲了說明的簡略化，而表示被用於實際的傳輸匹配的傳輸值作爲ＴＧＲ。在第２５（Ａ）圖，被表示爲由於在設定負載的寄存器ＴＧＲ設定與ＴＧＲ３Ａ相同值因而輸出負載１００％的例。在同圖（Ｂ），被表示爲在１００＜ｄｕｔｙ≦Ｔｄ的範圍之輸出的例。在此範圍，下側的反轉輸出照舊爲低準位。

在第２６（Ａ）圖，被表示爲１００－Ｔｄ＜ｄｕｔｙ＜Ｔｄ的範圍之例。在同圖（Ｂ），被表示爲Ｔｄ＜ｄｕｔｙ＜０的範圍之例。然後在第２７圖，被表示爲在設定負載的寄存器ＴＧＲ設定Ｂ´００００而輸出負載０％之例。在有關本發明的相輔ＰＷＭ形態，以負載５０％爲中心，可以得有正相／逆相的上下形成爲對稱的相輔ＰＷＭ輸出。

在第２８圖，被表示爲向上向上控制部的一實施例之方塊圖。同圖的上面部分爲向上向下控制部，且被包含在第２圖的控制邏輯。同圖的下面部分爲相輔ＰＷＭ的實行部。向上向下控制部的基本機能，參照第２９圖的狀態遷移圖及第３０圖的概略波形圖而說明於下。

向上向下控制部的基本機能：

（１）向上向下轉換信號ＵＤ的生成

（２）在峰值的新舊值設定雙重比較期間信號ＴＡ的

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 51）

生成。

（３）在谷值的新舊值設定雙重比較期間信號ＴＢ的生成。

（４）緩衝器轉送信號ＢＴＲ的生成。

（５）副計數器（ＴＣＮＴＳ）的負載信號ＴＳＡＣＴ的生成。

（６）副計數器的重載值選擇信號的生成。

（７）爲了實現上述，而選擇與寄存器比較的計數器之轉換信號ＴＳＬ的生成。

（８）爲了實現上述，而選擇與寄存器比較的計數器之轉換信號ＲＳＬ的生成。

（９）１／２ＰＷＭ周期輸出信號（１／２ＣＹＣ）的生成。

從第３０圖的概略波形也能了解，向上向下控制部從上述的各信號ＵＤ、ＴＡ、ＴＢ的組合被分類成ＴＡ０、ＴＤ、ＴＡ１、ＴＢ０、ＴＵ及ＴＢ１的６個狀態，且在各個狀態生成全部的信號。該狀態遷移圖如第２９圖所示。

（１）狀態ＴＡ０的操作

移至ＴＡ０同時的將ＴＢ設定成０而使其解除在谷值的雙重比較。於ＴＡ０在基本上，ＵＤ＝１、ＴＡ＝０、ＴＢ＝０。等待的狀況在ＴＣＮＴ３＝ＴＤＣＲ，而輸出選擇ＴＣＮＴ３與ＴＣＤＲ之信號ＴＳＬ與ＲＳＬ（

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 52）

ＴＳＬ＝０、ＲＳＬ＝０）。發生ＴＣＮＴ３＝ＴＣＤＲ時，就將ＴＡ設定成１後遷移至狀態ＴＤ。

（２）狀態ＴＤ的操作

於ＴＤ在基本上，ＵＤ＝１、ＴＡ＝１、ＴＢ＝０。等待的狀況在ＴＣＮＴ４＝ＴＤＣＲ，而輸出選擇所加諸的ＴＣＮＴ４與ＴＤＣＲ之信號ＴＳＬ與ＲＳＬ（ＴＳＬ＝１、ＲＳＬ＝０）。發生ＴＣＮＴ４＝ＴＤＣＲ時，就將ＵＤ歸０後遷移至ＴＡ１。

（３）ＴＡ１的操作

於ＴＡ１在基本上，ＵＤ＝０、ＴＡ＝１（在峰值的雙重計數）ＴＢ＝０。等待的ＥＶＥＮＴ在ＴＣＮＴ３＝ＴＤＣＲ，而輸出選擇加諸的ＴＣＮＴ３與ＴＤＣＲ之信號ＴＳＬ與ＲＳＬ（ＴＳＬ＝１、ＲＳＬ＝０）。發生ＴＣＮＴ３＝ＴＤＣＲ時，在無操作件下遷移至ＴＢ０。

（４）ＴＢ０的操作

移至ＴＢ０同時的將ＴＡ歸０。於ＴＢ０在基本上，ＵＤ＝０、ＴＡ＝０、ＴＢ＝０。等待的ＥＶＥＮＴ在ＴＣＮＴ４＝ＴＤＤＲ，而輸出選擇加諸的ＴＣＮＴ３與ＴＤＤＲ之信號ＴＳＬ與ＲＳＬ（ＴＳＬ＝０、ＲＳＬ＝１）。發生ＴＣＮＴ４＝ＴＤＤＲ時，將ＴＢ設定成１後遷移至ＴＵ。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 53）

（５）ＴＵ的操作

於ＴＵ在基本卜，ＵＤ＝０、ＴＡ＝０、ＴＢ＝０。等待的ＥＶＥＮＴ在ＴＣＮＴ３＝ＴＤＤＲ，而輸出選擇加諸的ＴＣＮＴ３與ＴＤＤＲ之信號ＴＳＬ與ＲＳＬ（ＴＳＬ＝０、ＲＳＬ＝１）。發生ＴＣＮＴ３＝ＴＤＤＲ時，將ＵＤ設定成１後遷移至ＴＢ１。

（６）ＴＢ１的操作

於ＴＢ１在基本上，ＵＤ＝１、ＴＡ＝０、ＴＢ＝０。等待的ＥＶＥＮＴ在ＴＣＮＴ４＝ＴＤＤＲ，而輸出選擇加諸的ＴＣＮＴ４與ＴＤＤＲ之信號ＴＳＬ與ＲＳＬ（ＴＳＬ＝１、ＲＳＬ＝１）。發生ＴＣＮＴ４＝ＴＤＤＲ時，在無操作下遷移至ＴＡ０。

將上述ＴＡ、ＴＢ的設定／復位時的操作不同處參照第３１圖的概略波形而作補足說明如以下所述。ＴＡ、ＴＢ爲新舊設定值的雙重比較期間信號。新設定值與計數值的比較，因爲是從成立ＴＣＮＴ３＝ＴＤＣＲ或是ＴＣＮＴ４＝ＴＤＤＲ之後開始，所以ＴＡ、ＴＢ的設定在移至其次的狀態之前，換言之，在發生狀況之後進行。然而復位爲移至其次的狀態之前，換言之，在發生狀況之後進行。然而復位爲移至其次的狀態之後進行。

在第３２圖與第３３圖，被表示爲爲了說明ＴＡ、ＴＢ的設定與ＵＤ的轉換時間之波形圖。ＴＡ、ＴＢ的設

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 54）

定與ＵＤ的轉換移至其次的狀態之後狀態機器不作實行，在發生ＥＶＥＮＴ之後使其進行。在第３２圖被表示爲計數同步脈衝爲最高速的φ之情況，在第３３圖被表示爲計數同步脈波爲最低速φ／２５６之情況。於上述各情況，無效時間Ｔｄ爲１，ｍｃｔ３，ｍｃｔ４爲內部一致信號。然而ＣＫ１、ＣＫ２，從系統同步脈波φ生成所謂２相無重疊同步脈波。ＴＣＫ爲計數器的向上計數同步脈波。無效時間爲Ｂ´０００１的情況之例。

以上述ＴＡ、ＴＢ、ＵＤ用以下的邏輯式表示之。

ＴＡ＝ＴＡ０＊ｍｃｔ３＋ＴＤ＋ＴＡ１……（１）

ＴＢ＝ＴＢ０＊ｍｃｔ４＋ＴＵ＋ＴＢ１……（２）

ＵＤ＝ＴＡ０＋／ｍｃｔ４＊ＴＤ＋ｍｃｔ３＊ＴＵ＋ＴＢ１……（３）

此處ｍｃｔ３爲與ＴＣＮＴ３的一致信號，ｍｃｔ４爲與ＴＣＮＴ４的一致信號。另外，＊表示邏輯積，＋表示邏輯和，／表示將低準位作爲動準位的標準線。

狀態的遷移的ＥＶＥＮＴ檢出，介隔於ｎｅｘｔ爲ＣＫ２＊ＴＣＫ，關於ＳＴＡＴＥ是在ＣＬ１＋＊（ＴＣＫ↑ＣＫ２）的上昇邊端進行。此處ＴＣＫ２表示在ＣＫ２的上昇邊端使其遲緩１周期。

緩衝器轉送信號ＢＴＲ爲對於周期設定用寄存器、舊設定用寄存器、新設定用寄存器，而爲了寫入新設定值的

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 55）

信號。此信號ＢＴＲ由於是計時形態寄存器ＴＭＤＲ的ＭＤ０～ＭＤ３位元的設定，因而可選擇是否在計數器的峰值下緩衝轉送、在計數器的谷值下緩衝轉送，在計數的峰值谷值下緩衝轉送。在計數器的峰值谷值兩方下轉送的方法，可以以倍周期的改寫。

如第３４圖的概略波形圖所示，緩衝轉送信號ＢＴＲ的生成，在計數器的峰值下轉送的情況下峰值的雙重比較期間終了之後，即是ＴＢ＝０之時發生１周期。無圖示在計數器的谷值下轉送的情況下，於ＴＡ＝０之時，在上述倍周期改寫之時發生於兩方。

在第３５圖，被表示爲緩衝轉送信號生成時間圖。將圖３４的ＥＶＥＮＴ與ＴＣＫ的邏積遲緩半周期的內部信號作爲ＢＥＶＥ，該ＢＥＶＥ與ＣＫ１的邏輯積作爲ＥＶＥＮＴ。ＴＡ０爲判斷在峰值的雙重比較期間的開始之ＳＴＡＴＥ，ＴＢ０爲判斷在谷值的雙重比較期間的開始之ＳＴＡＴＥ。若有該ＳＴＡＴＥ則同時的參照ＴＭＤＲ的條件，若選擇在谷值的緩衝器轉送時則在所定的時間生成ｂｔｒ。若以別的看法，ＴＡ０爲判斷在谷值的雙重比較期間的終了之ＳＴＡＴＥ，ＴＢ０爲判斷在峰值的雙重比較期間的終了之ＳＴＡＴＥ。上述ｂｔｒ若在該ＳＴＡＴＥ發生ＥＶＥＮＴ則不限於ＴＭＤＲ的條件而被歸０。由於內部信號ＥＶＥＮＴ與ｂｔｒ的邏輯積而被生成緩衝器轉送信號ＢＴＲ。

在第３６圖，被表示爲爲了補足說明副計數器關係信

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 56）

號的生成之概略波形圖。副計數器ＴＣＮＴＳ爲計數在峰值部與谷值部的雙重比較期間的動作。該處，計數器是以負載信號而進行寫入，除此之外的期間是作計數動作。因此，上述負載信號，由於ＴＡ、ＴＢ的邏輯和的否定（ＴＳＡＣＴ＝／（ＴＡ＋ＴＢ）而被生成。

副計數器的重載值選擇信號的生成如以下所述。副計數器的計數動作開始時的初期值在峰值部及谷值部的雙重比較期間爲相異，且被收納於重載寄存器１及重載寄存器２。因此，在計數器的寫入之前有必要從２個的寄存器中選擇１個。

在第３７圖，被表示爲爲了說計數器／寄存器選擇信號的生成之概略波形圖。計數器選擇信號ＴＤＬ與寄存器選擇信號ＲＳＬ，由於狀態的遷移而被設定／復位。因此同步於爲ＳＴＡＴＥ的遷移時間的ＣＫ１而被設定／復位。計數器選擇信號ＴＳＬ與寄存器選擇信號ＲＳＬ，以以下的邏輯式表示。

ＴＳＬ＝ＴＤ＋ＴＢ０＋ＴＢ１　……（４）

ＲＳＬ＝ＴＢ０＋ＴＵ＋ＴＢ１　……（５）

１／ＰＷＭ周期輸出信號１／２ＣＹＣ的生成如以下所述。在相輔ＰＷＭ形態，周期設定寄存器與計數器ＴＣＮＴ３的傳輸匹配，即是發生ＴＧＲ３Ａ＝ＴＣＮＴ３時；或是重載值設定寄存器（Ｂ＇００００）與計數器

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 57）

ＴＣＮＴ４的傳輸匹配，即是發生ＴＣＮＴ４＝０時，將同期於返復計數觸發器動作的１／２ＰＷＭ周期之信號，可以從ＴＩＯＣ３Ａ輸出，且該輸出以１／２ＣＹＣ。被設定爲相輔ＰＷＭ形態時，則形成爲１／２ＣＹＣ＝０。相輔ＰＷＭ形態關連的設定終了，且在計時開始寄存器將ＴＳＴＲ的ＳＴＲ３、ＳＴＲ４位元設定成１後，在最初的計數同步脈衝輸出形成爲１／２ＣＹＣ＝１，且在之後返復上述的計數觸發器動作。

在第３８圖，被表示爲有關本發明的插入Ａ／Ｄ轉換器開始觸發器之時間圖。在相輔ＰＷＭ形態，由於周期設定寄存器與計數器ＴＣＮＴ３的傳輸匹配，即是ＴＧＲ３Ａ＝ＴＣＮＴ３；寄存器ＴＣＮＴ４的下流，即是ＴＣＮＴ４＝０而可以產生插入。插入的許可，由於計時可中斷寄存器ＴＩＥＲ的設定因而成爲可能。

在相輔ＰＷＭ形態，由於周期設定寄存器與計數器ＴＣＮＴ３的傳輸匹配，即是ＴＧＲ３Ａ＝ＴＣＮＴ３；計數器４的下流，即是ＴＣＮＴ４＝０因而可以發生Ａ／Ｄ轉換器開始觸發器。該Ａ／Ｄ轉換器開始觸發器的許可，由於上述計時可中斷寄存器ＴＩＥＲ的ＴＴＥＧ位元的設可而成爲可能。

比較器因進行隨時比較，而所被選擇的計數器及寄存器也在初期值的狀態下輸入一致信號。在向上向下控制部，因爲使用一致信號作爲ＥＶＥＮＴ信號，而在初期狀態的一致信號遷移了狀態時就無正確的動作。在該處，一致

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 58）

信號，計時開始寄存器ＴＳＴＲ的ＳＴＲ３、ＳＴＲ４位元有必要作爲只在以１入計數動作時有效。即是如次式（６）取其內部一致信號與開始位元的邏輯積，作爲ＥＶＥＮＴ信號。

ＥＶＥＮＴ＝ＳＴＲ３＊ｍｔｃ３＋ＳＴＲ４＊ｍｔｃ４ ……（６）

在第３９圖，被表示爲爲了說明上述相輔ＰＷＭ控制之構成圖。有關本發明的相輔ＰＷＭ控制的基本想法是爲了保証無效時間。因而以一對的使用同一計數方向的２個平行線，在不爲計數觸發器型而爲設定／復位型生成輸出波形。

（１）於向下計數時，在設定值與ＴＣＮＴ３的一致下將正相使其ＯＮ，在設定值與ＴＣＮＴ４的一致下將逆相使其ＯＦＦ。

（２）於向上計數時，在設定值與ＴＣＮＴ４的一致下將正相使其ＯＦＦ，在設定值與ＴＣＮＴ３的一致下將逆相使其ＯＮ。

在此處，點Ｘ的值，將ＴＣＮＴ４與ＴＧＲＢ３Ａ的差作爲１，則可以用下式（７）～（１０）求出。

１＝ＴＧＲ３Ａ－ＴＣＮＴ４ ……（７）

ｘ＝ＴＧＲ３Ａ＋１

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 59）

＝２＊ＴＧＲ３Ａ－ＴＣＮＴ４……（８）

ｙ＝ｘ

＝２＊ＴＧＲ３Ａ－ＴＣＮＴ４……（９）

ＴＣＮＴ４＝２＊ＴＧＲ３Ａ－ｙ……（１０）

因此，以上式作處理時在計數器的更新時不作再計算而限於改寫設定值ｙ時實行計算處理，該結果記憶於寄存器而形成可能爲相輔ＰＷＭ輸出。在谷值的部份也作同樣的處置。此定數計算處理，在新舊兩方在比較爲不要的期ＴＸ利用空置的比較器而實行。

例如，如前述平成５年３月日立製作所發行「Ｈ－８／３００３硬體操作」所記載的計時器，在過去其特徵爲：在未完善副計數器ＴＣＮＴＳ以上述的計算處理求取所計數的部分，進而原理上１個周期因是在一Ｔｄ－（Ｔｃ／２）～＋Ｔｄ＋（Ｔｃ／２）的期間，所以在過去的１周期Ｔｃ之外僅在２＊Ｔｄ的期間的新舊兩方之值下與計數值作比較，且實行一致檢出。

在第４０圖，被表示爲對應於上述的計算方式的向上向下控制部之方塊圖。由於以上述計算方式的控制，因而對於過去的計數器，且形成爲必要有新的如以下的硬體裝置。

（１）附加加減算機能的比較器Ａｕ＆ＣＭＰ

此附加加減算機能的比較器Ａｕ＆ＣＭＰ，在期間

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 60）

Ｔａ與Ｔｂ將新舊兩方的設定值與各別的計數值作比較，進而爲了計算處理計數器的無存在部分之值，因而成爲必要。

（２）暫時的寄存器ＴＥＭＰ

在新舊兩方爲了以各別的計數器值作比較，只在該期間Ｔａ與Ｔｂ發生有使用者寄存器改寫禁止期間。爲了迴避該改寫禁止期間，因而被設置有一時的記憶緩衝寄存器之值的暫時的寄存器ＴＥＭＰ。

（３）通用寄存器ＴＧＲ＃、ＴＢＲ＃

爲了一時的記憶在上述期間Ｔａ、Ｔｂ作表較之ＴＧＲ的計算值與ＴＢＲ之計算值的設置。

（４）選擇器ＭＵＸ

在上述的期間Ｔａ與Ｔｂ爲了實行比較動作及計算動作，因而選擇適宜各別的寄存器值之設置。

在第４０圖所示的前述方式，爲了實行計算處理而必要有演算器或暫時的寄存器。在該處如第２圖～第３８圖所述，不實行計算處理實現相輔ＰＷＭ，也可以將邏輯規模縮小。也就是，如第４１圖的方塊圖所示，設置計數峰值、谷值的Ｖ字型部的專用計數器ＴＣＮＴＳ。進而利用該計數器ＴＣＮＴＳ，可以削減第４０圖演算器或暫時的寄存器。進而用該計數器ＴＣＮＴＳ作爲別的波道亦可。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 61）

如前所述，在有關本發明的相輔ＰＷＭ形態，持有一定的期間（無效時間）間隔，並且必須實行２個的向上計數、２個的向下計數。該計數器動作之具體實現方法，種種變更皆有可能。例如，４個計數器，即是也可以用２個的向上計數器及２個的向下計數器而構成。另外，也可以以如上述實施例的３個向上向下計數器而構成，或是可以用計算求出。

計數值的動作範圍也不必要將下限值作爲０。例如，將負載５０％的上下對稱作爲０即可。進而，比較器的構成等也可能有種種的變更。１個比較寄存器，因實行與全部的寄存器之比較，所以持有對應於計數器的個數之比較器即可。初期設時將無效時間寫入至ＴＣＮＴ３，將Ｂ´００００寫入至ＴＣＮＴ４即可。在待機時（ＣＳＴ＝０）將ＴＣＮＴ３的值若使其轉送至ＴＤＤＲ時，就不必要獨立的設定ＴＤＤＲ。

在第４２圖，被表示爲爲了說明在本發明所加諸的計時器Ｂ的相輔形態及資料傳送控制器（資料轉送裝置）ＤＴＣ的動作例之位址圖，在第４３圖，被表示爲該動作的時間圖。

相輔ＰＷＭ形態１的情況，以計時器Ｂ的傳輸匹配ＴＧＲ３Ａ（峰值）插入，起動資料傳送控制器ＤＴＣ。以上述ＤＴＣ將ＲＡＭ上的傳輸值轉送至緩衝寄存器（ＴＧＲ３Ｄ、ＴＧＲ４Ｃ、ＴＧＲ４Ｄ）上。所加諸的寄存器配置成爲連續區域。所加諸的資料轉送是利用所謂的方

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 62）

塊轉送形態。也就是由於指定轉送根源位址寄存器與轉送去處位址寄存器、及單元尺寸、及轉送次數，因而於1次的起動下，在上述例的情況實行3字元分的轉送。所加諸的3字元（TGR3DITGR4C、TGR4D），如前所述，爲連續位址，以上述的DTC而可能連續的寫入。關於單元轉送形態，被記載於前述平成5年3月日立製作所發行TH8／3003硬體操作」或是特願平4－137954號。

如上述發生傳輸匹配TGR3A插入則資料傳送控制器DTC被起動。上述DTC實行從上述RAM送往緩衝寄存器的單元轉送。於峰值的無效時間區域，如前所述，從緩衝寄存器送往TR的轉送是不被實行的。超過無效時間區域時，則將保持於TR的內容轉送至TGR，將BR的內容轉送至TR。於第43圖，附有斜線部分表示被供於傳輸的期間。相輔PWM形態2的情況，以計數器的下流（TCNT＝0）插入，起動上述DTC，其他則與上述第42圖及第43圖相同。另外，復位同期PWM形態也與概略圖42及第43圖相同。

在第44圖，被表示爲爲了說明計時器B的相輔PWM形態及資料傳送控制器DTC的動作之其他例的位址圖。驅動馬達的情況，各自監視馬達的驅動狀態，會有設定傳輸值的情況。在加諸的情況，如前述圖42，不必預先將傳輸值設定於RAM上。將最新的傳輸值配置於所定的RAM上，且在每次上述DTC從相同的RAM位址

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 63）

，轉送至ＩＴＵ的緩衝器。此情況，將ＤＴＣ的轉送計數設定成１。發生插入時，則實行ＲＡＭ上的１單元的傳輸值轉送。在該資料轉送終了時，在中央處理裝置要求插入，且使其實行於所加諸的ＣＰＵ其次傳輸值的準備、或ＤＴＣ的寄存器的再設定。

在相輔ＰＷＭ形態３，在峰值／谷值更新資料的情況，以計時器的傳輸匹配ＴＣＮＴ３＝ＴＧＲ３Ａ（峰值）、下流ＴＣＮＴ４＝０（谷值）插入的例外處理路徑的先頭位址（例外處理向量）也成爲共通則成便利。中央處理裝置ＣＰＵ，不必要判斷時間計數器ＴＣＮＴ３、４是否爲向上下計數狀態、或是否爲向下計數狀態，即是不必要判斷在峰值是否更新資料、或是在谷值是否更新資料。將最新的傳輸值寫入至ＲＡＭ上的所定位址即可。將在峰值／谷值的資料之改寫使其可能，且可以使其提高控制精度。

在第４５圖，被表示爲計時器Ｂ（ＩＴＵ）的讀取／寫入控制電路的一實施例之方塊圖。所加諸的計時之寄存器當中，被設定ＣＮＴＬ有位元作爲僅在初期設定禁止必要的寄存器之改寫的位元。所加諸的ＣＮＴＬ位元被消除爲０時，使其成改寫許可狀態，且ＣＮＴＬ位元被設定爲１時則使其成改寫禁止狀態。將改寫入禁止可能的寄存器之例，具有ＴＣＲ３、４；ＴＭＤＲ３、４；ＴＩＯＲ３Ｈ、Ｌ；ＴＩＯＲ４Ｈ、Ｌ；ＴＩＥＲ３、４；ＴＯＥＲ；ＴＯＣＲ；ＴＯＳＲ；ＴＧＣＲ。位址被配置成

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 64）

B´FFFC0～FFC9，FFCC～FFCF。除TSR之外。計時器全體被配置成位址B´FF80～FFEF。

以位址解碼器電路，檢出位址。以所加諸的位址解碼器，檢出位址B´FFFCD～FFCF的信號被輸入至NAND閘G10NAND閘G1的他方輸入被作爲CNTL位元與寫入信號。上述NAND閘G1的輸出反轉被輸入至AND閘G2。AND閘G2的輸出被作爲計時器B（ITU）的選擇信號。即是位址B´FFC0～FFC9、FFCC～FFCF被選擇時，且CNTL位元被設定成1，且在寫入動作之時，NAND閘G1的輸出形成爲0，AND閘G2的輸出也形成爲0準位因而ITU的選擇被禁止。換言之，對於ITU的寫入動作被禁止。在除此之外的條件，NAND閘G1的輸出形成爲1，在位址B´FF80～FFFF被選擇時，ITU被選擇因而實行讀取／寫入動作。由於如上述所述只在初期設定禁止必要的控制寄存器的寫入動作，因而可以抑止由於誤寫入之誤動作。

在第46圖，被表示爲使用本發明所適用的單晶片微電腦之控制系統的實施例之概略方塊圖。在實施例傾向於Ac感應伺服馬達等的馬達控制。使用以計時器B（ITU）的相輔3相的PWM輸出（TIOC3B〔U〕、TIOC3D〔U#〕、TIOC4A〔V〕、TIOC4C〔V#〕、

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 65）

ＴＩＯＣ４Ｂ〔Ｗ〕、ＴＩＯＣ４Ｄ〔Ｗ＃〕），介由轉換器電路等的緩衝電路而驅動馬達。在轉換電器電路的前段連接緩衝電路也可以。因可以選擇輸入極性，所以用緩衝電路的段數選擇輸出極性。

這些的正相／逆相，輸入至被連接成轉換電路的串接之電晶體的閘極。如前所述，在以１６位元計時器的相輔３相的ＰＷＭ輸出的正相／逆相的變化點，因可以插入無效時間，所以被連接成上述轉換器電路的串接之電晶體形成爲同時ＯＮ的狀態，因而不會發生不是所要的貫通電流。另外正相／逆相兩方皆爲ＯＦＦ的時間，因使其在無效時間的２倍以下，所以被連接成上述轉換器電路的串接之電晶體形成爲同時ＯＦＦ的狀態，因而不會由於經過不爲所須的長時間而發生不安定的狀態。

所加諸的轉換器電路的輸出驅動馬達。例如，上述轉換器電路的輸出爲在馬達的內部，例如被供給所謂成Ｙ連結（或是星型連結）的固定子捲線，２輸出使其爲高準位、１輸出使其爲低準位時，則以電阻分割生成電源電壓的２／３。同樣的，１輸出使其爲高準位，２輸出使其爲低準位時，則以電阻分割生成電源電壓的１／３。ＰＷＭ控制所加諸的高準位的期間，而可以使其變化輸出電壓。將計時器Ｂ（ＩＴＵ）的相輔形態的計數器之周波數作爲搬送，而將所要的正弦波信號等以脈波信號使其可能近似的輸出。脈波的高準位波幅，使其對應於所要的正弦波信號等的振幅。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 66）

轉換電路從電源電路・變頻電路・平滑電路供給電壓。將所加諸的電源電路・變頻電路・平滑電路的一部分或是全部與轉換器電路構成爲一體亦可。該輸電流檢出所要的值以上的情況，將該過電流檢出信號作爲輸入斷路而輸入至ＴＩＯＣ３Ａ。將ＴＯＣＲ的ＸＴＧＤ位元消除成０而檢出過電流，輸入斷路被輸入時，在ＴＯＳＲ的ＯＳ４Ｄ、ＯＳ４Ｃ、ＯＳ３Ｄ、ＯＳ４Ｂ、ＯＳ４Ａ、ＯＳ３Ｂ位元所指定的內容，作爲各別Ｗ＃、Ｖ＃、Ｕ＃、Ｗ、Ｖ、Ｕ而被輸出，因而可以使其停止轉換馬達。另外，硬體的輸出的停止之其他，若必要軟體處理時，將上述過電流檢出信號輸入至插入輸入ＮＭＴ即可。或是使用輸入接收ＴＧＲ３Ａ插入亦可。由於使用輸入斷路機能，因而以中央處理裝置ＣＰＵ的軟體處理從固定輸出值，可以在短時間斷路輸出。另外，檢出電壓的降下時，也可以使其實行上述同樣的處理。

檢出２相的轉換器驅動電流，而輸入至Ａ／Ｄ轉換器的類比輸入ＡＩＮ４、５。這些的類比輸入是以上述計時器Ｂ（ＩＴＵ）的ＴＣＮＴ３的傳輸匹配Ａ及／或是ＴＣＮＴ４的下數而被起動，２波道同時或是連續的Ａ／Ｄ轉換。

被連接於馬達的２向編碼器脈波（光學式編碼或是回轉編碼器等），介由波形整形電路，作爲１６位元計時器波道１的計數同步脈波輸入（ＴＣＬＫＣ、ＴＣＬＫＤ）而被輸入。此情況，波道１在位相計數形態下作動作。因

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 67）

此可以實行馬達的位置與速度的檢出。根據此點而進行馬達控制的相轉換而作轉流處理。

關於馬達的位置檢出，可以取其除上述之外的種種方法。例如以Ａ／Ｄ轉換器檢出馬達的感應電壓，判定馬達的磁極位置而可以進行位置的檢出。另外將馬達的孔洞素材的輸出３個輸入至１６位元計時器波道０的輸入接收輸入（ＴＩＯＣ０Ａ、ＴＩＯＣ０ＢＩ、ＴＩＯＣ０Ｃ）。也可作爲馬達的磁極位置檢出、檢出回轉速度。在波道０因爲有４個寄存器，因而可以有效的利用此點。

速度的指令等，從上位ＣＰＵ或是微電腦而被供給。這些編碼器的輸出作爲別的脈波列，而被輸入至１６位元計時器波道２的計數同步脈波輸入（ＴＣＬＫＡ、ＴＣＬＫＢ）。此情況，波道２在位相計數形態下作動作。在上位的ＣＰＵ的其他，輸出具有量的編碼器信號亦可。以所加諸的編碼器脈波可以理解被向上向下計數的時間計數器之值作爲速度的指令之參數。微電腦配合一致於速度指令，根據回轉速度檢出結果而進行ＰＷＭ輸出控制。

ＳＣＩ爲進行別類的通信。例如，進行與控制盤或ＥＥＰＲＯＭ等的通信。在ＥＥＰＲＯＭ可以收納固有的參數資訊。或是進行與別的ＣＰＵ或是微電腦的通信。計時器Ｂ（ＩＴＵ）的其他輸出（ＴＩＯＣ０Ａ等）、及計時器Ａ的輸出介由別的驅動電路，而驅動例如電扇馬達等，別的ＤＣ馬達或是步進式馬達。ＩＯＰ１～３的輸出爲實行各種開關或繼電路等的控制。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 68）

以波道3的傳輸匹配ＴＣＮＴ３＝ＴＧＲ３Ａ及波道4的下流ＴＣＮＴ４＝０而起動Ａ／Ｄ轉換器，再檢出2相的轉換器驅動電流（１１、１２），且以轉換終了插入，將此被檢出的電流值以ＣＰＵ作處理後，使其反映於以後的波道3與4的傳輸值（ＴＧＲ３Ｄ、ＴＧＲ４Ｃ、ＴＧＲ４Ｄ）的設定。馬達內部的固定子捲線，在所謂Ｙ連結（或是星型連結）或是△連結的情況下，因電流值的總和形成爲０，所以流至第3相的電流可以以計算一（Ｉ１＋Ｉ２）求出，且可以間接的檢出該電流。由於檢出所加諸的電流而進行ＰＷＭ控制（脈波幅控制），所以可以控制馬達輸出的轉矩，並且例如可以使其減低轉矩脈動。

將感知電路的輸出輸入於Ａ／Ｄ轉換器的類比輸入ＡＩＮＯ～３，６，７。在感應電路可以含有馬達驅動部分的溫度檢出、或電源電路的電壓檢出、電流檢出等。類比輸入ＡＩＮ０～３以計時器Ａ的傳輸匹配而被起動，例如以群體形態，單獨形態下作變換。例如１ｍｓ間隔產生計時器Ａ的傳輸匹配，而在一定時間間隔實行感應器資訊的取樣。另外，輸出感器電路的動作狀況，而輸入至外部觸發器。以該外部觸發器，因而例如類比輸入ＡＩＮ６的轉換被起動。在每一定時間等檢出這些，而進行所須的處理，且使其反應於以後的相輔ＰＷＭ形態的傳輸值的設定。

在第４７圖，被表示爲爲了說明本發明所加諸的計時電路的波道０與波道１的連接例之方塊圖。被連接於馬達

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 69）

的2相之編碼器脈波，介由波形整形電路，作爲16位元計時器波道1的計數同步脈波輸入（TCLKC、TCLKD）而被輸入。所加諸的波道1，以前述寄存器TMDR的MD3～0位元而被設定於前述位相計數形態。

0

計數器TCNT0將內部同步脈波作爲向上計數器同步脈波，而檢測絕對的時間。也就是計數器TCNT0是進行自動運轉動作。如前所述，以前述寄存器TIOC0A的IDB3～0位元，而在波道0的輸入接收信號B輸入波道1的同步脈波，即是從TCLKC、TCLKD輸入所被生成的計數器TCNT1的向上計數／向下計數。

將上述寄存器TMDR的BFB位元設定成1，而將前述寄存器TGR0B與TGR0D作爲緩衝器動作。即是發生上述TCNT1的向上計數／向下計數同步脈波時，則TCNT0的內容被轉送至上述TGR0B。另外保持此時的TGR0B的內容被轉送至TGR0D。以取其TGR0B與TGR0D的內容差，可以計測編碼器脈波的脈波幅。甚至可以檢測編碼器即是轉換器馬達的速度。

如前所述，以上述寄存器TIOR1的IOA3～0位元，IOB3～0位元，輸入波道0的傳輸匹配信號A、B作爲波道1的輸入接收信號。以在每一定時間使其發生傳輸匹配信號，而在前述寄存器TGR0A、TGR0C所被設定的每一期間中，2相的編碼器的計數

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 70）

值被轉送至前述寄存器ＴＧＲ１Ａ、ＴＧＲ１Ｂ。例如，在ＴＧＲ０設定ＴＧＲ０Ａ的一半時間。在ＴＧＲ０Ａ的每一傳輸匹配，編碼器的計數值得於ＴＧＲＡ１。甚至可以計測馬達的位置，換言之可以計測編碼器即是轉換器馬達的位置。另外，在ＴＧＲ１Ｂ因被收納之前的傳輸匹配ＴＧＲ０Ｃ時的編碼器之計數值，所以在ＴＧＲ０Ａ－ＴＧＲ０Ｃ的期間，只有ＴＧＲ１Ａ－ＴＧＲ１Ｂ的計數值的解碼器形成爲回轉，且可以檢測編碼器甚至馬達的回轉速度。因而，以檢出馬達的回轉速度，可以檢測馬達滑動率，且可以利用對馬達的控制，檢出馬達的位置，可以將最適的控制號供予馬達。

在第４８圖，被表示爲爲了說明上述第４７圖的實施例的動作之時間圖。計數器ＴＣＮＴ０爲進行如前述的自由運轉動作，且進行Ｂ´０００００～Ｂ´ＦＦＦＦ的計數動作。將上述計數器ＴＣＮＴ１的計數信號作爲接收信號而ＴＣＮＴ０的內容被轉送至ＴＧＲ０Ｄ，ＴＣＮＴ０的內容被轉送至ＴＧＲ０Ｂ。以ＴＯＲ０Ｄ－ＴＧＲ０Ｂ的差可以檢測ＴＣＮＴ１的計數間隔。

ＴＣＮＴ０與ＴＧＴ０Ｃ和ＴＧＴ０Ｃ作比較，當一致時則以中央處理裝置ＣＰＵ的處理而相當於所須的一定時間的值被加算於ＴＧＲ０Ａ及ＴＧＲ０Ｃ。即是ＴＧＲ０Ａ、ＴＧＲ０Ｃ的傳輸匹配信號發生於前述每一定時間。將ＴＧＲ０Ａ的傳輸匹配信號作爲接收信號，ＴＣＮＴ１的內容被轉送至ＴＧＲ１Ａ。將ＴＧＲ０Ｃ的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 71）

傳輸匹配信號作爲接收信而ＴＣＮＴ１的內容被轉送至ＴＧＲ１Ｂ。在每一定時間，例如檢測ＴＧＲ０Ａ的每一傳輸匹配／之ＴＣＮＴ１之值，而可以檢測編碼器的位置。另外以ＴＧＲ１Ａ－ＴＧＲ１Ｂ的差，可以檢測別的一定期間ＴＧＲ０Ａ－ＴＦＲ０Ｂ的時間內的ＴＣＮＴ１之變化量，且可以檢測編碼器之變化量・速度。因此，可以檢測馬達的位置及速度。以ＴＣＬＫＣ與ＴＣＬＫＤ，生成ＴＣＮＴ１的向上計數同步脈波。

在第４９圖，被表示爲爲了說明前述相輔ＰＷＭ形態３的情況之Ａ／Ｄ轉換器的動作時間之時間圖。將前述寄存器ＴＩＥＲ３的ＴＴＧＥ位元、及前述寄存器ＴＩＥＲ４的ＴＴＧＥ位元設定爲１，而在波道３的傳輸匹配Ａ及波道４的下流之兩方使其起動Ａ／Ｄ轉換器。Ａ／Ｄ轉換器，由於控制寄存器設定於輸入波道ＡＩＮ４，５，且使其爲選擇以計時器的起動狀態。若沒發生起動要因的狀態則爲待機狀態。波道３的傳輸匹配ＴＧＲ３Ａ及波道４的下數的邏輯和信號作爲Ａ／Ｄ轉換器的起動信號而從計時器供予Ａ／Ｄ轉換器。

在相輔形態１的情況，只有波道３的傳輸匹配ＴＣＮＴ３＝ＴＧＲ３Ａ時被選擇；在相輔形態２的情況，只有波道４的下流ＴＣＮＴ＝０時被選擇，在相輔形態３的情況，如上述波道３的傳輸匹配及波道４的下流之兩種被選擇，作爲Ａ／Ｄ轉換器的起動信號而從計時器供予Ａ／Ｄ轉換器。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 72）

發生上述所選擇的起動信號時則開始A／D轉換，且變換從輸入端子AIN4及AIN5所被輸入的類比信號，再收納於資料寄存器。因此，可以檢測馬達的驅動電流。至於其他，在每一定時間欲轉換A／D轉換器的其他輸入波道時，由於在計時器A的傳輸匹配等的插入處理下，使其在中央處理裝置CPU進行插入處理，以該插處理而CPU則再設定A／D轉換器的控制寄存器，因而可以輸入其他的感應器資訊。將其結果，例如中央處理裝置CPU作爲參數資訊而實行所要的處理，且使其反映至以後的波道3、4之傳輸值（TGR3C、TGR4C、TGR4D）的設定。

所加諸的轉換完成後，以控制寄存器將輸入波道設定於AIN4、AIN5。由於使其選擇以計時器的起動狀態，因而再發生波道3的傳輸匹配TCNT3＝TGR3A（峰值）或是波道4的下流TCNT4＝0時，上述AIN4、AIN5被轉換而檢測馬達的驅動電流。經此過程，可以作爲同步於PWM輸出的馬達電流之檢測。以硬體而可以起動A／D轉換器，所以縮短從峰值／谷值時至檢測馬達的驅動電流爲止的時間，且可以使其提高檢出精度。由於將2相分的電流作同時取樣，因而可以提高電流精度。由於將2相分的電流作同時取樣，因而可以提高電流精度而使其提高PWM控制精度。

在第50圖，被表示爲上述A／D轉換器的實施例之方塊圖。A／D轉換器以實行控制邏輯、匯流排介面、控

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 73)

制寄存器ＡＤＣＲＳ、ＡＤＣＲ、資料寄存器ＡＯＤＲＡ～ＡＤＤＲＨ、2位元分壓、6位元分壓及2位元分壓的電阻分壓電路（Ｄ／Ａ轉換）、類比多路轉換器、取樣電壓。準位移位電路Ａ及Ｂ、比較器陣列（差動增幅器）Ａ及Ｂ、順位比較寄存器所構成。使其可能實行以一對的取樣電壓、準位移位電路Ａ、Ｂ之一對的類比輸入之同時取樣。

作爲Ａ／Ｄ轉換器的外部輸入具有電源（Ｖｃｃ、Ｖｓｓ、ＡＶｃｃ、ＡＶｃｃ、ＡＵｓｓ、ＶＲＥＦ）、類比輸入ＡＩＮ０～ＡＩＮ７、外部觸發器信號ＡＤＴＲＧ。作爲單晶片微電腦的內部信號爲供予從計時器Ａ與Ｂ的起動信號、位址匯流排、讀取信號、寫入信號、匯流排尺寸信號、要因消除信號，且介由匯流排介面而與內部資料匯流排之間進行資料的輸入輸出。然而，輸出插入信號ＡＤＩ。所加諸的插入信號ＡＤＩ輸至插入控制器ＩＮＴ，而作爲上述資料傳送控制器ＤＴＣ的起動信號或是中央處理裝置ＣＰＵ的插入要求。

控制邏輯，根據從中央處理裝置ＣＰＵ所加諸的位址匯流排之位址信號、讀取信號、寫入信號，而在與內部資料匯流排之間介由匯流排介面而在控制寄存器ＡＤＣＳＲ、ＡＤＣＲ、資料寄存器ＡＤＤＲＡ～ＡＤＤＲＨ之間進行資料的輸入輸出。輸入從外部觸發器信號ＡＤＴＲＧ及計時器Ａ、Ｂ的起動信號至控制邏輯。控制邏輯根據上述控制寄存器ＡＤＣＳＲ、ＡＤＣＲ的內容，而實行類比輸

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 74）

入動作控制。然而，控制邏輯輸出上述插入信號ＡＤＩ。

控制寄存器ＡＤＣＳＲ、ＡＤＣＲ，從中央處理裝置ＣＰＵ介由內部資料匯流排、匯流排介面進行讀取／寫入，指示控制邏輯的動作，且表示上述類比輸入的狀態。也就是實行輸入波道的選擇。轉換形態之選擇。在Ａ／Ｄ轉換器形態具有如後述實行１波道的轉換之選擇形態、及實行複數波道的轉換之群體形態，加上這些尙具有實行１次的轉換之單獨形態及返復實行轉換的掃描形態。

＜表１６＞

位元	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	CKS	GRP	CH2	CH1	CH0
初期值	0	0	0	0	0	0	0	0
	R/W	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W

控制寄存器ＡＤＣＳＲ爲Ａ／Ｄ控制／狀態寄存器，可能作爲８位元的讀取Ｒ或是寫入Ｗ的寄存器，且實行Ａ／Ｄ轉換器轉換的動作控制及狀態的表示。此寄存器ＡＤＣＲＳ在復位時被初期化（初期值）爲Ｂ＇００，且將該位元構成表示於上述表１６。

位元７的ＡＤＦ爲表示Ａ／Ｄ轉換的終了之狀態標記，在ＡＤＦ１的狀態下，在讀取ＡＤＦ標記後將０寫入至

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 75）

ＡＤＦ標記時，且以ＡＤＩ插入起動資料轉送裝置ＤＴＣ或是ＤＭＡＣ時作爲其消除條件。在單獨形態之時，終了所指定的全部波道的轉換時，且在終了Ａ／Ｄ轉換時，及在掃描形態之時，掃描所指定的全部波道而轉換時作爲其設定條件。

位元６的ＡＤＩＥ，選擇以Ａ／Ｄ轉換終了的插入（ＡＤＩ）要求之許可或是禁止。若爲ＡＤＩＥ＝０則禁止以Ａ／Ｄ轉換終了的插入（ＡＤＩ）要求，若爲ＡＤＩＥ＝１則許可以Ａ／Ｄ轉換的終了的插入（ＡＤＴ）要求。

位元５的ＡＤＳＴ，選擇Ａ／Ｄ變換的開始或是停止。Ａ／Ｄ轉換中保持爲１。ＡＤＳＴ以Ａ／Ｄ外部觸發器輸入端子（ＡＤＴＲＧ）、或是計時器的觸發器信號而被設定成１。ＡＤＳＴ＝０時停止Ａ／Ｄ轉換，ＡＤＳＴ＝１時若爲單獨形態則開始Ａ／Ｄ轉換，終了所指定的波道之轉換就自動的被消除爲０。ＡＤＳＴ＝１時若爲掃描形態則開始Ａ／Ｄ轉換，且以硬體使其被消除爲０爲止實行連續轉換。

位元４的ＣＫＳ爲同步脈衝選擇信號，實行Ａ／Ｄ轉換時間的設定。轉換時間的更改變是在轉換停止中施行。在ＣＫＳ＝０時轉換時間形成爲２０單位（選擇基準同步脈波ϕ），ＣＫＳ＝１時轉換時間形成爲４０單位（選擇基準同步脈波ϕ／２）。

位元３的ＧＲＰ爲群體形態信號，將Ａ／Ｄ轉換波道

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 76）

的選擇指定於選擇形態。此ＧＲＰ位元的設定是在Ａ／Ｄ轉換停止中進行。當ＧＲＰ＝０時作爲選擇形態，當ＧＲＰ＝１時作爲群體形態。

位元２～０爲波道選擇信號，與上朮ＧＲＰ設定同時選擇類比輸入波道。輸入波道的設定是在Ａ／Ｄ轉換停止中進行。當ＧＲＰ＝０時在選擇形態之時以上述３位元ＣＨ２～ＣＨ０的組合選擇ＡＮ０～ＡＮ７的任何一個。當ＧＲＰ＝１時在群體形態之時上述３位元ＣＨ２～ＣＨ０爲Ｂ´００００時只選擇ＡＮ０，除此之外上述ＡＮ０與位元ＣＨ１與ＣＨ２的組合ＡＮ１～ＡＮ７與上述ＡＮ０同時的被選擇。

控制寄存器ＡＤＣＲ爲Ａ／Ｄ控制寄存器，可能８位元的讀取或是寫入的寄存器，並且實行Ａ／Ｄ轉換器的動作控制。此寄存器ＡＤＣＳ在復位時被初期化（初期值）爲Ｂ´００，且將該位元構成表示於以下的表１７。

＜表１７＞

位元	7	6	5	4	3	2	1	0
	INF	PWR	TRGS1	TRGS2	SCAN	PSMP	BUFE1	BUFE2
初期值	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 77）

位元7的ＩＮＦ爲間隔位元，且指定間隔動作。在間隔動作，ＢＵＳＹ信號爲活性狀態時，則不會開始新的Ａ／Ｄ轉換器轉換動作。由於將ＡＤＦ標記消除０，所以將ＢＵＳＹ信號作爲活性狀態，且可以使其開始新的Ａ／Ｄ轉換動作。ＩＮＦ＝０爲通常動作，ＩＮＦ＝１則爲上述間隔動作。

位元6的ＰＷＲ爲電源位元，且設定轉換開始形態。關於轉換開始形態以高速轉換形態與低消耗電力形態所形成。

位元５～４的ＴＲＧＳ１、ＴＲＧＳ０爲計時觸發器選擇位元，且選擇以觸發器的信號的Ａ／Ｄ轉換開始之許可或是禁止。ＴＲＧＳ０的設定爲在Ａ／Ｄ轉換停止中進行。由於上述２位元的ＴＲＧＳ１、ＴＲＧＳ０的組合，因而可以選擇以下的４個方法。（１）只許可以軟體之Ａ／Ｄ轉換的開始。（２）許可以計時觸發器（計時器Ｂ）之Ａ／Ｄ轉換的開始。是否觸發計時器Ｂ的任何信號，可以在ＴＩＥＲ的ＴＴＧＥ位元作選擇。可以使用複數個觸發器，例如ＴＧＲ３Ａ的傳輸匹配與ＴＣＮＴ４的下數。（３）計以計時觸發器（計時器Ａ）之Ａ／Ｄ轉換的開始。（４）許可以外部觸發器端子之Ａ／Ｄ轉換的開始。

位元３的ＳＣＡＮ爲掃描形態，且以Ａ／Ｄ轉換的動作形態實行單獨形態或是掃描形態的選擇。若爲ＳＣＡＮ＝０形成爲單獨形態且實行１次的轉換。

位元３的ＤＳＭＰ爲同時取樣形態，許可或是禁止２

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 78）

波道的同時取樣動作。關於該同時取樣動作的詳細情形說明於後。若爲ＤＳＭＰ＝０則爲通常取樣動作。若爲ＤＳＭＰ＝１則以所定的時間在取樣保持，準位移位電路Ａ、Ｂ同時的輸入且保持一對的類比輸入。

位元１與０的ＢＵＦＥ１、ＢＵＦＥ０爲可能的緩衝器，選擇是否使用資料寄存器ＡＤＤＲＡ～ＡＤＤＲＤ作爲緩衝寄存器。

資料寄存器ＡＤＤＲＡ～ＡＤＤＲＨ，從中央處理裝置ＣＰＵ介由內部資料匯流排及匯流排介由而可能爲讀取／寫入，收納類比輸入資料，換言之則爲收納Ａ／Ｄ轉換結果。沒有被特別限制，但這些的資料寄存器ＡＤＤＲＡ～ＡＤＤＲＨ，各別以１６位元而形成，在所被Ａ／Ｄ轉換的資料爲１０位元時，下位８位元被轉送保持於下位組元（位元７～０），上位２位元被轉送保持於上位組元（位元９與８）。上位組元的位元１５～１０不被使用，當讀取時通常被讀出爲０。在該實施例，資料的讀出可以被作爲組元或是字元選擇。也就是１０位分解能的Ａ／Ｄ轉換輸出入字元形態而被讀出，８位元分解能的Ａ／Ｄ轉換輸出以組元形態被作爲讀出上位８位元（位元９～２）。

類比多路轉送器，根據控制邏輯的輸出選擇信號而選擇類比輸入ＡＩＮ０～ＡＩＮ７，將對應於該選擇的類比信號投入於內部。該類比多路轉送器使其被含於上述第１圖的輸入輸通道ＩＯＰ９亦可。

取樣保持・準位移位電路，根據從控制邏輯所輸出的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 79）

取樣信號，而在類比多路轉送器取樣所選擇的類比輸入信號而作保持（儲存）。在本實施例，被設有2個取樣保持電路A與B，各別被輸給獨立的取樣信號A與B。而由於上取樣信號A與B而在獨立的時間作取樣，也可以同時的作取樣。於第46圖的系統，便利於2個類比輸入波道AIN4、AIN5同時的作取樣。可以同時的檢出馬達驅動電流，進而在計算第3個的電流時也可以提高相互間電流值的精度，且可以提高馬達驅動的精度。

準位移位電路A與B，以準位移位信號A與B使其準位移位上述所保持的輸入信號。該準位移位動作，根據第1次的A／D轉換結果而被實行。例如，將對應基準電壓VRFE的類比輸入範圍4等分後的電壓範圍當中，在VREF／4～VREF／2的附屬區域內使其移位上述所被保持的輸入信號。

比較器陣列A與B各別以5個差動增幅電路所構成。這些的比較器陣列A與B，比較保持於取樣保持電路A、B的輸出信號，與由局部電阻分壓電路所形成的複數個基準電壓（5個），並且輸出比較結果。即是可以同時的實行2位元分的比較。比較結果由於控制邏輯而被形成爲2進位信號再被收納於順位比較寄存器。

在第1次的比較實行與電阻分壓電路的上位2位元的比較。根據此比較結果而各別被形成爲準位移位信號A、B，由於準位移位電路A、B而如上述在附屬範圍區域內使其移位被保持的輸入信號。第2次以後的轉換動作，由

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 80）

於局部分壓電路（6位元分壓）因而形成1／64的分壓電壓，且其中的2位元分通過選擇器而被選擇，進而以2位元分壓所被分壓的電壓由於被供給至上述比較器陣列A或是B而被實行，因返復該樣的動作所以實行最下位位元爲止的轉換動作。在A／D轉換動作終了時，被保持在控制邏輯（順位比較寄存器）的轉換資料被轉送至資料寄存器ADDRA～ADDRH的任何一個。

電阻分壓電路（D／A轉換），例如在作爲10位元分解能時，必要形成以1024個電阻分壓基準電壓Vref與類比接地電壓AVss之間的分壓電壓。經該樣動作時，因電阻類目增大，所以本實施例如上述由於分成上位2位元分壓、6位元分壓及下位2位元分壓的3個分壓電路，因而使其大幅度的減少電阻數目。也就是本實施例的分壓電阻電路，以被分成上位2位元分壓電路與6位元與2位元的局部分壓電路所構成。上位2位元分壓電路，形成VERF、3REF／4、VREF／2、VREF／4及DV，而被供給至寄存器移位電路及比較器陣列。

6位元局部分壓電路，將上述VREF／4～VREF／2的範圍分壓成1／64而形成64種類的分壓電壓，且根據以順位比較寄存器的內容之指定，控制選擇器而輸出對應於從上位順序的每隔2位元的分壓電壓。此分壓電壓，進而以下位2位元分壓而被分壓後被供給至比較器陣列，而被用於A／D轉換動作。類比電壓

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 81）

ＡＶｃｃ、ＡＶｓｓ作爲類比部（多路轉換器、取樣保持電路、比較器陣列等）的電源。

在第５１圖，被表示爲爲了說明有關本發明的單晶片微電腦的動作例之流程圖。由於解除復位，因而被實行微電腦的初期設定。此實行也包含前述計時器ＩＴＵ或ＤＴＣ及Ａ／Ｄ轉換器的初期設定。Ａ／Ｄ轉換器，隨著觸發器而轉換輸入波道ＡＩＮ４，５而被設定。計時器Ａ，使其開始作爲間隔計時器的動作。

完了如上述的初期設定，就成爲馬達的起動要求待命狀態。馬達的起動要求，例如從上位的ＣＰＵ介由輸入輸出通道而輸給。輸入此馬達的起要求時，依所要的處理而傳輸值被算出後，該值被配置於ＲＡＭ上的第１區域。

接著，ＩＴＵ被起動，且實行相輔ＰＷＭ輸出，而形成爲插入待命狀態。當發生傳輸匹配ＴＣＮＴ３＝ＴＧＲ３Ａ（ＩＭＩＡ３）插入（峰值）或是下流ＴＣＮＴ４＝０（ＵＶ１４）插入（谷值）時，在Ａ／Ｄ轉換器供給起動信號而依照自動的或是硬體的初期設定而使輸入波道ＡＩＮ４，５作Ａ／Ｄ轉換。另外以上述ＩＭＩＡ３插入（峰值）或是ＵＶ１４插入（谷值）起動ＤＴＣ，且從前述ＲＡＭ上的所定位址轉送傳輸值至ＩＴＵ的緩衝寄存器ＴＧＲ３Ｄ、ＴＧＲ４Ｃ、ＴＧＲ４Ｄ，因而ＰＷＭ的負載被變更。

以ＣＰＵ的插入處理路徑讀取ＴＧＲ１Ａ而實行馬達位置的確認。另外讀取ＴＧＲ０Ｂ、ＴＧＲ０Ｄ，由於計

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 82）

算該差分（ＴＧＲＢ０Ｂ－ＴＧＲ０Ｄ），所以馬達的速度被確認。讀取Ａ／Ｄ轉換結果，而得出2相分的馬達驅動電流的同時，根據此得出而算出第3相的馬達驅動電流。

讀取ＴＣＮＴ２而確認速度主腦。除此之外，讀取預先保持在ＲＡＭ上的第2區域的感應器輸入值。參照上述馬達的位置・速度，馬達驅動電流，其他的感應輸入值而進行所要的處理再算出新的傳輸值，且將該值寫入於ＲＡＭ上的第1區域。例如比較馬達的速度與速度主腦，若遲緩馬達的速度時使其有較大的轉矩。此時，一個個監視馬達的驅動電流值，由於使其變更轉矩，因而可以使其減低轉矩脈動。

之後，回復至上述插入待命狀態。然而發生以ＴＩＯＣ３Ａ端的輸入接收（ＩＭＩＣ３）插入時，就自動的斷路輸出值，且輸出ＴＯＳＲ的值而固定ＰＷＭ輸出值。以ＣＰＵ的插入處理路徑，進行馬達的停止處理。其後形成爲馬達的起動要求待命狀態。

當發生計時器Ａ的間隔計時插入時，就進行Ａ／Ｄ轉換器的設定變更，並且以軟體的起動Ａ／Ｄ轉換馬達驅動電流以外的感應器輸入值。被轉換的結果，被保持在ＲＡＭ上的第2區域。然後，將Ａ／Ｄ轉換器的設定送回原處後再返回。

發生傳輸匹配ＴＣＮＴ０＝ＴＧＲ０Ａ（ＩＭＩＡ０）插入時，則在ＴＧＲ０Ａ、ＴＧＲ０Ｃ的值加算所要的

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 83）

一定值後再返回。

$u = (1/2)(m \times \sin(\omega t) + 1)$

$v = (1/2)(m \times \sin(\omega t - 2\pi/3) + 1)$

$w = (1/2)(m \times \sin(\omega t + 2\pi/3) + 1)$

以上，作爲各相的變調函數。在正弦波的正方向振幅較大時負荷較大，在負方向較大時負荷則較小。此時被復調的連結線電壓波，作爲電壓爲E時的例

$U - V =$

$(3/2)^{1/2} \times E \times m \times \sin(\omega t + \pi/6)$

其他的連結線間的電壓波，形成爲持有上述與120°（$2\pi/3$）的位相差之正弦波。依照所加諸的電壓，以電流流至線圈，而可以使馬達回轉。由於所加諸的函數的周期（$1/\omega$）而成爲十分的變小相輔PWM的周期，且比例於相當於PWM的峰值／谷值的在各時的上述變調函數的振幅，使其被得有PWM負載，設定傳輸值。

在第52圖，被表示爲上述PWM的波形圖。在同圖，被表示爲將1周期作15分割的情況之正弦波PWM波形。（A）表示變調率m爲1，（B）表示變調率M爲0．6的情況。該變調率m取得從0至1爲止的值。

如上述，比較馬達的速度與速度主體，根據此結果而

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 84）

實行轉矩的計算。轉矩的控制有必要使其將參照加減速度的轉矩或馬達負荷的轉矩供給馬達。根據轉矩控制的結果，得有必要的轉矩但仍須計算必要的電流與位相。與馬達的驅動電流值之Ａ／Ｄ轉換器的監視結果作比較，逐一監視馬達的位置（例如磁極位置），而決定上述函數ｍ，ｗ，且依照該函數而得有傳輸值，進而使其得有ＰＷＭ負載。在本實施例的ＩＴＵ（計時器Ｂ），也含有０％～Ｔｄ、１００％－Ｔｄ～１００％，且可以形成任意的負載之ＰＷＭ輸出。由於使其可能０％～Ｔｄ、１００％－Ｔｄ～１００％，所以可以防止連結線間的最大電壓、最小電壓的降下，即是可以防止振幅的降下。因可以同步而使其輸出０％、１００％的負載，所以可以防止連結線間的最大電壓、最小電壓的降下，即是防止振幅的降下。

在第５３圖，被表示爲使用有關本發明的單晶片微電腦之控制系統的其他實施例之概略方塊圖。同圖的系統，沒有特別的限制，但被傾向於無碳刷ＤＣ馬達的控制系統。

在本實施例，使用以１６位元計時器的相輔３相的ＰＷＭ輸出（ＴＩＯＣ３Ｂ〔Ｕ〕、ＴＩＯＣ３Ｄ〔Ｕ＃〕、ＴＩＯＣ４Ａ〔Ｖ〕、ＴＩＯＣ４Ｃ〔Ｖ＃〕、ＴＩＯＣ４Ｂ〔Ｗ〕、ＴＩＯＣ４Ｄ〔Ｗ＃〕，介由轉換器電路而驅動馬達。在此情況，使用復位同步ＰＷＭ形態。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 85）

被裝著於無碳刷ＤＣ馬達的孔洞素材的輸出，被輸入至計時器Ｂ的輸入接收輸入（ＴＩＯＣ０Ａ、ＴＩＯＣ０Ｂ、ＴＩＯＣ０Ｃ）。以該輸入接收動作而可以實行馬達的位置檢出。例如，孔洞素材以６０°間隔作配置。以輸入接收判定孔洞素材的位置，即是可以判定馬達的位置，此時，由於順位儲存著輸入接收值，因而例如也可以測定每６０°的時間，進而可以測定馬達的回轉速度。

速度控制演算，比較上述馬達的速度與速度主腦，而檢測電流值。根據位置檢出的結果，而進行Ｕ．Ｖ．Ｗ的上下臂的通流狀態之轉換。在１２０°通電方式，順序的驅動Ｕ．Ｖ．Ｗ相的任何１相。未被驅動的相，例如將前述寄存器ＴＯＥＲ的所定位元消除爲０，禁止計時器輸出而可以輸出所定的準位作爲通道輸出。

或是將前述寄存器ＴＧＥＲ的ＦＢ位元消除爲０而使用孔洞素材的輸入（ＴＩＯＣ０Ａ、ＴＩＯＣ０Ｂ、ＴＩＯＣ０Ｃ）的輸入接收信號作爲回饋輸入，許可１相的復位同步ＰＷＭ輸出，且可以將其他作成所定的準位。例如將ＴＧＣＲ的Ｐ位元設定爲１，且Ｎ位元在消除爲０的狀態下，從ＴＩＯＣ０Ａ的上昇邊端至ＴＩＯＣ０Ｂ的上昇邊端爲止進行Ｕ相的復位同步ＰＷＭ輸出，且從ＴＩＯＣ０Ｂ的上昇邊端至ＴＩＯＣ０Ａ的上昇邊端爲止將Ｕ相輸出作爲低準位。從ＴＩＯＣ０Ａ的下降邊端至ＴＩＯＣ０Ｂ的下降邊端爲止Ｕ＃相實行高準位輸出，從

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 86）

ＴＩＯＣ０Ｂ的下降邊端至ＴＩＯＣ０Ａ的下降邊端爲止將Ｕ＃相輸出作爲低準位。

在第５４圖，被表示爲在第５３圖的控制系統的計時器輸出的時間圖。同以寄存器ＴＧＣＲ作爲ＢＤＣ＝１、Ｎ＝０、Ｐ＝１、ＦＢ＝０的復位同步ＰＷＭ形態，即是爲實現１２０°通電方式的例。Ｕ相爲從ＴＩＯＣ０Ａ的下降邊端至ＴＩＯＣ０Ｂ的下降邊端爲止作輸出，Ｕ＃相則爲從ＴＩＯＣ０Ａ的上昇邊端至ＴＩＯＣ０Ｂ的上昇邊端爲止作輸出。被禁止輸出的情況爲輸出低準位。只有正相復位同步ＰＷＭ波型被輸出。逆相則輸出閘控信號。

依照上述實施例，被得出以下的作用效果。即是

（１）設置副計數器ＴＣＮＴＳ，由於從上限（ＴＣ／２＋ＤＴＲ）至下限０爲止實現所計數的平行２個的向上計數及向下計數器，所以可以得有０％～１００％負載的ＱＷＭ輸出，並且得有無設定範圍的約束而可以使其減輕軟體的負擔之效果。

（２）對於負載５０％可以成對稱，且將上臂（Ｕ．Ｖ．Ｗ）與下（Ｕ＃、Ｖ＃、Ｗ＃）可以成對稱，因不能將上臂與下同時ＯＮ，所以正相及逆相輸出，將全非活性狀態的期間長度，可以在無效時間的２倍以下。此狀況適於轉換器馬達，任意的負載皆輸出可能，得有使其無速度至轉矩的脈動而成爲可能圓滑的回轉控制之效果。

（３）由於從峰值、谷值或是峰值與谷值的兩方之中選擇比較寄存器的更新時間，所以使其無改寫禁止期間而

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 87）

可以減輕軟體的負擔，同步於０％輸出、１００％輸出而成輸出可能，且可以發生轉換器馬達驅動的最大轉矩之效果。

（４）由於在峰值與谷值的兩方使其改寫可能比較寄存器的更新時間，所以得到可以使其提高控制的精度。

（５）由於對於１個比較器而將所輸入的計數器（ＴＣＮＴ３、ＴＣＮＴ４）與所輸入的比較寄存器（ＴＤＣＲ、ＴＤＤＲ）作成選擇可能，所以得有可以抑制物理性規模的增加之效果。

（６）由於設置成爲ＢＲ的緩衝器之ＴＲ，因而可以任意的作寄存器的改寫時間，且得有不會加重對軟體的負擔之效果。

（７）由於禁止可能的作控制等寄存器的寫入，因而只有初期值設定得有可以防止因必要的控制寄存器的誤寫入之計時器的動作之效果。

（８）將緩衝寄存器作爲連續區域，使其可能以ＤＴＣ等的資料裝置作寫入，由於以傳輸匹配（上限值）或是下流（下限值）起動所加諸的ＤＴＣ，因而無軟體的負擔，且得有可以實行ＰＷＭ負載的設定之效果。

（９）由於以間隔計時器的傳輸匹配周期的向上向下計時器的計數器（２相編碼器）作爲接收可能，因而可以作位置檢出。同期於速度至位置取樣周期的速度／位置檢出使其可能，而削除外部電路，並且以使其輕減軟體的負擔。由於將轉換器馬達的編碼器之輸出，作爲上述向上向

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 88）

下計數器的同步脈波輸入，因而得有可以使其可能作同步於轉換馬達的取樣周期之速度／位置檢出的效果。將編碼器輸入的計數器使其串接連接可能，而可以擴展馬達位置檢出的動態範圍。

（１０）對於１個計數器（ＴＣＮＴ０），設置３個以輸入接收輸入，由於輸入轉換器馬達的孔洞素材之輸出，因而轉換器馬達可以測定形成所定位置的時間，進而得有可以使速度／位置檢出成爲可能之效果。

（１１）由於將２相編碼器作爲２組，一方各自作爲馬達的編碼器，其他則可以作爲別的輸入，例如得有可以輸入指令列之效果。

（１２）在峰值與谷值的兩方使其可能起動Ａ／Ｄ轉換器，且由於將電流－電壓轉換成馬達驅動電壓的類比輸入輸入至Ａ／Ｄ轉換器，因而可以同步於ＰＷＭ輸出而實行馬達驅動電流的檢測，且得有可以使其易於作馬達驅動的控制。在Ａ／Ｄ轉換器設置複數個取樣保持電路，而在３相的馬達驅動電流當中，可以同時作複數個取樣，且可以提高馬達驅動電流的測定精度，進而可以提高馬達的控制精度。

（１３）由於使其可能選擇內部同步脈波的邊端檢出，而不使增加內部信號個數，另外，有效的利用控制寄存器的控制位元而得有可以使增加選擇可能的向上計數同步脈波之效果。

依以上本發明所形成的發明根據實施例已具體的說明

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 89）

過，但本申請發明不止被限定於前述實施例，只要不脫離該要旨的範圍下種種的變更皆有可能。例如，計數器的全體性波道之個數不被限定於5波道十副計數器，追加或消減是有可能的。具有相當於波道3至4及副計數器的機能即可。例如可以使用副計數器作爲汎用的時間計數器亦可。或將是將全體的波道數作爲16波道亦可。構成爲一體的模組或是機能單元之外，分割成如所謂計時器網路，而使其相互的連接亦可。計時通用寄存器TGR的個數也可以作爲任意的個數。關於動作形態或控制寄存器的構成也可能有種種的變更。對應於控制系統的種類、馬達的種類等因而準備可以檢測馬達的位置及速度之形態或TGR的個數即可。

關於微電腦的其他機能單元也不被任何的規範。CPU或其他的模組至機能單元的一部或是全部不被內藏亦可。例如去除CPU，也可以從外部的微處理機構成爲讀取／寫入可能的半導體積體電路裝置。計時器輸入輸出端子，不兼用爲輸入輸出通道，作爲獨立的端子亦可。A／D轉換器的構成或DTC的構成也可以作爲種種的變更。以DTC等的資料轉送裝置，使其容易的改寫設定PWM輸出的負載之寄存器爲理想化。

應用系統也不被限定於前述實施例。易於使其消減一部分的機能，或是追加新型的機能。馬達的種類爲AC同步馬達、DC伺服馬達等皆可。控制驅動固定子的線圈之電流，而以所加諸的電流之感應磁場作回轉的馬達即可。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 90）

利用相輔形態作爲以１８０°通電方式的馬達，特別是以籠型感應馬達爲其代表，且可以用於產業用汎用轉換器等。應用系統也可以使用於空調機、冷凍機、泵浦、工作機械等。

在以上的說明作爲主旨而關於以本發明者所作的發明適用於屬於形成爲該背景的利用領域之微電腦的情況已說明過，但不是被限定於該情況，且也可能適用於其他的半導體積電路裝置或是資料處理裝置，本發明至少可以廣泛利用於將馬達具有控制可能的6個ＰＷＭ輸出機能之半導體積體電路裝置或是處理裝置等的控制裝置及利用該裝置的控制系統。

〔發明之效果〕

於本申請案簡單的說明以所被公示的發明當中代表的設置而所得到的效果，如下所述。即是

（１）設置得有相當於無效時間的時間差之2個向上計數器、及2個向下計數器，且將該設置使其計數上限值與下限值（１／２周期＋無效時間）之間，且計數相對較大值的向上計數、及計數相對較大的值的向下計數器，使其連接於上限值；計數相對較小的值之向上計數、及計數相對較小的值之向下計數，使其在相當於１／２周期的計數值交織；計數相對較大的值之向上計數，及計數相對較大的值之向下計數，使其在相當於無效時間的計數器交織；計數相對較小的值之向上計數、及計數相對較小的值之

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 91）

向下計數器，在下限值使其連接，而實現上下對稱的計數。

（２）對第１比較寄存器（ＴＧＲ）與第２比較寄存器（ＢＲ），使其可以與上述計數器比較，上述計數值爲無效時間以下的情況，則在相當於１／２周期的計數值以上時進行兩方的比較，相當於無效時間以上且相當於１／２周期的計數值以下時只進行第１比較。

（３）正相輸入在ＯＦＦ準位的狀態下，比較寄存器一致於計數相對較小值之向上計數時，則使逆相輸出成ＯＮ準位；比較寄存器一致於計數相對較大值之向下計數器時，則使逆相輸出成ＯＦＦ準位；逆相輸出在ＯＦＦ準位的狀態下，比較寄存器一致於計數相對較大值之向上計數器時，則使正向輸出成ＯＦＦ準位；比較寄存器一致於計數相對較大值之向下計數器，則使正向輸出成ＯＮ準位。

（４）ＣＰＵ寫入至第２比較寄存器，在從實行兩方的比較之區域遷移至只進行第１比較的區域時，而可能使其進行從第２比較寄存器送往第１比較寄存器的資料轉送。進而，在從進行向上計數時的兩方之區域遷移至只進行第１比較之區域時，使其成選擇可能進行從第２比較寄存器送往第１比較寄存器的資料轉送；另外在從進行向下計數時的兩方比較之區域遷移至只進行第１比較之區域時，使其成選擇可能進行從第２比較寄存器送往第１比較寄存器的資料轉送；另外在從進行向上及向下計數時的兩方比

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 92）

較之區域遷移至只進行第1比較之區域時，使其成選擇可能進行第2比較寄存器送往第1比較寄存器的資料轉送。

由於上述，（1）對軟體不會加重負擔，且可以實行功能0～100％W輸出可能的相輔PWM輸出。（2）可以配合0％、100％的位相。（3）在正相／逆相間ON－OFF之轉換時，一定可以持有無效時間（無重疊時間）。（4）正相／逆相同時OFF的期間，可以使其如無效時間的2倍以下。（5）可以以負載50％爲中心使其對正相／逆相的負載。（6）可以將比較寄存器的資料之改寫時間使其成任意時間。因此可能爲同畫面的操作，且可以減輕軟體的負擔，因而可以圓滑且有效率的進行馬達的驅動。

〔圖面的簡單說明〕

第1圖係表示適用於本發明之單晶片的微電腦其實施例的方塊圖。

第2圖係表示有關本發明之計時器B（TU）其實施例的一部分方塊圖。

第3圖係表示有關本發明之計時器B（ITU）其實施例之剩餘一部分的方塊圖。

第4圖係在上述計時器B之通用寄存器爲輸出傳寄存器的情況之動作構成圖。

第5圖係在上述計時器B之通用寄存器爲輸入接收寄存器的情況之動作構成圖。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 93）

第 6 圖係表示有關本發明之緩衝器之動作其設定順序的流程圖。

第 7 圖係爲了說明有關本發明之緩衝器動作例之時間圖。

第 8 圖係爲了說明有關本發明之緩衝器動作的其他例之時間圖。

第 9 圖係爲了說明有關本發明之串接連接機能的設定順序之流程圖。

第 1 0 圖係表示有關本發明之串接連接動作例之時間圖。

第 1 1 圖係爲了說明有關本發明之串接連接動作之其他例的時間圖。

第 1 2 圖係爲了說明有關本發明之串接連接動作的再一個其他例之時間圖。

第 1 3 圖係表示爲了說明有關本發明之 P W M 形態之設定順序的流程圖。

第 1 4 圖係爲了說明有關本發明之 P W M 形態的動作之動作波形圖。

第 1 5 圖係爲了說明有關本發明之 P W M 形態的其他動作之動作波形圖。

第 1 6 圖係爲了說明有關本發明之 P W M 形態的其他動作之動作波形圖。

第 1 7 圖係爲了說明有關本發明之位相計數形態的動作例之時間圖。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 94）

第１８圖係爲了說明有關本發明之復位同步ＰＷＭ形態的設定順序之流程圖。

第１９圖係爲了說明有關本發明之復位同步ＰＷＭ形態的動作之時間圖。

第２０圖係爲了說明有關本發明之相輔ＰＷＭ形態的設定順序之流程圖。

第２１圖係爲了說明有關本發明之之相輔ＰＷＭ形態的動作之波形圖。

第２２圖係爲了說明有關本發明在相輔ＰＷＭ形態的０％與１００％的輸出例之波形圖。

第２３圖係爲了說明有關本發明在相輔ＰＷＭ形態之計數觸發器輸出機能的波形圖。

第２４圖係爲了說明有關本發明在相輔ＰＷＭ形態之ＰＷＭ負載資料轉送時間的波形圖。

第２５圖係爲了說明有關本發明在相輔形態之輸出例的波形圖。

第２６圖係爲了說明有關本發明在相輔ＰＷＭ形態之輸出例的波形圖。

第２７圖係爲了說明有關本發明在相輔ＰＷＭ形態之輸出例的波形圖。

第２８圖係表示有關本發明在計時器的向上向下控制部其實施例之方塊圖。

第２９圖係爲了說明有關本發明在計時器的向上向下控制部的動作之狀態遷移圖。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

463075

五、發明說明（ 95）

第３０圖係爲了說明有關本發明在計時器的向上向下控制部的動作之概略波形圖。

第３１圖係爲了說明在上述向上向下控制部的ＴＡ、ＴＢ其設定／復位時操作的不同之概略波形圖。

第３２圖係爲了說明在上述向上向下控制部其ＴＡ、ＴＢ的設定與ＵＤ的轉換時間之波形圖。

第３３圖係爲了說明在上述向上向下控制部其ＴＡ、ＴＢ的設定與ＵＤ的轉換時間之波形圖。

第３４圖係爲了說明在上述向上向下控制部其緩器轉送信號ＢＴＲ的生成之概略波形圖。

第３５圖係爲了說明在上述向上向下控制部其緩器轉送信號生成時間圖。

第３６圖係爲了補足說明有關本發明之副計數器關係信號的生成。

第３７圖係爲了說明有關本發明在計數器其計數器／寄存器選擇信號的生成之概略波形圖。

第３８圖係爲有關本發明插入Ａ／Ｄ轉換開始計數觸發器之時間圖。

第３９圖係爲了說明有關本發明的相輔ＰＷＭ控制之構成圖。

第４０圖係表示有關本發明之向上向下控制器部的其他實施例之方塊圖。

第４１圖係表示有關本發明之向上向下控制器部的另外其他實施例之方塊圖。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 96）

第４２圖係爲了說明本發明所加諸計時器Ｂ的相輔ＰＷＭ形態與資料傳送控制器ＤＴＣ的動作例之位址圖。

第４３圖係爲了說明有關本發明的計時器Ｂ的相輔ＰＷＭ形態與資料傳送控制器ＤＴＣ的動作其他例之位址圖。

第４４圖係爲了說明有關本發明的計時器Ｂ的相輔ＰＷＭ形態與資料傳送控制器ＤＴＣ的動作其他例之位址圖。

第４５圖係有關本發明的計時器Ｂ的讀取／寫入控制電路的實施例之方塊圖。

第４６圖係表示本發明使用所適用的單晶片微電腦之控制系統的實施例之方塊圖。

第４７圖係爲了說明有關本發明所加諸計時電路的波道０與波道１的連接例之方塊圖。

第４８圖係爲了說明第４７圖的實施例的動作之時間圖。

第４９圖係爲了說明有關本發明其相輔ＰＷＭ形態３的情況之Ａ／Ｄ轉換器的動作時間之時間圖。

第５０圖係表示有關本發明的Ａ／Ｄ轉換器之方塊圖。

第５１圖係爲了說明有關本發明之單晶片微電腦的動作例之流程圖。

第５２圖係爲了說明有關本發明之ＰＷＭ的波形圖。

第５３圖係表示使用有關本發明之單晶片微電腦的控

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 97）

制系統的其他實施例之概略方塊圖。

第５４圖係爲在第５３圖的控制系統之計時器輸出的時間圖。

〔圖號說明〕

ＣＰＵ……中央處理裝置，

ＲＡＭ……Random Access Memory，

ＲＯＭ……Read Only Memory，

ＳＣＩ……串接傳送介面，

ＩＴＵ……計時器，

ＤＴＣ……資料轉送裝置（資料傳送控制器），

ＣＰＧ……同步脈波發生電路，

ＩＯＰ１～８……輸入輸出通道，

ＴＧＲ０Ａ～ＴＧＲ４Ｄ……通用寄存器，

ＴＩＯＣ０Ａ～ＴＩＯＣ４Ｄ……輸入輸出端子，

ＴＣＬＫＡ～ＴＣＬＫＤ……同步脈波輸入，

ＴＣＲ（０～５）……計時控制寄存器，

ＴＭＤＲ（０～５）……計時形態寄存器，

ＴＩＯＲ（０Ｌ～５Ｈ）……計時Ｉ／Ｏ控制寄存器，

ＴＣＮＴ（０～５）……時間計數器，

ＴＳＴＲ……計時開始寄存器，

ＴＹＳＲ……計時同步寄存器，

ＴＩＥＲ３、４……計時可中斷寄存器，

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 98）

TSR3、4……計時資料寄存器，

TOER……計時可主輸出寄存器，

TOCR……計時輸出控制寄存器，

TGCR……計時閘控寄存器，

TOSR……計時輸出斷路資料寄存器，

TCDR……計時周期資料寄存器，

TDDR……計時無效時間寄存器，

ADDRA～ADDRH……資料寄存器，

ADCR、ADCSR……控制寄存器，

BIF……緩衝器電路，

MDB……模組內匯流排，

DB……內部資料匯流排。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

修正補充 本86年11月27日

A5
B5

四、中文發明摘要（發明之名稱：　　）

變頻器之上下臂無效時間產生控制電路

本發明的目的是提供，在不加諸軟體的負擔下，可以進行負載有0%～100%輸出的相輔PWM輸出等使用狀況較佳之控制裝置及使用該控制裝置之控制系統。

其構成爲：設置持有相當於無效時間的時間差之2個向上計數器，及2個向下計數器，使其計數下限值與上限值（1／2周期＋無效時間）之間，所計數相對較大值之向上計數器及所計數相對較小值之向下計數器使其接近上限值，並且所計數相對較大值之向上計數器及所計數相對較小值之向下計數器使其交織於相當於1／2周期的計數值，再而所計數相對較大值之向上計數器及所計數相對較小值之向下計數器使其交織於相當無效時間的計數值，進而所計數相對較大值之向上計數器及所計數相對較小值之向下計數器使其接近下限值因而實現上下對稱的計數。

至於其效果爲：使其以50%輸出爲中心，而計數動作、比較動作形成爲對稱，因而進行上下對稱輸出，在峰質・谷質的前後發生ON－OFF的輸出轉換、OFF－

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

修正補充 本86年11月27日

A5
B5

四、中文發明摘要（發明之名稱：　　）

ＯＮ的輸出轉換成爲一對的狀況，因而可以隨時設定從下限值至上限值之任意值，並且可以配合不限於於０％輸出、１００％輸出的輸出設定之位相。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

88年5月6日 修正補充

463075

A8
B8
C8
D8

六、申請專利範圍

第84106527號專利申請案

中文申請專利範圍修正本

民國88年5月修正

1．一種微電腦，係具備有：

用以儲存第1值的第1暫存器；

用以儲存較上述第1值爲大之第2值的第2暫存器；

用以儲存較上述第2值爲大之第3值的第3暫存器；

在上述第1值和第3值之間進行昇順計數（Count-up）及降順計數(Count-down)的第1計數器；

在較上述第1值爲小之特定值和上述第2值之間進行昇順計數及降順計數的第2計數器；

在上述第1值和特定值之間進行昇順計數及降順計數，並於上述第3值和第2值之間進行降順計數及昇順計數的第3計數器；及

爲比較上述第1、第2、及第3計數器之計數值，而用以儲存大於上述特定值且小於上述第3值之第4值的第4暫存器。

2．如申請專利範圍第1項之微電腦，其中另具備：

第1信號產生裝置，俾在上述第1計數器進行昇順計數，上述第4值與上述第1計數器之計數值一致時，使信號由第1狀態變化爲第2狀態，而當上述第1計數器進行降順計數，上述第4值與上述第1計數器之計數值一致時，使上述信號由上述第2狀態變化爲上述第1狀態；及

第2信號產生裝置，俾在上述第2計數器進行昇順計

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

數，上述第4值與上述第2計數器之計數值一致時，使信號由第2狀態變化爲第1狀態，而當上述第2計數器進行降順計數，上述第4值與上述第2計數器之計數值一致時，使上述信號由上述第1狀態變化爲上述第2狀態。

3．如申請專利範圍第2項之微電腦，其中：

上述第1信號產生裝置和第2信號產生裝置所產生之上述信號，係使用於馬達之驅動控制者。

4．如申請專利範圍第3項之微電腦，其中：

上述第4暫存器所儲存之上述第4值，係於上述特定值與上述第1值之間，及上述第2值與上述第3間之間，和上述第1至第3計數器之各個計數值作比較。

5．如申請專利範圍第4項之微電腦，其中：

另具有第5暫存器用以儲存第5值，當上述第5暫存器儲存有上述第5值時，即使上述第4暫存器儲存有上述第4值，上述第1至第3計數器之計數值係與上述第5值作比較。

6．一種微電腦內之電路，係包含有：

儲存第1值的第1暫存器；

儲存大於上述第1值之第2值的第2儲存器；

儲存大於上述第2值之第3值的第3暫存器；

接受時脈信號，對上述時脈信號進行計數俾於上述第1值與第3值之間進行昇順計數及降順計數動作，以產生對應之計數值的第1計數器；

接受時脈信號，對上述時脈信號進行計數俾於小於上

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

述第1值之第4值與第2值之間進行昇順計數及降順計數動作，以產生對應之計數值的第2計數器；

接受時脈信號，對上述時脈信號進行計數俾於上述第1值與第4值之間及第3值與第2值之間進行昇順計數及降順計數動作，以產生對應之計數值的第3計數器；

儲存上述第4值與第3值之間之第5值的第4暫存器；

連接上述第1、第2及第3計數器，俾控制上述第1第2及第3計數器之昇順計數及降順計數動作的控制電路；及

比較電路；

上述第2值與第3值之差設定爲第6值；

上述第1值與第4值之差對應上述第6值；

上述第1計數器之計數值與上述第2計數器之計數值之差對應上述第6值；

上述第1計數器進行昇順計數動作時，上述第2計數器設爲進行昇順計數動作；

上述第1計數器進行降順計數動作時，上述第2計數器設爲進行降順計數動作；

當上述第1計數器之計數值與上述第2值一致時，上述第3計數器係從上述第3值起進行降順計數動作；

當上述第2計數器之計數值與上述第2值一致時，上述第3計數器係從上述第2值起進行昇順計數動作；

當上述第2計數器之計數值與上述第1值一致時，上

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

述第3計數器係從上述第4值起進行昇順計數動作；

當上述第1計數器之計數值與上述第1值一致時，上述第3計數器係從上述第1值起進行降順計數動作；

當上述第5值位於第1值與第2值之間時，上述比較電路比較上述第5值與上述第1及第2計數器之計數值；

當上述第5值大於第2值時，上述比較電路係比較上述第5值與進行昇順計數動作之第1及第3計數器之各計數值，或比較上述第5值與進行降順計數動作之第1及第3計數器之各計數值；

當上述第5值小於第2值時，上述比較電路係比較上述第5值與進行降順計數動作之第2及第3計數器之各計數值，或比較上述第5值與進行昇順計數動作之第2及第3計數器之各計數值；

據此以產生互補非重疊（non-overlap）PWM信號。

7．如申請專利範圍第6項之電路，其中

另包含有接受上述比較電路之輸出的控制電路；

上述控制電路包含產生上述互補非重疊PWM信號之正相信號的第1機能，及產生上述互補非重疊PWM信號之逆相信號的第2機能；

上述第1機能，在上述第5值大於第1值期間，當上述第1計數器進行昇順計數動作時係響應於與上述第5值一致之第1計數器之計數值，將上述正相信號由第1狀態變更爲第2狀態，當上述第1計數器進行降順動作時係響應於與上述第5值一致之第1計數器之計數值，將上述正

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

相信號由上述第2狀態變更爲第1狀態；

上述第1機能，在上述第5值小於第1值期間，當上述第3計數器進行昇順計數動作時係響應於與上述第5值一致之第3計數器之計數值，將上述正相信號由第1狀態變更爲第2狀態，當上述第3計數器進行降順動作時係響應於與上述第5值一致之第3計數器之計數值，將上述正相信號由上述第2狀態變更爲第1狀態；

上述第2機能，在上述第5值小於第2值期間，當上述第2計數器進行昇順計數動作時係響應於與上述第5值一致之第2計數器之計數值，將上述逆相信號由第2狀態變更爲第1狀態，當上述第2計數器進行降順動作時係響應於與上述第5值一致之第2計數器之計數值，將上述逆相信號由上述第1狀態變更爲第2狀態；

上述第2機能，在上述第5值大於第2值期間，當上述第3計數器進行昇順計數動作時係響應於與上述第5值一致之第3計數器之計數值，將上述正相信號由第1狀態變更爲第2狀態，當上述第3計數器進行降順動作時係響應於與上述第5值一致之第3計數器之計數值，將上述逆相信號由上述第2狀態變更爲第1狀態。

8．如申請專利範圍第7項之電路，其中

上述互補非重疊PWM信號，係利用爲驅動馬達。

9．如申請專利範圍第8項之電路，其中

上述第4暫存器內之上述第5值，在上述第2計數器之計數值位於第4值與第5值之間之期間，及上述第1計

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

數器之計數值位於第2值與第3值之間之期間，係分別比較上述第1～第3計數器之各計數值。

10．如申請專利範圍第8項之電路，其中

另包含第5暫存器，

上述第5暫存器，當上述第3計數器停止計數動作之後，係儲存作爲新資料應存入上述第4暫存器之第7值；

當上述第7值存於上述第5暫存器時，上述第1第2及第3計數器之各計數值，在上述第3計數器進行計數動作期間，係與第7值作比較；

上述第5值，係利用作爲上述第1、第2及第3計數器之昇順計數或降順計數動作之任一方；

上述第7值，係利用作爲上述第1、第2及第3計數器之昇順計數或降順計數動作之任一方。

11．如申請專利範圍第8項之電路，其中

上述電路爲定時器電路。

12．一種互補非重疊PWM信號之形成方法，係於半導體積體電路形成互補非重疊PWM信號之方法，包含有以下工程：

以第1計數器進行第1值與第3值間之計數的工程；

以第2計數器進行小於第上述第1值之第4值與大於第1值且小於第3值之第2值之間之計數的工程；

以第3計數器進行上述第2值與第3值之間及第1值與第4值之間之計數的工程；

儲存第5值的工程；及

（請先閱讀背面之注意事項再填寫本頁） 裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

產生上述互補非重疊PWM信號的工程；

上述第3計數器，當上述第1計數器之計數值與上述第2值一致時，係從上述第3值起進行降順計數；

上述第3計數器，當上述第2計數器之計數值與上述第2值一致時，係從上述第2值起進行昇順計數；

上述第3計數器，當上述第2計數器之計數值與上述第1值一致時，係從上述第4值起進行昇順計數；

上述第3計數器，當上述第1計數器之計數值與上述第1值一致時，係從上述第1值起進行降順計數；

上述互補非重疊PWM信號產生工程係包含有：

當上述第5值位於第1值與第2值之間時，將上述第5值與上述第1及第2計數器之各計數值作比較的工程；

當上述第5值大於第2值時，將上述第5值與昇順計數之第1及第3計數器之各計數值，或與降順計數之第1及第3計數器之各計數值作比較的工程；及

當上述第5值小於第2值時，將上述第5值與降順計數之第2及第3計數器之各計數值，或與昇順計數之第2及第3計數器之各計數值作比較的工程。

13．如申請專利範圍第12項之方法，其中上述第5值，可由中央處理裝置選擇性變更。

14．如申請專利範圍第12項之方法，其中上述半導體積體電路，包含單晶片微電腦。

15．如申請專利範圍第12項之方法，其中上述互補非重疊PWM信號，係供至馬達。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

修正補充 本次年5月6日

A8
B8
C8
D8

六、申請專利範圍

16．如申請專利範圍第15項之方法，其中

上述馬達係使用於空調機、冷凍機、泵、或工作機器內。

17．如申請專利範圍第12項之方法，其中

上述第3計數器，係包含在上述第2值與第3值之間及第1值與第4值之間進行計數的1個計數器。

18．如申請專利範圍第12項之方法，其中

上述第5值，係對應上述互補非重疊PWM信號之任務週期。

19．如申請專利範圍第12項之方法，其中

上述第1及第2計數器之計數值之差，係對應上述互補非重疊PWM信號之無效時間。

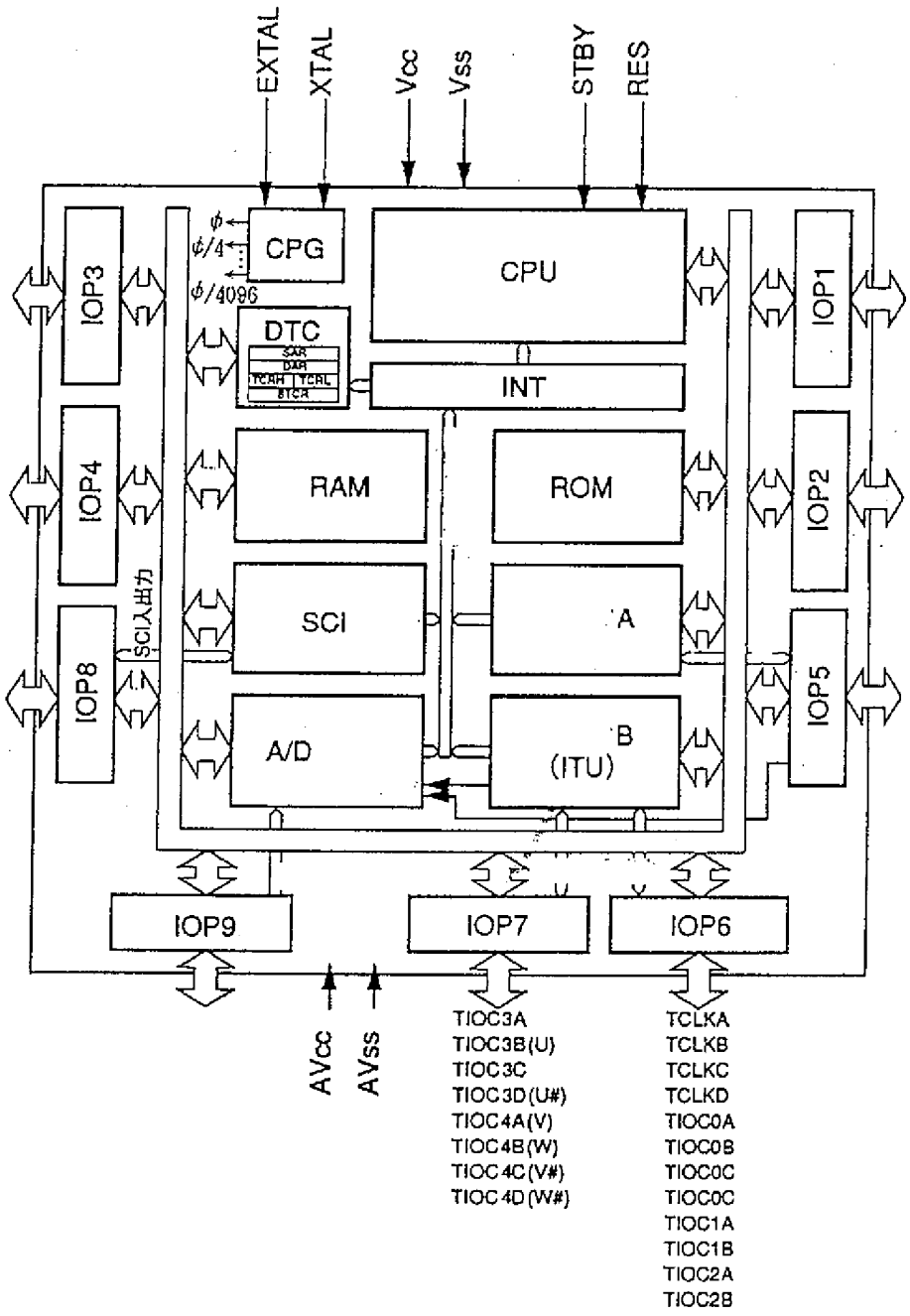
20．如申請專利範圍第12項之方法，其中

當上述第1計數器進行昇順計數時，第2計數器進行昇順計數；

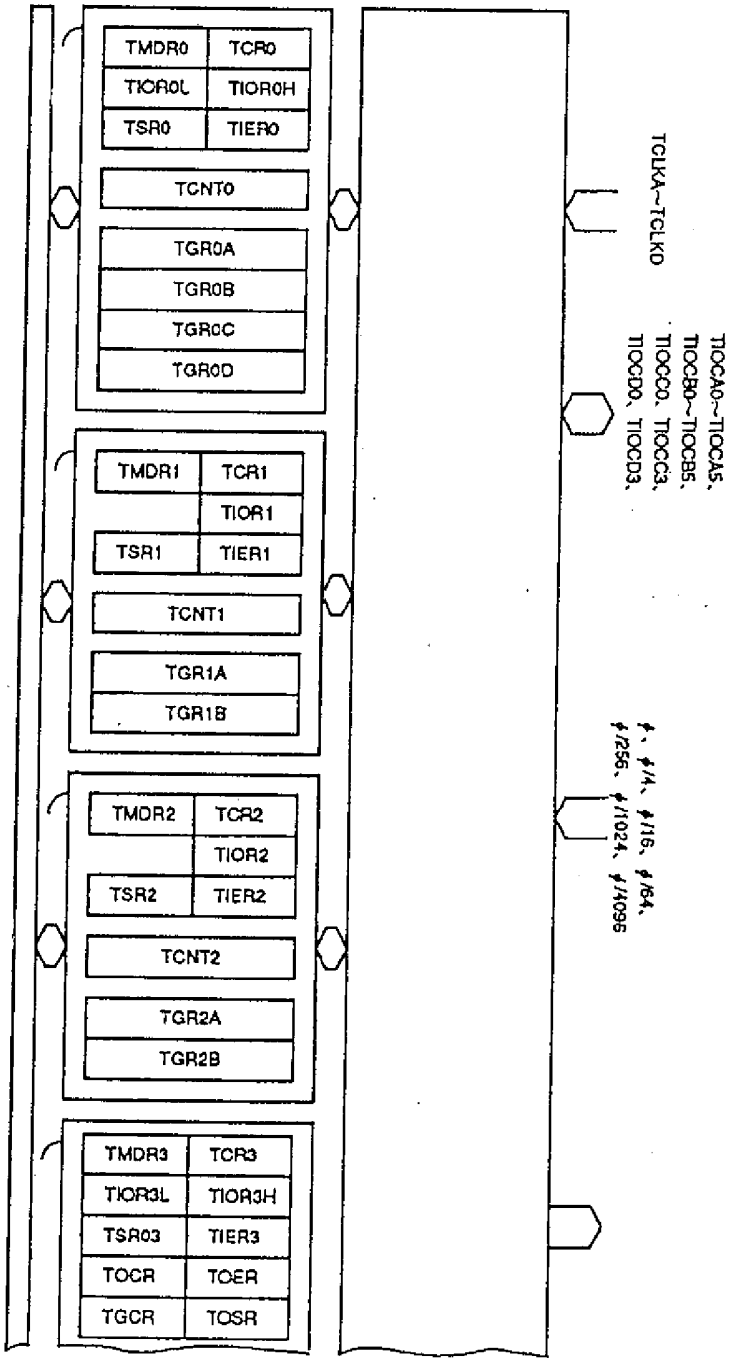
當上述第1計數器進行降順計數時，第2計數器進行降順計數。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

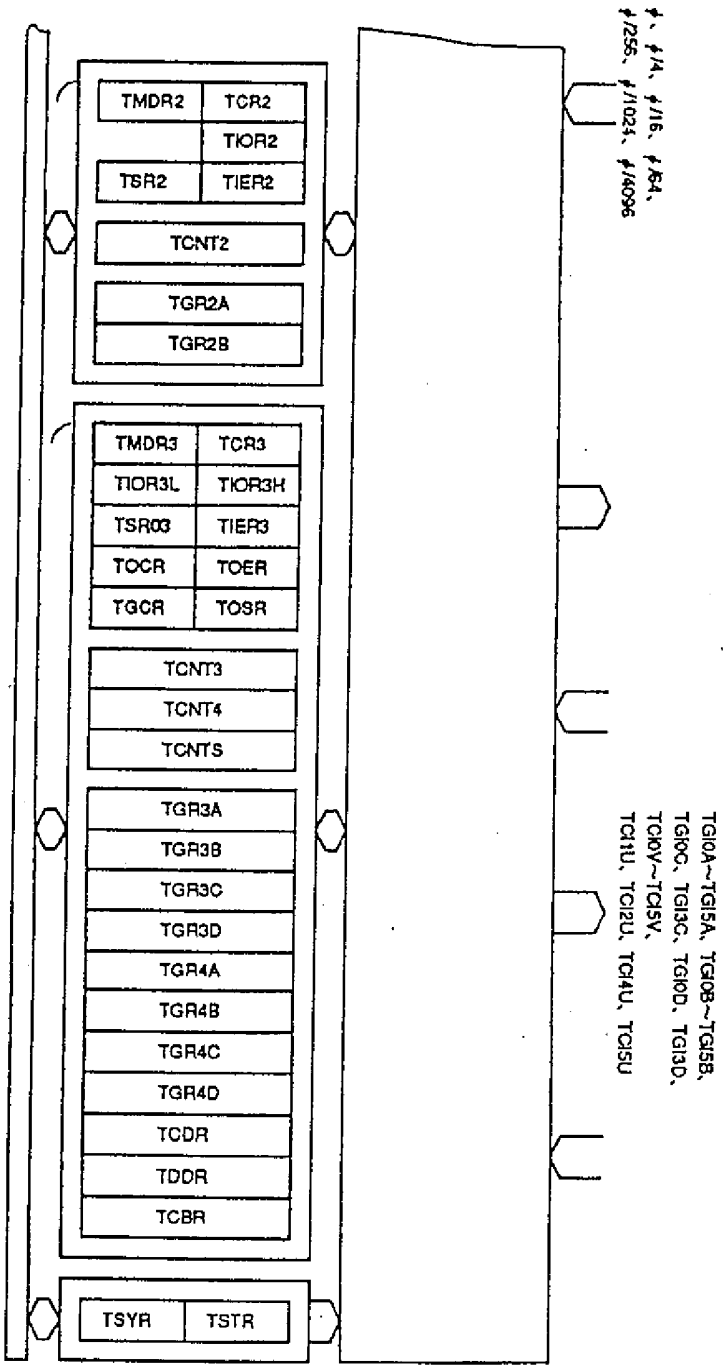
第1圖


EXTAL
XTAL
Vcc
Vss
STBY
RES
CPG
φ
φ/4
φ/4096
CPU
DTC
SAR
DAR
TCRH
TCRL
BTCR
INT
IOP3
IOP4
IOP8
IOP1
IOP2
IOP5
RAM
ROM
SCI
A
A/D
B
(ITU)
SCI入出力
IOP9
IOP7
IOP6
AVcc
AVss
TIOC3A
TIOC3B(U)
TIOC3C
TIOC3D(U#)
TIOC4A(V)
TIOC4B(W)
TIOC4C(V#)
TIOC4D(W#)
TCLKA
TCLKB
TCLKC
TCLKD
TIOC0A
TIOC0B
TIOC0C
TIOC0C
TIOC1A
TIOC1B
TIOC2A
TIOC2B

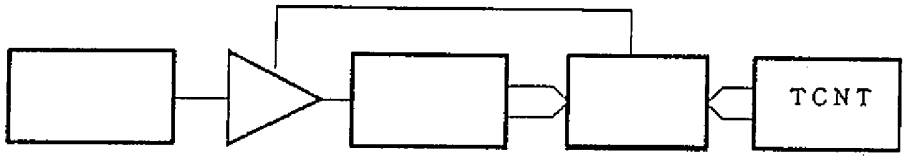
第 2 圖


TMDR0
TCR0
TIOR0L
TIOR0H
TSR0
TIER0
TCNT0
TGR0A
TGR0B
TGR0C
TGR0D
TMDR1
TCR1
TIOR1
TSR1
TIER1
TCNT1
TGR1A
TGR1B
TMDR2
TCR2
TIOR2
TSR2
TIER2
TCNT2
TGR2A
TGR2B
TMDR3
TCR3
TIOR3L
TIOR3H
TSR03
TIER3
TOCR
TOER
TGCR
TOSR
TCLKA~TCLKD
TIOCA0~TIOCA5,
TIOCB0~TIOCB5,
TIOCC0, TIOCC3,
TIOCD0, TIOCD3,
φ, φ/4, φ/16, φ/64,
φ/256, φ/1024, φ/4096

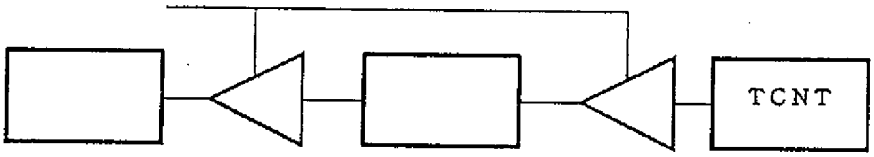
第 3 圖


TMDR2
TCR2
TIOR2
TSR2
TIER2
TCNT2
TGR2A
TGR2B
TMDR3
TCR3
TIOR3L
TIOR3H
TSR03
TIER3
TOCR
TOER
TGCR
TOSR
TCNT3
TCNT4
TCNT5
TGR3A
TGR3B
TGR3C
TGR3D
TGR4A
TGR4B
TGR4C
TGR4D
TCDR
TDDR
TCBR
TSYR
TSTR
φ、φ/4、φ/16、φ/64、
φ/256、φ/1024、φ/4096
TGI0A~TGI5A、TGI0B~TGI5B、
TGI0C、TGI3C、TGI0D、TGI3D、
TCI0V~TCI5V、
TCI1U、TCI2U、TCI4U、TCI5U

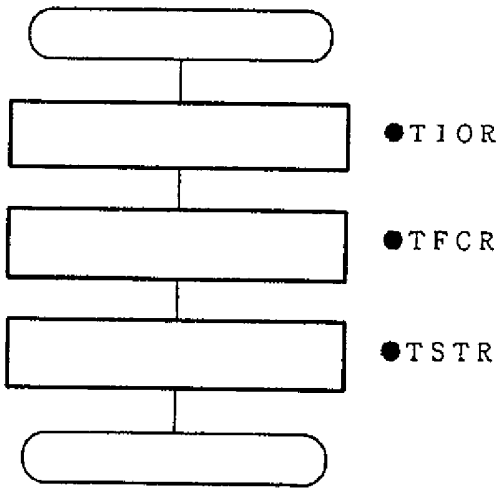
第 4 圖



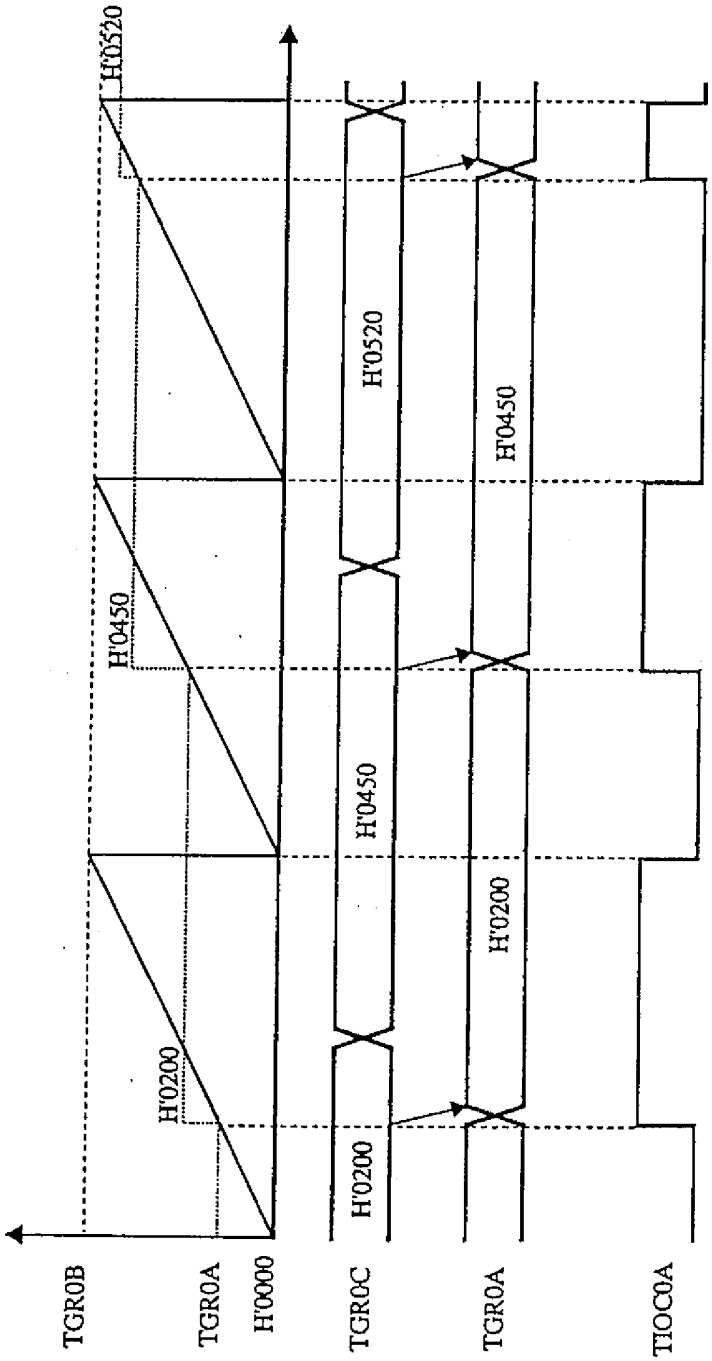
第 5 圖



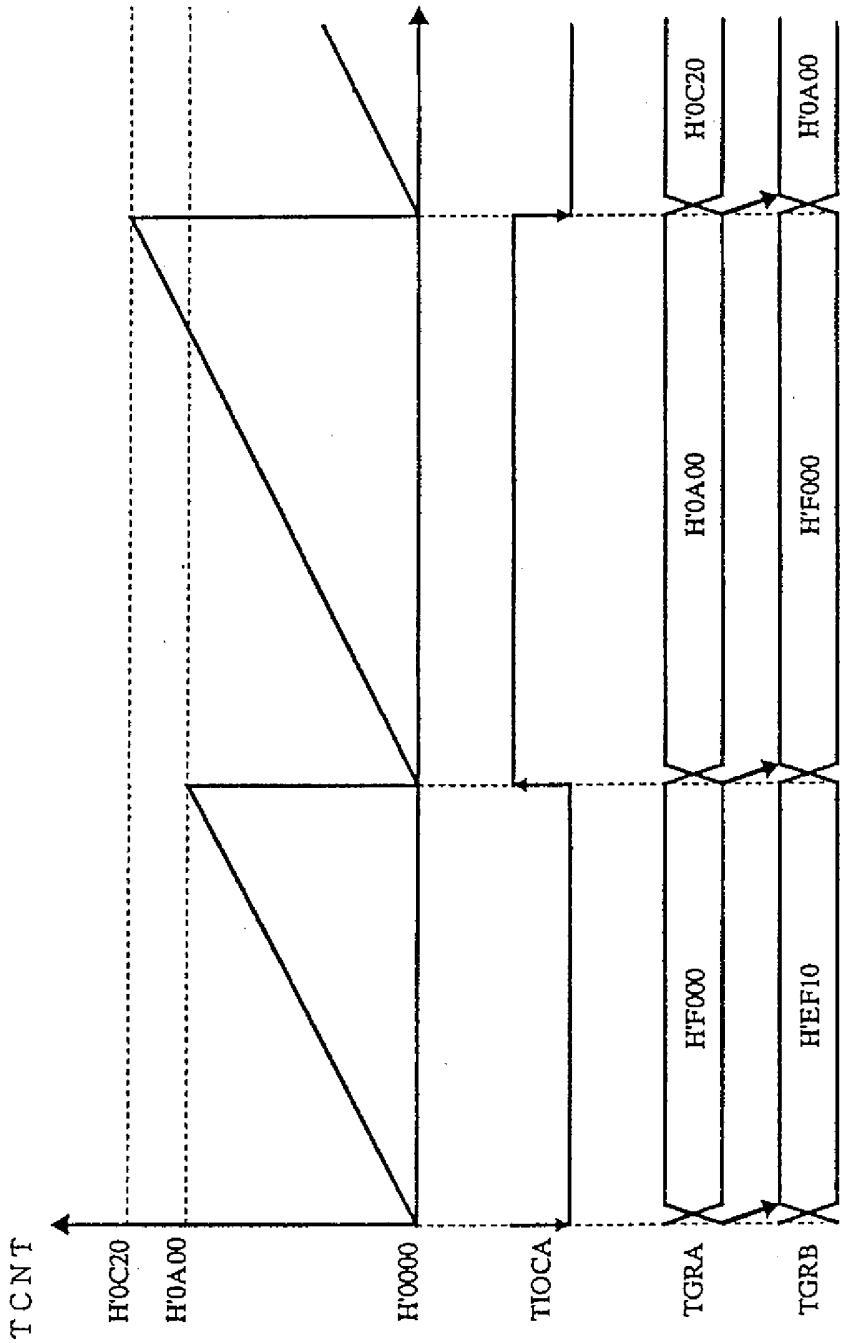
第 6 圖



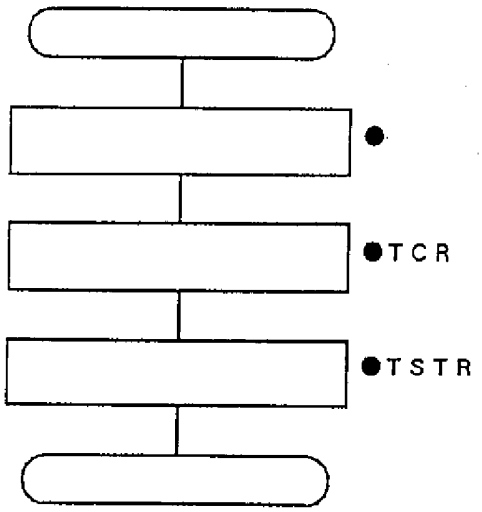
第7圖


H'0520
H'0450
H'0200
H'0000
H'0520
H'0450
H'0200
TGR0B
TGR0A
TGR0C
TGR0A
TIOC0A

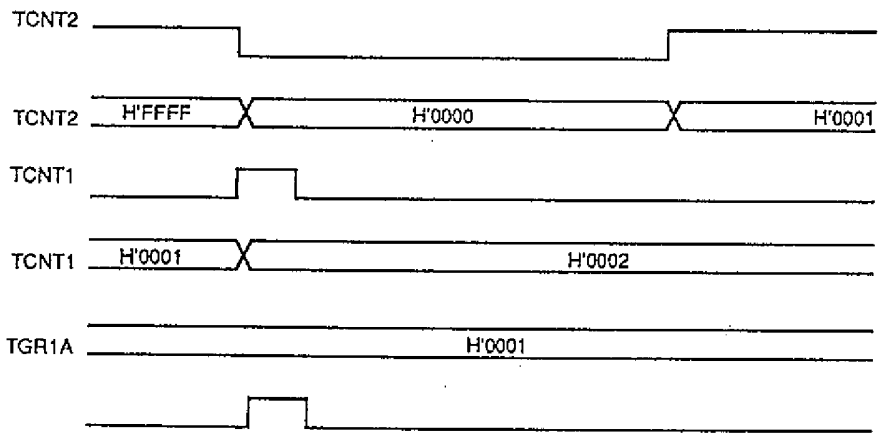
第 8 圖


TCNT
H'0C20
H'0A00
H'0000
TIOCA
TGRA
TGRB
H'0C20
H'0A00
H'0A00
H'F000
H'F000
H'EF10

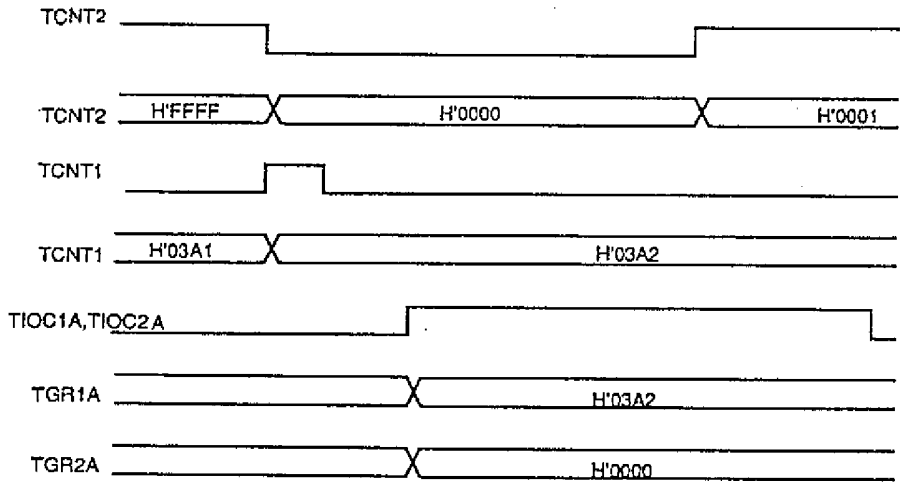
第 9 圖


●
●TCR
●TSTR

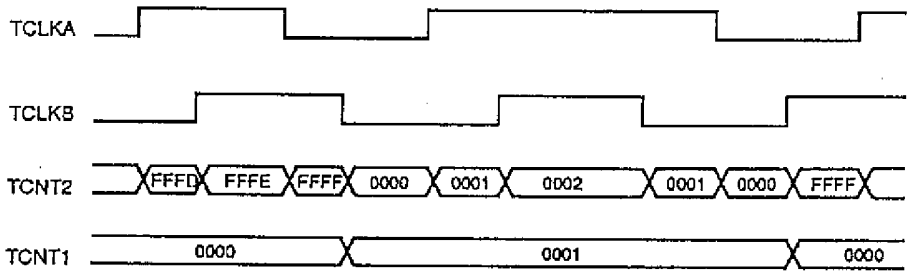
第10圖


TCNT2
TCNT2
H'FFFF
H'0000
H'0001
TCNT1
TCNT1
H'0001
H'0002
TGR1A
H'0001

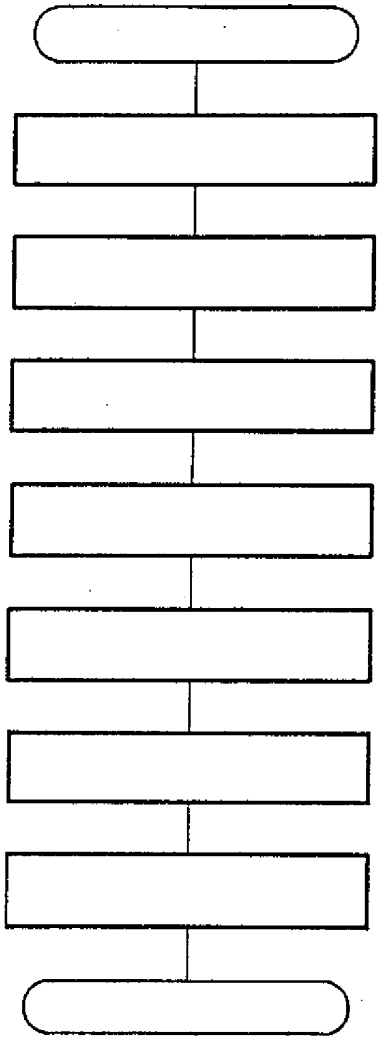
第11圖


TCNT2
TCNT2
H'FFFF
H'0000
H'0001
TCNT1
TCNT1
H'03A1
H'03A2
TIOC1A,TIOC2A
TGR1A
H'03A2
TGR2A
H'0000

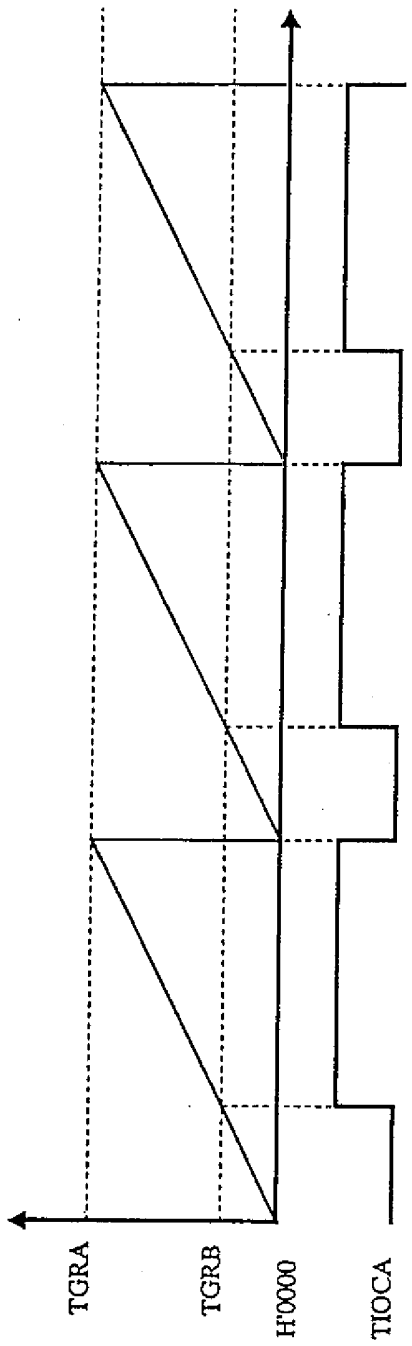
第12圖


TCLKA
TCLKB
TCNT2
FFFD
FFFE
FFFF
0000
0001
0002
0001
0000
FFFF
TCNT1
0000
0001
0000

第13圖

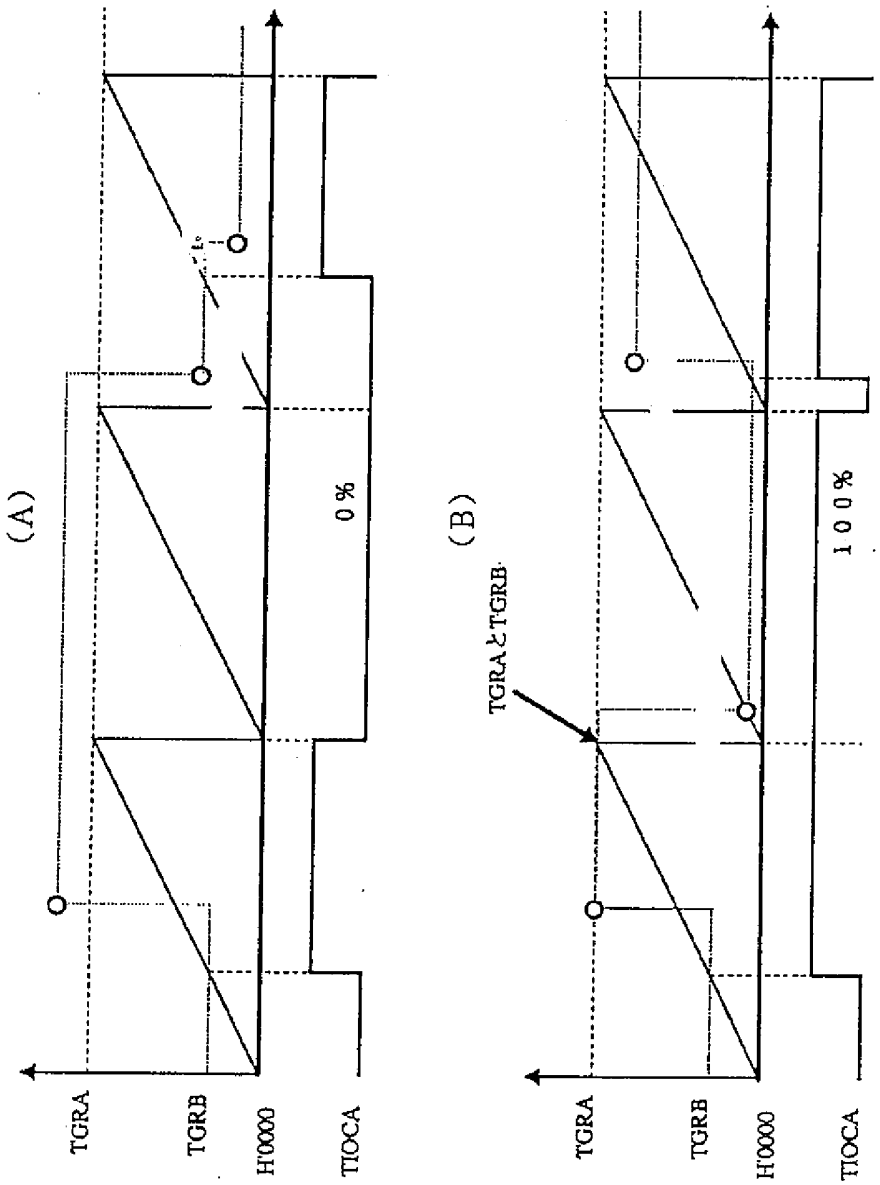

●TCRのTPSC2～0
●TCRのCCLR1, CCLR0
●TIOR
●TGRA
●TGRB
●TPMRのPWM
●TSTRのCST

第14圖

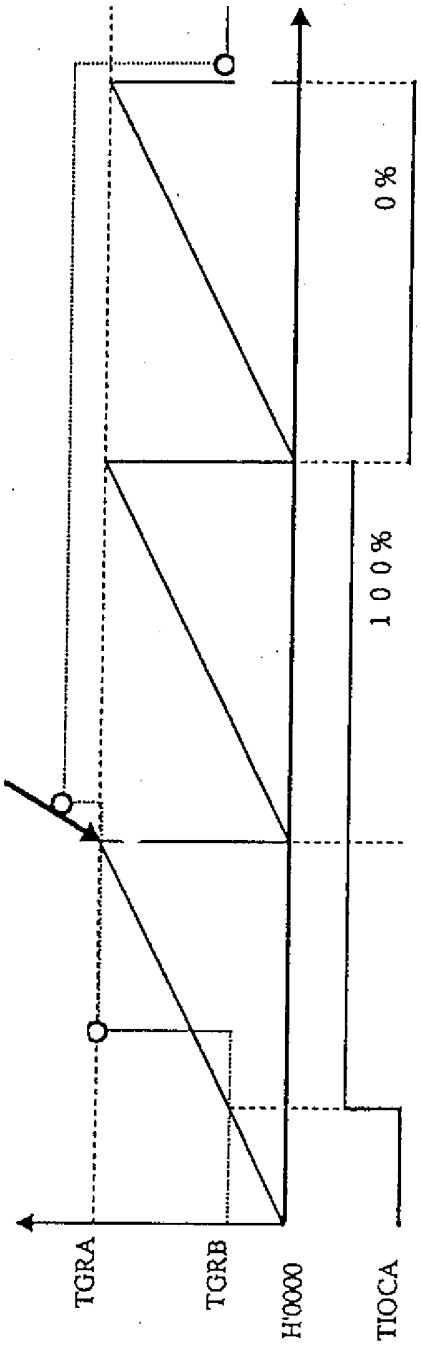


(1)

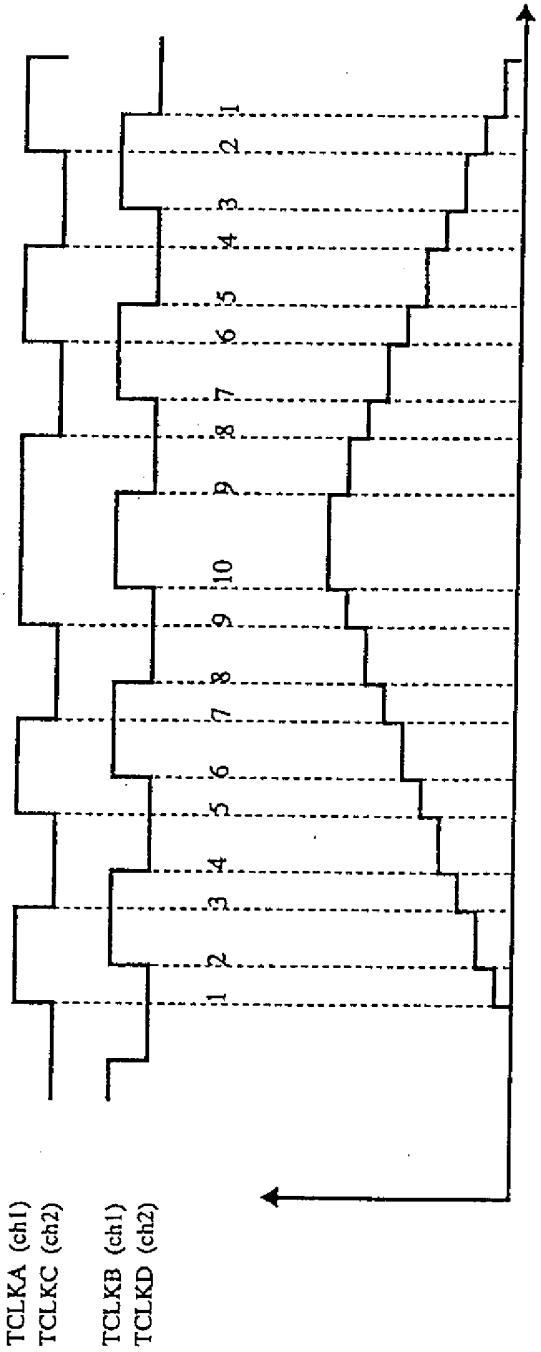
第15圖


(A)
0%
TGRA
TGRB
H'0000
TIOCA
(B)
TGRAとTGRB
100%
TGRA
TGRB
H'0000
TIOCA

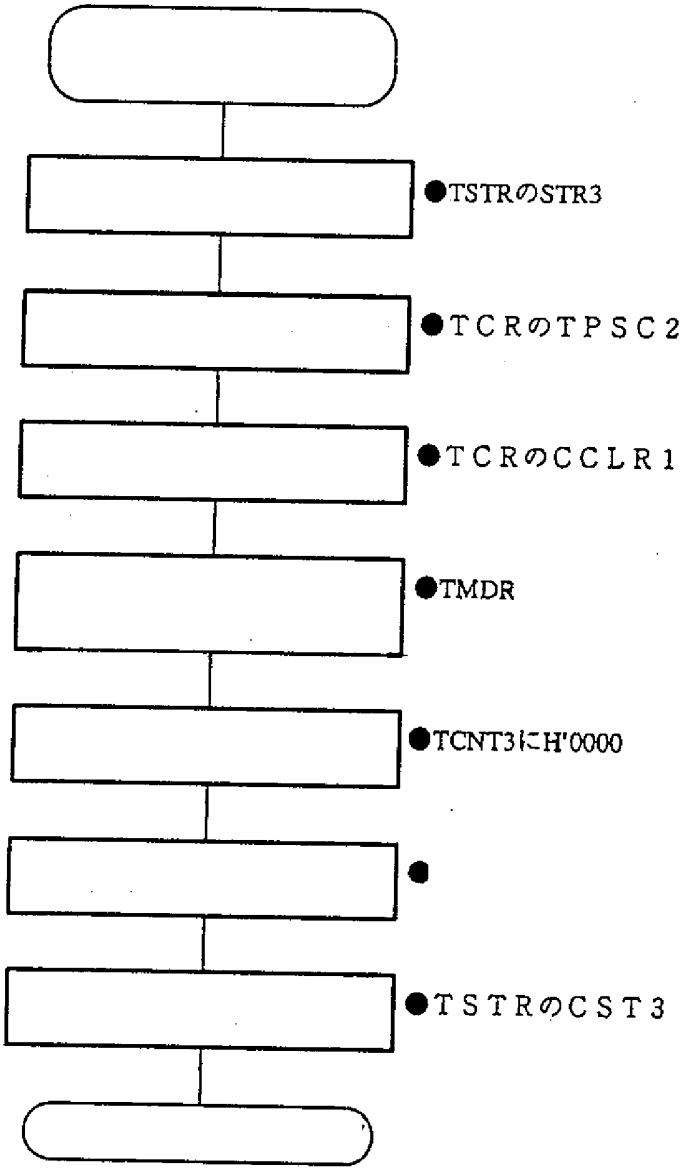
第16圖



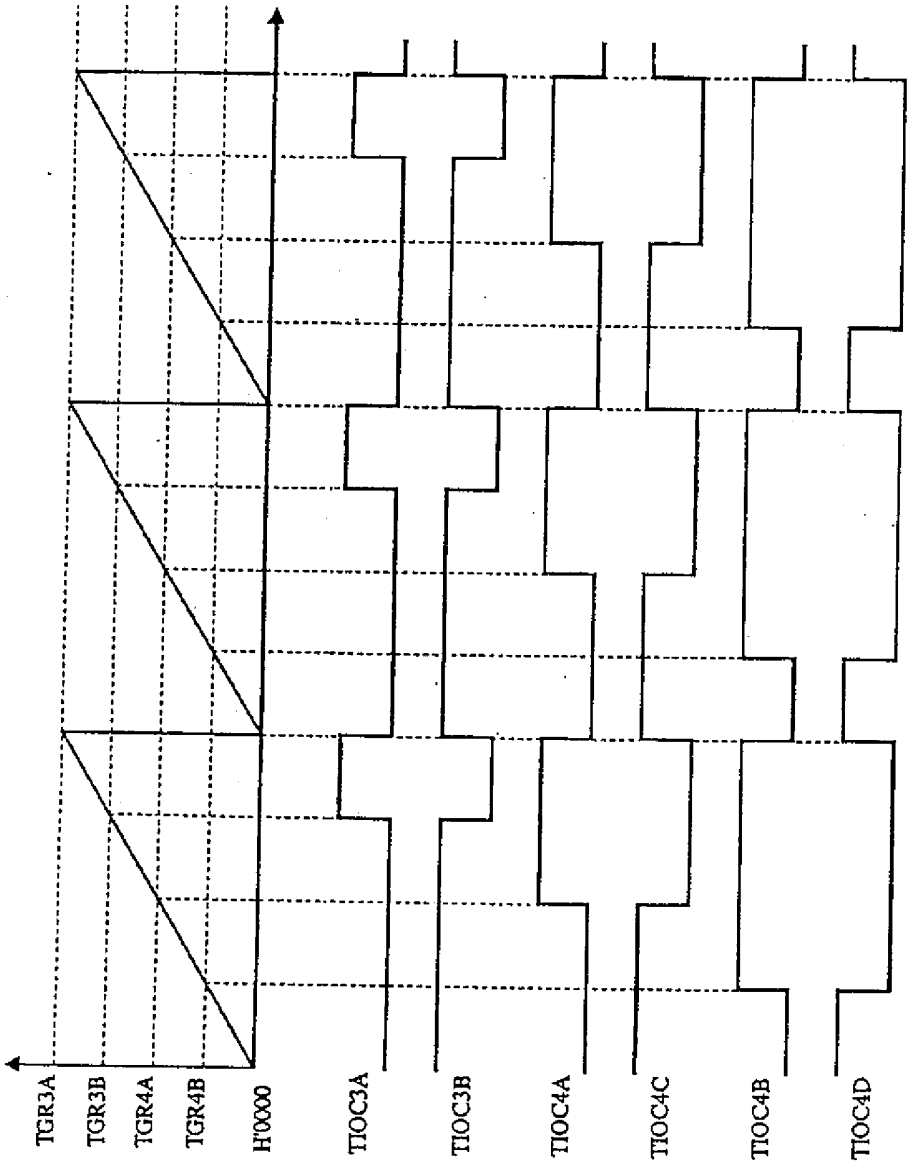
第17圖


1
2
3
4
5
6
7
8
9
10
9
8
7
6
5
4
3
2
1
TCLKA (ch1)
TCLKC (ch2)
TCLKB (ch1)
TCLKD (ch2)

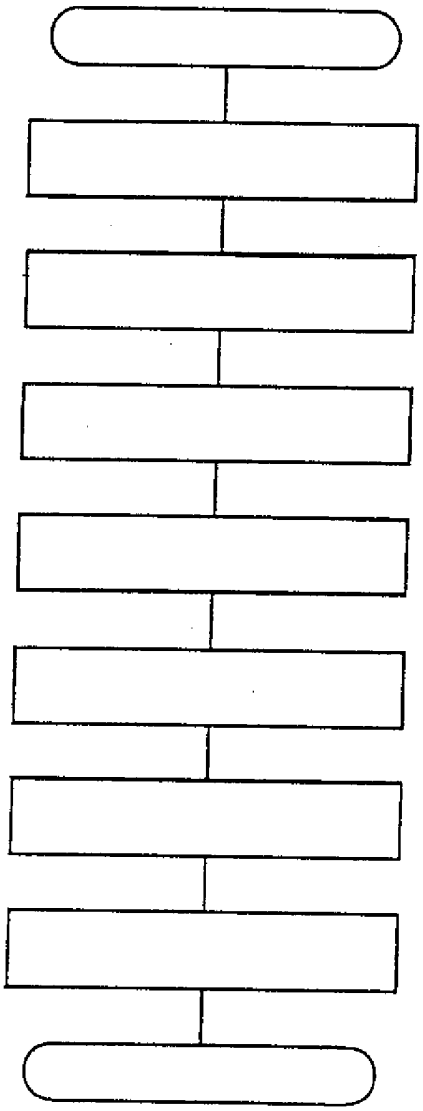
第18圖


●TSTRのSTR3
●TCRのTPSC2～0
●TCRのCCLR1，CCLR0
●TMDR
●TCNT3にH'0000
●
●TSTRのCST3

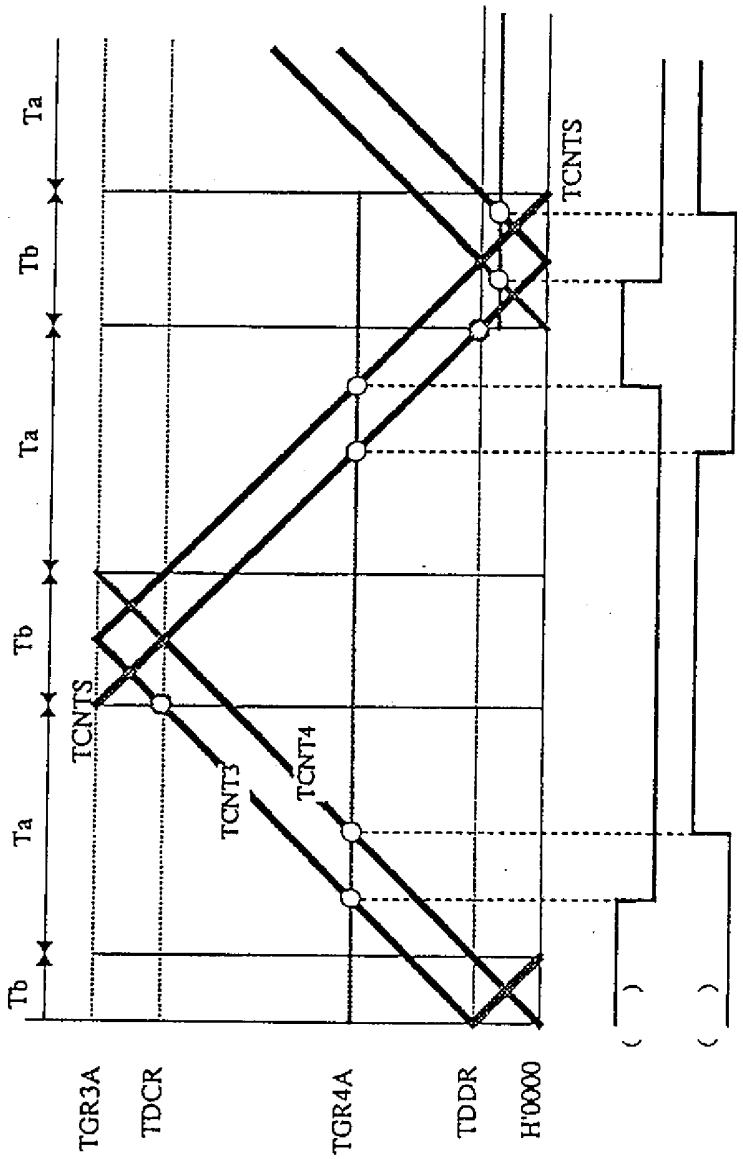
第19圖


TGR3A
TGR3B
TGR4A
TGR4B
H'0000
TIOC3A
TIOC3B
TIOC4A
TIOC4C
TIOC4B
TIOC4D

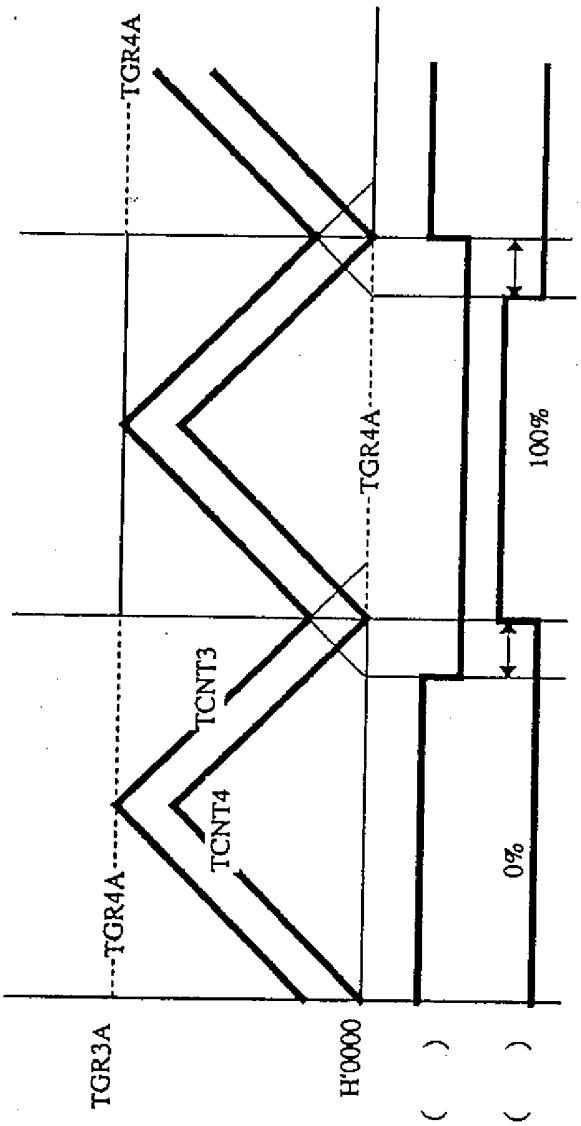
第20圖



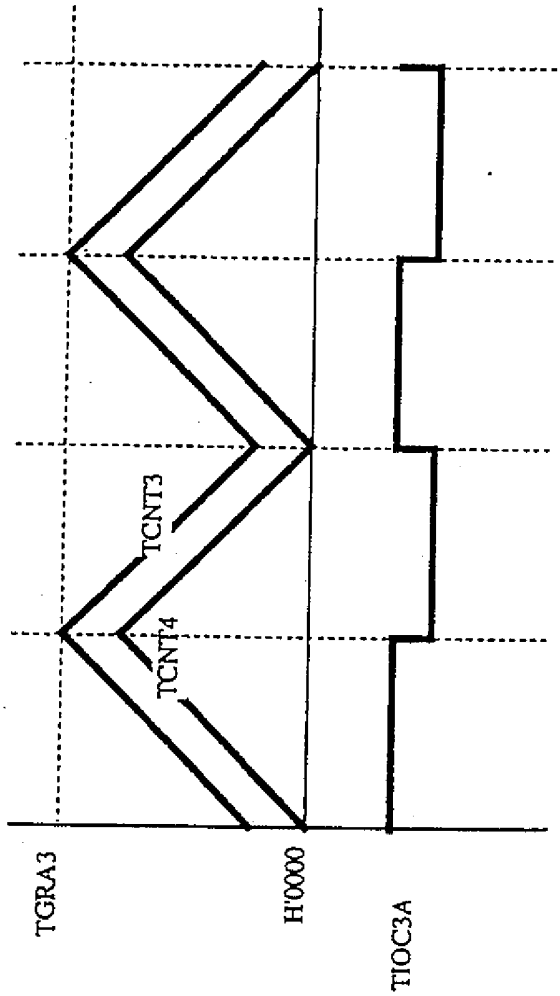
第21圖


Ta
Tb
Ta
Tb
Ta
Tb
TCNTS
TCNT3
TCNT4
TCNTS
TGR3A
TDCR
TGR4A
TDDR
H'0000

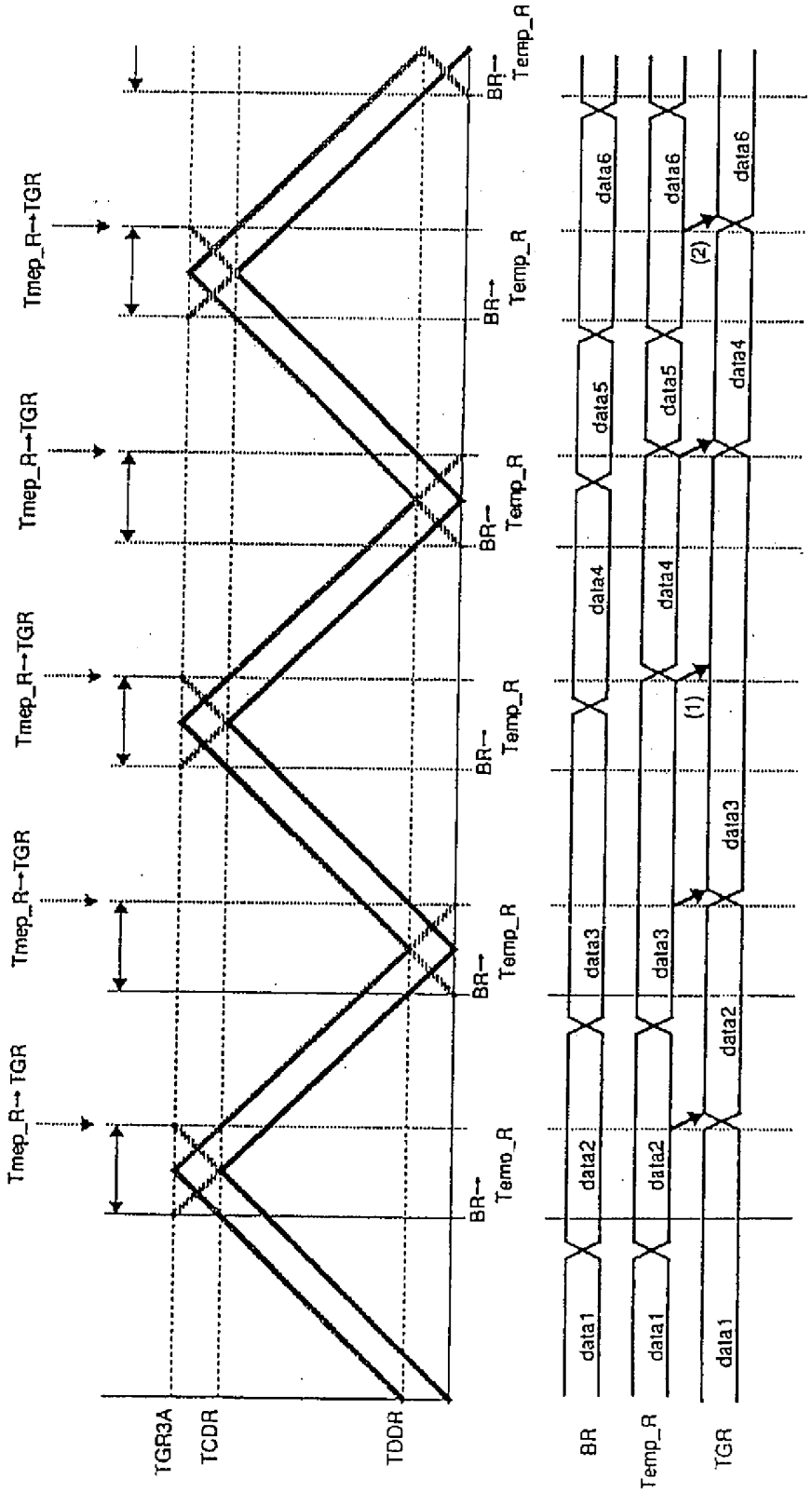
第22圖



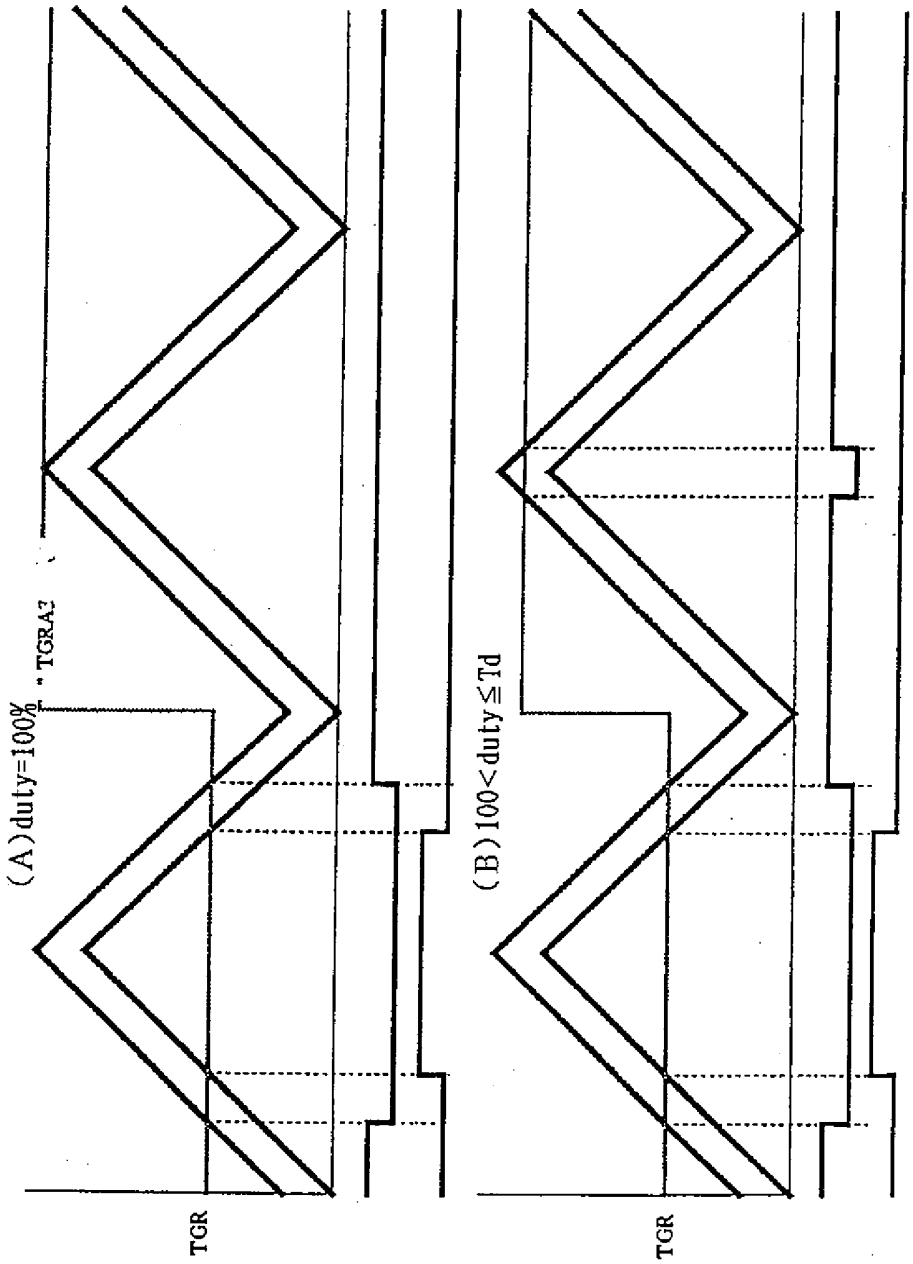
第23圖



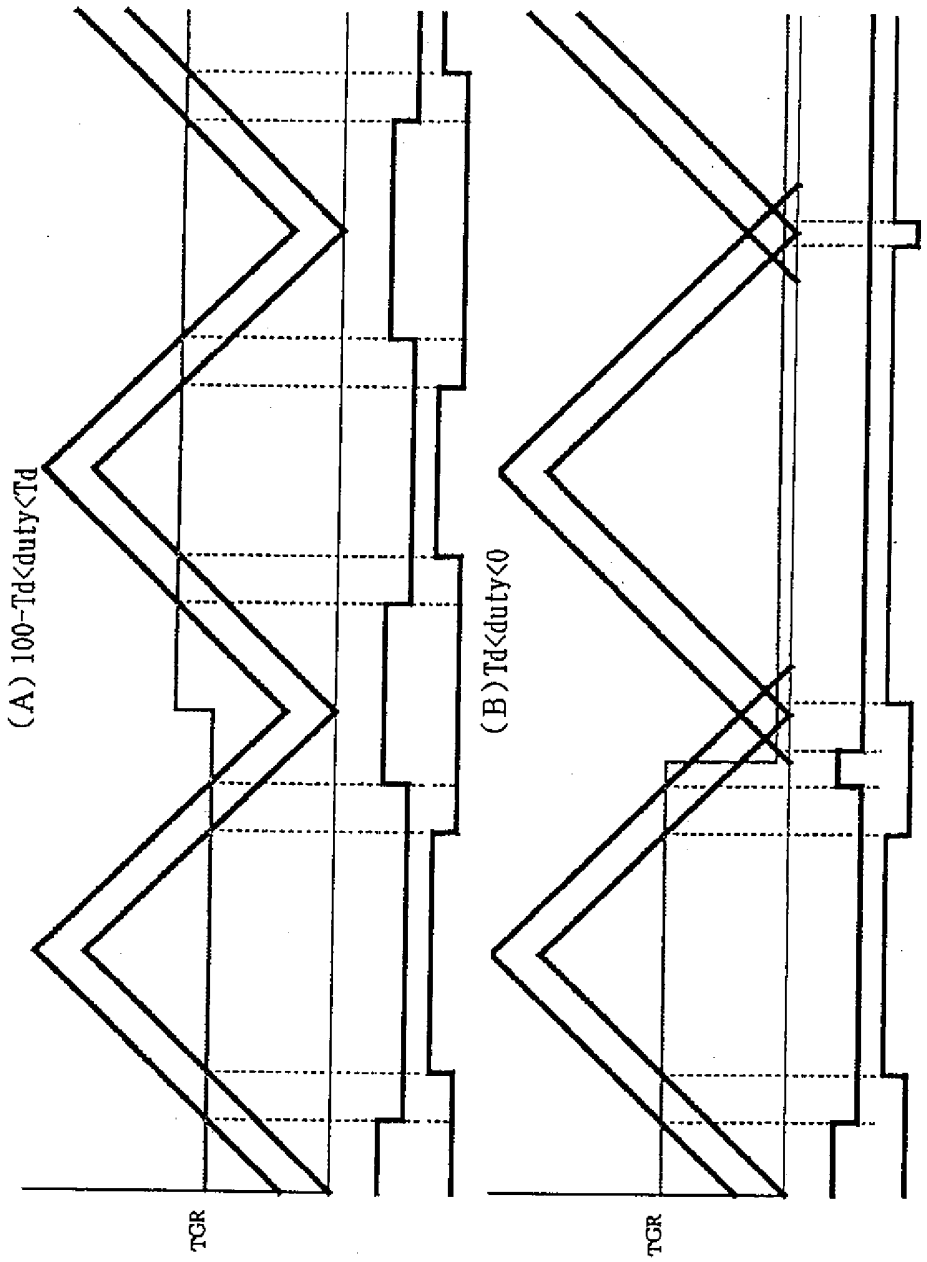
第24圖


Tmep_R→TGR
Tmep_R→TGR
Tmep_R→TGR
Tmep_R→TGR
Tmep_R→ TGR
BR→ Temp_R
BR→ Temp_R
BR→ Temp_R
BR→ Temp_R
BR→ Temo_R
TGR3A
TCDR
TDDR
data1
data2
data3
data4
data5
data6
(1)
(2)
BR
Temp_R
TGR

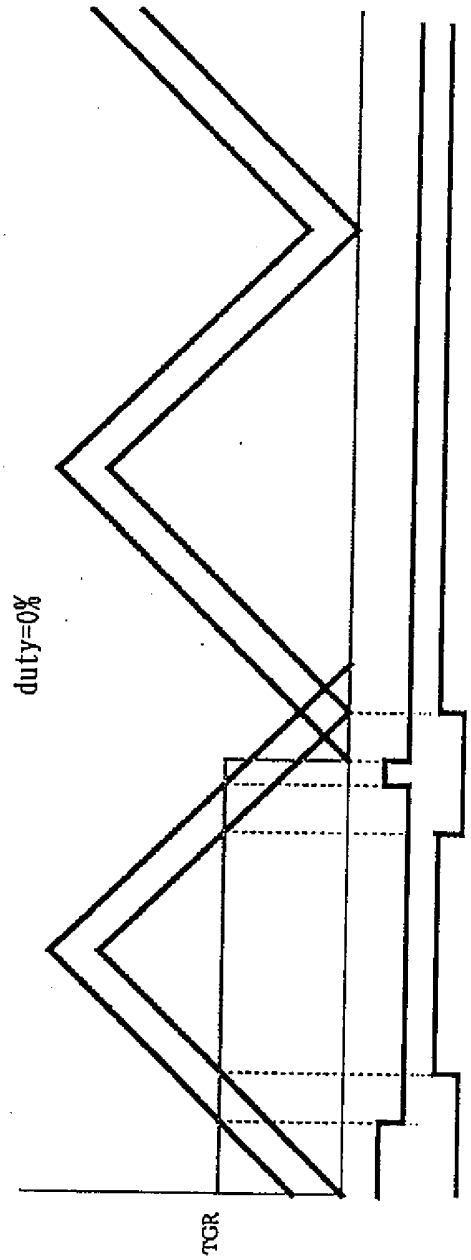
第25圖



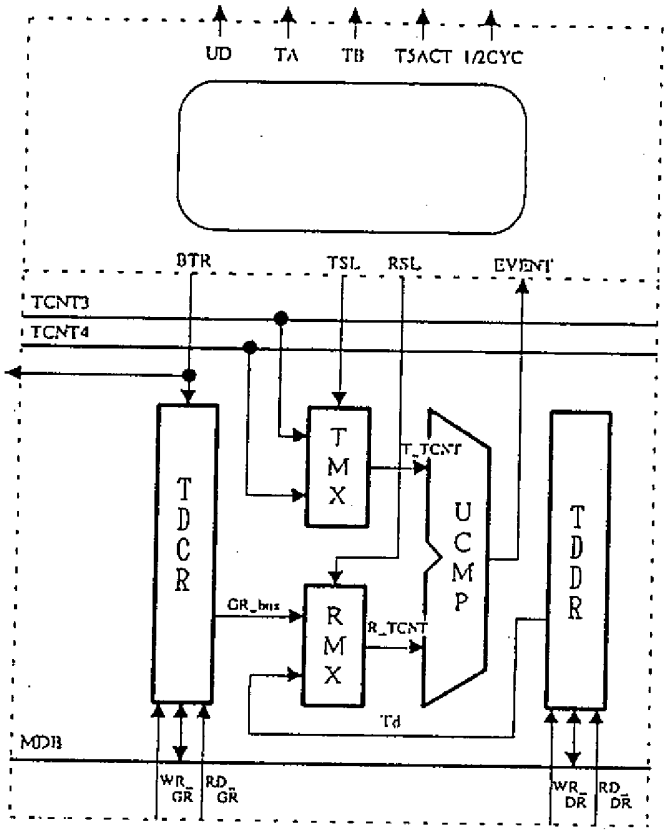
第26圖



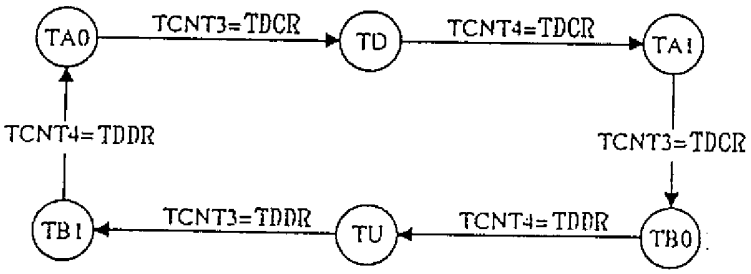
第27圖



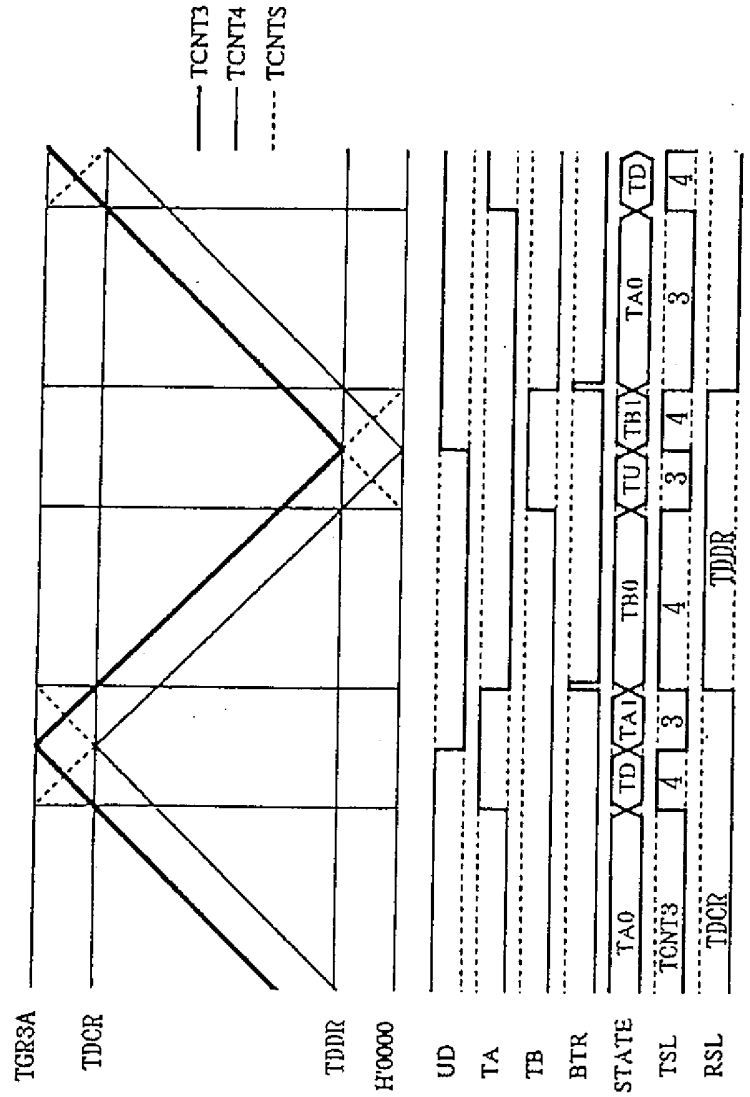
第28圖


UD
TA
TB
T5ACT
1/2CYC
BTR
TSL
RSL
EVENT
TCNT3
TCNT4
TDCR
TMX
T_TCNT
UCMP
TDDR
GR_bus
RMX
R_TCNT
Td
MDB
WR_GR
RD_GR
WR_DR
RD_DR

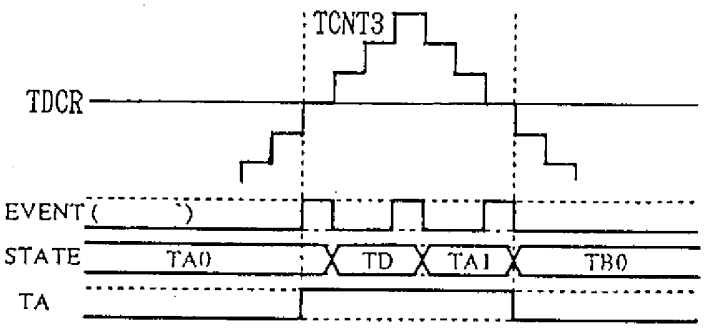
第29圖


TA0
TCNT3=TDCR
TD
TCNT4=TDCR
TA1
TCNT4=TDDR
TCNT3=TDCR
TB1
TCNT3=TDDR
TU
TCNT4=TDDR
TB0

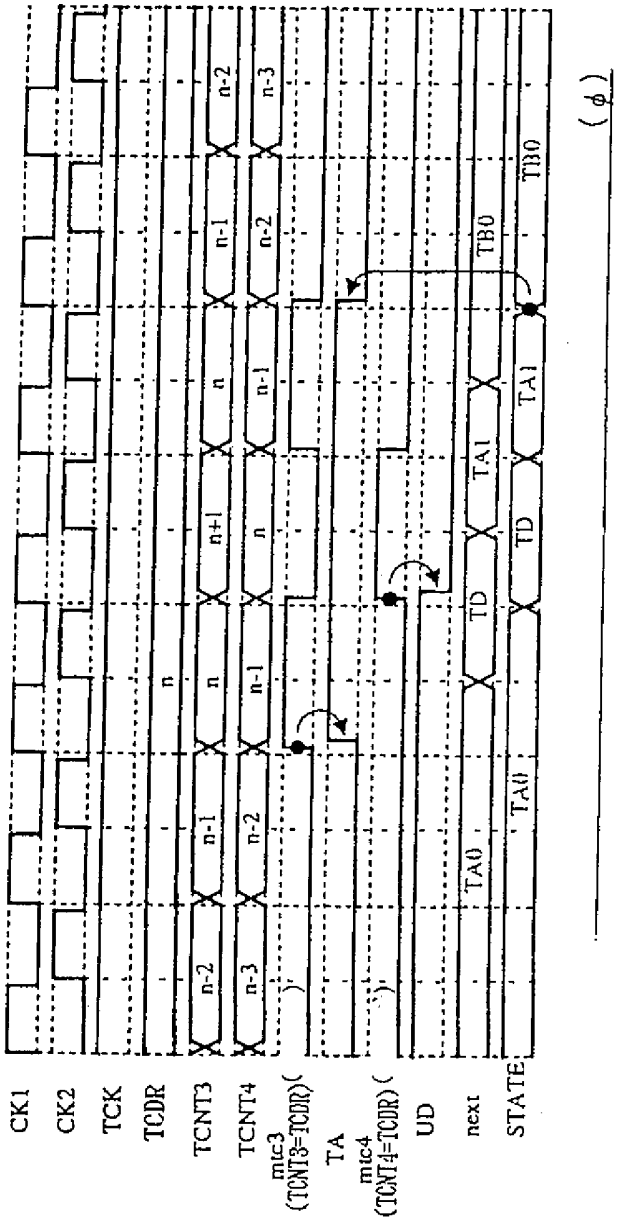
第30圖


TCNT3
TCNT4
TCNTS
TGR3A
TDCR
TDDR
H'0000
UD
TA
TB
BTR
STATE
TSL
RSL
TA0
TD
TA1
TB0
TU
TB1
TDDR
TDCR
TCNT3
3
4

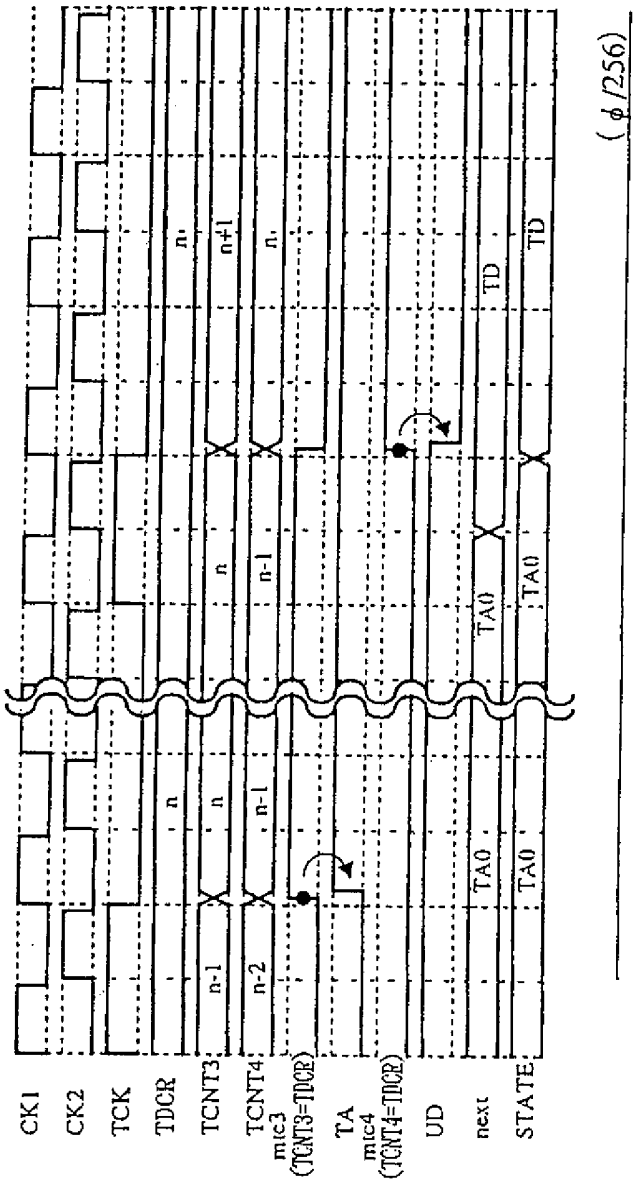
第31圖


TCNT3
TDCR
EVENT
STATE
TA
TA0
TD
TA1
TB0

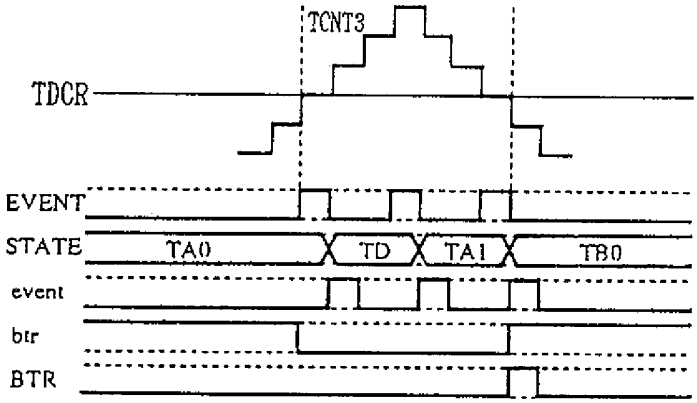
第32圖


CK1
CK2
TCK
TCDR
TCNT3
TCNT4
mic3
(TCNT3=TCDR)
TA
mic4
(TCNT4=TCDR)
UD
next
STATE
n
n-1
n-2
n-3
n+1
TA0
TA1
TB0
TD
(φ)

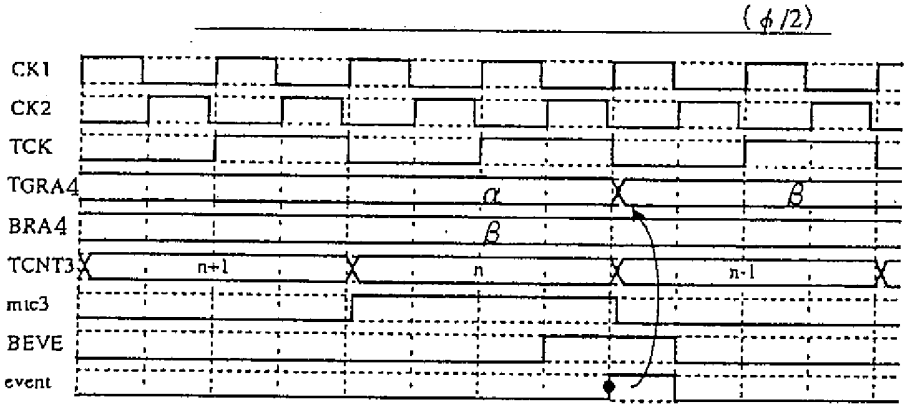
第33圖


CK1
CK2
TCK
TDCR
TCNT3
TCNT4
mic3 (TCNT3=TDCR)
TA
mic4 (TCNT4=TDCR)
UD
next
STATE
n
n-1
n-2
n+1
TD
TA0
(φ/256)

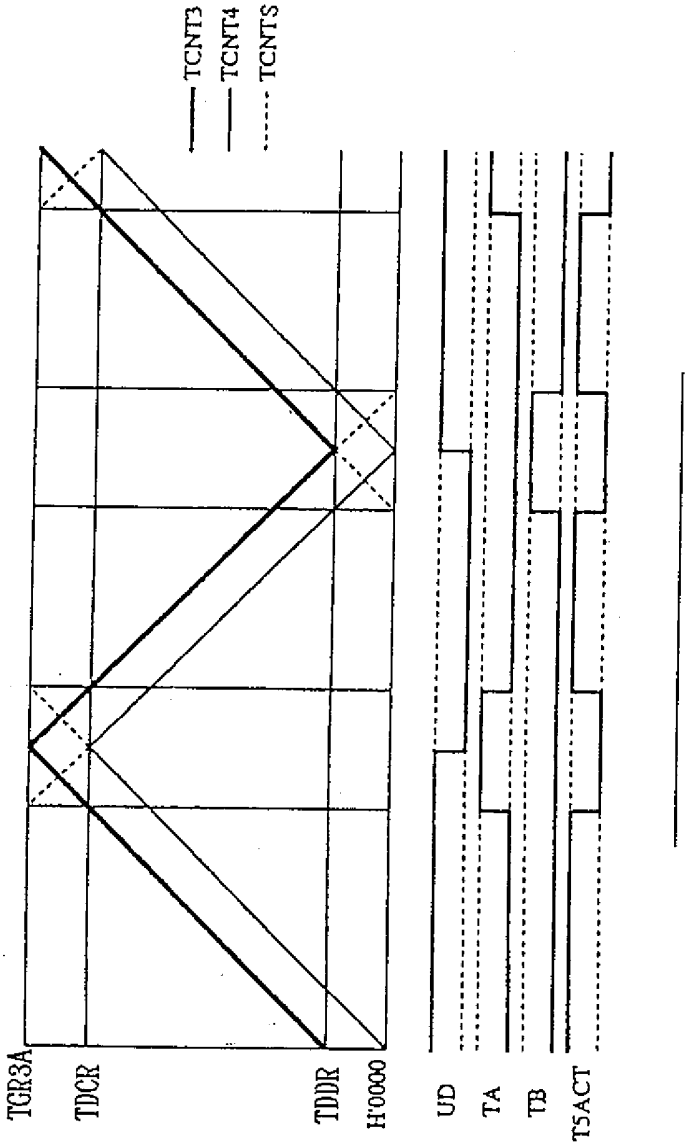
第34圖


TCNT3
TDCR
EVENT
STATE
TA0
TD
TA1
TB0
event
btr
BTR

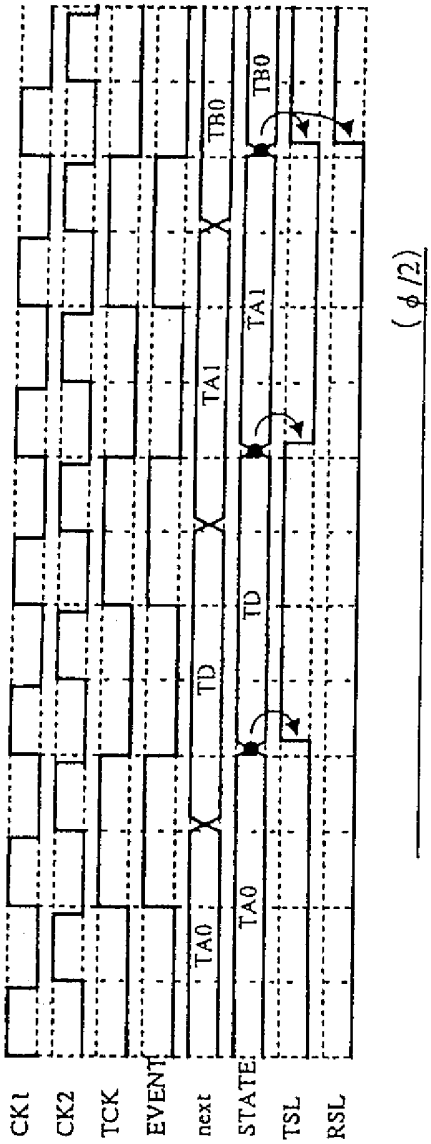
第35圖


(φ/2)
CK1
CK2
TCK
TGRA4
BRA4
TCNT3
mtc3
BEVE
event
α
β
β
n+1
n
n-1

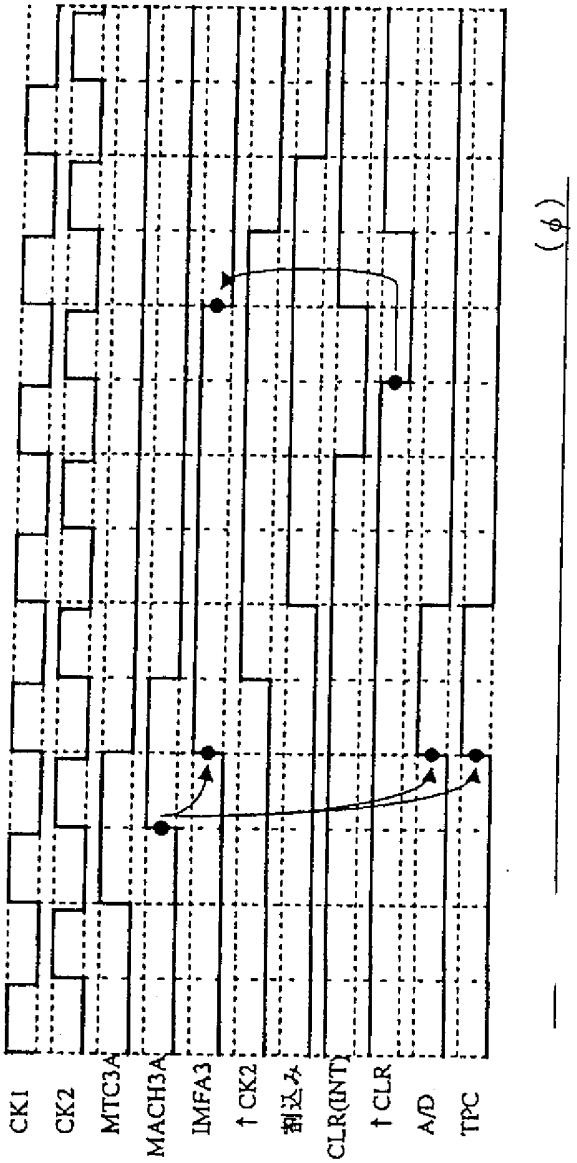
第36圖



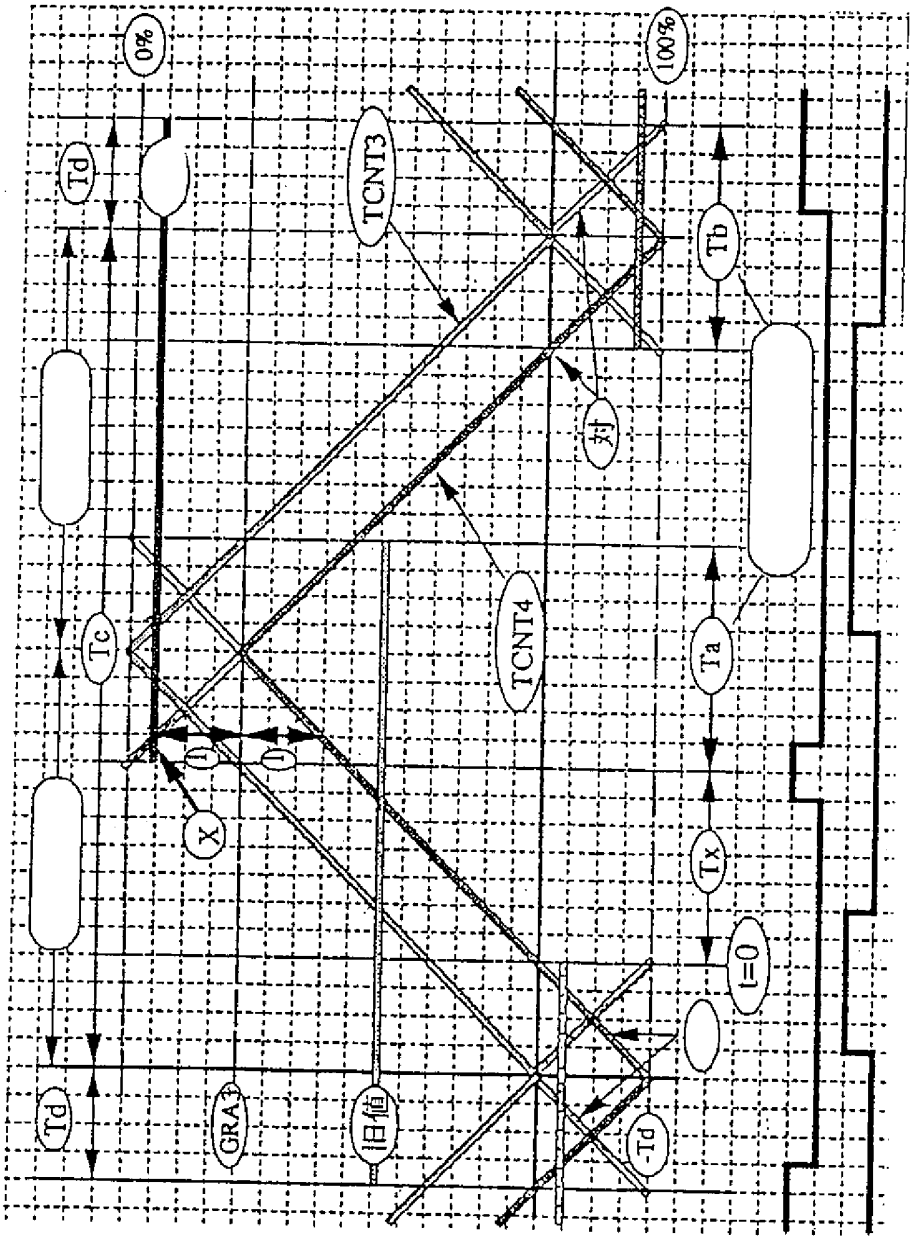
第37圖


CK1
CK2
TCK
EVENT
next
STATE
TSL
RSL
TA0
TD
TA1
TB0
TA0
TD
TA1
TB0
(φ/2)

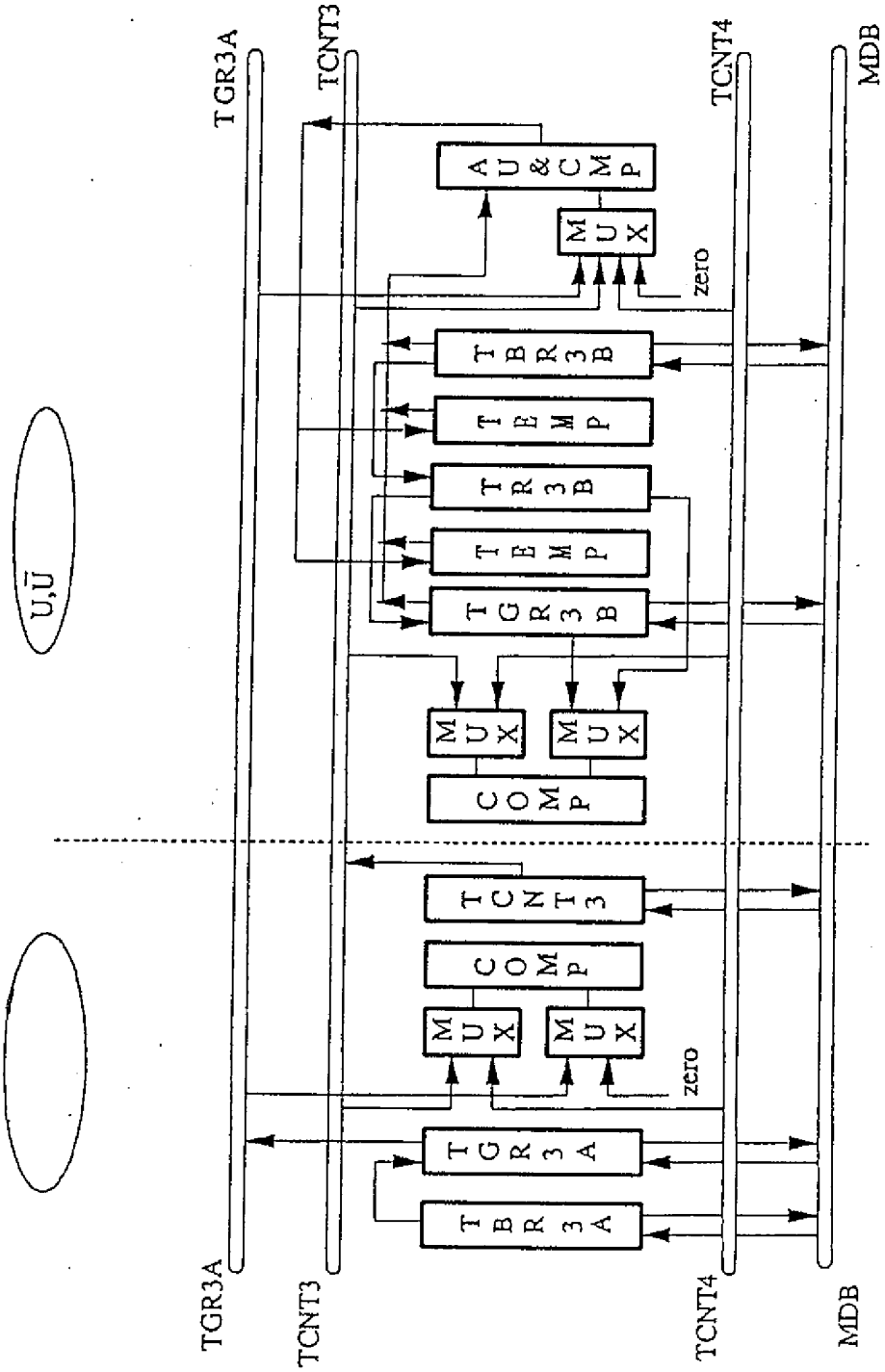
第38圖



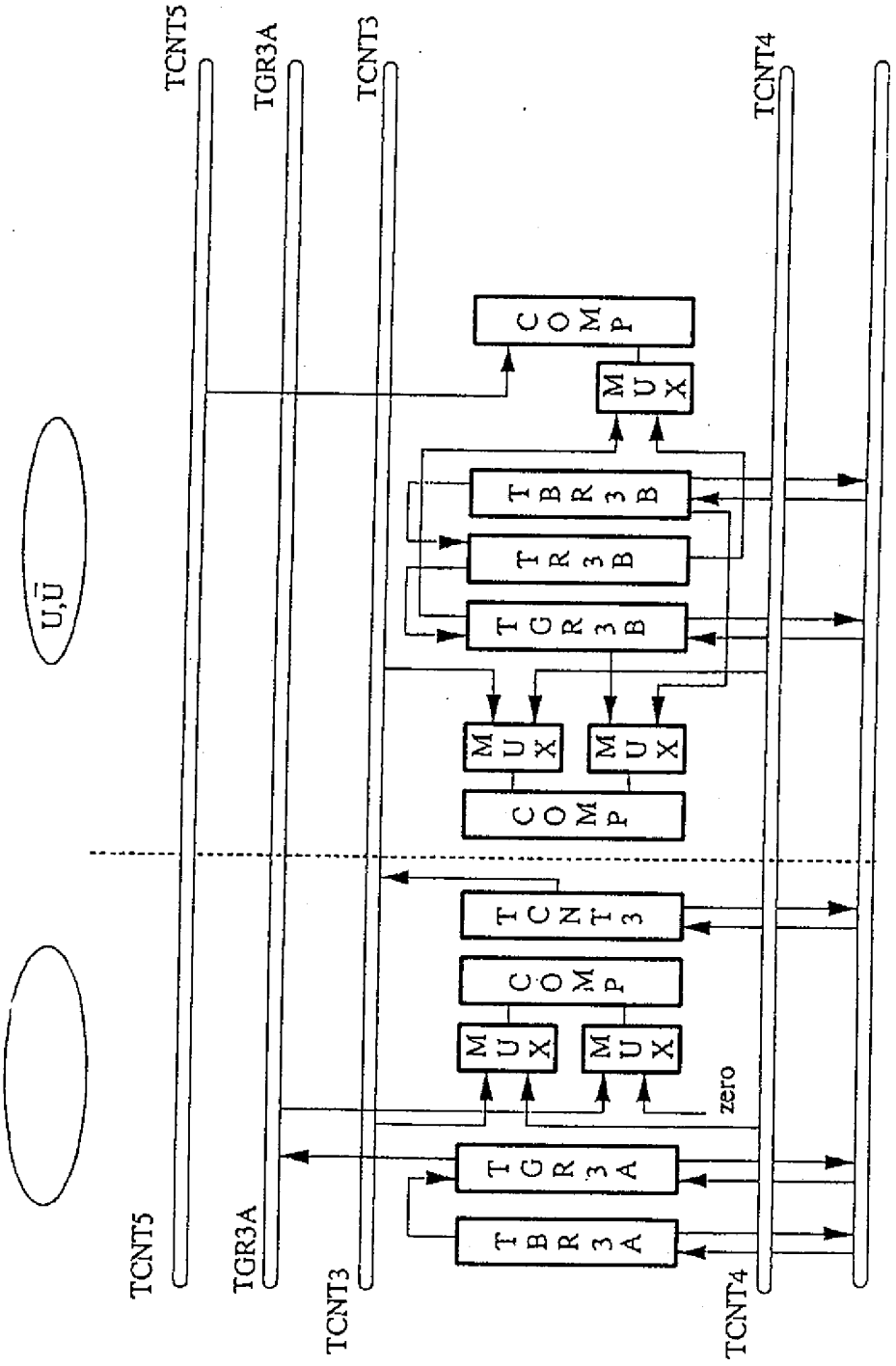
第39圖



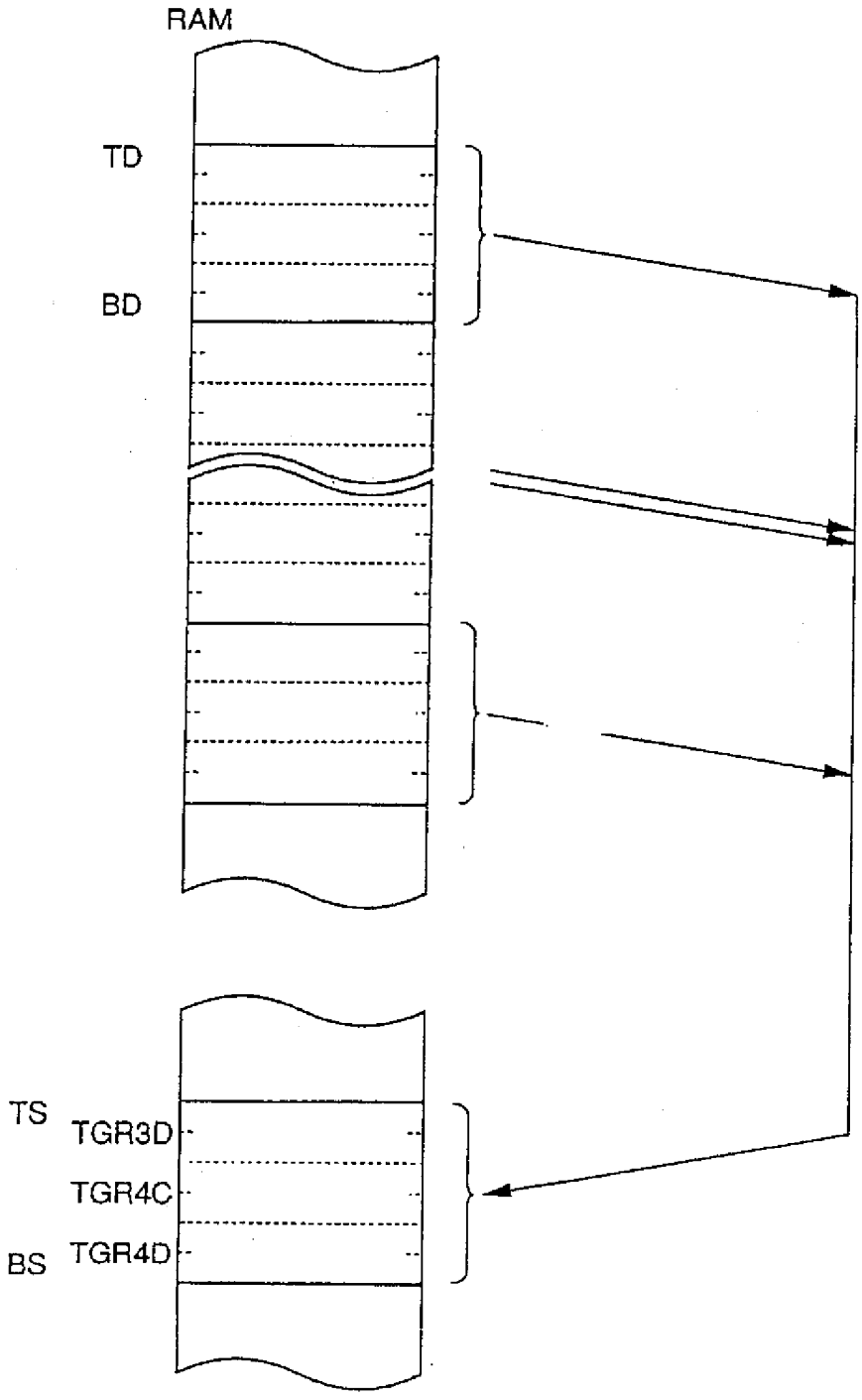
第40圖


TGR3A
TCNT3
TCNT4
MDB
AU&CMP
MUX
zero
TBR3B
TEMP
TGR3B
TEMP
TGR3B
MUX
MUX
COMP
TCNT3
COMP
MUX
MUX
zero
TGR3A
TBR3A
TGR3A
TCNT3
TCNT4
MDB
U,Ū

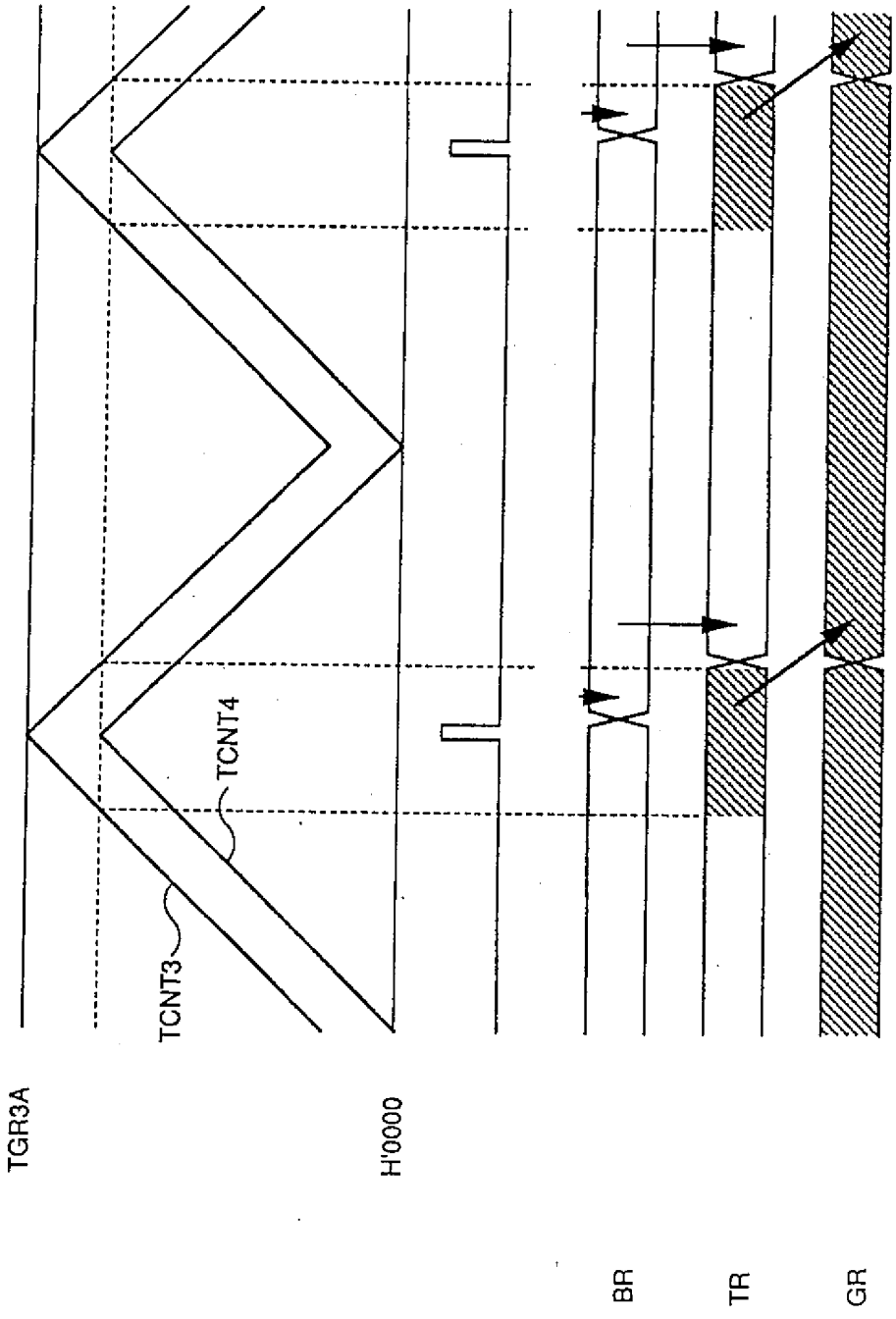
第41圖


TCNT5
TGR3A
TCNT3
TCNT4
U,Ū
COMP
MUX
TBR3B
TR3B
TGR3B
MUX
MUX
COMP
TCNT3
COMP
MUX
MUX
zero
TGR3A
TBR3A
TCNT5
TGR3A
TCNT3
TCNT4

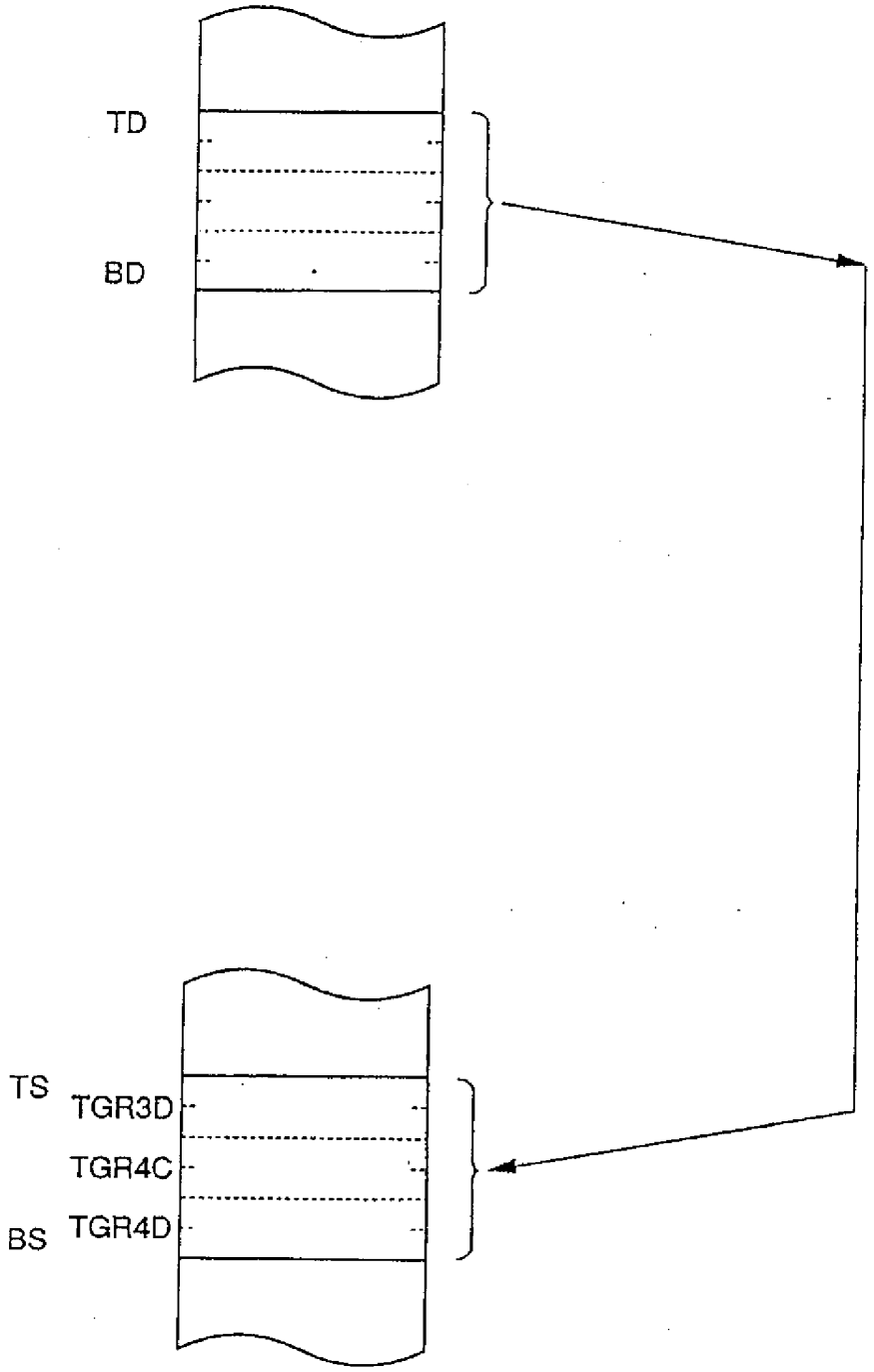
第42圖



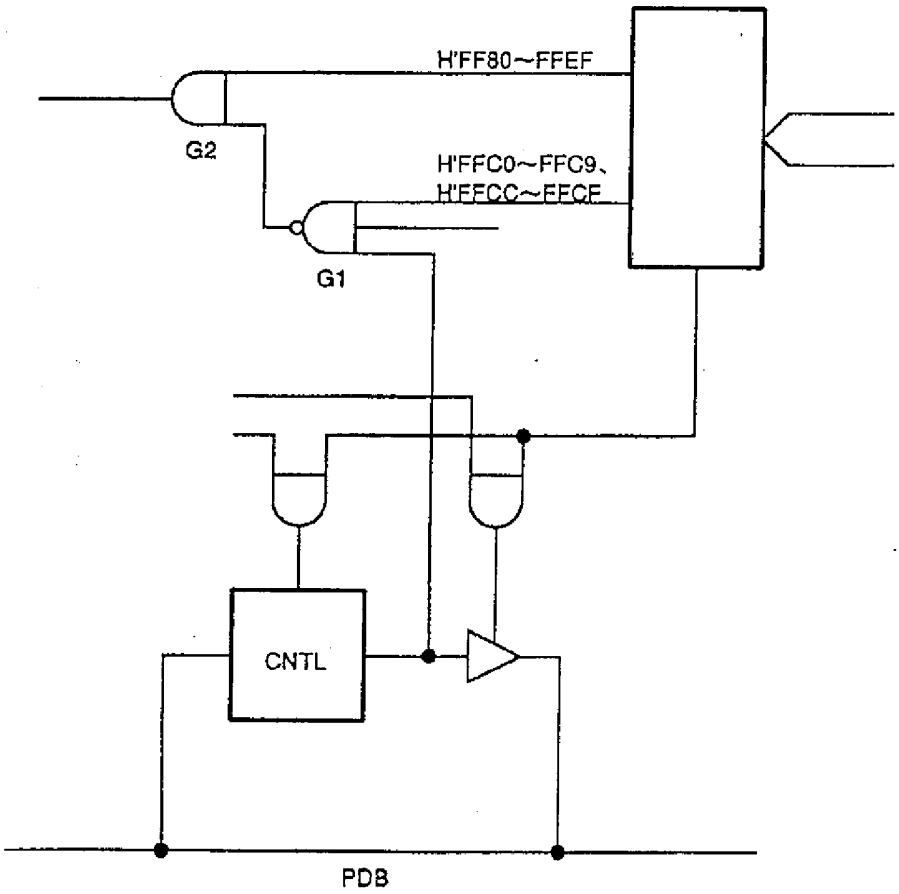
第43圖



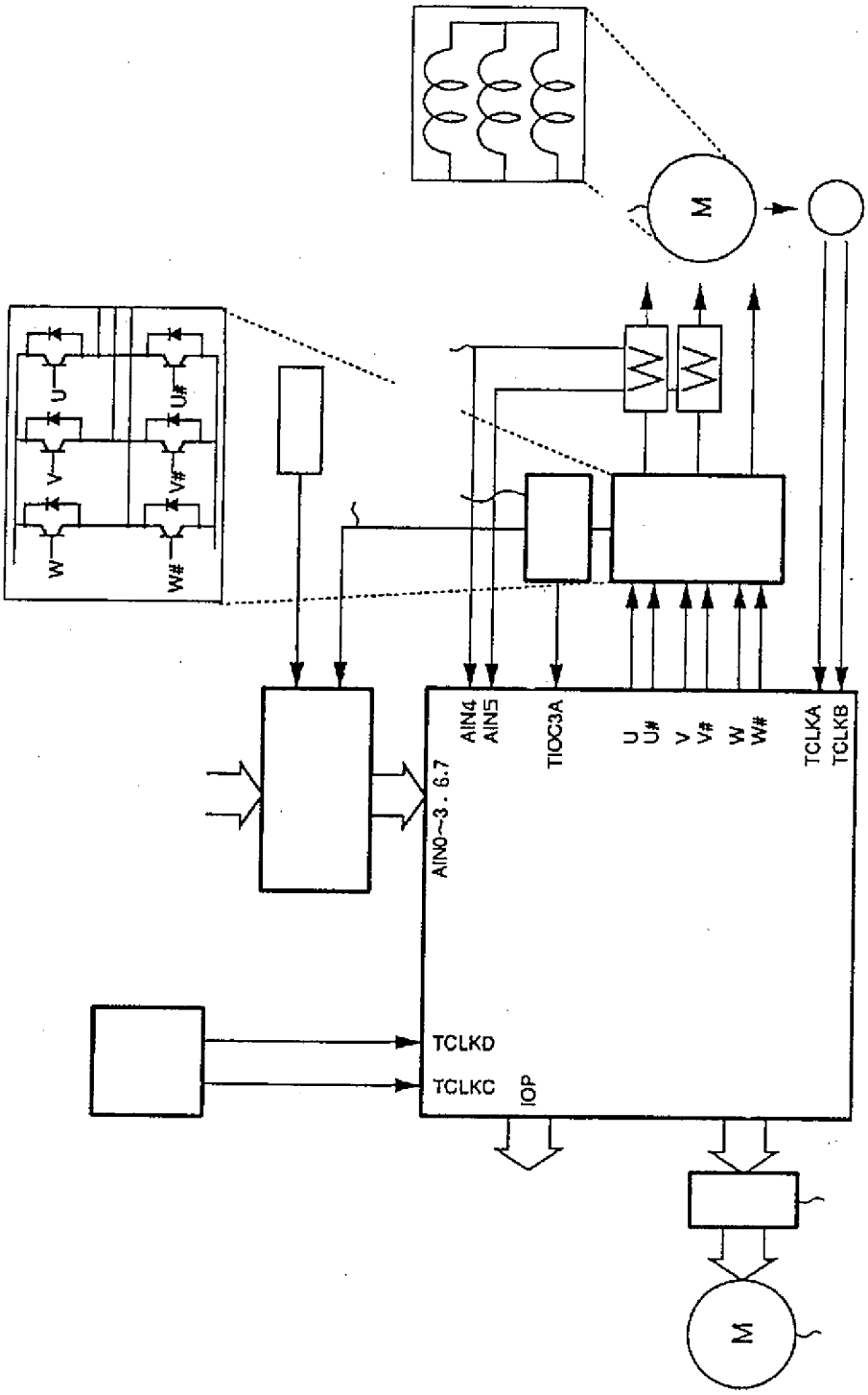
第44圖



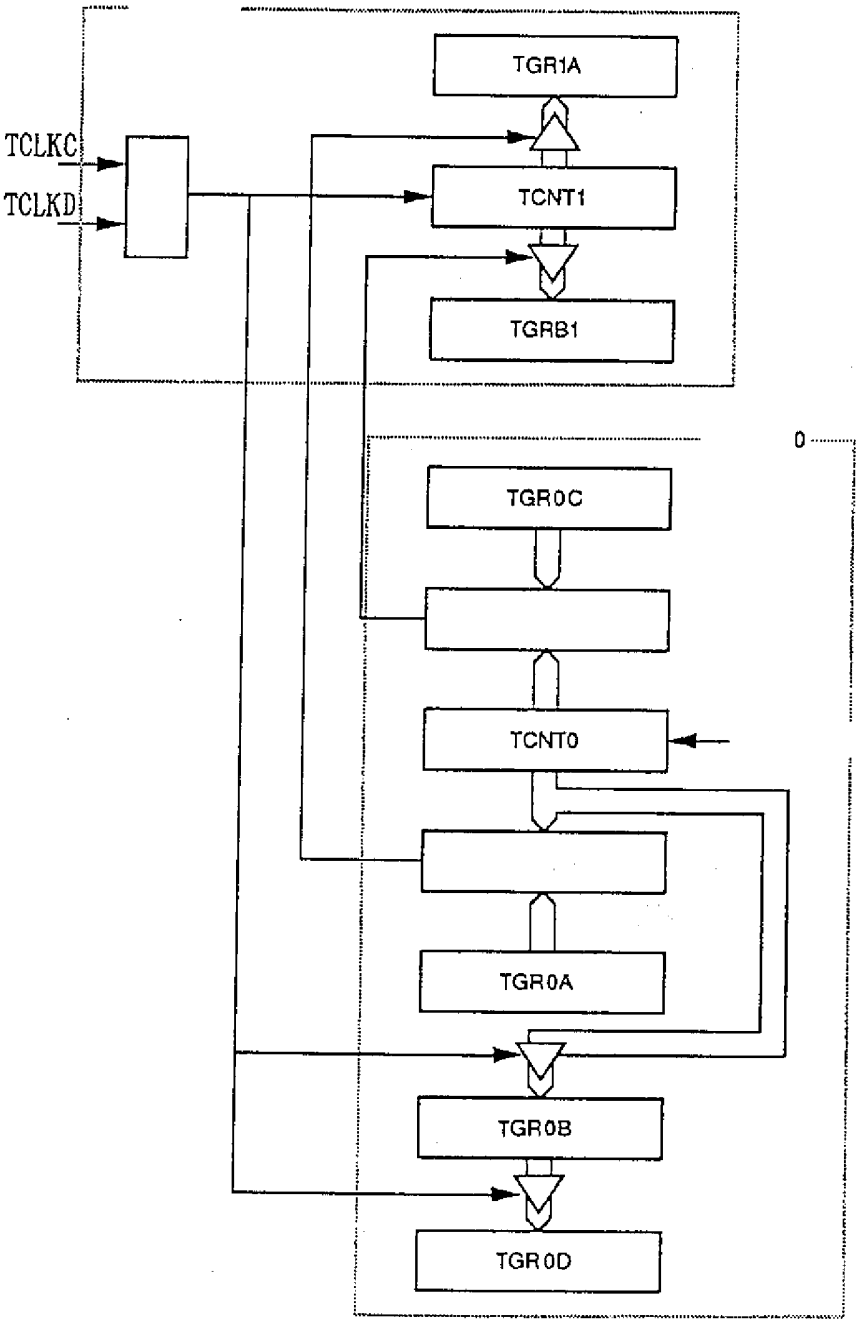
第45圖



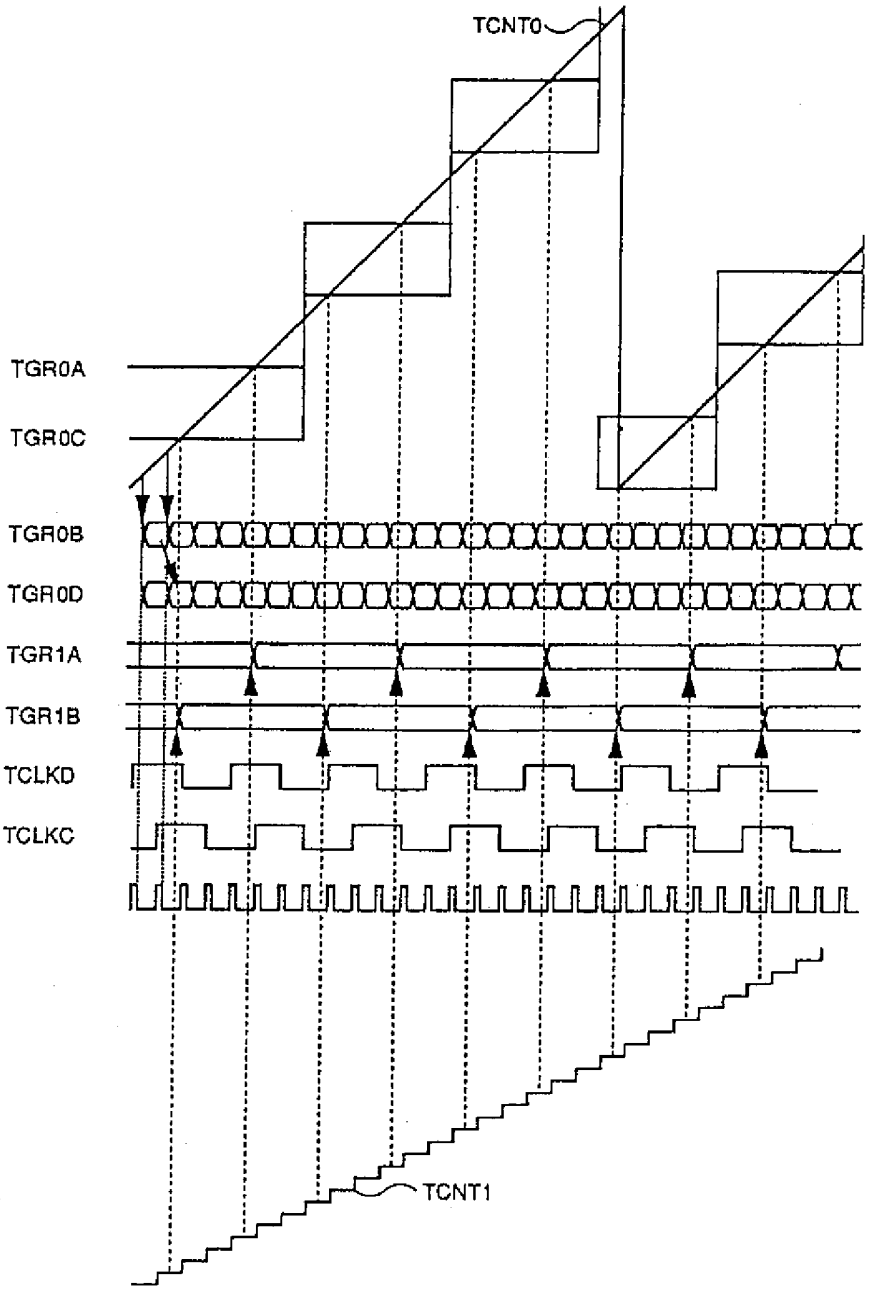
第46圖


M
U
U#
V
V#
W
W#
AIN4
AIN5
TIOC3A
U
U#
V
V#
W
W#
TCLKA
TCLKB
AIN0~3, 6, 7
TCLKD
TCLKC
IOP
M

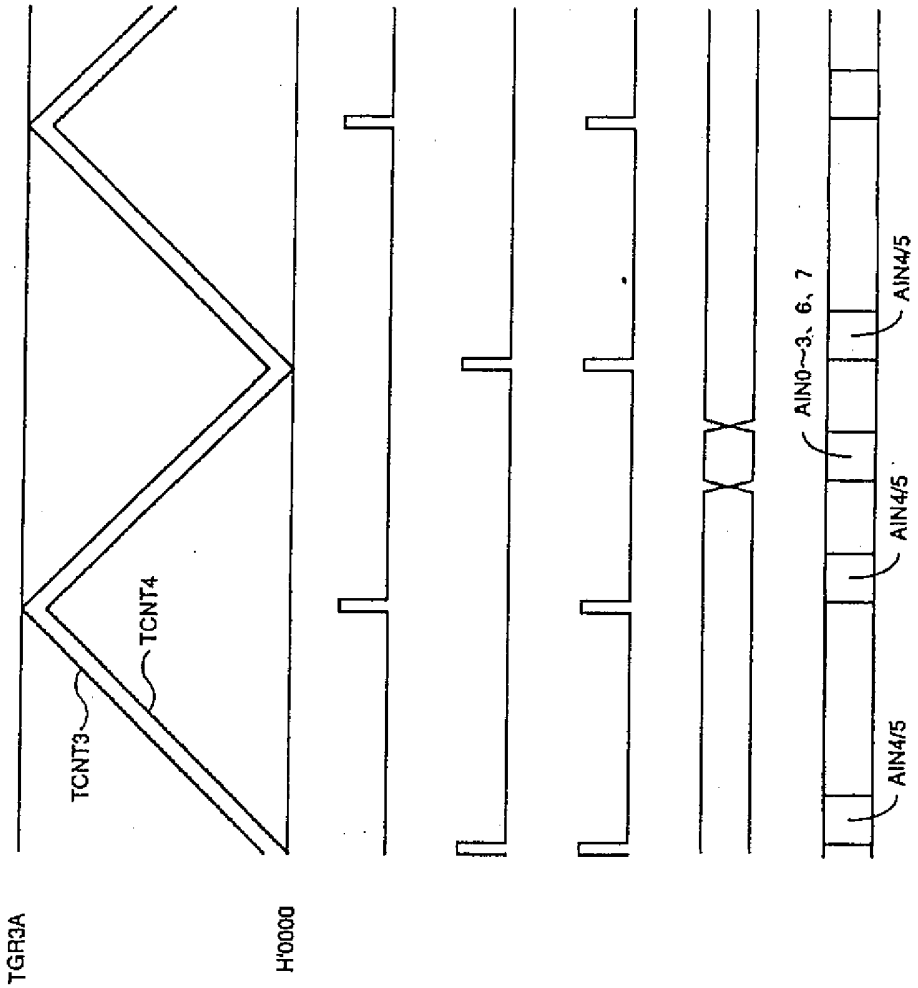
第47圖


TGR1A
TCLKC
TCLKD
TCNT1
TGRB1
0
TGR0C
TCNT0
TGR0A
TGR0B
TGR0D

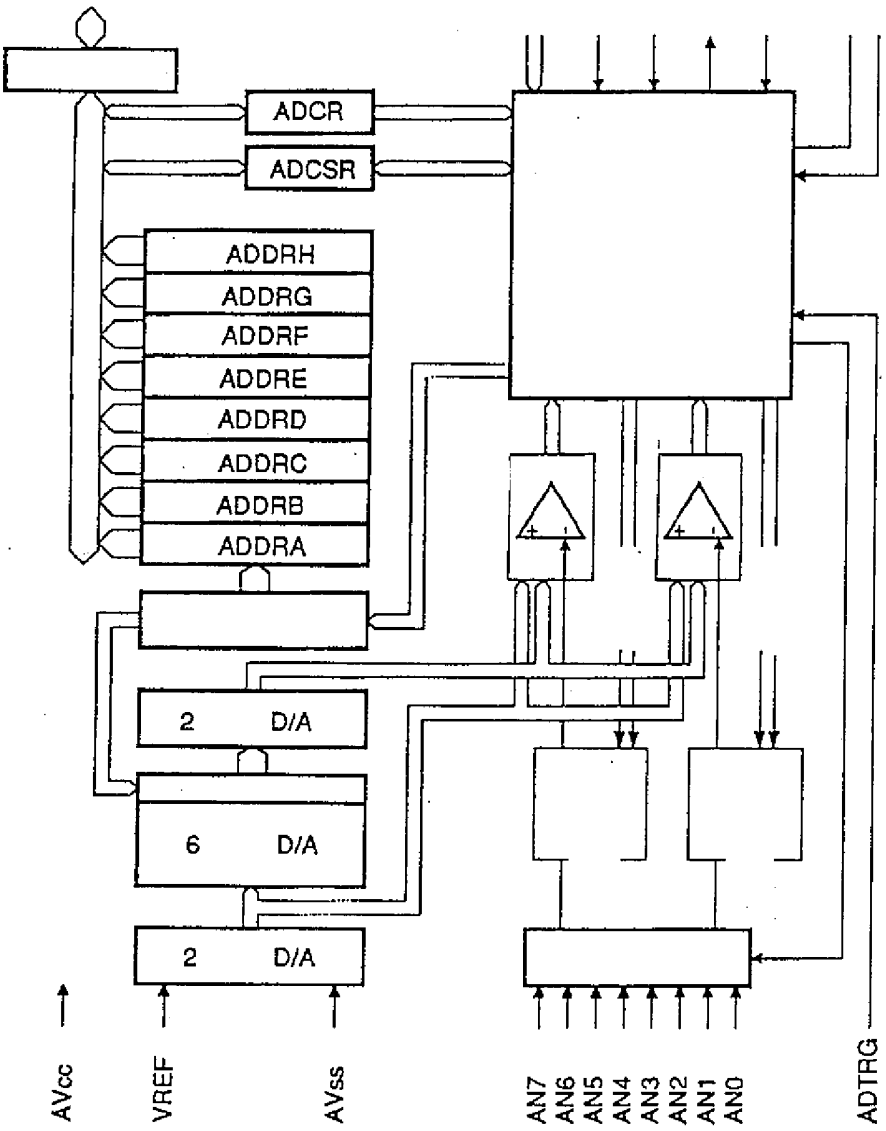
第48圖


TCNT0
TGR0A
TGR0C
TGR0B
TGR0D
TGR1A
TGR1B
TCLKD
TCLKC
TCNT1

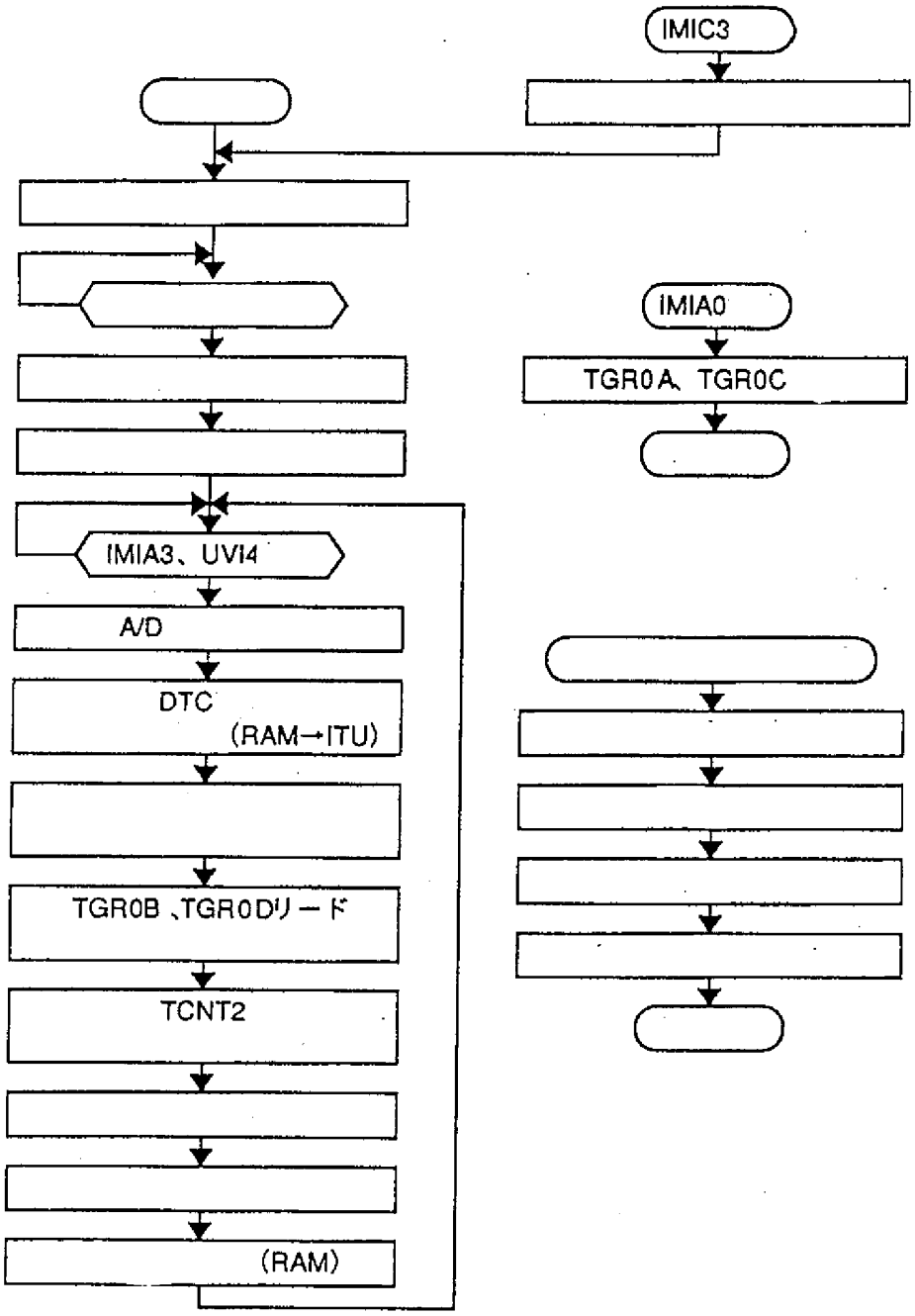
第49圖



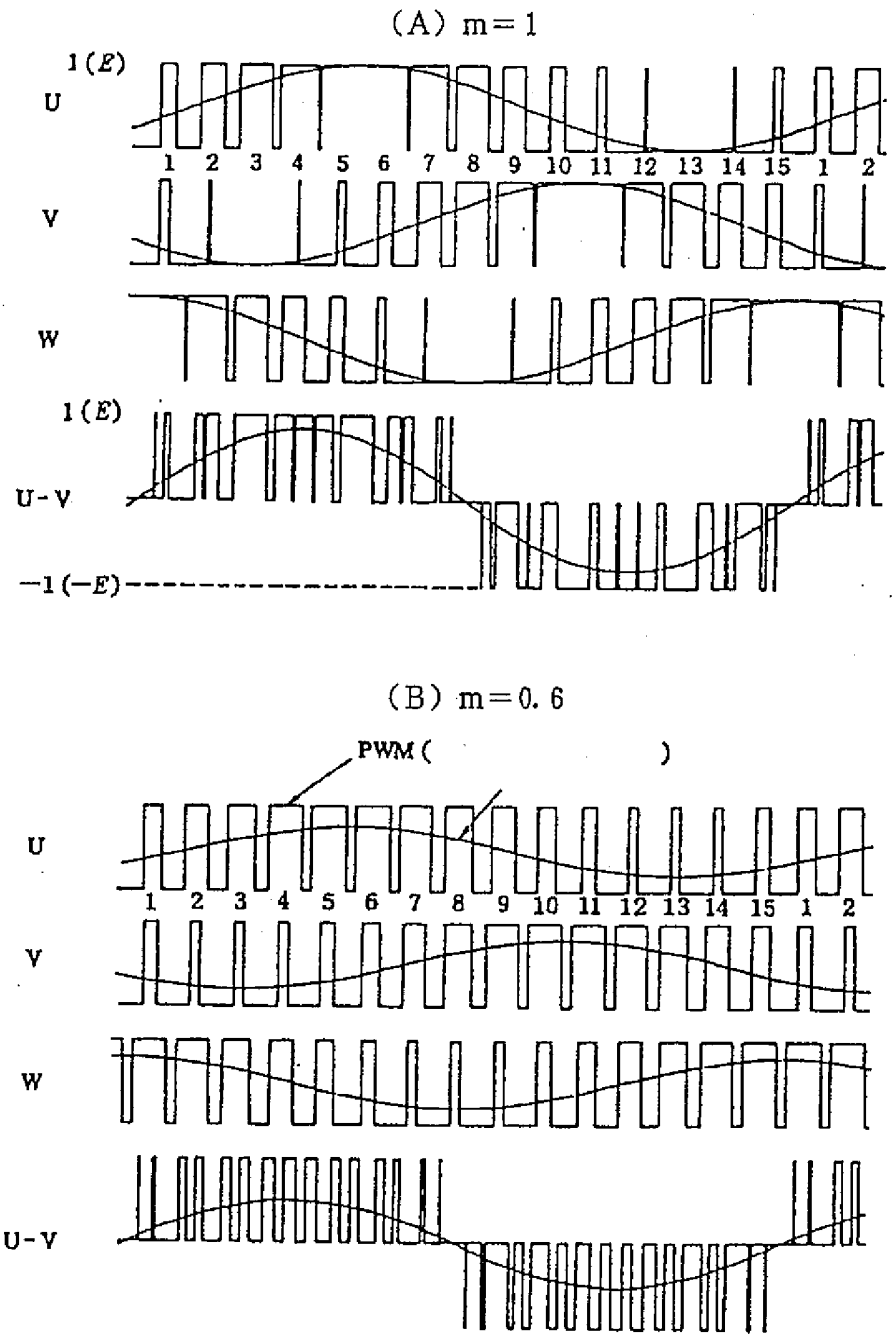
第 50 圖


ADCR
ADCSR
ADDRH
ADDRG
ADDRF
ADDRE
ADDRD
ADDRC
ADDRB
ADDRA
2 D/A
6 D/A
2 D/A
AVcc
VREF
AVss
AN7
AN6
AN5
AN4
AN3
AN2
AN1
AN0
ADTRG

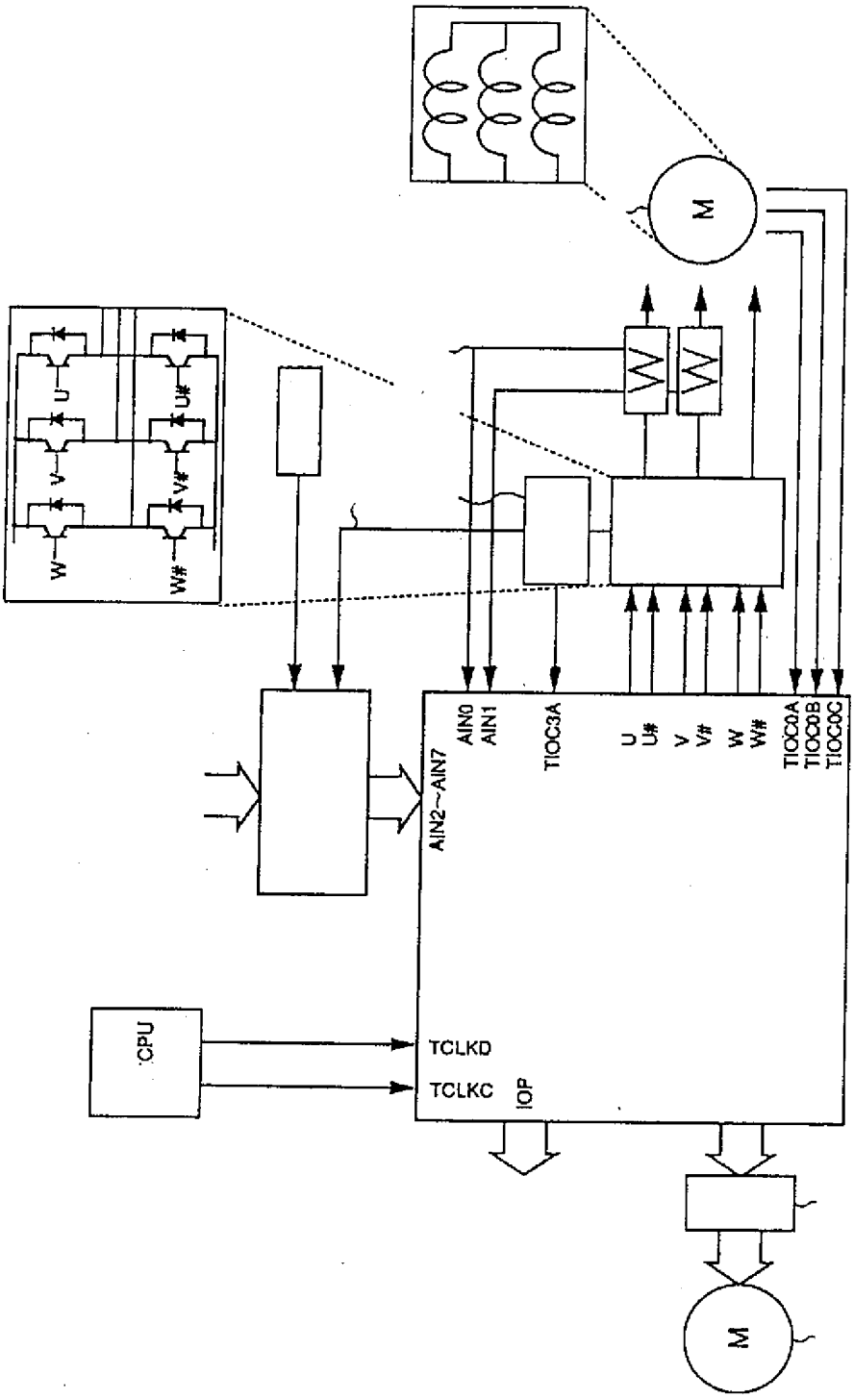
第51圖


IMIC3
IMIA0
TGR0A、TGR0C
IMIA3、UVI4
A/D
DTC
(RAM→ITU)
TGR0B、TGR0Dリード
TCNT2
(RAM)

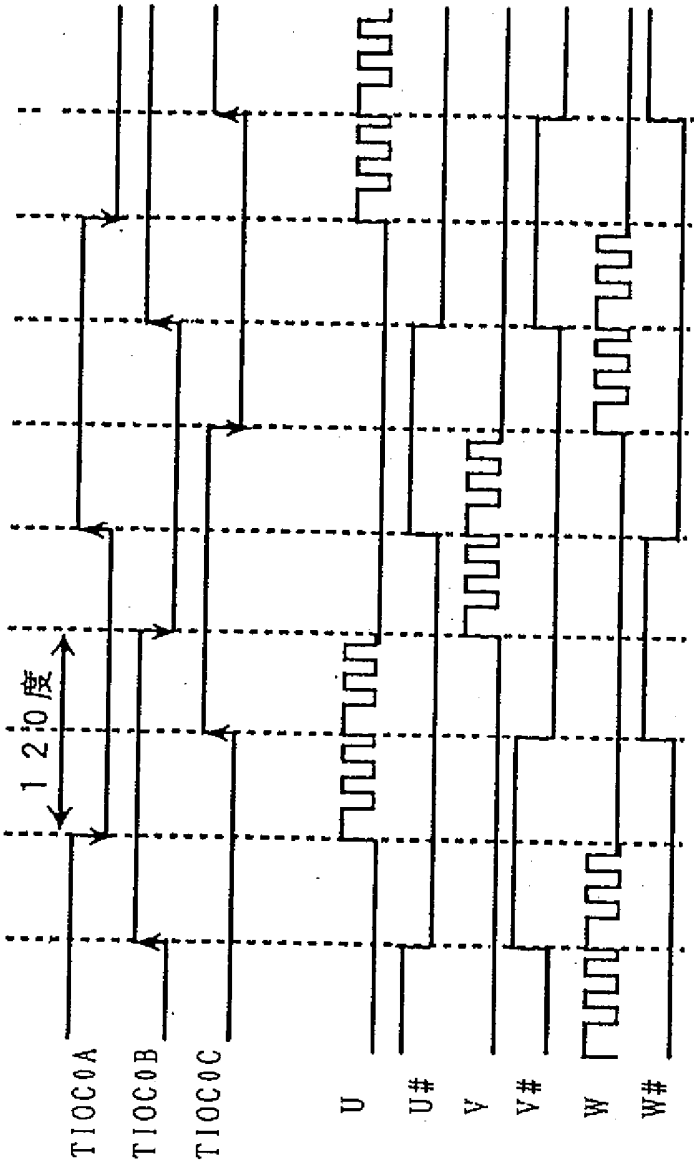
第52圖


(A) m=1
1(E)
U
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 1 2
V
W
1(E)
U-V
-1(-E)
(B) m=0.6
PWM( )
U
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 1 2
V
W
U-V

第53圖


M
U
U#
V
V#
W
W#
AIN0
AIN1
TIOC3A
U
U#
V
V#
W
W#
TIOC0A
TIOC0B
TIOC0C
AIN2~AIN7
CPU
TCLKD
TCLKC
IOP
M

第54圖



申請日期	84 年 6 月 26 日
案號	84106527
類別	G05B 11/28

公告本

A4 86.11.24
C4

（以上各欄由本局填註）

發明 新型 專利說明書（修正頁）

一、發明新型名稱	中文	變頻器之上下臂無效時間產生控制電路 463075
	英文	
二、發明創作人	姓名	(1) 三之石直幹 (2) 齊藤博 (3) 武智賢治
	國籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都小平市回田町一六五－三ライオンズヴィアーレ武蔵小金井弐番館二〇六 (2) 日本國東京都小金井市線町五－一八－三〇尚武寮 (3) 日本國東京都國分寺市日吉町三－二二－一日立國森ハウス三〇六
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立工程股份有限公司 日立エンジニアリング株式会社
	國籍	(1) 日本 (2) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國茨城縣日立市幸町三丁目二番一號
	代表人姓名	(1) 金井務 (2) 坂井彰

裝 訂 線

經濟部中央標準局員工消費合作社印製

463075

申請日期	84 年 6 月 26 日
案號	84106527
類別	

修正補充 本86年11月21日

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明新型名稱	中文	
	英文	
二、發明創作人	姓名	⑷ 梶原久志 ⑸ 山形浩誠 ⑹ 橋村浩一
	國籍	⑷ 日本 ⑸ 日本 ⑹ 日本
	住、居所	⑷ 日本國茨城縣那珂郡東海村村松四二七－一〇 ⑸ 日本國茨城縣日立市久慈町三－九－－－二〇三 ⑹ 日本國東京都小金井市線町五－一八－三〇尚武寮
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

修正 本86年11月2日
補充

五、發明說明（1）

〔產業上之利用領域〕

本發明是關於變換器之上下臂無效時間產生控制電路，例如關於使用內藏馬達驅動用的計時器之微電腦、資料處理裝置、或是半導體積體電路並且利用其馬達驅動等的控制系統之有效技術。

〔先行技術〕

如昭和５９年１１月３０日歐姆公司出版的「LSI手冊」第５４０～５４１頁所記載，微電腦以中央處理裝置爲中心而爲了實行程式儲存用的ＲＯＭ（Read Only Memory）、資料儲存用的ＲＡＭ（Radom Access Memory）、及資料的輸入輸出之計時器等的輸入輸出電路等其機能組成被形成在１個半導體基板上。

會有將有關的微電腦用於馬達的驅動控制的情況，例如冷氣等的馬達控制、ＡＣ感應伺服馬達等，平成５年３月日立製作所發行「Ｈ８／３００３硬體操作」以所謂內藏實行適於變頻器馬達控制的ＰＷＭ（脈波調幅）輸出之計時器的單晶片微電腦作爲其例。變頻器馬達以３相的正弦波信號（Ｕ．Ｖ．Ｗ）作驅動。上述單晶片微電腦以比加諸的正弦波還高的周波數之搬送波形成近似的ＰＷＭ輸出而驅動上述馬達。

前述計時器以２個向上計數器及３個比較寄存器實行３相的ＰＷＭ輸出。以所謂１８０°通電方式，爲了防止波臂短路所以在上下波臂間必須設有無效時間，在輸送寄

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（2）

存器各別附加有緩衝寄存器，當記數器到達下限值時（谷值），或是到達上限值（峰值）時，就實行從緩衝器寄存器送往輸送寄存器的轉送。

〔發明所欲解決之課題〕

不過，在上述的「H8／3003硬體操作」所記載的計時器的相輔PWM形態，可以6相（3組）輸出具有互輔未重疊的關係之PWM輸出。不過

（1）當發生高於上限值或是低於下限值的數值時才得有0％及100％負載的脈波，不過時間計數器爲下限值時加諸上述數值就形成爲100％，計時計數器爲上限值時加諸如上述數值則形成爲0％。然則，用軟體判斷時間計數器的方向，而新比較值必須寫入至緩衝寄存器。因此輸出0％至100％中任意的負載脈波時，在途中會產生有必須變更資料設定時間之問題。另外0％、100％負載的脈波就會偏位半周期。其結果，在馬達驅動時會有無法產生最大轉矩的問題。

（2）禁止有0％－無效時間，100％－無效時間之間的設定，因而無法輸出任意負載的脈波。用軟體將該值避免掉但會造成對軟體的負擔過大。另外，因爲無法實現0％～100％的任意負載，所以產生有速度甚致於轉矩的脈動。（3）無法有峰值／谷值的改寫。所設定的時間無法比1週期短，因而會產生難於使精度提高的問題。

本發明的目的：（1）不會加諸軟體的負擔，而且可

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

修正補充 本86年11月27日

A5
B5

四、中文發明摘要（發明之名稱：　　）

變頻器之上下臂無效時間產生控制電路

本發明的目的是提供，在不加諸軟體的負擔下，可以進行負載有0%～100%輸出的相輔PWM輸出等使用狀況較佳之控制裝置及使用該控制裝置之控制系統。

其構成爲：設置持有相當於無效時間的時間差之2個向上計數器，及2個向下計數器，使其計數下限值與上限值（1／2周期＋無效時間）之間，所計數相對較大值之向上計數器及所計數相對較小值之向下計數器使其接近上限值，並且所計數相對較大值之向上計數器及所計數相對較小值之向下計數器使其交織於相當於1／2周期的計數值，再而所計數相對較大值之向上計數器及所計數相對較小值之向下計數器使其交織於相當無效時間的計數值，進而所計數相對較大值之向上計數器及所計數相對較小值之向下計數器使其接近下限值因而實現上下對稱的計數。

至於其效果爲：使其以50%輸出爲中心，而計數動作、比較動作形成爲對稱，因而進行上下對稱輸出，在峰質・谷質的前後發生ON－OFF的輸出轉換、OFF－

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

修正補充 本86年11月27日

A5
B5

四、中文發明摘要（發明之名稱：　　）

ＯＮ的輸出轉換成爲一對的狀況，因而可以隨時設定從下限值至上限值之任意值，並且可以配合不限於於０％輸出、１００％輸出的輸出設定之位相。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

88年5月6日 修正補充

463075

A8
B8
C8
D8

六、申請專利範圍

第84106527號專利申請案

中文申請專利範圍修正本

民國88年5月修正

1．一種微電腦，係具備有：

用以儲存第1值的第1暫存器；

用以儲存較上述第1值爲大之第2值的第2暫存器；

用以儲存較上述第2值爲大之第3值的第3暫存器；

在上述第1值和第3值之間進行昇順計數（Count-up）及降順計數(Count-down)的第1計數器；

在較上述第1值爲小之特定值和上述第2值之間進行昇順計數及降順計數的第2計數器；

在上述第1值和特定值之間進行昇順計數及降順計數，並於上述第3值和第2值之間進行降順計數及昇順計數的第3計數器；及

爲比較上述第1、第2、及第3計數器之計數值，而用以儲存大於上述特定值且小於上述第3值之第4值的第4暫存器。

2．如申請專利範圍第1項之微電腦，其中另具備：

第1信號產生裝置，俾在上述第1計數器進行昇順計數，上述第4值與上述第1計數器之計數值一致時，使信號由第1狀態變化爲第2狀態，而當上述第1計數器進行降順計數，上述第4值與上述第1計數器之計數值一致時，使上述信號由上述第2狀態變化爲上述第1狀態；及

第2信號產生裝置，俾在上述第2計數器進行昇順計

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

數，上述第4值與上述第2計數器之計數值一致時，使信號由第2狀態變化爲第1狀態，而當上述第2計數器進行降順計數，上述第4值與上述第2計數器之計數值一致時，使上述信號由上述第1狀態變化爲上述第2狀態。

3．如申請專利範圍第2項之微電腦，其中：

上述第1信號產生裝置和第2信號產生裝置所產生之上述信號，係使用於馬達之驅動控制者。

4．如申請專利範圍第3項之微電腦，其中：

上述第4暫存器所儲存之上述第4值，係於上述特定值與上述第1值之間，及上述第2值與上述第3間之間，和上述第1至第3計數器之各個計數值作比較。

5．如申請專利範圍第4項之微電腦，其中：

另具有第5暫存器用以儲存第5值，當上述第5暫存器儲存有上述第5值時，即使上述第4暫存器儲存有上述第4值，上述第1至第3計數器之計數值係與上述第5值作比較。

6．一種微電腦內之電路，係包含有：

儲存第1值的第1暫存器；

儲存大於上述第1值之第2值的第2儲存器；

儲存大於上述第2值之第3值的第3暫存器；

接受時脈信號，對上述時脈信號進行計數俾於上述第1值與第3值之間進行昇順計數及降順計數動作，以產生對應之計數值的第1計數器；

接受時脈信號，對上述時脈信號進行計數俾於小於上

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

述第1值之第4值與第2值之間進行昇順計數及降順計數動作，以產生對應之計數值的第2計數器；

接受時脈信號，對上述時脈信號進行計數俾於上述第1值與第4值之間及第3值與第2值之間進行昇順計數及降順計數動作，以產生對應之計數值的第3計數器；

儲存上述第4值與第3值之間之第5值的第4暫存器；

連接上述第1、第2及第3計數器，俾控制上述第1第2及第3計數器之昇順計數及降順計數動作的控制電路；及

比較電路；

上述第2值與第3值之差設定爲第6值；

上述第1值與第4值之差對應上述第6值；

上述第1計數器之計數值與上述第2計數器之計數值之差對應上述第6值；

上述第1計數器進行昇順計數動作時，上述第2計數器設爲進行昇順計數動作；

上述第1計數器進行降順計數動作時，上述第2計數器設爲進行降順計數動作；

當上述第1計數器之計數值與上述第2值一致時，上述第3計數器係從上述第3值起進行降順計數動作；

當上述第2計數器之計數值與上述第2值一致時，上述第3計數器係從上述第2值起進行昇順計數動作；

當上述第2計數器之計數值與上述第1值一致時，上

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

述第3計數器係從上述第4值起進行昇順計數動作；

當上述第1計數器之計數值與上述第1值一致時，上述第3計數器係從上述第1值起進行降順計數動作；

當上述第5值位於第1值與第2值之間時，上述比較電路比較上述第5值與上述第1及第2計數器之計數值；

當上述第5值大於第2值時，上述比較電路係比較上述第5值與進行昇順計數動作之第1及第3計數器之各計數值，或比較上述第5值與進行降順計數動作之第1及第3計數器之各計數值；

當上述第5值小於第2值時，上述比較電路係比較上述第5值與進行降順計數動作之第2及第3計數器之各計數值，或比較上述第5值與進行昇順計數動作之第2及第3計數器之各計數值；

據此以產生互補非重疊（non-overlap）PWM信號。

7．如申請專利範圍第6項之電路，其中

另包含有接受上述比較電路之輸出的控制電路；

上述控制電路包含產生上述互補非重疊PWM信號之正相信號的第1機能，及產生上述互補非重疊PWM信號之逆相信號的第2機能；

上述第1機能，在上述第5值大於第1值期間，當上述第1計數器進行昇順計數動作時係響應於與上述第5值一致之第1計數器之計數值，將上述正相信號由第1狀態變更爲第2狀態，當上述第1計數器進行降順動作時係響應於與上述第5值一致之第1計數器之計數值，將上述正

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

相信號由上述第2狀態變更爲第1狀態；

上述第1機能，在上述第5值小於第1值期間，當上述第3計數器進行昇順計數動作時係響應於與上述第5值一致之第3計數器之計數值，將上述正相信號由第1狀態變更爲第2狀態，當上述第3計數器進行降順動作時係響應於與上述第5值一致之第3計數器之計數值，將上述正相信號由上述第2狀態變更爲第1狀態；

上述第2機能，在上述第5值小於第2值期間，當上述第2計數器進行昇順計數動作時係響應於與上述第5值一致之第2計數器之計數值，將上述逆相信號由第2狀態變更爲第1狀態，當上述第2計數器進行降順動作時係響應於與上述第5值一致之第2計數器之計數值，將上述逆相信號由上述第1狀態變更爲第2狀態；

上述第2機能，在上述第5值大於第2值期間，當上述第3計數器進行昇順計數動作時係響應於與上述第5值一致之第3計數器之計數值，將上述正相信號由第1狀態變更爲第2狀態，當上述第3計數器進行降順動作時係響應於與上述第5值一致之第3計數器之計數值，將上述逆相信號由上述第2狀態變更爲第1狀態。

8．如申請專利範圍第7項之電路，其中

上述互補非重疊PWM信號，係利用爲驅動馬達。

9．如申請專利範圍第8項之電路，其中

上述第4暫存器內之上述第5值，在上述第2計數器之計數值位於第4值與第5值之間之期間，及上述第1計

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

數器之計數值位於第2值與第3值之間之期間，係分別比較上述第1～第3計數器之各計數值。

10．如申請專利範圍第8項之電路，其中

另包含第5暫存器，

上述第5暫存器，當上述第3計數器停止計數動作之後，係儲存作爲新資料應存入上述第4暫存器之第7值；

當上述第7值存於上述第5暫存器時，上述第1第2及第3計數器之各計數值，在上述第3計數器進行計數動作期間，係與第7值作比較；

上述第5值，係利用作爲上述第1、第2及第3計數器之昇順計數或降順計數動作之任一方；

上述第7值，係利用作爲上述第1、第2及第3計數器之昇順計數或降順計數動作之任一方。

11．如申請專利範圍第8項之電路，其中

上述電路爲定時器電路。

12．一種互補非重疊PWM信號之形成方法，係於半導體積體電路形成互補非重疊PWM信號之方法，包含有以下工程：

以第1計數器進行第1值與第3值間之計數的工程；

以第2計數器進行小於第上述第1值之第4值與大於第1值且小於第3值之第2值之間之計數的工程；

以第3計數器進行上述第2值與第3值之間及第1值與第4值之間之計數的工程；

儲存第5值的工程；及

（請先閱讀背面之注意事項再填寫本頁） 裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

產生上述互補非重疊PWM信號的工程；

上述第3計數器，當上述第1計數器之計數值與上述第2值一致時，係從上述第3值起進行降順計數；

上述第3計數器，當上述第2計數器之計數值與上述第2值一致時，係從上述第2值起進行昇順計數；

上述第3計數器，當上述第2計數器之計數值與上述第1值一致時，係從上述第4值起進行昇順計數；

上述第3計數器，當上述第1計數器之計數值與上述第1值一致時，係從上述第1值起進行降順計數；

上述互補非重疊PWM信號產生工程係包含有：

當上述第5值位於第1值與第2值之間時，將上述第5值與上述第1及第2計數器之各計數值作比較的工程；

當上述第5值大於第2值時，將上述第5值與昇順計數之第1及第3計數器之各計數值，或與降順計數之第1及第3計數器之各計數值作比較的工程；及

當上述第5值小於第2值時，將上述第5值與降順計數之第2及第3計數器之各計數值，或與昇順計數之第2及第3計數器之各計數值作比較的工程。

13．如申請專利範圍第12項之方法，其中上述第5值，可由中央處理裝置選擇性變更。

14．如申請專利範圍第12項之方法，其中上述半導體積體電路，包含單晶片微電腦。

15．如申請專利範圍第12項之方法，其中上述互補非重疊PWM信號，係供至馬達。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

修正補充 本次年5月6日

A8
B8
C8
D8

六、申請專利範圍

16．如申請專利範圍第15項之方法，其中

上述馬達係使用於空調機、冷凍機、泵、或工作機器內。

17．如申請專利範圍第12項之方法，其中

上述第3計數器，係包含在上述第2值與第3值之間及第1值與第4值之間進行計數的1個計數器。

18．如申請專利範圍第12項之方法，其中

上述第5值，係對應上述互補非重疊PWM信號之任務週期。

19．如申請專利範圍第12項之方法，其中

上述第1及第2計數器之計數值之差，係對應上述互補非重疊PWM信號之無效時間。

20．如申請專利範圍第12項之方法，其中

當上述第1計數器進行昇順計數時，第2計數器進行昇順計數；

當上述第1計數器進行降順計數時，第2計數器進行降順計數。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）