



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0026826
H01L 29/70 (2006.01) (43) 공개일자 2007년03월08일

| | | | |
|-------------|-------------------|-------------|----------------|
| (21) 출원번호 | 10-2007-7001236 | (87) 국제공개번호 | WO 2006/011069 |
| (22) 출원일자 | 2007년01월18일 | 국제공개일자 | 2006년02월02일 |
| 심사청구일자 | 없음 | | |
| 번역문 제출일자 | 2007년01월18일 | | |
| (86) 국제출원번호 | PCT/IB2005/052263 | | |
| 국제출원일자 | 2005년07월07일 | | |

(30) 우선권주장 04103458.8 2004년07월20일 유럽특허청(EPO)(EP)

(71) 출원인 코닌클리크케 필립스 일렉트로닉스 엔.브이.
네덜란드 엔엘-5621 베에이 아인드호펜 그로네보르세베그 1

(72) 발명자 허크스 고데프리두스 에이 엠
네덜란드 엔엘-5656 에이에이 아인드호펜 홀스트란 6
아가왈 프라합
네덜란드 엔엘-5656 에이에이 아인드호펜 홀스트란 6
발케넨드 아브라함 알
네덜란드 엔엘-5656 에이에이 아인드호펜 홀스트란 6
매그니 페트루스 에이치 씨
네덜란드 엔엘-5656 에이에이 아인드호펜 홀스트란 6
바게만스 멜라니 엠 에이치
네덜란드 엔엘-5656 에이에이 아인드호펜 홀스트란 6
백커스 에릭 피 에이 엠
네덜란드 엔엘-5656 에이에이 아인드호펜 홀스트란 6
히즈젠 에르빈
네덜란드 엔엘-5656 에이에이 아인드호펜 홀스트란 6

(74) 대리인 김창세
김원준

전체 청구항 수 : 총 20 항

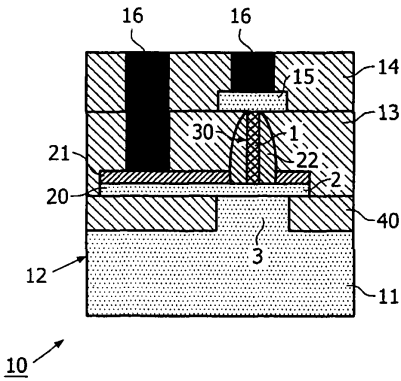
(54) 반도체 디바이스 및 그 제조 방법

(57) 요약

본 발명은 각각 제 1 도전 타입, 제 1 도전 타입과는 반대인 제 2 도전 타입 및 제 1 도전 타입의 에미터 영역, 베이스 영역 및 콜렉터 영역(1, 2, 3)을 갖는 바이폴라 트랜지스터를 포함하는 반도체 바디(12)를 갖는 반도체 디바이스(10)에 관한 것이다. 에미터 또는 콜렉터 영역(1, 3) 중 하나는 나노와이어(nanowire)(30)를 포함한다. 베이스 영역(2)은 반도체 바디의

표면에서 층(20)으로부터 형성되고, 에미터 또는 콜렉터 영역(1, 3) 중 다른 하나(3, 1)는 반도체 바디(12)에서 베이스 영역(2) 아래에 형성된다. 나노와이어(30)를 포함하는 에미터 또는 콜렉터 영역(1, 3)은, 그의 길이 방향 축이 표면에 대해 수직으로 연장되도록 반도체 바디(12)의 표면에 제공된다.

대표도



특허청구의 범위

청구항 1.

각각 제 1 도전 타입, 상기 제 1 도전 타입과는 반대인 제 2 도전 타입 및 상기 제 1 도전 타입의 에미터 영역, 베이스 영역 및 콜렉터 영역(1, 2, 3)을 포함하는 바이폴라 트랜지스터를 갖는 반도체 바디(12)를 포함하는 반도체 디바이스(10)에 있어서,

상기 에미터 또는 콜렉터 영역(1, 3) 중 하나(1, 3)는 나노와이어(nanowire)(30)를 포함하고, 상기 베이스 영역(2)은 상기 반도체 바디(12)의 표면에서 층형 영역(20)에 의해 형성되며, 상기 에미터 또는 콜렉터 영역(1, 3) 중 다른 하나(3, 1)는 상기 반도체 바디(12)에서 상기 베이스 영역(2) 아래에 형성되고, 상기 나노와이어(30)를 포함하는 상기 에미터 또는 콜렉터 영역(1, 3)은 그의 길이 방향 축이 상기 반도체 바디의 표면에 대해 수직으로 연장되도록 하는 방식으로, 상기 반도체 바디(12)의 표면에 제공되는 것을 특징으로 하는

반도체 디바이스.

청구항 2.

제 1 항에 있어서,

상기 베이스 영역(2)은 실리콘 및 게르마늄의 혼합된 결정을 함유하는 에피택셜층(20)을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 나노와이어(30)는 선택적 에피택시에 의해 형성되는 것을 특징으로 하는 반도체 디바이스.

청구항 4.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 나노와이어(30)는 반도체 물질을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 5.

제 4 항에 있어서,

상기 나노와이어(30)는 III-V 반도체 물질을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 6.

제 3 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 에미터 영역(1)은 상기 나노와이어(30)에 제공된 도핑 원자의 상기 베이스 영역에서의 과도 확산(out-diffusion)에 의해 형성되는 것을 특징으로 하는 반도체 디바이스.

청구항 7.

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 나노와이어(30)에는 스페이서(22)가 제공되고, 상기 베이스 영역(2)은 상기 스페이서(22)가 제공된 상기 나노와이어(30)에 대하여 자체 정렬(self-aligning)되도록 형성되는 것을 특징으로 하는 반도체 디바이스.

청구항 8.

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 에미터 영역(1)은 상기 나노와이어(30)를 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 9.

제 8 항에 있어서,

상기 에미터 영역(1)은, 상기 반도체 바디(12)의 표면으로부터 제거되는 그 단부들이 도체(15, 16)에 의해 상호접속되는 다수의 분리된 나노와이어(3)를 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 10.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 나노와이어(30)는 금속을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 11.

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 콜렉터 영역(3)은 상기 나노와이어(30)를 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 12.

제 1 항 내지 제 11 항 중 어느 한 항에 있어서,

상기 나노와이어(30) 물질의 도핑 농도 또는 조성(composition)은 상기 와이어의 길이 방향에서 변화되는 것을 특징으로 하는 반도체 디바이스.

청구항 13.

제 1 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 층형 베이스 영역(2)은 상기 나노와이어(30)의 부분을 형성하는 돌출부(protruberance)를 갖는 것을 특징으로 하는 반도체 디바이스.

청구항 14.

각각 제 1 도전 타입, 상기 제 1 도전 타입과는 반대인 제 2 도전 타입 및 상기 제 1 도전 타입의 에미터 영역, 베이스 영역 및 콜렉터 영역(1, 2, 3)을 포함하는 바이폴라 트랜지스터가 형성되는 반도체 바디(12)를 갖는 반도체 디바이스(10)를 제조하는 방법에 있어서,

상기 에미터 및 콜렉터 영역(1, 3) 중 하나(1, 3)는 나노와이어(30)에 의해 형성되고, 상기 베이스 영역(2)은 상기 반도체 바디(12)의 표면에서 층형 영역(20)에 의해 형성되며, 상기 에미터 및 콜렉터 영역(1, 3) 중 다른 하나(3, 1)는 상기 반도체 바디(12)에서 상기 베이스 영역(2) 아래에 형성되고, 상기 나노와이어(30)에 의해 형성된 상기 에미터 또는 콜렉터 영역(1, 3)은 그의 길이 방향 축이 상기 표면에 대해 수직으로 연장되도록 하는 방식으로, 상기 반도체 바디(12)의 표면에 제공되는 것을 특징으로 하는

반도체 디바이스 제조 방법.

청구항 15.

제 14 항에 있어서,

상기 반도체 바디(12)의 표면에 상기 베이스 영역(2)이 형성되도록 하는 상기 층형 영역(20)의 형성 이후에, 용융(melting)후에 드롭렛 형상(droplet-shaped) 금속 영역(71)을 형성하는 평탄한 금속 영역(70)이 국부적으로 제공되고, 그 다음, 기상 성장 처리에 의해, 상기 반도체 바디(12)의 표면상에서, 상기 드롭렛 형상 금속 영역(71) 아래에 상기 나노와이어(30)가 성장되는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 16.

제 15 항에 있어서,

상기 나노와이어(30)의 형성 이후에, 상기 와이어에 스페이서(22)가 제공되는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 17.

제 16 항에 있어서,

상기 스페이서(22)가 제공된 상기 나노와이어(30)는 제 1 절연층(13)에 의해 매립되며, 그 후, 상기 구조물은 평탄화되어, 상기 드롭렛 형상 금속 영역(71)이 제거되도록 하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 18.

제 17 항에 있어서,

상기 나노와이어(30)보다 큰 단면(section)의 도전 영역(15)이 상기 나노와이어(30)의 노출된 단부상에 형성되며, 그 후, 제 2 절연층(14)이 상기 구조물에 도포되고, 상기 베이스 영역(2)까지 가급적 멀리 연장되는 애퍼처(aperture)가 제공되며, 그 다음, 도전 물질(16)을 이용하여 상기 도전 영역(15) 및 상기 애퍼처가 충전되는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 19.

제 16 항에 있어서,

상기 스페이서(22)가 제공된 상기 나노와이어(30)를 마스크로서 이용하여, 에칭에 의해, 상기 마스크 밖에 위치되며 상기 베이스 영역(2)을 형성하는데 이용된 상기 층형 영역(20)의 부분이 제거되는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 20.

제 19 항에 있어서,

산화 및 에칭에 의해, 상기 베이스 영역(2)의 측면이 노출되고, 다른 절연 영역(41)의 추가에 의해, 제공된 표면 절연 영역(40)이, 투영으로 보았을 때, 베이스 영역(2)까지 가급적 멀리 연장되며, 그 후, 도전층(150)이 상기 베이스 영역(2)의 상기 측면과 접촉하도록 제공되는 것을 특징으로 하는 반도체 디바이스 제조 방법.

명세서**기술분야**

본 발명은 각각 제 1 도전 타입, 제 1 도전 타입과는 반대인 제 2 도전 타입 및 제 1 도전 타입의 에미터 영역, 베이스 영역 및 콜렉터 영역을 포함하는 바이폴라 트랜지스터를 갖는 반도체 바디를 포함하는 반도체 디바이스에 관한 것이며, 나노와이어(nanowire)를 이용하여 에미터, 베이스 및 콜렉터 영역 중 하나를 형성한다. 이러한 응용에서, "나노와이어"라는 용어는 그의 적어도 하나의 측방향 치수가 0.5nm와 100nm 사이, 특히 1nm와 50nm 사이의 범위에 속하는 바디를 의미하는 것이다. 바람직하게, 2개의 측방향에서의 나노와이어의 치수는 상기 범위내에 속한다. 그러한 측방향 치수는 포토리소그래피에 의해서는 달성될 수 없거나, 적어도 쉽게 달성될 수 없지만, 그러한 치수는 특히 IC(Integrated Circuit) 기술에서 진행되는 소형화와 관련하여 바람직한 것이다. 이와 관련하여, 구성 요소 밀도 외에도, 반도체 소자, 이 경우 바이폴라 트랜지스터(들)의 속도, 브레이크다운 전압 및 전류 및/또는 전력 소모가 매우 중요한 역할을 한다.

배경기술

그러한 디바이스 및 그러한 방법에 대해서는, Yi Cui 및 Charles M. Lieber에 의해 Science vol.291, 2 February 2001, pp.851-853의 문헌에 발표된 "Functional Nanoscale Electronic Devices Assembled Using Silicon Nanowire Building Blocks"라는 간행물로부터 알려져 있다. 이러한 문헌에는, 각각 n 도전 타입, p 도전 타입 및 n 도전 타입을 갖는 3개의 실리콘 나노와이어에 의해 형성된 바이폴라 트랜지스터에 대해 기술되어 있다. 상기 나노와이어는 액상(liquid phase)으로부터의 분리에 의해 형성된다.

알려진 디바이스 및 알려진 방법의 단점은, 그들이 현대의 IC 기술과 완전하게 호환되지 않는다는 것이다. 다른 반도체 소자와의 집적 및 작은 표면 영역상에 다수의 트랜지스터를 제공하는 것은 쉽지 않다.

발명의 개요

따라서, 본 발명의 목적은 현재의 IC 기술과 매우 잘 호환되고, 집적 및 높은 구성 요소 밀도를 위해 적합하며, 또한, 매우 작은 치수를 갖고, 낮은 전류 및/또는 전력 소모를 나타내는 디바이스 및 방법을 제공하는 것이다.

이러한 목적을 달성하기 위해, 서론부에서 언급된 유형의 디바이스는, 에미터 또는 콜렉터 영역 중 하나는 나노와이어를 포함하고, 베이스 영역은 층형 영역에 의해 반도체 바디의 표면에 형성되며, 에미터 또는 콜렉터 영역 중 다른 하나는 반도체 바디에서 베이스 영역 아래에 형성되고, 나노와이어를 포함하는 에미터 또는 콜렉터 영역은, 그것의 길이 방향 축이 반도체 바디의 표면에 대해 수직으로 연장되는 방식으로, 반도체 바디의 표면에 제공된다는 점에서, 본 발명에 따라 특징 지워진다. 이러한 방식으로, 디바이스가 달성되며, 디바이스의 많은 부분, 즉 3개의 에미터, 베이스 및 콜렉터 영역 중 2개 영역이 종래의 IC 기술에 의해 우수하게 제조될 수 있다. 본 발명은, 만약 에미터만이 또는 콜렉터만이 나노와이어를 포함하는 경우, 집적 및 측방향 치수 감소가 충분한 만큼 가능하며, 포토리소그래피 기법에 비해 훨씬 우수한 방식으로 수행될 수 있다는 인식에 근거한 것이다. 소위 반전형 바이폴라 트랜지스터의 경우, 에미터 또는 콜렉터의 치수는, 소형화에 있어서 가장 주된 요인이다. 결국, 자체 등록(self-registering) 기법에서의 용도와 같이, 와이어의 측방향 치수는, 다른 요인들과 더불어, 다른 부분들의 치수를 결정한다. 또한, 본 발명은, 표면에 대해 수직으로 지향된 나노와이어는 에미터(또는 콜렉터)의 형성을 위해, 또는 에미터(또는 콜렉터)가 형성되도록 하는 보조 바디를 위해 가장 적합하다는 인식에 근거한 것이다. 마지막으로, 본 발명은, 상기와 같은 모든 것들이 본 발명에 따른 방법에 의해 쉽게 달성될 수 있으며, 그러한 방법은 또한 현재의 IC 기술 및 예견되는 미래의 IC 기술과 매우 잘 호환된다는 인식에 근거한 것이다.

중요한 실시예에서, 베이스 영역은 기관상에 제공된 에피택셜층에 의해 형성되고, 에피택셜층은 실리콘 및 게르마늄의 혼합된 결정을 포함한다. 그러한 기법은 층형 베이스 영역을 형성하는데 매우 적절하게 이용될 수 있다. 또한, 베이스 영역에는, 상기 베이스 영역에 실리콘 및 게르마늄의 혼합된 결정을 형성함으로써, 보다 작은 밴드갭이 쉽게 제공될 수 있다.

특히 작은 에미터(또는 콜렉터) 치수 외에도, 밴드갭의 그러한 감소는, 특히, 고주파수 바이폴라 트랜지스터를 얻는데 있어 매우 중요하다. 또한, 그러한 SiGe 함유 물질은 개선된, 그리고 Ge 내용물의 덕분에, 베이스 영역의 격자 상수를, III-V 물질이 상기 영역을 위해 선택되는 경우의 에미터(또는 콜렉터) 영역의 격자 상수에 가급적 적절하게 적응시키는 조절 가능성을 제공한다.

바람직한 실시예에서, 나노와이어는 선택적 에피택시에 의해 형성된다. 그러한 처리는 현재의 IC 기술과 잘 호환된다. 에미터를 위한 나노와이어는, 예를 들면, 적절한 도핑 요소가 제공되는 다결정 실리콘을 포함할 수 있다. 보조 바디로서 기능하는 나노와이어로부터 그러한 요소를 과도 확산(out-diffusion)함으로써, 층형 베이스 영역에 실제 에미터가 쉽게 형성될 수 있다. 바람직하게, 나노와이어는 반도체 물질을 포함한다. 만약 그렇다면, 예를 들면, 반도체 물질이 단결정인 경우, 에미터 영역과 베이스 영역 사이에 이질 접합(heterojunction)을 형성할 수도 있다. 이러한 목적을 위해, 특히, III-V 반도체 물질이 적합하다.

그로 인해, 큰 밴드갭을 갖는 물질의 에미터 영역이 트랜지스터에 도포될 수 있다. 보다 낮은 DC(Direct Current) 설정 및 그에 따른 보다 낮은 전류 밀도에도 불구하고, 그러한 트랜지스터의 컷오프 주파수는 여전히 높을 수 있다. 이러한 낮은 전류 밀도와, 나노와이어의 측방향 치수에 대응하는 에미터의 작은 표면을 증산함으로써, 낮은 전류 소모 및 낮은 전력 소모를 갖는 고속 트랜지스터가 형성될 수 있다. 그것의 매력적인 변형에서, III-V 물질의 조성(composition)은 나노와이어의 길이 방향 방향에서 변한다. 베이스 영역 근처에서, 나노와이어는, 예를 들면, 매우 높은 밴드갭을 갖는 물질인 GaP를 포함할 수 있다. 나노와이어의 상부에 보다 근접한 위치에서, 예를 들면, 보다 작은 밴드갭을 갖지만 보다 높은 전자 이동도(electron mobility)를 갖는 물질인 InP를 이용함으로써, 낮은 직렬 저항이 가능하다. 또한, 낮은 옴 접촉이 가능하도록, 나노와이어의 상부에 대해 상이한 물질을 선택할 수 있다. 이들 또는 다른 이유로 인해, 이들 또는 다른 실시예에서, 나노와이어에서의 도핑 농도에 그래디언트를 바람직하게 적용하는 것이 대안적으로 가능하다.

특히 3원소계 및 4원소계인 III-IV 물질은 더욱 원하는 값을 갖는 물질의 격자 상수를 제공할 수 있지만, III-V 물질의 이용에 중점을 두고 있는 본원 발명의 변형예에서 고려되는 요인은, 단지 나노와이어의 작은 측방향 치수 때문에 결합의 전개와 같은 비정합 결정 격자에 관련된 문제가 전혀 역할을 하지 않거나 작은 정도로만 역할을 한다는 통찰력이다.

본 발명에 따른 반도체 디바이스의 바람직한 다른 실시예에서, 나노와이어에 스페이서가 제공되고, 스페이서가 제공된 나노와이어에 대하여 베이스 영역이 자체 정렬되도록 형성된다. 그로 인해, 소위 산화물 윈도우에 대한, 에미터 형성 나노와이어(nanowire-forming-the-emitter)의 위치가 트랜지스터 동작에 대해 더 이상 중요하지 않은 바이폴라 트랜지스터가 가능하다. 또한, 베이스 영역과 콜렉터 영역 사이의 접합이 매우 작을 수 있다. 더욱이, 필요한 경우, 복수의 나노와이어를 소정의 영역에 성장시킴으로써, 복수의 트랜지스터가 병렬로 형성될 수 있다.

따라서, 중요한 실시예는, 에미터 영역이, 반도체 바디의 표면으로부터 제거되는 그 단부들이 도체에 의해 상호접속되는 다수의 분리된 나노와이어를 포함하는 것을 특징으로 한다.

다른 유리한 변형에서, 나노와이어는 알루미늄 또는 구리와 같은 금속을 포함한다. 이것은 매우 낮은 저항을 갖는 에미터 접속이 형성될 수 있도록 한다. 특히, 나노와이어의 측방향 치수가 매우 작은 경우, 그러한 낮은 저항은 결정적인 중요성을 갖는다. 이 경우, 바람직하게 에미터는, 도핑된 다결정 나노와이어를 먼저 형성하고, 후속하여, 베이스 영역에서 함몰되는 에미터 영역의 과도 확산에 의한 형성 이후에, (선택적) 에칭에 의해, 스페이서가 제공되거나 또는 절연층에서 함몰되는 폴리나노와이어를 제거함으로써 형성되며, 그 후에 형성된 나노 캐비티(nano-cavity)가 금속으로 충전된다. 이러한 옵션은, 나노와이어가 III-V 물질을 포함하는 경우에 매우 매력적일 수 있다. 결국, 그러한 물질은 실리콘에 대한 도핑 요소를 형성하는 요소로 이루어진다. 예를 들면, InP 또는 GaAs로부터의 인 또는 비소는 나노와이어로부터 베이스 영역으로 확산되어, 그곳에서 함몰되는 에미터 영역을 형성할 수 있다. 다른 변형에서, 다결정 나노와이어는, 그것을 다른 물질과 반응시킴으로써, 보다 높은 도전성 물질로 변환될 수 있다. 이러한 방식으로, 다결정 실리콘은, 그 위에 제공된 금속에 의해, 금속 규화물로 변환될 수 있다.

전술한 바와 같이, 본 발명에 따른 디바이스는 소위 반전형 바이폴라 트랜지스터를 포함할 수 있다. 그러한 경우, 콜렉터 영역은 나노와이어를 포함한다. 그러한 트랜지스터는 "통상적인" 트랜지스터에 비해 이점을 갖는데, 즉, 콜렉터-베이스 접합이 작은 표면을 갖고, 따라서 관련 고갈 캐패시턴스가 작으며, 또한, 에미터 접속이 반도체 바디의 하부측상에 위치되므로, 와이어 접속 대신에, 소위 "범프"를 이용하거나 또는 이용하지 않고서, 표면 탑재 기법에 의해 형성될 수 있다는 이점을 갖는다. 특히, III-V 나노와이어를 이용하여 콜렉터를 형성함으로써, 다음과 같은 추가적인 이점이 달성된다. 콜렉터-베이스 캐패시턴스가 매우 낮다. 콜렉터는 바람직하게 큰 밴드갭을 갖는 물질을 포함한다. 그러한 물질에서, 보다 높은 인계 전계가 가능하며, 그 결과, 브레이크다운 전압이 실리콘의 콜렉터의 경우보다 훨씬 높을 수 있다. 물론, 본 발명에 따른 디바이스는 두 가지 유형의 트랜지스터, 즉, 에미터 영역이 나노와이어를 포함하는 하나 이상의 "통상적인" 트랜지스터 및 콜렉터 영역이 나노와이어를 포함하는 하나 이상의 반전형 트랜지스터를 포함할 수 있다.

각각 제 1 도전 타입, 제 1 도전 타입과는 반대인 제 2 도전 타입 및 제 1 도전 타입의 에미터 영역, 베이스 영역 및 콜렉터 영역을 포함하는 바이폴라 트랜지스터가 형성되는 반도체 바디를 갖는 반도체 디바이스를 제조하는 방법은, 본 발명에 따라, 에미터 영역 및 콜렉터 영역 중 하나는 나노와이어에 의해 형성되고, 베이스 영역은 층형 영역에 의해 반도체 바디의 표면에 형성되며, 에미터 영역 및 콜렉터 영역 중 다른 하나는 반도체 바디에서 베이스 영역 아래에 형성되고, 나노와이어에 의해 형성된 에미터 또는 콜렉터 영역은, 그의 길이 방향 축이 표면에 대해 수직으로 연장되도록 하는 방식으로, 반도체 바디의 표면에 제공되는 것을 특징으로 한다.

그러한 방법에 의해, 본 발명에 따른 디바이스가 쉽게 얻어진다.

본 발명에 따른 방법의 바람직한 실시예에서, 베이스 영역이 형성되도록 하는 층형 영역의 형성 이후에, 평탄 금속 영역이 반도체 바디의 표면에 국부적으로 제공되고, 평탄 금속 영역은, 용융(melting) 이후에, 드롭렛 형상(droplet-shaped) 금속 영역을 형성하며, 그 후, 기상 성장 처리(gas-phase growth process)에 의해, 나노와이어가 반도체 바디의 표면상의 드롭렛 형상 금속 영역 아래에 성장된다. 이러한 방법은 현존하는 IC 기술과 매우 적절하게 결합될 수 있다. 드롭렛 형상 금속 영역을 국부적으로 형성하기 위해, 예를 들면, 금속의 콜로이드 용액(colloidal solution)(화합물)을 이용하는 다른 방법을 대안적으로 이용할 수 있다.

바람직하게, 나노와이어의 형성후, 상기 와이어에 스페이서가 제공된다. 그로 인해, 베이스 및 에미터 영역은 자체 정렬 방식으로 형성될 수 있다. 그것의 유리한 변형에서, 스페이서가 제공된 나노와이어가 제 1 절연층에 의해 매립된 후, 구조물

이 평탄화되어, 드롭렛 형상 금속 영역이 제거되도록 한다. 이러한 방법은 최종 어셈블리를 위한 준비가 된 디바이스를 얻기 위한, 디바이스의 다른 처리를 위해 매우 적합하다. 바람직하지 않은 드롭렛 형상 금속 영역은, 상기 처리 동안에 자동으로 제거되므로, 별도의 처리 단계가 요구되지 않으며, 이것은 물론 바람직한 것이다.

다른 변형에서, 나노와이어보다 큰 단면(section)의 도전 영역이 나노와이어의 노출된 단부상에 후속하여 형성된 후, 제 2 절연층이 구조물에 도포되고, 베이스 영역까지 가급적 멀리 연장되는 애퍼처(aperture)가 제공되며, 그 후, 도전 물질을 이용하여 도전 영역 및 애퍼처가 충전된다. 따라서, 최종 어셈블리를 위해 적합한 디바이스가 얻어진다. 또한, 도전 영역은 다수의 에미터 나노와이어에 쉽게 접속될 수 있으며, 그것은 트랜지스터의 에미터를 공동으로 형성한다.

바로 위에서 언급한 병렬 변형을 위한 매력적인 방법에서, 스페이스가 제공된 나노와이어는 에칭에 의해 마스크 밖에 위치한 층형 베이스 영역의 부분을 제거하기 위한 마스크로서 기능한다. 이러한 방법에서, 산화 및 에칭에 의해, 베이스 영역의 측면이 노출될 수 있고, 투영으로 보았을 때, 제공된 표면 절연층이 베이스 영역까지 가급적 멀리 연장될 수 있으며, 그 후, 도전층이 베이스 영역의 측면과 접촉하도록 제공된다. 이러한 방식으로, 매우 높은 구성 요소 밀도와 매우 작은 기생 캐패시턴스를 결합하는 매우 콤팩트한 디바이스가 얻어지며, 따라서 보다 높은 속도를 갖는 디바이스가 된다. 작은 측방향 치수의 나노와이어가 반도체 바디상에 그 자체로서 투영되어, 트랜지스터의 다른 영역들 또한 콤팩트하게 만든다.

본 발명의 이들 및 다른 양상은 후술되는 실시예(들)로부터 명백할 것이며, 그러한 실시예(들)을 참조하여 설명될 것이다.

발명의 상세한 설명

도 1은 본 발명에 따른 바이폴라 트랜지스터를 포함하는 반도체 디바이스(10)의 제 1 실시예의, 두께 방향에 대해 직각에서의, 개략적인 단면도이다. 이러한 예의 디바이스(10)는, 이 경우 n 타입 실리콘 기판인 기판(11)을 포함하고, 그 위에는 층형 p 타입 반도체 영역(20)이 제공되며, 영역(20)은, 이 경우 SiGe(Ge의 내용물은 대략 25at.%임)의 혼합된 결정을 포함하며 대략 20nm의 두께를 갖는 트랜지스터의 베이스 영역(2)을 형성한다(도 1 참조). 층형 반도체 영역(20)은, 소위 트렌치 절연부의 형태이며 반도체 바디(12)에서 함몰되는 절연 영역(40)을 (부분적으로) 덮는다. 영역들(40) 사이에 위치한 반도체 바디(12)의 부분은 트랜지스터의 콜렉터 영역(3)으로서 기능한다. 베이스 영역(2) 위에는, 이 경우 대략 10nm의 직경 및 100nm의 높이를 갖는 III-V 반도체 물질의 나노와이어(30)를 포함하는 트랜지스터의 에미터 영역(1)이 위치된다. 에미터 영역(1) 둘레에는 스페이스(22)가 존재하며, 이 경우, 스페이스(22)는 실리콘 이산화물이며 대략 10nm의 폭을 갖는다. 스페이스 밖에서는, 층형 영역(20)에, 베이스 영역(2)에 대한 접속 영역으로서 기능하는 백금 규화물과 같은 금속 규화물층(21)이 제공된다. 지금까지 형성된 트랜지스터에는, 이 경우 실리콘 이산화물인 제 1 전기 절연층(13)이 제공된다.

그 상부에는, 에미터(1)에 대한 다결정 실리콘 접속 영역(15)이 형성된다. 상기 에미터 접속 영역 위에는, 이 경우 실리콘 이산화물인 제 2 전기 절연층(14)이 위치된다. 에미터 접속 영역(15) 및 베이스 접속 영역(21) 위에는, 절연층(들)(13, 14)에서 애퍼처가 형성되고, 이것은 예를 들면, 알루미늄 또는 구리와 같은 금속인 도전 물질(16)로 충전된다. 물론, 기판 영역(3)은 p 타입 실리콘 기판에 형성된 소위 n 웰일 수 있다. 이러한 예의 디바이스(10)는 본 발명에 따른 방법의 제 1 실시예에 의해, 이하에 기술된 방법으로 제조될 수 있다.

도 2 내지 14는 본 발명에 따른 방법의 제 1 실시예에 의한 제조 처리의 연속적인 단계에서의 도 1의 디바이스의, 두께 방향에 대해 직각에서의 단면도 또는 도 14(a)-(c)에서와 같은 평면도를 개략적으로 도시한다. 실리콘의 n 타입 기판(11)이 시작 물질로서 이용된다(도 2 참조). 이러한 기판에서, 실리콘 이산화물의 절연 영역(40)이 형성된다. 그 후, SiGe의 에피택셜층(20)이, 기상 에피택시에 의해 이러한 구조물상에 제공되며, 그러한 에피택셜층은 절연 영역들(40)상에서는 다결정이고, 상기 절연 영역들 사이에서는 단결정이다.

후속하여(도 3 참조), 이 경우 실리콘 이산화물인 절연층(50)이, 이러한 예에서 CVD(Chemical Vapor Deposition)에 의해 SiGe층(20)상에 제공된다. 상기 절연층의 상부 위에는 포토레지스트층(60)이 제공된다.

레지스트층(60)은 포토리소그래피에 의해 패터닝되고(도 4 참조), 그 후, 에칭에 의해, 레지스트층(60)에서의 개구부에서 절연층이 국부적으로 제거된다. 후속하여, 이 경우 10nm 두께의 Au 층(70)인 금속층이, 증발 작용(vaporization)에 의해 결과적인 구조물상에 제공된다.

다음(도 5 참조), 레지스트층(60)이 제거되는 리프트-오프(lift-off) 처리를 적용하여, 레지스트층(60)의 상부 위에 위치되는 Au 층(70)의 부분들을 제거한다. 그 결과, Au 층(70)은 SiGe 층(20)의 바로 위에만 존재한다.

다음(도 6 참조), Au 층(70)의 나머지 부분은, 열에 노출되어 용융되며, 이러한 처리에서 Au의 드롭렛 형성 영역(71)은 증가된 온도에서 형성된다. 이러한 예에서, 소량의 실리콘이 그곳에서 용해된다.

후속하여(도 7 참조), 이 경우 InP인 나노와이어(30)가, 기상 성장 처리에 의해, SiGe 층(20)상에 성장된다. 상기 처리에서, 드롭렛 형성 금속 영역(71)이 그 자체로서 들어올려지고, 그 결과, 나노와이어(30)의 상부 위에 위치된다.

상기 와이어(30)는 형성될 트랜지스터의 에미터 영역(1)을 형성한다.

후속하여(도 8 참조), 절연층(50)의 나머지 부분이 에칭에 의해 제거되고, 다른 포토레지스트층(80)이 구조물 위에 제공되며(도 9 참조), 포토리소그래피에 의해 패터닝된다. 반도체층(20)의 불필요한 부분들은, 차후에 에칭에 의해 제거된다.

다른 레지스트층(80)의 제거 후에(도 10 참조), 얇은 절연층이 구조물 위에 제공된다. 이러한 층은 이방성 에칭에 의해 차후에 다시 대부분 제거되며, 표면에 대해 직각에서 연장하는 그것의 나머지 부분은 나노와이어(30)를 둘러싸는 스페이서(22)를 형성하는데 이용된다. 다음, 나노와이어(30) 및 스페이서(22) 밖에 위치한 SiGe의 p 타입 층형 영역(20)의 부분에, 이온 주입(100)에 의해, 보다 높은 (p 타입) 도핑 농도가 제공된다.

후속하여(도 11 참조), 예를 들면, 니켈 또는 백금의 금속층이, 예를 들면, 스퍼터링에 의해 도포된다. 열에 노출시킴으로써, 이러한 층은 반도체층(20)과 반응하여, 금속 규화물(21)이 형성되도록 한다.

다음(도 12 참조), 제 1 전기 절연층(13)이 구조물 위에 제공되고, 그 후, CMP(Chemical Mechanical Polishing)에 의한 평탄화 단계가 수행된다. 이러한 예에서, 나노와이어(30) 위의 드롭렛 형성 금속 영역(71)이, 이러한 평탄화 단계에서 또한 제거된다.

후속하여(도 13 참조), 나노와이어(30)와 전기적으로 접촉하며 나노와이어(30)보다 큰 측방향 치수를 갖는 다결정 실리콘 접촉 영역(15)이 형성된다. 이것은 포토리소그래피 및 에칭에 의해 차후에 패터닝되는 도핑된 폴리 Si의 균일한 층을 도포함으로써 달성된다.

마지막으로(도 1 참조), 실리콘 이산화물의 제 2 전기 절연층(14)이 제공된다. 상기 절연층에서, 규화물 영역(21)으로 및 접촉 영역(15)으로 연장되는 채널 형상 애퍼처가 형성되며, 그러한 애퍼처는 알루미늄 또는 구리와 같은 금속(16)으로 충전된다.

도 14는 완전성을 위해, 제조 처리에서의 몇몇 단계들을 평면도로 도시한다. 도 14(a)는 도 6에 대응하는 단계를 도시하고, 도 14(b)는 도 10에 대응하는 단계를 도시하며, 도 14(c)는 도 1에 대응하는 (최종) 단계를 도시한다.

도 15는 본 발명에 따른 반도체 디바이스의 제 2 실시예의, 두께 방향에 대해 직각에서의, 개략적인 단면도이다. 이것은 바이폴라 npn 트랜지스터의 소위 자체 정렬 실시예이며, 그 구조는 도 1에 도시된 트랜지스터의 구조에 대부분 대응한다. 동일한 참조 번호에 의해 표기된 유사한 영역들은 별도로 설명되지 않을 것이다. 첫 번째의 차이는, 이 경우 강도핑 영역 3B 및 상기 영역 3B 위에 위치한 약도핑 부분 3A을 포함하는 컬렉터 영역(3)의 구조와 관련된다. 또한, 이러한 구조는 제 1 예의 디바이스(10)에서도 바람직하게 적용될 수 있다. 가장 중요한 차이는, 스페이서(22)가 제공된 나노와이어(30)에 인접한 실리콘/SiGe 반도체 바디(12)의 일부가 에칭에 의해 제거되었다는 사실과 관련된다. 문제의 위치에서, 반도체 바디(12)에는, 습식 열 산화에 의해 형성되는 보다 얇은 절연 영역(41)이 제공된다. 상기 보다 얇은 절연 영역 위에서, 베이스 영역(2)의 측면은 베이스(2)의 접촉 영역으로서 기능하는 강도핑 다결정 실리콘층(150)과 직접 접촉한다. 자체 정렬 외에도, 이러한 실시예는 매우 콤팩트하고, 다수의 나노와이어(30)를 포함하는 에미터(1)를 갖는 트랜지스터의 형성에 매우 적합하다. 도 15에서는, 그러한 나노와이어가 단지 1개만 도시된다. 이러한 변형은 단지 하나의 또는 그와 반대로 다수의 개별적인 나노와이어(30)를 포함하는 에미터(1)를 갖는 다수의 개별적인 트랜지스터를 포함하는 디바이스(10)에도 물론 바람직하게 적용될 수 있다. 이러한 예의 디바이스(10)는, 본 발명에 따른 방법의 제 2 실시예를 이용하여, 다음과 같은 방법으로 제조될 수 있다.

도 16 내지 21은 본 발명에 따른 방법의 제 2 실시예에 의한 제조 처리의 연속적인 단계에서의, 도 15의 디바이스의 두께 방향에 대해 직각에서의, 개략적인 단면도이다. 처음에, 제조 처리는 제 1 예에 대하여 위에서 기술된 것 및 도 2 내지 8을 참조하여 기술된 것과 동일한 방식으로 수행된다.

다음(도 16 참조), 드롭렛 형상 영역(71)을 갖는 나노와이어(30) 둘레에, 도 10을 참조하여 기술된 바와 같은 스페이서(22)가 형성된다.

후속하여(도 17 참조), 에칭에 의해, 스페이서(22)가 제공된 나노와이어(30) 둘레에서 SiGe 층(20)이 완전히 제거된다. 후속하여, 또한 에칭에 의해, 반도체 바디(12)의 Si 함유 부분이, 콜렉터(3)의 부분들 3A, 3B 사이의 접합을 지나서까지 제거된다.

다음(도 18 참조), 습식 열 산화 처리에 의해 절연 영역(41, 42)이 형성된다. 그러한 습식 산화 처리에서, n+ 도핑 영역은 n- 또는 p 또는 p+ 영역들보다 높은 산화율을 가지며, 그 결과, 베이스(2)의 측면(flank)을 덮는 형성된 절연 영역(42)은, 반도체 바디에 형성된 홈(groove)의 바닥에 위치한 절연 영역(41)보다 얇다.

후속하여(도 19 참조), 디바이스(10)에 대해, 짧은 기간 동안, 실리콘 이산화물을 위한 습식 화학 에칭 처리를 수행함으로써, 반도체 바디(12)의 표면이 베이스 영역(2)의 측면에서만 노출되게 된다.

다음(도 20 참조), 다결정 p 타입 Si 층(150)이 결과적인 구조물 위에 제공되어, 베이스(2)에 대한 접촉 영역을 형성하게 된다. 이를 위해, 예를 들면, CVD를 이용할 수 있다. 베이스(2)의 측벽에 베이스(2)를 위한 접촉 영역을 형성하기 위해, 선택적 에피택셜 성장 처리를 대안적으로 이용할 수 있다.

다음(도 21 참조), 제 1 전기 절연층(13)이 제공되고, 그 후, 도 12 및 13에 대하여 기술된 처리 단계들이 수행되어, 도 15에 도시된 디바이스가 되도록 한다.

도 22(a) 및 22(b)는 본 발명에 따른, 도 15에 도시된 디바이스에 대응하는 통상적인 바이폴라 트랜지스터 및 예시적인 제 3 실시예를 예시하는 본 발명에 따른 반전형 바이폴라 트랜지스터를 각각 도시한다.

상기 2개의 트랜지스터들 간의 가장 중요한 차이는, 후자의 트랜지스터에서, 에미터 영역(1)은 반도체 바디(12)내에서, 절연 영역들(40, 41) 사이에 위치되고, 콜렉터 영역(3)은 표면에 형성된 나노와이어(30)를 포함한다는 사실과 관련된다. 더욱이, 이들 2개의 바이폴라 트랜지스터는 상이한 치수 및 상이한 도핑 농도를 갖는다.

도 23(a) 및 23(b)는 도 22(a) 및 22(b)에 각각 도시된 트랜지스터에 대한 두께 방향 d에서의 도핑 농도 n, p의 변화를 개략적으로 도시한다. 상기 도면들에 있어서, 다양한 영역들은 도 22에서와 동일한 참조 번호에 의해 표시된다. 영역 T1, T2는 이전에 기술되지 않은 약도핑 접합 영역을 형성한다. 영역 T1은 나노와이어(30)에 형성되거나, 또는 반도체 바디(12)의 아래 부분에 형성될 수 있다. 영역 T2는 반도체 바디(12)에 위치된다. 도 23(b)는 반전형 바이폴라 (npn) 트랜지스터의 콜렉터(3)를 형성하는 나노와이어(30)가, 얇은 강도핑 부분 및 베이스(2)상에 접하는 보다 두꺼운 약도핑 부분을 포함함을 명료하게 도시한다.

본 발명은 본 명세서에서 기술된 예시적인 실시예에 한정되지 않으며, 당업자라면, 본 발명의 영역내에서 여러 가지의 변형 및 수정이 가능할 것이다. 예를 들어, 본 발명은 바이폴라 디바이스에서 뿐만 아니라, Bi(C)MOS(Bipolar Complementary Metal Oxide Semiconductor) IC에서도 적용될 수 있다. 또한, 본 발명은 PNP 트랜지스터에도 적용될 수 있다. IC 외에도, 본 발명은 이산 바이폴라 트랜지스터에 적용될 수 있다.

또한, STI 절연 영역 대신에, LOCOS(Local Oxidation Of Silicon) 기법에 의해 얻어지는 절연 영역이 적용될 수 있음을 주지해야 한다. 대안적으로, 다수의 나노와이어는 작은 사이의 공간과 함께 선형적으로 나란히 놓일 수 있다. 이러한 방식으로, 나노플레인(nanoplane)이 유사하게 얻어진다. 형성 처리 동안에 형성된 나노와이어들이 결합된다면, 반도체 바디의 표면에 대해 수직으로 연장되는 진정한 나노플레인이 얻어진다. 베이스에 대한 Si-Ge의 혼합된 결정 외에도, Si 및 C 또는 순수 Si의 혼합된 결정과 같은 다른 혼합된 결정이 바람직하게 이용될 수 있다.

또한, 본 발명에 따른 방법의 경우, 여러 가지의 변형 및 수정이 가능하다. 예를 들어, 에미터 영역의 강도핑 부분은 나노와이어의 제거 이후에 또는 나노캐비티를 금속으로 충전하기 전에, 기상 도핑에 의해 대안적으로 형성될 수 있다. 이 경우, 본 방법은 다음과 같이 수행된다. 즉, 스페이스가 나노와이어 둘레에 형성된 후, 나노와이어가 제거될 수 있다. 예를 들면, 기상으로부터, 또는 인 유리 또는 폴리실리콘과 같은 다른 확산 소스로부터의 확산에 의해 접합이 형성될 수 있다. 이 경우, 나노와이어는 작은 에미터 표면을 규정하는 데에만 이용된다.

마지막으로, 매력적인 변형에서, 베이스 영역의 일부는 나노와이어의 일부이도록 형성될 수 있음을 주지해야 한다. 따라서, 이러한 응용에서, "층형 영역"이라는 용어는, 돌출부가 제공된 층형 영역을 명시적으로 의미하는 것으로 간주된다. 이러한 변형은 추가적인 이점을 제공한다. 이점들 중 하나는, 그러한 경우에, 접속 영역이 형성되는 베이스 영역의 다른 부분에 대한 물질과는 상이한, 에미터상에서 접하는 베이스 영역의 부분에 대한 물질을 선택하는 것이 보다 용이하다는 사실과 관련된다. 베이스 영역의 돌출부의 작은 측방향 치수는, 반도체 바디의 격자 상수와는 상이한 격자 상수를 갖는 반도체 물질이 상기 부분을 위해 선택되는 경우, 이러한 차이가 결함의 전개와 같은 보다 적은 문제점을 발생시키도록 보장한다. 그 외에도, 반도체 바디와는 덜 차이가 나거나 전혀 차이가 나지 않는 물질을 포함하는 베이스 영역의 나머지 층형 부분은, 낮은 옴 접촉 접촉을 갖는 접속 영역을 수용하기에 보다 적합할 수 있다.

도면의 간단한 설명

도 1은 본 발명에 따른 반도체 디바이스의 실시예의, 두께 방향에 대해 직각에서의, 개략적인 단면도이다.

도 2 내지 14는 본 발명에 따른 방법의 제 1 실시예에 의한 제조 처리의 연속적인 단계에서의 도 1의 디바이스의, 두께 방향에 대해 직각에서의 단면도 또는 도 14(a)-(c)에서와 같은 평면도를 개략적으로 도시한다.

도 15는 본 발명에 따른 반도체 디바이스의 제 2 실시예의, 두께 방향에 대해 직각에서의, 개략적인 단면도이다.

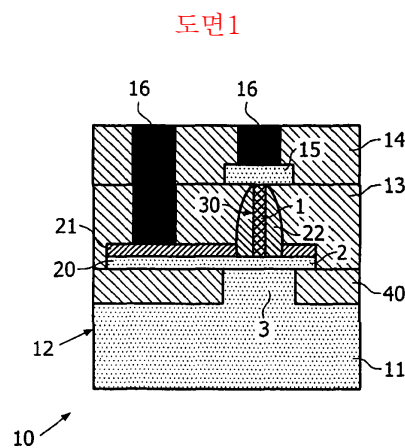
도 16 내지 21은 본 발명에 따른 방법의 제 2 실시예에 의한 제조 처리의 연속적인 단계에서의, 도 15의 두께 방향에 대해 직각에서의, 개략적인 단면도이다.

도 22(a) 및 22(b)는 본 발명에 따른, 도 15에 도시된 디바이스에 대응하는 통상적인 바이폴라 트랜지스터 및 본 발명에 따른 반전형 바이폴라 트랜지스터를 각각 도시한다.

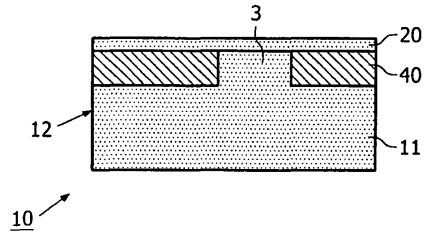
도 23(a) 및 23(b)는 도 22(a) 및 22(b)에 각각 도시된 트랜지스터에 대한 두께 방향에서의 도핑 농도 변화를 개략적으로 도시한다.

도면들은 실제 축적으로 도시되지 않으며, 명료성을 위해 몇몇 치수들은 과장된다. 가능한 경우, 대응하는 영역들 또는 부분들은 동일한 선영(hatching) 및 동일한 참조 번호에 의해 표시된다.

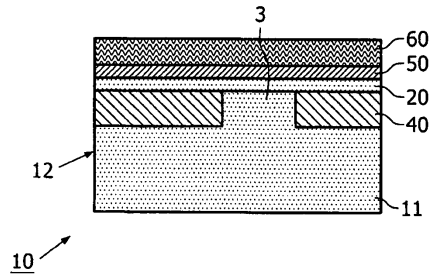
도면



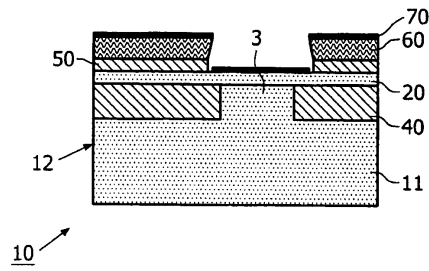
도면2



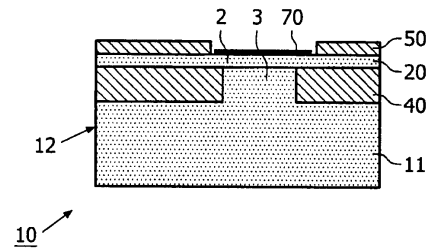
도면3



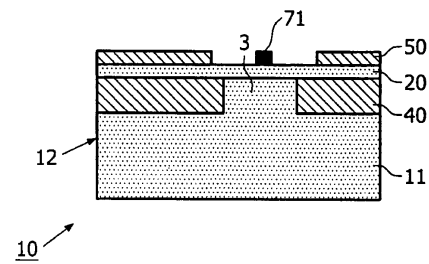
도면4



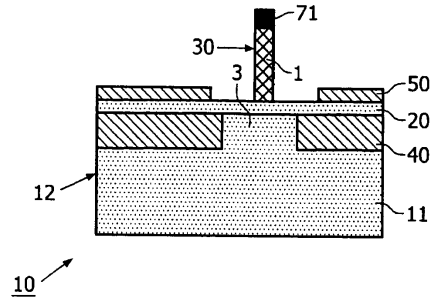
도면5



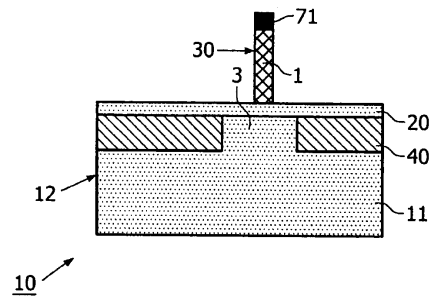
도면6



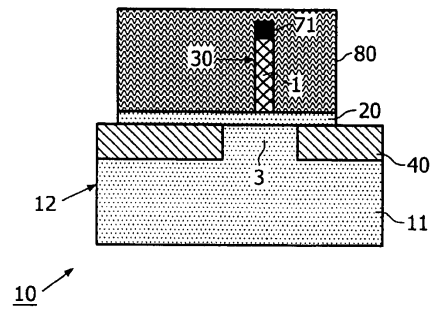
도면7



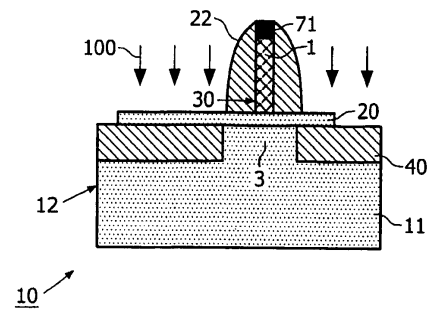
도면8



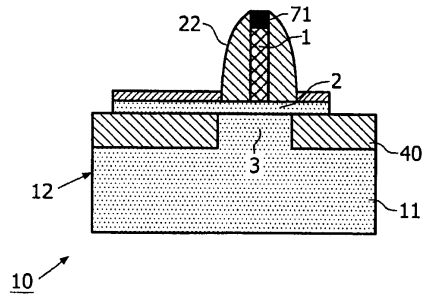
도면9



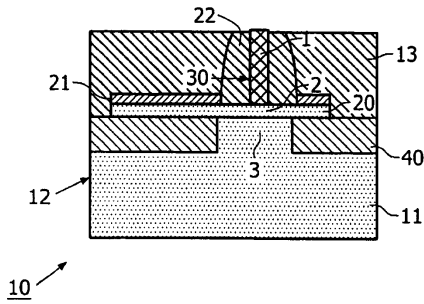
도면10



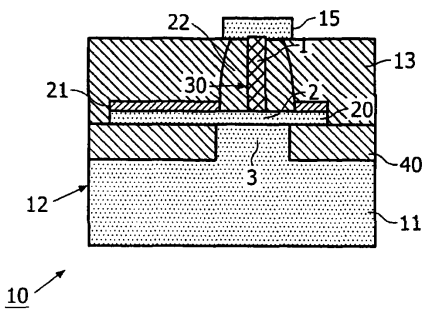
도면11



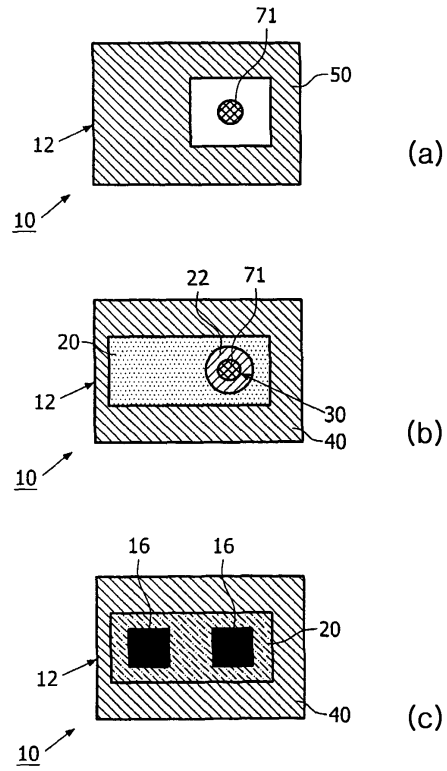
도면12



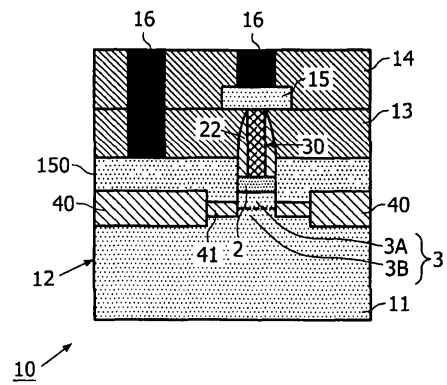
도면13



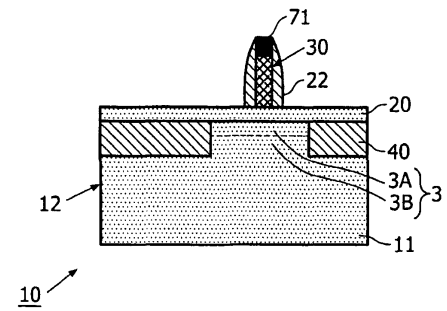
도면14



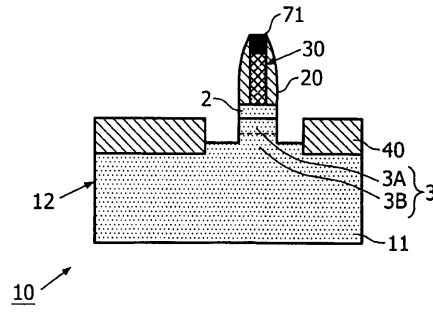
도면15



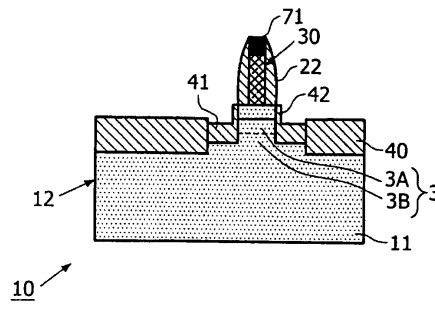
도면16



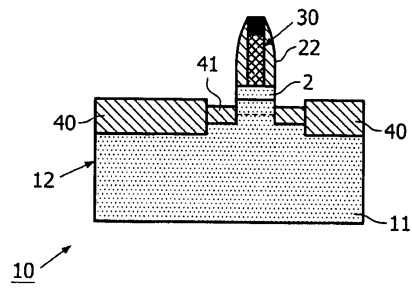
도면17



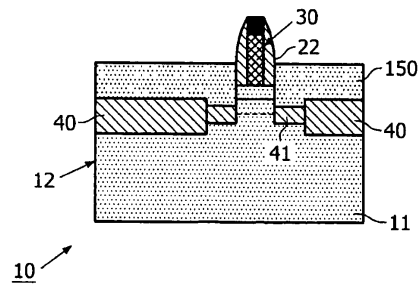
도면18



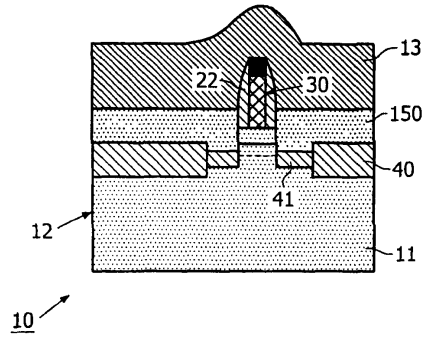
도면19



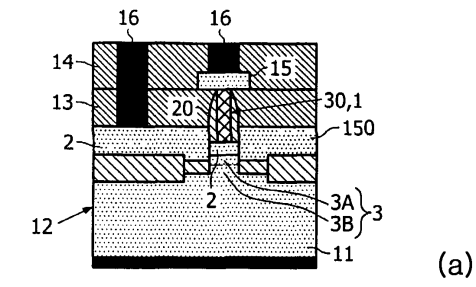
도면20



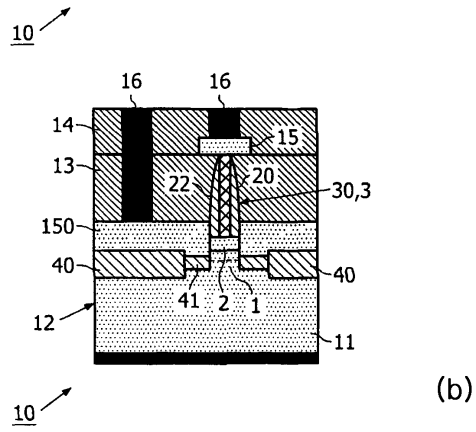
도면21



도면22

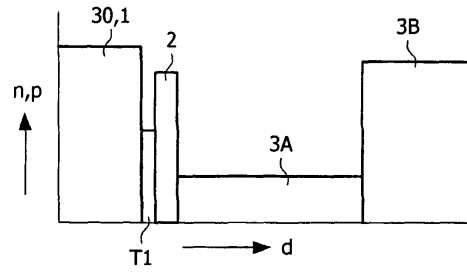


(a)

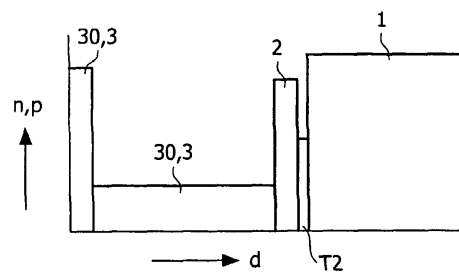


(b)

도면23



(a)



(b)