

(12) 发明专利申请

(10) 申请公布号 CN 101996950 A

(43) 申请公布日 2011.03.30

(21) 申请号 201010003437.2

(22) 申请日 2010.01.15

(30) 优先权数据

10-2009-0073818 2009.08.11 KR

(71) 申请人 海力士半导体有限公司

地址 韩国京畿道

(72) 发明人 金度亨 曹永万

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 顾红霞 何胜勇

(51) Int. Cl.

H01L 21/8242(2006.01)

H01L 21/768(2006.01)

H01L 27/108(2006.01)

H01L 23/52(2006.01)

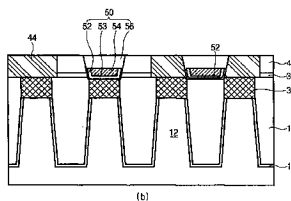
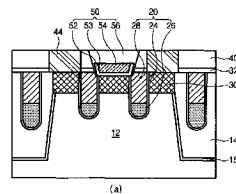
权利要求书 2 页 说明书 6 页 附图 13 页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明公开一种半导体器件及其制造方法，其中存储节点触点孔做成大的以解决在蚀刻小 CD 的存储节点触点孔期间所产生的任何问题，形成连接插塞来降低插塞电阻，并且在形成位线时省去 SAC 工序。根据本发明的制造半导体器件的方法包括：形成用于在半导体基板中限定多个有源区的器件隔离膜；在半导体基板中形成多根埋入式字线；形成使两个相邻有源区的存储节点触点区域露出的存储节点触点孔；用存储节点触点插塞材料填充存储节点触点孔；形成位线沟槽，该位线沟槽用于使有源区的位线触点区域露出并且将存储节点触点插塞材料分成两个部分；以及将位线埋入到位线沟槽内。



1. 一种制造半导体器件的方法,包括:
 - 形成器件隔离结构以在基板中限定多个有源区,所述多个有源区包括彼此相邻设置的第一有源区和第二有源区;
 - 在所述基板中形成多根埋入式字线,每根埋入式字线限定在形成于所述基板中的沟槽内;
 - 形成存储节点触点孔,所述存储节点触点孔在所述第一有源区和所述第二有源区上延伸;
 - 用存储节点触点插塞材料来填充所述存储节点触点孔;
 - 形成位线沟槽以将所述存储节点触点插塞材料分为第一存储节点触点插塞和第二存储节点触点插塞,所述第一存储节点触点插塞分配给所述第一有源区,并且所述第二存储节点触点插塞分配给所述第二有源区;以及
 - 在所述位线沟槽内形成位线。
2. 根据权利要求1所述的方法,还包括:
 - 在位线触点区域和存储节点触点区域上形成连接插塞。
3. 根据权利要求2所述的方法,其中,
 - 所述连接插塞的形成步骤包括:
 - 在形成所述埋入式字线之前,在所述第一有源区和所述第二有源区的表面上形成硬掩模氧化物和硬掩模层;
 - 在形成所述埋入式字线之后,从所述第一有源区和所述第二有源区的表面上移除所述硬掩模层和所述硬掩模氧化物;以及
 - 在借助移除所述硬掩模层而限定的空间中形成所述连接插塞。
4. 根据权利要求3所述的方法,还包括:
 - 将离子注入到所述连接插塞中。
5. 根据权利要求2所述的方法,其中,
 - 所述存储节点触点孔的形成步骤包括:
 - 在包括所述连接插塞和所述字线在内的所述基板上形成层间电介质;以及
 - 利用所述连接插塞作为蚀刻停止层来蚀刻所述层间电介质。
6. 根据权利要求1所述的方法,还包括:
 - 在所述第一有源区和所述第二有源区的位线触点区域和存储节点触点区域中形成选择性外延生长层。
7. 根据权利要求1所述的方法,其中,
 - 所述埋入式字线的形成步骤包括:
 - 在所述基板中形成多个沟槽;
 - 用栅极导电层来填充所述沟槽;以及
 - 在所述沟槽内的栅极导电层上形成覆盖层。
8. 根据权利要求1所述的方法,还包括:
 - 在所述位线沟槽的底部和侧面上形成氮化物间隔物;以及
 - 在位线触点节点部分的一部分中,从所述位线沟槽的底部移除所述氮化物间隔物。
9. 根据权利要求1所述的方法,其中,

所述位线的形成步骤包括：

在所述位线沟槽的侧壁和下表面上形成阻挡金属层；以及
在所述阻挡金属层的表面上形成位线导电层。

10. 根据权利要求 9 所述的方法，还包括：

对所述阻挡金属层热处理以将所述阻挡金属层的一部分转变为硅化物；以及
移除未被转变成硅化物的所述阻挡金属层，从而使得所述硅化物保留在所述位线沟槽内。

11. 根据权利要求 2 所述的方法，其中，

所述连接插塞的表面与所述器件隔离结构的表面位于大致相同的高度上。

12. 一种半导体器件，包括：

第一有源区和第二有源区，所述第一有源区和所述第二有源区形成在基板中并且彼此相邻，所述第一有源区和所述第二有源区均包括位线触点区域、存储节点触点区域以及器件隔离结构；

字线，其设置在形成于所述基板中的沟槽内；

第一存储节点触点插塞和第二存储节点触点插塞，其分别分配给所述第一有源区和所述第二有源区，所述第一存储节点触点插塞和所述第二存储节点触点插塞被位线沟槽彼此分隔开；以及

位线，其形成在所述位线沟槽内。

13. 根据权利要求 12 所述的半导体器件，还包括：

多晶硅插塞，所述多晶硅插塞形成在所述位线触点区域和所述存储节点触点区域上。

14. 根据权利要求 12 所述的半导体器件，还包括：

选择性外延生长层，所述选择性外延生长层形成在所述位线触点区域和所述存储节点触点区域上。

15. 根据权利要求 12 所述的半导体器件，还包括：

层间电介质，所述层间电介质形成在所述字线和所述器件隔离结构上。

16. 根据权利要求 12 所述的半导体器件，其中，

所述字线包括：

栅极导电层，其设置在所述基板中的沟槽内；以及

覆盖层，其形成在所述沟槽内的栅极导电层上。

17. 根据权利要求 12 所述的半导体器件，还包括：

氮化物间隔物，所述氮化物间隔物形成在所述位线沟槽的侧壁上。

18. 根据权利要求 12 所述的半导体器件，其中，

所述位线包括：

阻挡金属层，其与所述位线沟槽的侧壁和下表面接触；以及

位线导电层，其与所述阻挡金属层接触。

19. 根据权利要求 18 所述的半导体器件，还包括：

硅化物层，所述硅化物层设置在所述阻挡金属层和所述位线导电层之间。

20. 根据权利要求 13 所述的半导体器件，其中，

所述多晶硅插塞的表面与所述器件隔离结构的表面位于大致相同的高度上。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及半导体器件及其制造方法；更具体地说，本发明涉及包括埋入式栅极 (buried gate)、存储节点和位线的半导体器件以及制造该半导体器件的方法。

背景技术

[0002] 在半导体存储器件中，DRAM 具有多个单位单元 (cell, 又称为晶胞)，每个单位单元都由电容器和晶体管构成。在电容器和晶体管之中，电容器用于暂时存储数据，晶体管用于利用具有可变导电率的半导体特性，响应于控制信号 (字线) 在位线和电容器之间传送数据。晶体管具有栅极、源极和漏极。根据施加到栅极上的控制信号，允许带电粒子在源极与漏极之间移动。带电粒子在源极与漏极之间的移动通过栅极所限定的沟道区来实现。

[0003] 根据在半导体基板上制造传统晶体管的方法，先在半导体基板上形成栅极，并将杂质掺杂到栅极的两侧，以形成源极和漏极。栅极下方的位于源极与漏极之间的区域成为晶体管的沟道区。具有该水平沟道区的晶体管占据半导体基板的一定面积。高密度半导体存储器件具有形成于内部的大量晶体管，因此难以减小半导体存储器件的尺寸 (或芯片尺寸)。

[0004] 减小芯片尺寸允许每个晶片能够产出更多的半导体存储芯片，从而改善成品率。实际上，已经利用了多种不同的技术来减小芯片尺寸。一种技术是使用凹式栅极 (recess gate) 来代替具有水平沟道区的传统平面栅极，在该技术中，在基板上形成凹陷部 (recess)，接着在该凹陷部中形成栅极，以获得沿着凹陷部的弯曲表面的沟道区。另一种技术是利用埋入式栅极，该埋入式栅极通过将整个栅极埋入到凹陷部中来形成。

[0005] 在这种埋入式栅极结构中，已经使用隔离栅极以线性的形式形成位线触点和存储节点触点。然而，在此情况下，单元区域可能会变成大于隔离栅极结构，并且可能会经历与现有的沟槽型器件隔离膜相比更大的漏电流。

[0006] 此外，使用该沟槽型器件隔离膜的埋入式栅极结构具有如下缺点：在将位线触点图案化期间，通常需要借助干式蚀刻法将触点孔图案化为孔。如果临界尺寸 (CD) 在尺寸上变小，则可能不能在掩模上限定触点孔图案。此外，当需要在后续的蚀刻工序期间在有源区中蚀刻出触点孔时，有源区可能不敞开。增大 CD 来避免该问题则可能会造成存储节点的短路问题。

[0007] 此外，存在其它问题：例如，在位线形成后存储节点触点必须形成为自对准触点 (SAC)，并且有源区与触点之间的接触面积减小会增加接触电阻。

发明内容

[0008] 本发明的实施例旨在提供一种半导体器件及其制造方法，其中使存储节点触点孔足够大，以便于蚀刻小 CD 的存储节点触点孔。此外，连接插塞形成为具有比插塞电阻小的电阻，并且在形成位线时执行 SAC 工序。

[0009] 在一个实施例中，一种制造半导体器件的方法包括：形成用于在半导体基板中限

定多个有源区的器件隔离膜；在所述半导体基板中形成多根埋入式字线；形成用于使两个相邻有源区的存储节点触点区域露出的存储节点触点孔；用存储节点触点插塞材料填充所述存储节点触点孔；形成用于使所述有源区的位线触点区域露出并且将所述存储节点触点插塞材料分为两个部分的位线沟槽；以及在所述位线沟槽内形成位线。通过使存储节点触点孔制成为大的，可以解决在蚀刻小 CD 的存储节点触点孔期间所产生的任何问题，并且在位线形成期间已不再需要 SAC 工序。

[0010] 所述制造半导体器件的方法还包括：在所述有源区的位线触点区域和存储节点触点区域上形成连接插塞。

[0011] 所述连接插塞的形成步骤优选地包括：在形成所述字线之前，在所述有源区的表面上形成硬掩模氧化物和硬掩模层；在形成所述字线之后，从所述有源区的表面上移除所述硬掩模层和所述硬掩模氧化物；在所述有源区的已经移除了所述硬掩模层的空间中形成连接插塞；以及将离子注入到所述连接插塞中。

[0012] 所述存储节点触点孔的形成步骤优选地包括：在包括所述连接插塞和所述字线在内的半导体基板上形成层间电介质；以及利用所述连接插塞作为蚀刻停止层来蚀刻所述层间电介质。

[0013] 所述方法还包括：在所述有源区的位线触点区域和存储节点触点区域中形成选择性外延生长 (SEG) 层，以便于借助 SEG 层来增加有源区的接面区域（源极 / 漏极）的高度，以降低插塞电阻并降低 GIDL（栅极引发的漏极漏电流）。

[0014] 所述埋入式字线的形成步骤包括：在所述半导体基板中形成沟槽；利用栅极导电层来填充所述沟槽；以及在所述沟槽内的栅极导电层上形成覆盖层。以这样的方式，在所述半导体基板的表面之下的部分中形成埋入式字线。

[0015] 所述方法优选地还包括：在形成所述位线沟槽之后，在所述位线沟槽的侧壁上形成氮化物间隔物。

[0016] 优选的是，所述位线的形成步骤是借助于金属镶嵌工序来完成的，所述金属镶嵌工序包括：在所述位线沟槽的侧壁和下表面上形成阻挡金属层；以及在所述阻挡金属层的表面上形成位线导电层。

[0017] 所述方法优选地还包括：在形成所述阻挡金属层之后，将所述阻挡金属层热氧化以形成硅化物 (silicide)；以及移除所述阻挡金属层以保留所述硅化物。

[0018] 所述连接插塞的表面优选地与所述器件隔离膜的表面位于相同的高度上。

[0019] 在本发明的制造半导体器件的方法中，所述半导体器件包括：有源区，其形成在半导体基板上，每个有源区均包括位线触点区域、存储节点触点区域以及用于限定所述有源区的器件隔离膜；多根字线，其埋入到所述半导体基板中；存储节点触点插塞，其埋入到使两个相邻有源区的存储节点触点区域露出的存储节点触点孔中；位线沟槽，其使所述有源区的位线触点区域露出并且将所述存储节点触点插塞分成两个部分；以及位线，其埋入到所述位线沟槽中；其特征在于，通过使存储节点触点孔制成为大的，可以解决在蚀刻小 CD 的存储节点触点孔期间所产生的任何问题，并且在位线形成期间已不再需要 SAC 工序。

[0020] 所述半导体器件还包括形成在所述有源区的位线触点和存储节点触点区域上的多晶硅插塞，在该情况下，可以降低插塞电阻。

[0021] 所述半导体器件还包括位于所述有源区的位线触点区域和存储节点触点区域上

的选择性外延生长 (SEG) 层, 在该情况下, 可以借助于 SEG 层增加有源区的接面区域 (源极 / 漏极) 的高度, 并且因此降低了插塞电阻并降低了 GIDL。

[0022] 所述半导体器件优选地还包括形成于所述字线和所述器件隔离膜上的层间电介质, 并且所述字线是由埋入式字线形成的, 所述埋入式字线包括: 埋入到所述半导体基板的沟槽中的栅极导电层; 以及形成于所述沟槽中的栅极导电层上的覆盖层。

[0023] 所述半导体器件优选地还包括形成于所述位线沟槽的侧壁上的氮化物间隔物, 并且所述位线是借助于金属镶嵌工序来形成的, 所述金属镶嵌工序包括: 在所述位线沟槽的侧壁和下表面上形成阻挡金属层; 以及在所述阻挡金属层的表面上形成位线导电层。

[0024] 所述半导体器件优选地还包括形成于所述阻挡金属层和所述位线导电层之间的硅化物, 并且所述连接插塞的表面与所述器件隔离膜的表面位于相同的高度上。

附图说明

[0025] 图 1 至图 13 是依次示出根据本发明的半导体器件的制造方法的平面图或剖视图。

具体实施方式

[0026] 下面参考附图更详细地描述根据本发明的半导体器件的制造方法的实施例。

[0027] 图 1 至图 13 是依次示出根据本发明的半导体器件的制造方法的平面图或剖视图。在图 2 中, (a) 是沿着图 1 中的 Y 方向截取的剖视图, (b) 是沿着图 1 中的 X 方向截取的剖视图。其它的附图均按照相同的取向截取。

[0028] 首先参考图 1, 在半导体基板上形成有源区 12 以及用于限定该有源区 12 的器件隔离膜 14。每个有源区 12 均与两根字线 20 相交。在本实施例中, 有源区相对于字线 20 限定锐角。该字线 20 作为埋入式字线形成在半导体基板内, 即, 字线 20 的上表面低于半导体基板上表面。

[0029] 参考图 2, 在半导体基板的表面上依次形成硬掩模氧化物 15、和氮化物或者由多晶硅材料制成的硬掩模层。利用限定器件隔离膜 14 区域的掩模来蚀刻该硬掩模层, 以形成硬掩模图案 16。利用硬掩模图案 16 作为掩模来蚀刻半导体基板以在半导体基板中形成沟槽, 并且用氧化物填充该沟槽来形成器件隔离膜 14。

[0030] 在一个实施例中, 在半导体基板上形成器件隔离膜 14 之前, 在半导体基板的沟槽表面上形成衬垫氮化物 (未示出) 和衬垫氧化物 (未示出)。由氧化物材料制成的器件隔离膜 14 是借助如下步骤来获得的: 例如利用电介质旋涂 (SOD) 方法在形成有沟槽的半导体基板的整个表面上形成氧化物, 然后借助 CMP 方法从硬掩模图案 16 的表面上移除氧化物, 从而将器件隔离膜 14 填充到沟槽内。

[0031] 在传统方法中, 有源区 12 形成为使得其表面与器件隔离膜 14 的表面位于相同的高度。在本实施例中, 由于硬掩模图案 16 位于有源区 12 的表面上, 所以硬掩模图案 16 的表面形成为位于与器件隔离膜 14 的表面的高度相同的高度上, 即, 有源区 12 的上表面设置为低于器件隔离膜 14 的上表面。有源区 12 与器件隔离膜 14 之间的该高度差有助于形成连接插塞, 这是因为在利用氮化物制成硬掩模图案 16 接着移除氮化物材料时、或者在利用多晶硅制成硬掩模图案 16 接着将多晶硅图案化以用作连接插塞时, 不需要在有源区 12 上形成层间电介质。在本发明的另一个实施例中, 利用在有源区上执行选择性外延生长 (SEG)

工序的步骤来代替在有源区 12 上形成硬掩模图案 16 的步骤,以使得有源区 12 的 SEG 层(未示出)的表面所在的高度与器件隔离膜 14 的表面所在的高度大致相同。在该情况下,尽管在不形成连接插塞的情况下在有源区 12 上的 SEG 层(未示出)的表面上直接形成存储节点触点,但是因为 SEG 层增加了该有源区 12 的接面区域(源极/漏极)的高度,所以可以降低插塞电阻,并且降低栅极引发的漏极漏电流(GIDL)。

[0032] 参考图 3,在形成有源区 12 和器件隔离膜 14 的半导体基板中形成用于形成埋入式栅极 20 的具有预定深度的沟槽 22。将沟槽 22 的表面氧化以形成栅极氧化物 24,并且用栅电极 26 填充形成有栅极氧化物 24 的沟槽 22(图 4)。在本实施例中,栅电极 26 包含 TiN 和钨(W)。在沟槽 22 内的栅电极 26 上形成用于保护栅电极 26 的覆盖膜 28。

[0033] 参考图 5,移除硬掩模图案 16,并且在借助移除硬掩模图案 16 而产生的空间中形成连接插塞 30。该连接插塞 30 将半导体基板的接面区域(源极/漏极)电连接至位线触点插塞和存储节点触点插塞。连接插塞 30 由导电材料(例如,多晶硅)形成。连接插塞形成工序包括在借助移除硬掩模图案 16 而产生的空间内并在覆盖膜 28 上沉积例如多晶硅等连接插塞材料。利用化学机械抛光法(CMP)或回蚀法移除突出到覆盖膜 28 上方的过量连接插塞材料。连接插塞 30 可以借助如下步骤来形成:沉积掺杂的多晶硅、或者沉积多晶硅然后注入掺杂离子。

[0034] 在本实施例中,因为要借助金属镶嵌工序(将在下文进行描述)来形成位线,所以在半导体基板的接面区域上形成连接插塞 30,而不是在半导体基板的接面区域上直接形成位线触点插塞和存储节点触点插塞。连接插塞 30(或在有源区 12 上生长的 SEG 层)将位线与有源区 12 的接面区域连接在一起。利用连接插塞 30 可以在用于形成位线的金属镶嵌工序期间避免半导体基板的损失。于是,可以使用深度浅的接面区域。此外,由于不在有源区上直接形成金属插塞,所以连接插塞 30 用作缓冲物,并且增加了有源区 12 与触点插塞(连接插塞)之间的接触表面,从而降低了插塞电阻。

[0035] 在连接插塞 30、埋入式栅极 20 和器件隔离膜 14 上形成密封氮化物 32,以保护埋入式栅极 20 和连接插塞 30。在外围区域(未示出)中,而不是在目前已描述的单元区域内形成栅极。

[0036] 参考图 6,在密封氮化物 32 上形成层间电介质(ILD)40。

[0037] 蚀刻 ILD 40 的一部分来形成存储节点触点孔 42(图 7)。存储节点触点孔 42 使连接插塞 30 露出并且用于形成存储节点触点插塞。图 7 中的(b)示出沿着图 8 的半导体器件的 X 方向截取的剖视图。在本实施例中,存储节点触点孔 42 包括两个相邻有源区 12 的存储节点区域。

[0038] 在传统的方法中,单独地形成每个有源区 12 的存储节点触点孔 42,即,为每个有源区形成一个触点孔。在本实施例中,为两个相邻有源区 12 形成一个存储节点触点孔 42。于是,可以为触点孔使用更大的触点孔图案。这可以将形成触点孔图案期间没有限定在掩模上的触点孔图案发生的可能性最小化。包括两个存储节点触点区域的存储节点触点孔图案将被分成两个部分,以将这两个部分电隔离,该工序将在下文中进行描述。

[0039] 在本实施例中,在形成位线触点插塞之前形成存储节点触点插塞,从而可以与埋入式栅极形成工序的方式类似的方式执行位线形成工序。

[0040] 参考图 9,用导电材料填充使连接插塞 30 露出的存储节点触点孔 42 来形成存储节

点触点插塞 44。在本实施例中,存储节点触点插塞 44 由与连接插塞 30 的材料(例如,多晶硅)相同的材料制成。例如,在形成有存储节点触点孔 42 的半导体基板的整个表面上沉积多晶硅层之后,借助 CMP 法或回蚀法移除位于层间电介质 40 的表面上方的多晶硅层。

[0041] 参考图 10,形成硬掩模图案 55 以便在形成有存储节点触点插塞 44 的层间电介质 40 上限定区域。该硬掩模图案 55 可以是氮化物。

[0042] 将硬掩模图案 55 用作掩模,蚀刻用于形成位线的位线沟槽 51 至预定深度,以使连接插塞 30 的位于位线区域部分中的表面露出。

[0043] 利用位线沟槽 51 来借助金属镶嵌工序形成位线。所形成的位线沟槽 51 还将横跨两个相邻有源区 12 延伸的存储节点触点插塞 44(参见图 10 中的 (b)) 分成两个独立部分,其中每个独立部分与对应的有源区 12 连接。于是,在形成位线触点孔和存储节点触点孔时并不需要利用 SAC 工序。

[0044] 如图 11 所示,当在多个有源区 12 的每一个中形成存储节点触点插塞 44 时,位线也以与这些有源区 12 交叉的方式形成。因此,可以通过形成位线沟槽 51 将形成于两个有源区上的一个存储节点触点插塞 44 分隔开。

[0045] 接下来参考图 12,在位线沟槽 51 的底部和侧壁上形成用于隔离位线沟槽 51 的电介质间隔物 52。电介质间隔物 52 优选地由具有低介电常数的例如氮化物或氧化物等材料制成。

[0046] 触点掩模(未示出)仅使期望形成位线触点的位线触点节点部分(图 12 的 (b) 中的左侧位线沟槽 51) 露出,以移除位于位线沟槽 51 的下表面上的电介质间隔物 52,从而露出连接插塞 30。

[0047] 参考图 13,在形成有电介质间隔物 52 的位线沟槽 51 中形成位线 50。更具体地说,首先在位线沟槽 51 的底部和侧壁表面上形成位线阻挡金属层 53。在一个实施例中,阻挡金属层 53 包含 Ti/TiN 或 Ti_xSi_x 材料。

[0048] 在一个实施例中,为了进行硅化(silicidification)而对阻挡金属层 53 进行热处理,在该过程中,将界面区域转变成硅化物,而主体材料(未示出)则保持非硅化的。移除上部,以保留该位线沟槽 51 中所剩的已经转变成硅化物的下部。由于要形成位线触点的部分是没有电介质间隔物 52 的,所以位线与连接插塞 30 电连接。

[0049] 在阻挡金属层 53(在一个实施例中是硅化物)的表面上形成位线导电层 54,位线导电层 54 可以由钨(W)制成。同时,为了增加阻挡金属层 53 和位线导电层 54 之间的附着力,可以在这两个层之间的界面上额外形成粘接剂层或 TiN 层(未示出)。

[0050] 在阻挡金属层 53 和位线导电层 54 上形成由氮化物材料制成的位线硬掩模 56。位线硬掩模形成工序包括:在整个表面上沉积氮化物,并且利用 CMP 法或回蚀法使位线硬掩模 56 仅留在位线沟槽 51 内。

[0051] 尽管未示出后续的工序,但应该理解到,可以在存储节点触点插塞 44 上形成由下电极、上电极和电介质构成的电容器。可以在所得结构上方形成附加层来完成半导体器件的制造工序。

[0052] 本发明的上述实施例是示例性的而非限制性的。各种替代及等同的方式都是可行的。本发明并不限于本文所述的实施例。本发明也不限于任何特定类型的半导体器件。对本发明内容所作的其它增加、删减或修改是显而易见的并且落入所附权利要求书的范围

内。

[0053] 本申请要求 2009 年 8 月 11 日提交的韩国专利申请 No. 10-2009-0073818 的优先权,该韩国专利申请的全部内容以引用的方式并入本文。

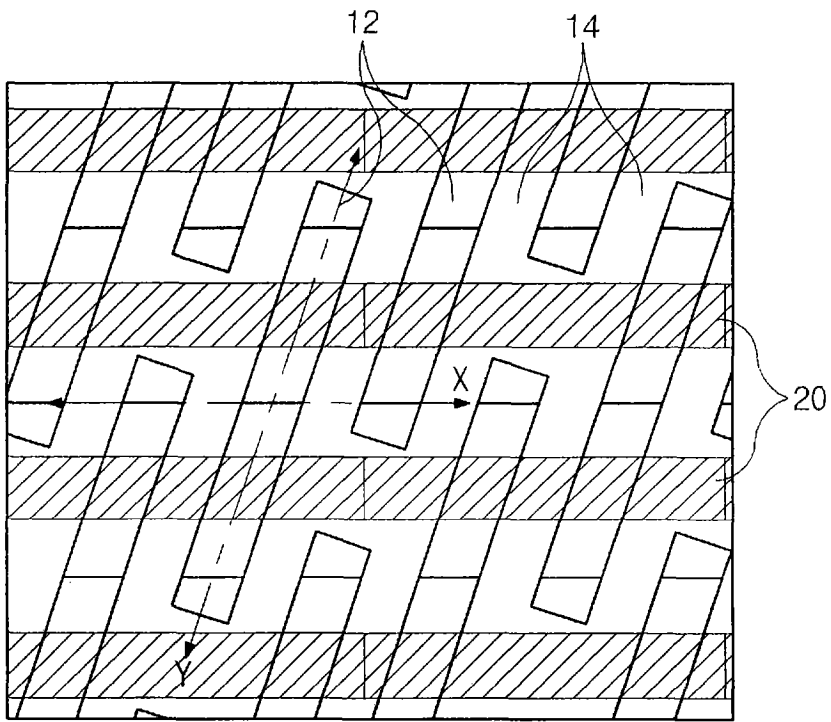
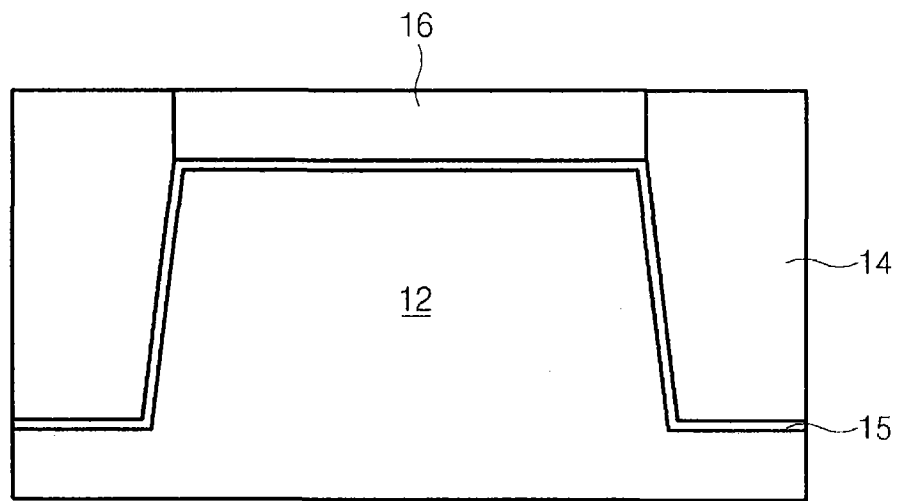
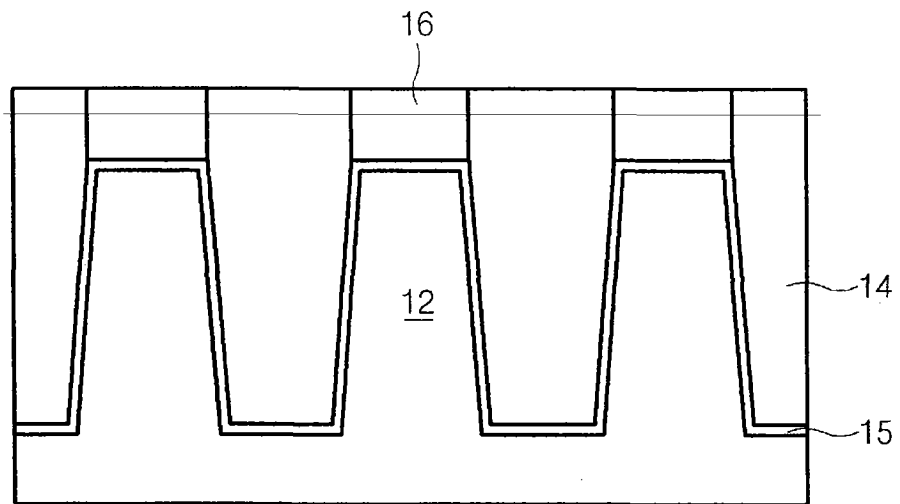


图 1

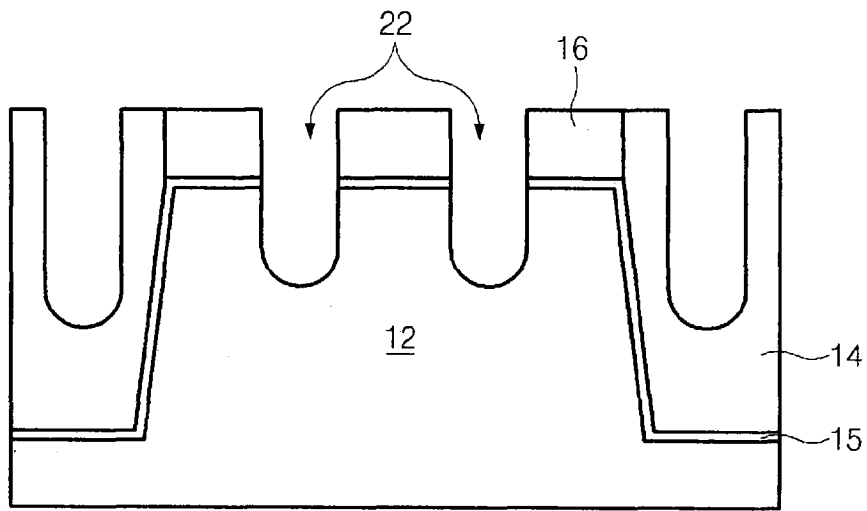


(a)

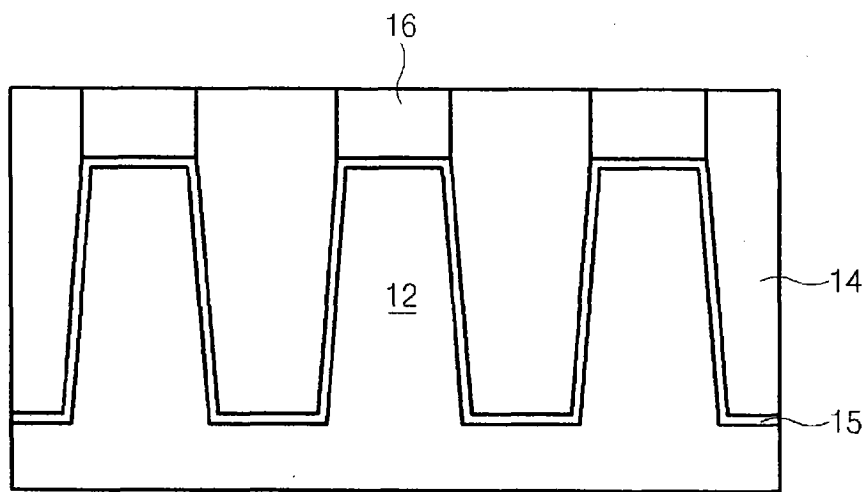


(b)

图 2

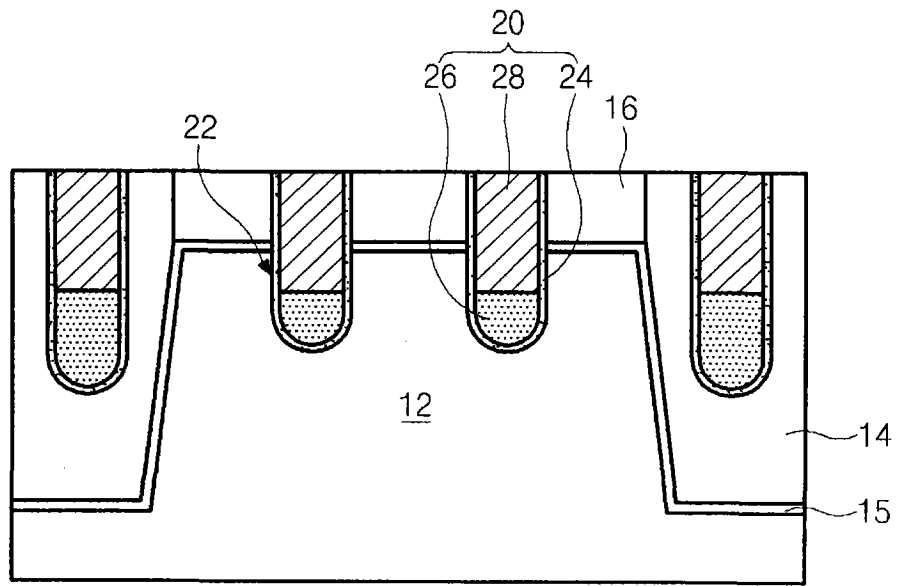


(a)

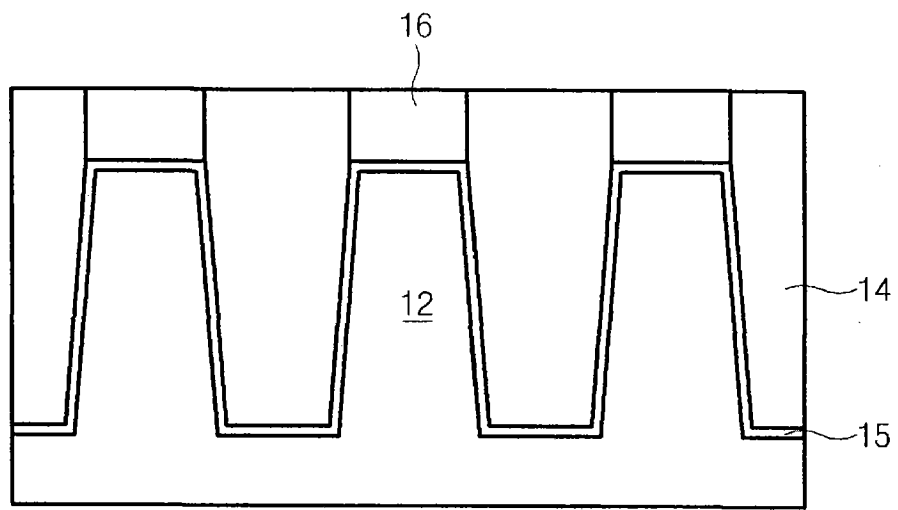


(b)

图 3

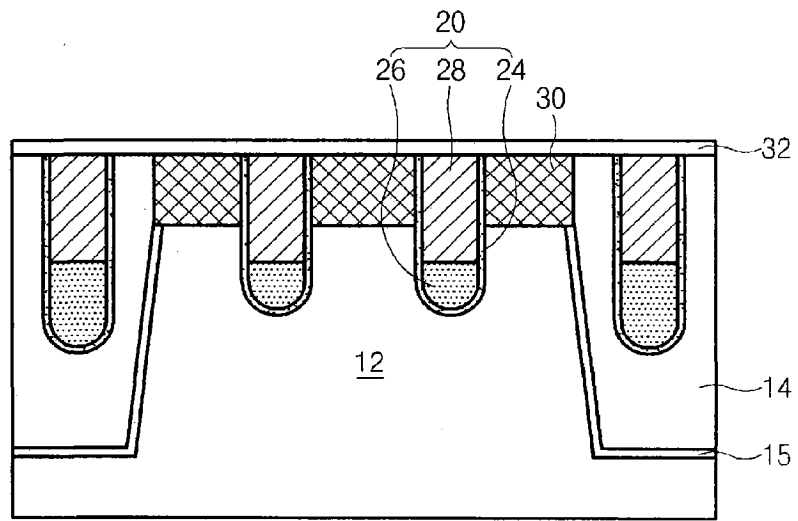


(a)

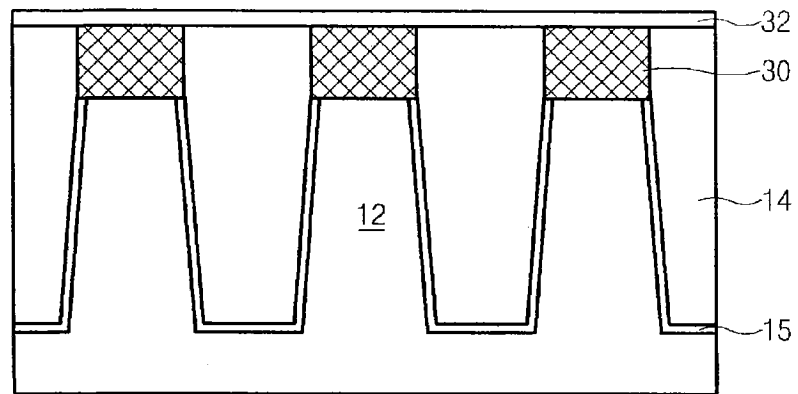


(b)

图 4

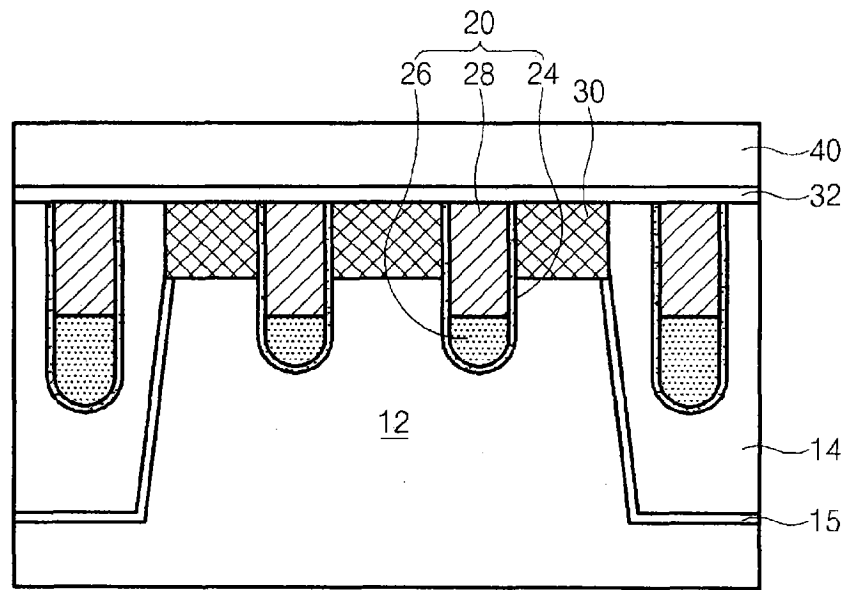


(a)

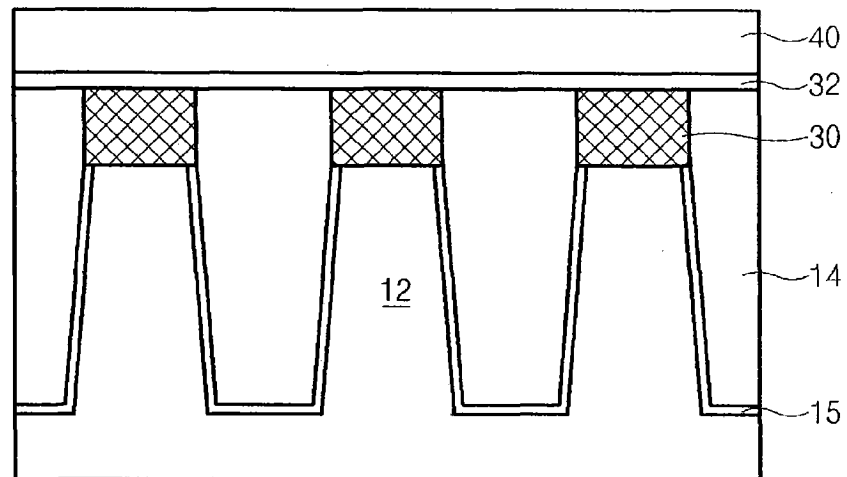


(b)

图 5



(a)



(b)

图 6

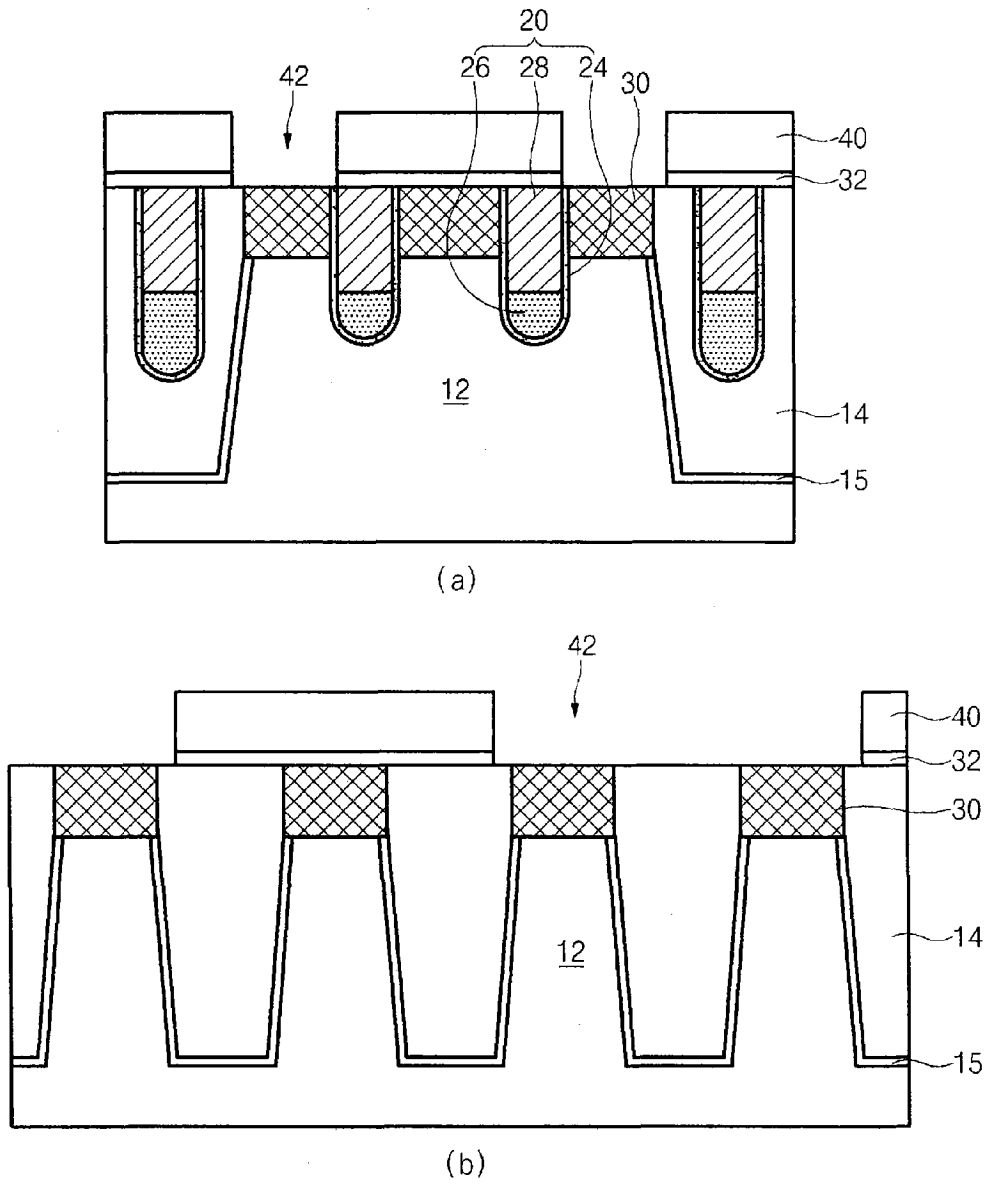


图 7

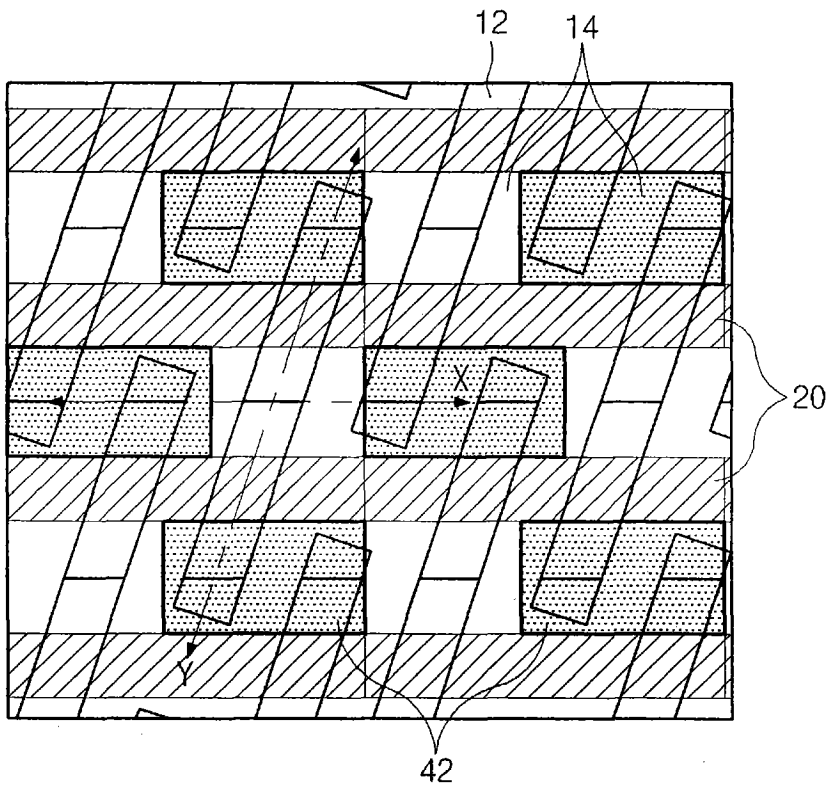


图 8

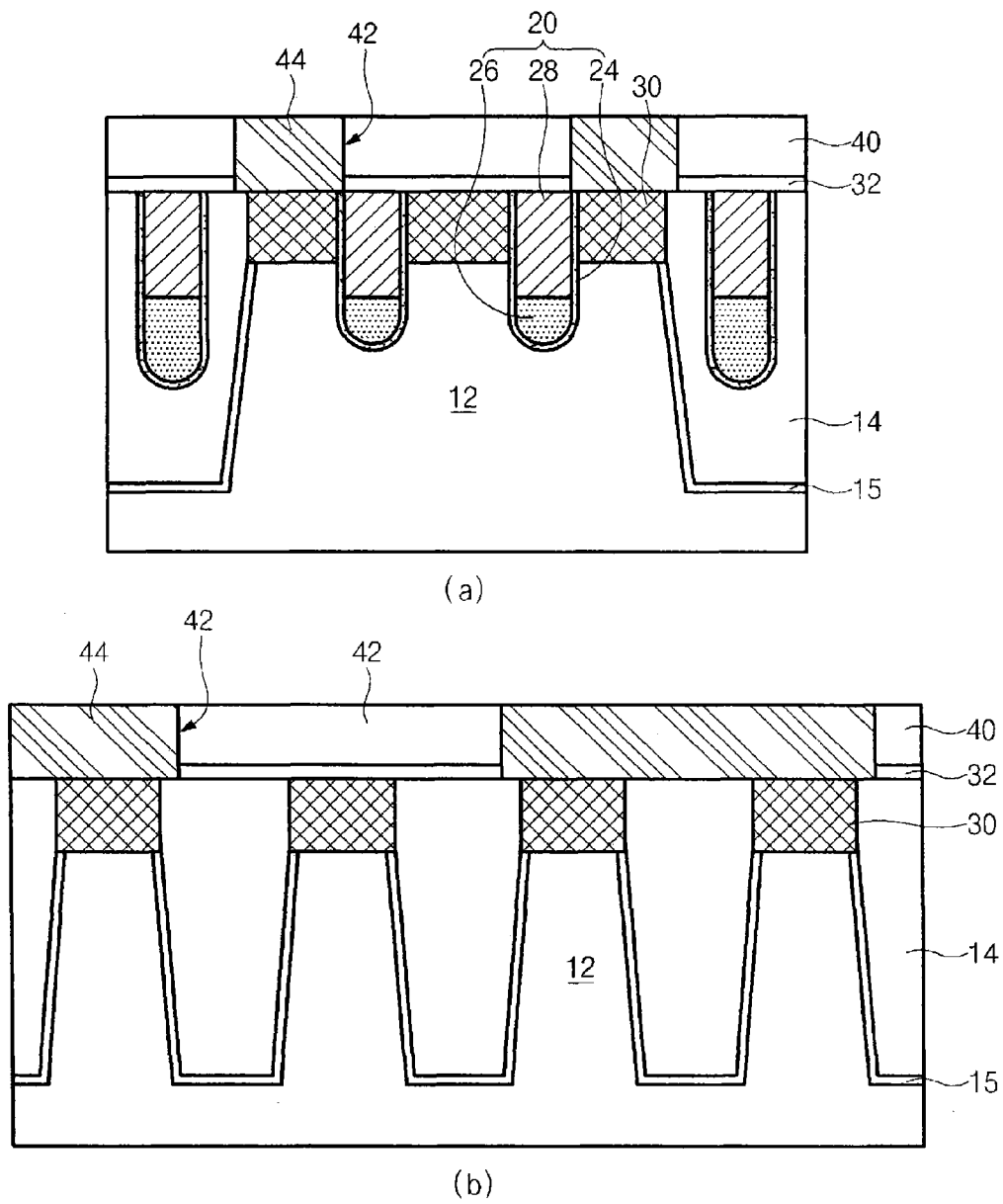


图 9

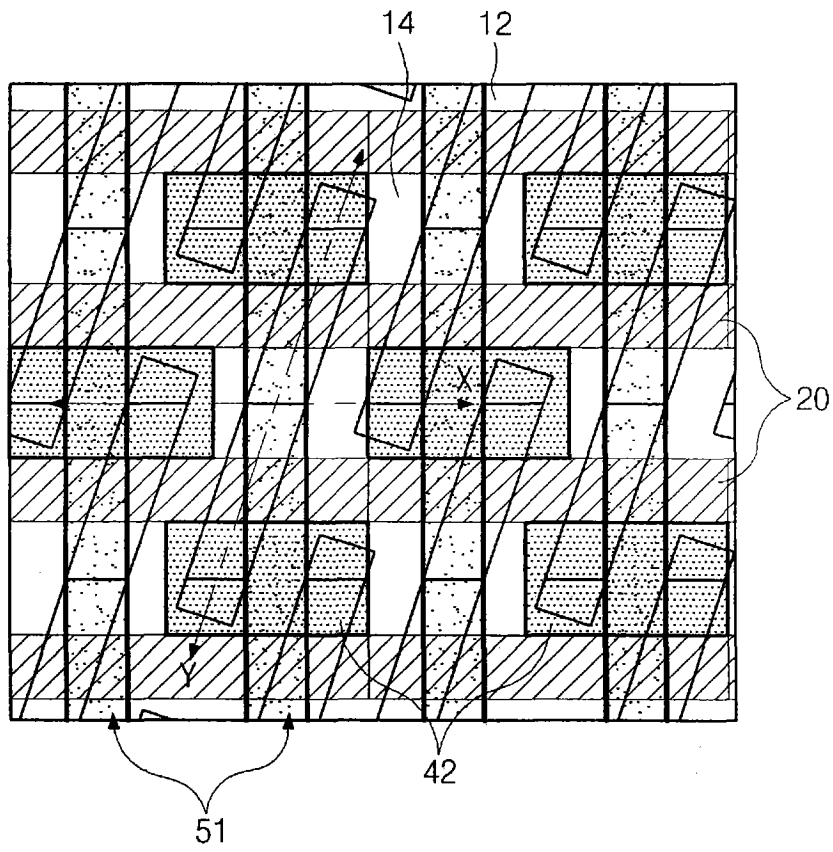


图 11

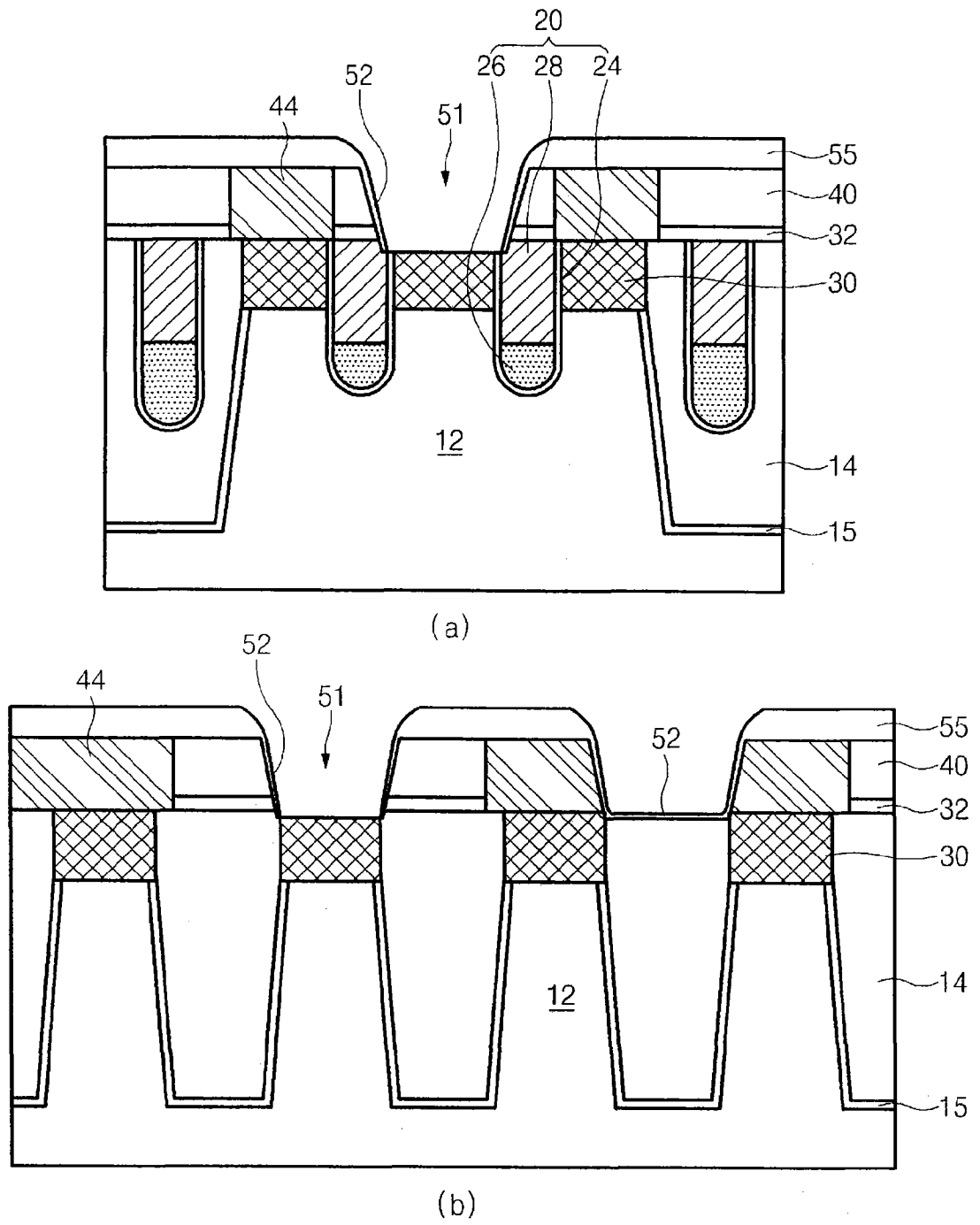


图 12

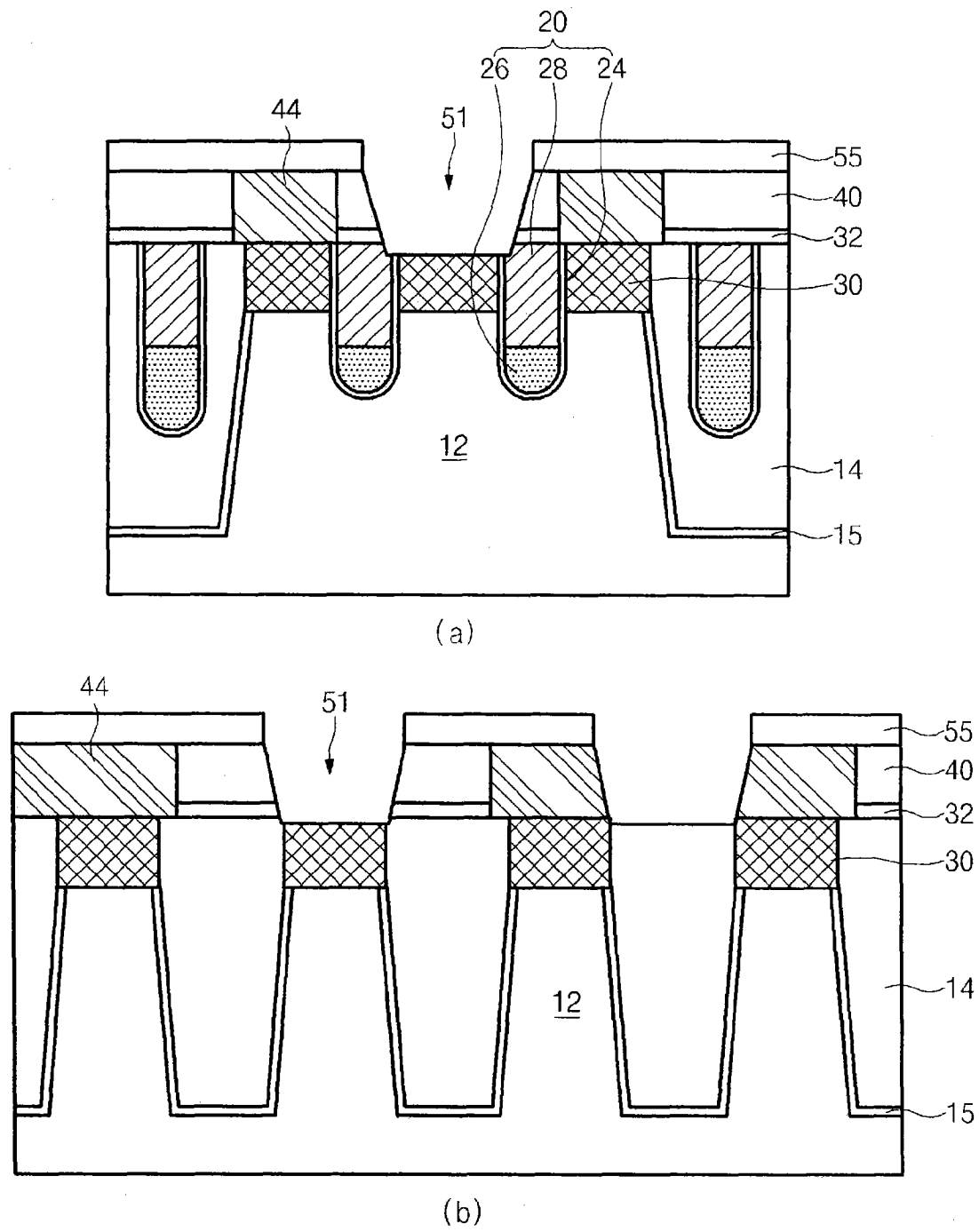
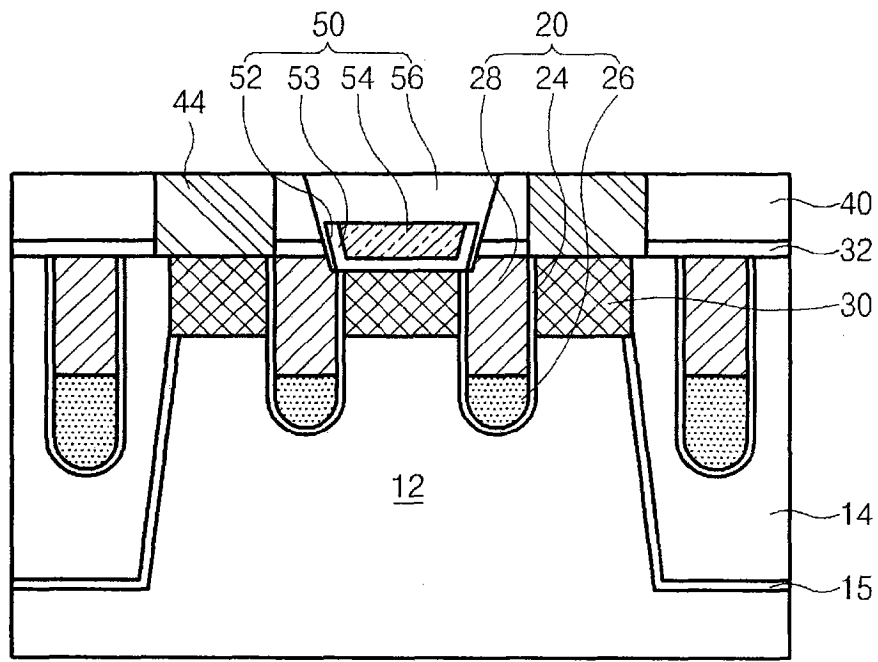
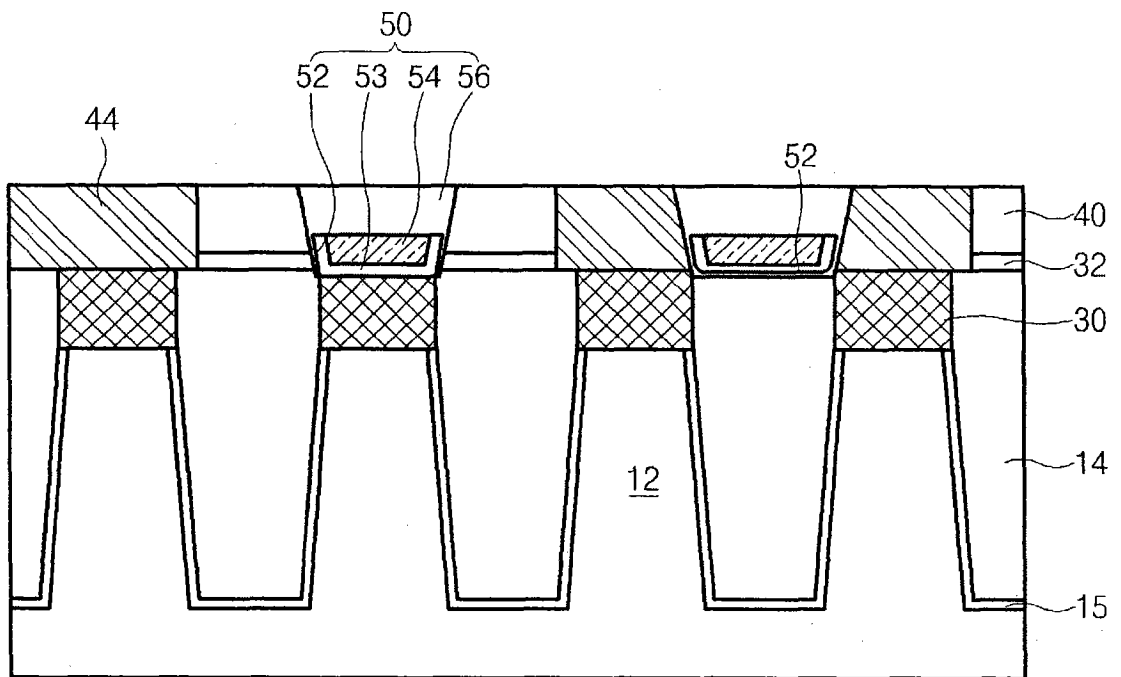


图 10



(a)



(b)

图 13