

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-55048

(P2011-55048A)

(43) 公開日 平成23年3月17日(2011.3.17)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H03K 5/15 (2006.01)</b>	H03K 5/15 P	5J039
<b>H03L 7/08 (2006.01)</b>	H03L 7/08 H	5J106

審査請求 未請求 請求項の数 21 O L (全 23 頁)

(21) 出願番号	特願2009-199411 (P2009-199411)	(71) 出願人	302062931
(22) 出願日	平成21年8月31日 (2009. 8. 31)		ルネサスエレクトロニクス株式会社
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
		(74) 代理人	100103894
			弁理士 冢入 健
		(72) 発明者	藤野 聡
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
			NECエレクトロニクス株式会社内
		Fターム(参考)	5J039 EE11 KK04 MM16 NN01
			5J106 AA04 CC57 FF07 GG10 HH02
			KK05

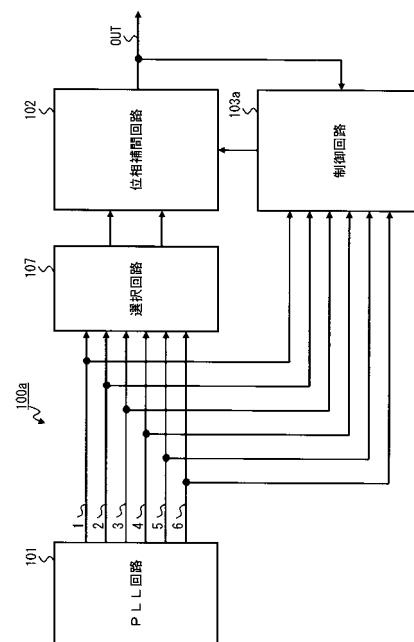
(54) 【発明の名称】 多相クロック生成回路

## (57) 【要約】

【課題】従来の多相クロック生成回路は、補間信号の位相を精度良く制御することができないという問題があった。

【解決手段】本発明にかかる多相クロック生成回路は、クロック信号1, 2に基づいて、クロック信号1, 2に対応する出力クロック信号間の位相を補間する補間信号を生成し、出力する位相補間回路102と、補間信号の位相を調整する第1の制御信号を生成し、位相補間回路102に対して出力する制御回路103aと、を備えた多相クロック生成回路であって、制御回路103aは、補間信号の論理値変化のタイミングを検出するためのタイミング検出回路104と、タイミング検出回路104の検出結果に応じた第1の制御信号を生成する制御信号生成回路105と、を備える。このような回路構成により、補間信号の位相を精度良く自動で制御することができる。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

第 1 及び第 2 のクロック信号に基づいて、当該第 1 及び当該第 2 のクロック信号に対応する出力クロック信号間の位相を補間する補間信号を生成し、出力する位相補間回路と、前記補間信号の位相を調整する第 1 の制御信号を生成し、前記位相補間回路に対して出力する制御回路と、を備えた多相クロック生成回路であって、

前記制御回路は、

前記補間信号の論理値変化のタイミングを検出するためのタイミング検出回路と、

前記タイミング検出回路の検出結果に応じた前記第 1 の制御信号を生成する制御信号生成回路と、を備えた多相クロック生成回路。

10

**【請求項 2】**

前記制御回路は、

一方の論理値に向けて変化する前記第 1 のクロック信号の論理値変化のタイミングと、当該第 1 のクロック信号に遅れて変化する前記第 2 のクロック信号の論理値変化のタイミングと、の間に前記補間信号が論理値変化する場合には、前記補間信号の信号変化の傾きを小さくするように前記第 1 の制御信号を生成することを特徴とする請求項 1 に記載の多相クロック生成回路。

**【請求項 3】**

前記制御回路は、

一方の論理値に向けて変化する前記第 2 のクロック信号の論理値変化のタイミングと、当該第 2 のクロック信号に遅れて変化する前記第 1 のクロック信号の論理値変化のタイミングと、の間に前記補間信号が論理値変化しない場合には、前記補間信号の信号変化の傾きを大きくするように前記第 1 の制御信号を生成することを特徴とする請求項 1 又は 2 に記載の多相クロック生成回路。

20

**【請求項 4】**

前記制御回路は、

前記第 1 のクロック信号を遅延させて、前記位相補間回路において前記第 1 のクロック信号に与えられる遅延量に対応する遅延量を有するサンプリング信号を生成する遅延情報生成回路をさらに備え、

前記タイミング検出回路は、

30

当該サンプリング信号の論理値変化のタイミングを検出することにより、前記補間信号の論理値変化のタイミングを検出することを特徴とする請求項 1 ～ 3 のいずれか一項に記載の多相クロック生成回路。

**【請求項 5】**

前記遅延情報生成回路は、

前記第 1 のクロック信号に加え、さらに前記第 2 のクロック信号に基づいて、前記補間信号に対応する前記サンプリング信号を生成することを特徴とする請求項 4 に記載の多相クロック生成回路。

**【請求項 6】**

前記制御信号生成回路は、

40

前記サンプリング信号の遅延を制御するための第 2 の制御信号をさらに生成し、前記遅延情報生成回路に対して出力することを特徴とする請求項 4 又は 5 に記載の多相クロック生成回路。

**【請求項 7】**

前記タイミング検出回路は、

それぞれ異なるタイミングで前記補間信号を同期検出する複数のフリップフロップ回路を備えたことを特徴とする請求項 1 ～ 3 のいずれか一項に記載の多相クロック生成回路。

**【請求項 8】**

前記タイミング検出回路は、

それぞれ異なるタイミングで前記サンプリング信号を同期検出する複数のフリップフロ

50

ップ回路を備えたことを特徴とする請求項 4 ~ 6 のいずれか一項に記載の多相クロック生成回路。

【請求項 9】

前記第 1 及び第 2 のクロック信号を生成するフェーズロックドループ回路をさらに備えた請求項 1 ~ 8 のいずれか一項に記載の多相クロック生成回路。

【請求項 10】

前記タイミング検出回路は、

前記フェーズロックドループ回路から生成された前記第 1 及び前記第 2 のクロック信号を含むクロック信号によってタイミング検出を行うことを特徴とする請求項 9 に記載の多相クロック生成回路。

10

【請求項 11】

前記位相補間回路は、

前記第 1 及び前記第 2 のクロック信号に応じた前記補間信号を生成する補間信号生成回路と、

前記第 1 の制御信号に基づいて前記補間信号の位相を調整する補間信号調整回路と、を備えた請求項 1 ~ 10 のいずれか一項に記載の多相クロック生成回路。

【請求項 12】

前記補間信号生成回路は、

第 1 の電源及び第 2 の電源との間に設けられ、前記第 1 及び前記第 2 のクロック信号に基づいてオンオフが制御される第 1 のトランジスタと、

20

前記第 1 のトランジスタに直列に接続され、前記第 1 のクロック信号に基づいてオンオフが制御される前記第 2 のトランジスタと、

前記第 2 のトランジスタに並列に接続され、前記第 2 のクロック信号に基づいてオンオフが制御される第 3 のトランジスタと、を備え、

当該第 1 ~ 3 のトランジスタの共通ノードから前記補間信号を生成することを特徴とする請求項 11 に記載の多相クロック生成回路。

【請求項 13】

前記補間信号調整回路は、

前記第 2 のトランジスタに直列に接続され、前記第 2 の制御信号に基づいて電流が制御される第 1 の定電流源と、

30

前記第 3 のトランジスタに直列に接続され、前記第 2 の制御信号に基づいて電流が制御される第 2 の定電流源と、を備えた請求項 12 に記載の多相クロック生成回路。

【請求項 14】

前記制御回路は、

前記位相補間回路の次段に設けられた任意のトランジスタのしきい値電圧  $V_{th}$  と、

前記位相補間回路と当該任意のトランジスタとの間に負荷された容量値  $C_{th}$  と、

前記第 2 及び前記第 3 のトランジスタにそれぞれ流れる電流  $I$  と、

前記第 1 及び前記第 2 のクロック信号の位相差  $T_{diff}$  と、

前記第 1 のクロック信号の 1 周期あたりに前記第 2 及び前記第 3 のトランジスタが同時にオンする時間  $T_{over}$  と、に基づき、下記式

40

$$0 < (C_{th} \cdot V_{th} - I \cdot T_{diff}) / 2I < T_{over}$$

を満たす電流  $I$  を決定することを特徴とする請求項 12 又は 13 に記載の多相クロック生成回路。

【請求項 15】

前記補間信号調整回路は、

前記第 1 共通ノードと前記第 2 の電源との間に、並列に設けられた複数の容量素子と、

対応する前記容量素子にそれぞれ直列に接続され、前記第 2 の制御信号に基づいてオンオフが制御される複数のスイッチと、を備えた請求項 12 に記載の多相クロック生成回路。

【請求項 16】

50

前記制御回路は、  
 前記位相補間回路の次段に設けられた任意のトランジスタのしきい値電圧  $V_{th}$  と、  
 前記位相補間回路と当該任意のトランジスタとの間に負荷された容量値  $C_{th}$  と、  
 前記第 2 及び前記第 3 のトランジスタにそれぞれ流れる電流  $I$  と、  
 前記第 1 及び前記第 2 のクロック信号の位相差  $T_{diff}$  と、  
 前記第 1 のクロック信号の 1 周期あたりに前記第 2 及び前記第 3 のトランジスタが同時にオンする時間  $T_{over}$  と、に基づき、下記式

$$0 < (C_{th} \cdot V_{th} - I \cdot T_{diff}) / 2I < T_{over}$$

を満たす容量値  $C_{th}$  を決定することを特徴とする請求項 12 又は 15 に記載の多相クロック生成回路。

10

#### 【請求項 17】

前記遅延情報生成回路は、  
 前記位相補間回路と同一の回路構成であることを特徴とする請求項 4 ~ 16 のいずれか一項に記載の多相クロック生成回路。

#### 【請求項 18】

前記遅延情報生成回路は、  
 前記第 2 の制御信号に代えて、所定の固定信号によって制御されることを特徴とする請求項 17 に記載の多相クロック生成回路。

#### 【請求項 19】

前記タイミング検出回路は、  
 前記制御回路が、下記式  

$$(C_{th} \cdot V_{th} - I \cdot T_{diff}) / 2I < T_{over}$$
 を満たす容量値  $C_{th}$  及び電流  $I$  を決定する場合には、  
 前記位相補間回路から出力される前記補間信号の論理値変化のタイミングよりも遅い論理値変化のタイミングを前記検出結果として出力することを特徴とする請求項 18 に記載の多相クロック生成回路。

20

#### 【請求項 20】

前記検出結果は、  
 前記第 1 のクロック信号の 1 周期あたりに前記第 2 及び前記第 3 のトランジスタが同時にオンする時間  $T_{over}$  に対応する時間が、略 2 倍であることを特徴とする請求項 19 に記載の多相クロック生成回路。

30

#### 【請求項 21】

前記位相補間回路は、  
 前記第 1 の制御信号に基づいて前記第 1 及び前記第 2 のクロック信号の信号変化の傾きを調整する補間信号調整回路と、  
 前記補間信号調整回路によって調整された当該第 1 及び当該第 2 のクロック信号に応じた前記補間信号を生成する補間信号生成回路と、を備え、  
 前記タイミング検出回路は、  
 前記補間信号に代えて、当該第 1 及び当該第 2 のクロック信号の論理値変化のタイミングを検出することを特徴とする請求項 1 ~ 3 のいずれか一項に記載の多相クロック生成回路。

40

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、多相クロック生成回路に関し、特に位相補間の制御に関する。

#### 【背景技術】

#### 【0002】

一般的に、クロック制御システムは、PLL (Phase Locked Loop) 回路、DLL (Delay Locked Loop) 回路、CDR (Clock Data Recovery) 回路等のクロック信号生成回路を備える。これらのクロック信号

50

生成回路は、精度の高い安定したクロック信号を生成する。ここで、クロック信号生成回路は、多相クロック信号を用いることにより高速な同期動作を実現している。

【0003】

従来、多相クロック信号として、リングオシレータを構成する複数の遅延回路からの出力信号が用いられていた。なお、リングオシレータはVCO (Voltage Controlled Oscillator) 等に備えられる。しかし、従来回路では、より多くの相を必要とする多相クロック信号に対応できないという問題があった。

【0004】

このような問題を解決するために、近年では、位相補間回路が用いられている。例えば、特許文献1～4に開示されている多相クロック生成回路は、位相の異なるクロック信号の位相を補間する補間信号を生成するインターポレータ(位相補間回路)を備える。また、これらのインターポレータは、温度等の外部環境によって変動する補間信号の位相を制御する機能を備えている。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2001-273048号公報

【特許文献2】特開2002-190724号公報

【特許文献3】特開2003-87113号公報

【特許文献4】特開2003-333021号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、上述の回路の場合、外部からの制御信号を用いて補間信号の位相を制御する必要があった。したがって、位相補間の対象となるクロック信号の周波数を特定できない場合、従来回路では、補間信号の位相を精度良く制御することができなかった。また、従来回路では、位相補間の対象となるクロック信号の周波数を測定しようとした場合、周波数測定用の回路をさらに備える必要があった。そのため、回路規模が増大するという問題があった。また、外部からの制御信号では、製造プロセスや、使用環境における電源電圧及び温度等による位相補間回路への影響をキャンセルできないという問題もあった。

30

【課題を解決するための手段】

【0007】

本発明にかかる多相クロック生成回路は、第1及び第2のクロック信号に基づいて、当該第1及び当該第2のクロック信号に対応する出力クロック信号間の位相を補間する補間信号を生成し、出力する位相補間回路と、前記補間信号の位相を調整する第1の制御信号を生成し、前記位相補間回路に対して出力する制御回路と、を備えた多相クロック生成回路であって、前記制御回路は、前記補間信号の論理値変化のタイミングを検出するためのタイミング検出回路と、前記タイミング検出回路の検出結果に応じた前記第1の制御信号を生成する制御信号生成回路と、を備える。

40

【0008】

上述のような回路構成により、補間信号の位相を精度良く自動で制御することができる。

【発明の効果】

【0009】

本発明により、補間信号の位相を精度良く自動で制御することが可能な多相クロック生成回路を提供することができる。

【図面の簡単な説明】

【0010】

【図1】本発明の実施の形態1にかかる多相クロック生成回路を示す図である。

【図2】本発明の実施の形態1にかかる制御回路を示す図である。

50

【図 3】本発明の実施の形態 1 にかかる制御回路を示す図である。

【図 4】本発明の実施の形態 2 にかかる多相クロック生成回路を示す図である。

【図 5】本発明の実施の形態 2 にかかる制御回路を示す図である。

【図 6】本発明の実施の形態 2 にかかる制御回路を示す図である。

【図 7】本発明の実施の形態 2 にかかる制御回路を示す図である。

【図 8】本発明の実施の形態 3 にかかる多相クロック生成回路を示す図である。

【図 9】本発明の実施の形態 3 にかかる制御回路を示す図である。

【図 10】本発明の実施の形態 3 にかかる制御回路を示す図である。

【図 11】位相補間回路を示す図である。

【図 12】位相補間回路を示す図である。

【図 13】位相補間回路から出力される補間信号の波形を示す図である。

【図 14】位相補間回路から出力される補間信号の波形を示す図である。

【図 15】本発明の実施の形態 1, 2 にかかる位相補間回路の入出力信号の波形を示す図である。

【図 16】本発明の実施の形態 3 にかかる遅延情報生成回路の入出力信号の波形を示す図である。

【図 17】その他の位相補間回路を示す図である。

【図 18】その他の位相補間回路を示す図である。

【図 19】その他の位相補間回路を示す図である。

【図 20】その他の位相補間回路を示す図である。

【図 21】その他の位相補間回路を示す図である。

【発明を実施するための形態】

【0011】

以下では、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。各図面において、同一要素には同一の符号が付されており、説明の明確化のため、必要に応じて重複説明は省略される。

【0012】

実施の形態 1

本発明の実施の形態 1 について図面を参照して説明する。図 1 は、本発明の実施の形態 1 にかかる多相クロック生成回路 100a を示す図である。この多相クロック生成回路 100a は、複数のクロック信号を生成する PLL 回路（フェーズロックドループ回路）101 と、複数のクロック信号のうち 2 つのクロック信号を選択する選択回路 107 と、2 つのクロック信号に基づいて補間信号を生成する位相補間回路 102 と、その補間信号に基づいて補間信号の位相を制御する第 1 の制御信号を出力する制御回路 103a と、を備える。なお、本実施の形態において「補間信号の位相を制御する」第 1 の制御信号とは、「位相補間回路 102 が所望の位相を有する補間信号を生成するように制御する」第 1 の制御信号という意味である。例えば、2 つの出力クロック信号間を 1 対 1 の比率で位相補間する場合、制御回路 103a は、位相補間回路がそのような補間信号を生成するように第 1 の制御信号を出力する。

【0013】

また、図示していないが、多相クロック生成回路 100a は、位相補間回路 102 を複数備える。例えば、多相クロック生成回路 100a が 3 つの位相補間回路 A, B, C を備えた場合について説明する。このとき、例えば、位相補間回路 A の入力端子 INA, INB にはクロック信号 1 が供給される。位相補間回路 B の入力端子 INA にはクロック信号 1 が供給され、入力端子 INB にはクロック信号 2 が供給される。位相補間回路 C の入力端子 INA, INB にはクロック信号 2 が供給される。それにより、位相補間回路 A は、クロック信号 1 に応じた出力クロック信号 A を出力する。位相補間回路 C は、クロック信号 2 に応じた出力クロック信号 C を出力する。そして、位相補間回路 B は、出力クロック信号 A, C の位相を補間する補間信号を出力クロック信号 B として出力する。このようにして、多相クロック生成回路 100a は複数の出力クロック信号からなる多相クロック信

10

20

30

40

50

号を生成する。

【 0 0 1 4 】

図 1 に示す回路の回路構成について説明する。PLL 回路 1 0 1 の各クロック信号出力端子は、選択回路 1 0 7 の各入力端子にそれぞれ接続される。さらに、PLL 回路 1 0 1 の各クロック信号出力端子は、制御回路 1 0 3 a の各クロック信号入力端子にそれぞれ接続される。選択回路 1 0 7 の 2 つの出力端子は、位相補間回路 1 0 2 の各クロック入力端子にそれぞれ接続される。位相補間回路 1 0 2 の出力端子は、多相クロック生成回路 1 0 0 a の外部出力端子 OUT と、制御回路 1 0 3 a の補間信号入力端子と、に接続される。制御回路 1 0 3 a の制御信号出力端子は、位相補間回路 1 0 2 の制御信号入力端子に接続される。なお、図 1 に示す回路は、立ち下がりエッジ検出用の多相クロック生成回路である。

10

【 0 0 1 5 】

図 1 に示す回路の動作について説明する。PLL 回路 1 0 1 は、位相の異なる 6 つのクロック信号 1 ~ 6 を出力する。クロック信号 1 ~ 6 は、それぞれ 6 0 度間隔で位相が異なる。ここでは、クロック信号 1 の位相は 0 度（基準）である。クロック信号 1 とクロック信号 2 との位相差は 6 0 度である。クロック信号 1 とクロック信号 3 との位相差は 1 2 0 度である。クロック信号 1 とクロック信号 4 との位相差は 1 8 0 度である。クロック信号 1 とクロック信号 5 との位相差は 2 4 0 度である。クロック信号 1 とクロック信号 6 との位相差は 3 0 0 度である。なお、実際には、PLL 回路 1 0 1 から出力されるクロック信号は 6 つに限られない。また、これらのクロック信号の位相差は 6 0 度に限られない。

20

【 0 0 1 6 】

クロック信号 1 ~ 6 は、選択回路 1 0 7 の各入力端子にそれぞれ入力される。さらに、クロック信号 1 ~ 6 は、制御回路 1 0 3 a の各クロック信号入力端子にそれぞれ入力される。選択回路 1 0 7 は、クロック信号 1 ~ 6 のうち 6 0 度の位相差を有する 2 つのクロック信号を選択し、位相補間回路 1 0 2 に対して出力する。位相補間回路 1 0 2 は、入力された 2 つのクロック信号に基づいて補間信号を出力する。位相補間回路 1 0 2 から出力された補間信号は、多相クロック生成回路 1 0 0 a の外部出力端子 OUT に供給される。さらに、この補間信号は、制御回路 1 0 3 a の補間信号入力端子に入力される。

【 0 0 1 7 】

制御回路 1 0 3 a は、位相補間回路 1 0 2 から出力された補間信号の論理値変化のタイミングを検出する。そして、制御回路 1 0 3 a は、この補間信号の位相を制御するための第 1 の制御信号を位相補間回路 1 0 2 に対して出力する。

30

【 0 0 1 8 】

図 1 1 , 1 2 は、それぞれ位相補間回路 1 0 2 の例を示す図である。まず、図 1 1 の位相補間回路 1 0 2 について説明する。図 1 1 に示す回路は、NAND 2 0 1 と、インバータ 2 0 2 と、インバータ 2 0 3 と、トランジスタ（第 1 のトランジスタ）2 0 4 と、トランジスタ（第 2 のトランジスタ）2 0 5 と、トランジスタ（第 3 のトランジスタ）2 0 6 と、定電流源（第 1 の定電流源）2 0 7 と、定電流源（第 2 の定電流源）2 0 8 と、を備える。ここで、NAND 2 0 1 と、インバータ 2 0 2 , 2 0 3 と、トランジスタ 2 0 4 , 2 0 5 , 2 0 6 と、により補間信号生成回路 3 0 1 を構成する。また、定電流源 2 0 7 , 2 0 8 により補間信号調整回路 3 0 2 を構成する。なお、トランジスタ 2 0 4 は P チャネル MOS トランジスタである。また、トランジスタ 2 0 5 , 2 0 6 は N チャネル MOS トランジスタである。

40

【 0 0 1 9 】

位相補間回路 1 0 2 のクロック入力端子 INA は、NAND 2 0 1 の一方の入力端子と、インバータ 2 0 2 の入力端子と、に接続される。位相補間回路 1 0 2 のクロック入力端子 INB は、NAND 2 0 1 の他方の入力端子と、インバータ 2 0 3 の入力端子と、に接続される。NAND 2 0 1 の出力端子は、トランジスタ 2 0 4 のゲートに接続される。インバータ 2 0 2 の出力端子は、トランジスタ 2 0 5 のゲートに接続される。インバータ 2 0 3 の出力端子は、トランジスタ 2 0 6 のゲートに接続される。位相補間回路 1 0 2 の制

50

御信号入力端子は、定電流源 207, 208 の制御端子に接続される。

【0020】

トランジスタ 204 のソースは、電源電圧 VDD に接続される。トランジスタ 204 のドレインは、トランジスタ 205 のドレインと、トランジスタ 206 のドレインと、位相補間回路 102 の外部出力端子 OUT と、に接続される。トランジスタ 205 のソースは、定電流源 207 の入力端子に接続される。トランジスタ 206 のソースは、定電流源 208 の入力端子に接続される。定電流源 207 の出力端子は、定電流源 208 の出力端子と共に接地電圧 GND に接続される。

【0021】

図 11 に示す回路には、前述のように選択回路 107 からの 2 つのクロック信号が入力される。ここでは、クロック入力端子 INA にクロック信号 1 が供給され、クロック入力端子 INB にクロック信号 2 が供給された場合を例に説明する。トランジスタ 204 は、クロック信号 1, 2 に基づいてソース - ドレイン間に流れる電流が制御される。トランジスタ 205 は、クロック信号 1 に基づいてソース - ドレイン間に流れる電流が制御される。トランジスタ 206 は、クロック信号 2 に基づいてソース - ドレイン間に流れる電流が制御される。

10

【0022】

ここで、トランジスタ 204 のドレインと、トランジスタ 205 のドレインと、トランジスタ 206 のドレインと、を接続するノードの電圧レベルが補間信号として出力される。

20

【0023】

補間信号の信号波形を図 13, 14 に示す。図 11 に示す回路において、クロック信号 1, 2 が共に H レベルの場合、トランジスタ 204 はオンに制御される。一方、トランジスタ 205, 206 はオフに制御される。それにより、補間信号は H レベルを示す。

【0024】

クロック信号 1 が L レベル、クロック信号 2 が H レベルの場合、トランジスタ 204, 206 はオフに制御される。一方、トランジスタ 205 はオンに制御される。それにより、補間信号は H レベルから L レベルに向けて信号変化する。ここで、トランジスタ 205 がオンした場合に流れる電流を I とする。また、トランジスタ 206 がオンした場合に流れる電流を I とする。つまり、トランジスタ 205, 206 は、オンした場合に流れる電流が同じ値を示すように制御される。この場合、トランジスタ 205 に流れる電流 I によって、位相補間回路 102 と次段のセルとの間に蓄積された電荷が放電される。図 13 に示すように、クロック信号 1 が立ち下がる時点（位相 0 度の時点）からクロック信号 2 が立ち下がる時点（位相 60 度の時点）までの間、電流 I によって電荷が放電される。

30

【0025】

クロック信号 1, 2 が共に L レベルの場合、トランジスタ 204 はオフに制御される。一方、トランジスタ 205, 206 はオンに制御される。それにより、補間信号は L レベルを示す。この場合、トランジスタ 205, 206 に流れる電流 2I によって、位相補間回路 102 と次段のセルとの間に蓄積された電荷が放電される。この場合は、クロック信号 1 が L レベル、クロック信号 2 が H レベルの場合よりも、補間信号の H レベルから L レベルへの信号変化の傾きが大きくなる。言い換えると、この場合は、補間信号の H レベルから L レベルへの信号変化が速い。図 13 に示すように、クロック信号 2 が立ち下がる時点（位相 60 度の時点）から次にクロック信号 1 が立ち上がる時点（不図示）までの間、電流 2I によって電荷が放電される。

40

【0026】

ここで図 11 に示す回路は、さらに定電流源 207, 208 を備える。図 11 に示す回路は、制御回路 103a からの第 1 の制御信号に基づいて定電流源 207, 208 にそれぞれ流れる電流 I を制御する。言い換えると、図 11 に示す回路は、制御回路 103a からの第 1 の制御信号に基づいてトランジスタ 205, 206 にそれぞれ流れる電流 I を制御する。このように図 11 に示す回路は、図 14 のように電流 I の値を制御することによ

50



り当該補間信号の信号変化の傾きを制御する。それにより、図 11 に示す回路は、補間信号を精度良く生成することができる。

#### 【0027】

次に、図 12 の位相補間回路 102 について説明する。図 12 に示す回路は、図 11 に示す回路と比較して、定電流源 207, 208 を備えない。つまり、トランジスタ 205 のソースは、トランジスタ 206 のソースと共に直接に接地電圧 GND に接続される。また、図 12 に示す回路は、図 11 に示す回路と比較して、N (N は自然数) 個のトランジスタ 211 - 1 ~ 211 - N と、N 個の容量素子 212 - 1 ~ 212 - N と、をさらに備える。ここでトランジスタ 211 - 1 ~ 211 - N と、N 個の容量素子 212 - 1 ~ 212 - N と、により補間信号調整回路 303 を構成する。

10

#### 【0028】

容量素子 212 - 1 ~ 212 - N は、トランジスタ 204, 205, 206 のドレイン同士を接続するノードと接地電圧 GND との間に並列に接続される。トランジスタ 211 - 1 ~ 211 - N は、対応する容量素子 212 - 1 ~ 212 - N にそれぞれ直列に接続される。そして、トランジスタ 211 - 1 ~ 211 - N は、制御回路 103 a からの第 1 の制御信号によってオンオフが制御される。その他の回路構成は図 11 の場合と同じであるため、説明を省略する。

#### 【0029】

なお、トランジスタ 211 - 1 ~ 211 - N は、N チャネル MOS トランジスタである。また、容量素子 212 - 1 ~ 212 - N は、それぞれ容量値が同じである。第 1 の制御信号は N ビット幅を有する。そして、各ビット線の電圧がそれぞれトランジスタ 211 - 1 ~ 211 - N のゲートに印加される。ここで図 12 に示す回路は、トランジスタ 211 - 1 ~ 211 - N のオンオフを制御することにより、位相補間回路 102 と次段のセルとの間に負荷される容量値を制御する。それにより図 12 に示す回路は、トランジスタ 205, 206 にそれぞれ流れる電流 I を制御する。このように図 12 に示す回路は、図 14 のように電流 I の値を制御することにより当該補間信号の信号変化の傾きを制御する。それにより、図 11 に示す回路は、補間信号を精度良く生成することができる。

20

#### 【0030】

図 2 は、制御回路 103 a を示す図である。図 2 に示す回路は、タイミング検出回路 104 と、制御信号生成回路 105 と、を備える。PLL 回路 101 からのクロック信号 1 ~ 6 がタイミング検出回路 104 のクロック入力端子にそれぞれ入力される。また、位相補間回路 102 からの補間信号がタイミング検出回路 104 の補間信号入力端子に入力される。タイミング検出回路 104 の出力信号は、制御信号生成回路 105 に入力される。制御信号生成回路 105 は、第 1 の制御信号を位相補間回路 102 に対して出力する。

30

#### 【0031】

図 2 に示すタイミング検出回路 104 の具体例を、図 3 を用いて説明する。タイミング検出回路 104 は、例えば、6 段のフリップフロップ (以下、単に FF と称す) 106 - 1 ~ 106 - 6 により構成される。クロック信号 1 は FF 106 - 1 のクロック入力端子に入力される。クロック信号 2 は FF 106 - 2 のクロック入力端子に入力される。クロック信号 3 は FF 106 - 3 のクロック入力端子に入力される。クロック信号 4 は FF 106 - 4 のクロック入力端子に入力される。クロック信号 5 は FF 106 - 5 のクロック入力端子に入力される。クロック信号 6 は FF 106 - 6 のクロック入力端子に入力される。位相補間回路 102 からの補間信号は、FF 106 - 1 ~ 106 - 6 のデータ入力端子にそれぞれ入力される。FF 106 - 1 ~ 106 - 6 のデータ出力端子から出力された信号は、制御信号生成回路 105 に入力される。

40

#### 【0032】

ここで、タイミング検出回路 104 は、位相の異なる 6 つのクロック信号で補間信号を同期検出する。それにより、タイミング検出回路 104 は、補間信号の論理値変化のタイミングを検出することができる。そして、制御信号生成回路 105 は、タイミング検出回路 104 の検出結果に基づいて第 1 の制御信号を生成し、位相補間回路 102 に対して出

50

力する。つまり、位相補間回路 102 から出力される補間信号は、タイミング検出回路 104 の検出結果によって論理値変化のタイミング（信号変化の傾き）が制御される。言い換えると、補間信号は、タイミング検出回路 104 の検出結果によって位相が制御される。なお、FF106-1～106-6のしきい値電圧と、位相補間回路 102 の次段のセルのしきい値電圧と、は互いに同じであることが望ましい。

#### 【0033】

このように、本発明の実施の形態 1 にかかる多相クロック生成回路 100a は、制御回路 103a を備えることにより、補間信号の信号変化の傾きを自動で制御し、補間信号を精度良く生成することが可能である。つまり、多相クロック生成回路 100a は、外部からの制御信号によって補間信号を制御する必要がない。さらに、多相クロック生成回路 100a は、位相補間の対象となるクロック信号の周波数に関わらず補間信号を制御することができる。つまり、多相クロック生成回路 100a は、クロック信号の周波数を測定するための回路等が不要である。それにより、多相クロック生成回路 100a は、回路規模の増大を抑制することができる。加えて、制御回路 103a は出力される補間信号を直接判定することができる。つまり、製造プロセス、電源電圧、及び温度の影響を含んだ補間信号を直接判定することで、それらの影響を考慮した最適な第 1 の制御信号を生成することが可能である。

#### 【0034】

補間信号の制御方法についてさらに具体的に説明する。ここでは、多相クロック生成回路 100a が図 11 に示す位相補間回路 102 を備えた場合を例に説明する。

#### 【0035】

まず、図 11 に示す回路において、位相差の無い 2 つのクロック信号が入力された場合について説明する。このとき、位相補間回路 102 がクロック信号を入力して補間信号を出力するまでの遅延時間を  $T_{homo}$  とする。また、位相補間回路 102 の次段のセル（例えば、バッファ）のしきい値電圧を  $V_{th}$  とする。また、位相補間回路 102 と次段のセルとの間に負荷された容量を  $C_{th}$  とする。また、前述のように、トランジスタ 205 がオンした場合に流れる電流を  $I$  とする。同様に、トランジスタ 206 がオンした場合に流れる電流を  $I$  とする。この場合、以下の式が成り立つ。

$$T_{homo} = C_{th} \cdot V_{th} / 2I \quad \dots (1)$$

#### 【0036】

次に、図 11 に示す回路において、位相の異なる 2 つのクロック信号が入力された場合について説明する。なお、クロック入力端子 INA にはクロック信号 1 が供給され、クロック入力端子 INB にはクロック信号 2 が供給される。2 つのクロック信号の位相差を  $T_{diff}$  とする。また、このときの補間信号の遅延時間を  $T_{hetero}$  とする。

#### 【0037】

最初、クロック信号 1 のみが論理値変化する（立ち下がる）ことにより、トランジスタ 205 がオンする。それにより、位相補間回路 102 と次段のセルとの間に蓄積された電荷が電流  $I$  で放電される。その後、クロック信号 2 が論理値変化する（立ち下がる）ことにより、トランジスタ 206 もオンする。それにより、位相補間回路 102 と次段のセルとの間に蓄積された残りの電荷が電流  $2I$  で放電される。

#### 【0038】

したがって、補間信号の遅延時間  $T_{hetero}$  は、電流  $I$  で放電する時間  $T_{diff}$  と、その残りの電荷を電流  $2I$  で放電する時間と、により表すことができる。つまり、以下の式が成り立つ。

$$\begin{aligned} T_{hetero} &= T_{diff} + (C_{th} \cdot V_{th} - I \cdot T_{diff}) / 2I \\ &= T_{homo} + T_{diff} / 2 \quad \dots (2) \end{aligned}$$

#### 【0039】

これは、位相補間回路 102 が、同じ位相の信号を入力した場合に出力する信号の遅延  $T_{homo}$  に、位相差  $T_{diff}$  の半分の遅延を加えた補間信号、つまり 50% の補間信号を生成することを示す。

## 【 0 0 4 0 】

ここで、位相補間回路 1 0 2 は、補間信号の位相を以下の 2 つの条件を満たすように制御する必要がある。ひとつ目の条件（以下、単に条件 1 と称す）は、

$$0 < C t h \cdot V t h - I \cdot T d i f f$$

である。つまり、位相補間回路 1 0 2 は、クロック信号 1 のみが L レベルを示している間（電流  $I$  のみで電荷を放電している間）に、補間信号の電位をしきい値電圧  $V t h$  以下に降下させない必要がある。この条件を満たさない場合、位相補間回路 1 0 2 は、クロック信号 2 によって補間信号の位相を制御することができない。

## 【 0 0 4 1 】

ふたつ目の条件（以下、単に条件 2 と称す）は、

$$(C t h \cdot V t h - I \cdot T d i f f) / 2 I < T o v e r$$

である。ここで、クロック信号 1, 2 が共に L レベルを示している時間を  $T o v e r$  とする。つまり、位相補間回路 1 0 2 は、クロック信号 1, 2 が共に L レベルを示している間（電流  $2 I$  で電荷を放電している間）に、補間信号の電位をしきい値電圧  $V t h$  以下に降下させる必要がある。この条件を満たさない場合、位相補間回路 1 0 2 は、次にクロック信号 1 が立ち上がる前に、補間信号を論理値変化させることができない。

## 【 0 0 4 2 】

図 1 5 を用いて、タイミング検出回路 1 0 4 の検出方法についてさらに具体的に説明する。なお、クロック入力端子  $I N A$  にはクロック信号 1 が供給され、クロック入力端子  $I N B$  にはクロック信号 2 が供給される。また、クロック信号 1 とクロック信号 2 との位相差は 6 0 度である。

## 【 0 0 4 3 】

まず、補間信号が条件 1 を満たしているか否かは、クロック信号 2 が立ち下がる時点（位相 6 0 度の時点）における補間信号の電位により判定することができる。つまり、補間信号の電位がしきい値電圧  $V t h$  より大きい場合、補間信号は条件 1 を満たしている。一方、補間信号の電位がしきい値電圧  $V t h$  以下の場合、補間信号は条件 1 を満たしていない。具体的には、図 3 に示すタイミング検出回路 1 0 4 に設けられた  $F F 1 0 6 - 2$  の検出結果が H レベルの場合、補間信号は条件 1 を満たしている。一方、 $F F 1 0 6 - 2$  の検出結果が L レベルの場合、補間信号は条件 1 を満たしていない。ここで、補間信号が条件 1 を満たしていない場合、制御信号生成回路 1 0 5 は、電流  $I$  を小さくするように第 1 の制御信号を出力する。それにより、補間信号の信号変化の傾きが小さくなる。

## 【 0 0 4 4 】

次に、補間信号が条件 2 を満たしているか否かは、クロック信号 1 の立ち上がる時点（位相 1 8 0 度の時点）における補間信号の電位により判定することができる。つまり、補間信号の電位がしきい値電圧  $V t h$  より小さい場合、補間信号は条件 2 を満たしている。一方、補間信号の電位がしきい値電圧  $V t h$  以上の場合、補間信号は条件 2 を満たしていない。具体的には、図 3 に示すタイミング検出回路 1 0 4 に設けられた  $F F 1 0 6 - 4$  の検出結果が L レベルの場合、補間信号は条件 2 を満たしている。一方、 $F F 1 0 6 - 4$  の検出結果が H レベルの場合、補間信号は条件 2 を満たしていない。ここで、補間信号が条件 2 を満たしていない場合、制御信号生成回路 1 0 5 は、電流  $I$  を大きくするように第 1 の制御信号を出力する。それにより、補間信号の信号変化の傾きが大きくなる。

## 【 0 0 4 5 】

つまり、条件 1, 2 を共に満たす場合、図 3 に示す  $F F 1 0 6 - 2$  の出力は H レベル、 $F F 1 0 6 - 4$  の出力は L レベルを示す。なお、図 3 に示す  $F F 1 0 6 - 3$  の出力が L レベルの場合、補間信号は当然に条件 2 を満たしている。制御回路 1 0 3 a は、補間信号が条件 1, 2 を共に満たすように第 1 の制御信号を位相補間回路 1 0 2 に対して出力する。

## 【 0 0 4 6 】

このように、本発明の実施の形態 1 にかかる多相クロック生成回路 1 0 0 a は、制御回路 1 0 3 a を備えることにより、補間信号の信号変化の傾きを自動で制御し、補間信号を精度良く生成することが可能である。つまり、多相クロック生成回路 1 0 0 a は、外部か

10

20

30

40

50

らの制御信号によって補間信号を制御する必要がない。さらに、多相クロック生成回路 100a は、位相補間の対象となるクロック信号の周波数に関わらず補間信号を制御することができる。つまり、多相クロック生成回路 100a は、クロック信号の周波数を測定するための回路等が不要である。それにより、多相クロック生成回路 100a は、回路規模の増大を抑制することができる。また、製造プロセス、電源電圧、及び温度の影響を含んだ補間信号の傾きを自動制御することで、これらの影響をキャンセルすることが可能となる。

#### 【0047】

##### 実施の形態 2

図 4 は、本発明の実施の形態 2 にかかる多相クロック生成回路 100b を示す図である。図 4 に示す多相クロック生成回路 100b は、図 1 に示す多相クロック生成回路 100a と比較して、制御回路 103a の代わりに制御回路 103b を備える。ここで、制御回路 103b は、位相補間回路 102 からの補間信号を入力としない。その他の回路構成及び動作は実施の形態 1 の場合と同様であるため、説明を省略する。

#### 【0048】

図 5 は、制御回路 103b を示す図である。図 5 に示す制御回路 103b は、図 2 に示す制御回路 103a と比較して、遅延情報生成回路 108 をさらに備える。制御信号生成回路 105 は、第 2 の制御信号を遅延情報生成回路 108 に対して出力する。なお、制御信号生成回路 105 が、第 2 の制御信号の代わりに第 1 の制御信号を遅延情報生成回路 108 に対して出力する回路構成にも適宜変更可能である。

#### 【0049】

遅延情報生成回路 108 は、入力された 2 つのクロック信号の位相差に応じたサンプリング信号を生成する。ここで、タイミング検出回路 104 は、遅延情報生成回路 108 が生成したサンプリング信号の論理値変化のタイミングを検出する。制御信号生成回路 105 は、タイミング検出回路 104 の検出結果に基づいて第 1 及び第 2 の制御信号を出力する。ここで、遅延情報生成回路 108 は、例えば、図 6 に示すように図 11 の位相補間回路 102 と同じ回路構成であっても良い。また、遅延情報生成回路 108 は、例えば、図 7 に示すように図 12 の位相補間回路 102 と同じ回路構成であっても良い。つまり、遅延情報生成回路 108 は、補間信号に対応するサンプリング信号を出力可能な回路構成に適宜変更可能である。

#### 【0050】

このように、本発明の実施の形態 2 にかかる多相クロック生成回路 100b は、位相補間回路 102 から出力される補間信号の代わりに、遅延情報生成回路 108 から出力されるサンプリング信号に基づいて、補間信号の信号変化の傾きを制御する。このような回路構成により、本発明の実施の形態 1 にかかる多相クロック生成回路 100a と同様の効果を得ることができる。

#### 【0051】

##### 実施の形態 3

図 8 は、本発明の実施の形態 3 にかかる多相クロック生成回路 100c を示す図である。実施の形態 2 で説明した多相クロック生成回路 100b では、遅延情報生成回路 108 に 2 つのクロック信号が入力されていた。それに対し、実施の形態 3 にかかる多相クロック生成回路 100c は、遅延情報生成回路 108 に 1 つのクロック信号と所定の固定信号とが入力される。つまり、多相クロック生成回路 100c は、1 つのクロック信号に基づいて補間信号の制御を行うことを特徴とする。

#### 【0052】

遅延情報生成回路 108 は、入力された 1 つのクロック信号を遅延させてサンプリング信号を生成する。そして、タイミング検出回路 104 は、遅延情報生成回路 108 が生成したサンプリング信号の論理値変化のタイミングを検出する。その他の回路構成については実施の形態 2 の場合と同様であるため、説明を省略する。

#### 【0053】

ここで、遅延情報生成回路 108 は、例えば、図 9 に示すように図 11 の位相補間回路 102 と同じ回路構成であっても良い。また、遅延情報生成回路 108 は、例えば、図 10 に示すように図 12 の位相補間回路 102 と同じ回路構成であっても良い。つまり、遅延情報生成回路 108 は、補間信号に対応するサンプリング信号を出力可能な回路構成に適宜変更可能である。

#### 【0054】

タイミング検出回路 104 の検出方法について図 16 を用いて説明する。ここでは、図 9 に示す制御回路 103c の場合を例に説明する。また、位相補間回路 102 のクロック入力端子 INA にはクロック信号 1 が供給され、位相補間回路 102 のクロック入力端子 INB にはクロック信号 2 が供給される。クロック信号 1 とクロック信号 2 との位相差は 60 度である。また、遅延情報生成回路 108 のクロック入力端子 INA にはクロック信号 1 が供給され、遅延情報生成回路 108 のクロック入力端子 INB には H レベルの固定信号が供給される。

#### 【0055】

まず、補間信号が条件 1 を満たしているか否かは、クロック信号 2 が立ち下がる時点（位相 60 度の時点）におけるサンプリング信号の電位により判定することができる。つまり、サンプリング信号の電位がしきい値電圧  $V_{th}$  より大きい場合、補間信号は条件 1 を満たしている。一方、サンプリング信号の電位がしきい値電圧  $V_{th}$  以下の場合、補間信号は条件 1 を満たしていない。具体的には、図 9 に示すタイミング検出回路 104 に設けられた FF106 - 2 の検出結果が H レベルの場合、補間信号は条件 1 を満たしている。一方、FF106 - 2 の検出結果が L レベルの場合、補間信号は条件 1 を満たしていない。ここで、補間信号が条件 1 を満たしていない場合、制御信号生成回路 105 は、電流 I を小さくするように第 2 の制御信号を出力する。それにより、サンプリング信号の信号変化の傾きが小さくなる。

#### 【0056】

次に、補間信号が条件 2 を満たしているか否かの判定方法について説明する。ここで、遅延情報生成回路 108 の入力端子 INB には H レベルの固定信号が入力されている。したがって、クロック信号 1 が L レベルの場合には、遅延情報生成回路 108 の出力側に蓄積された電荷は常に電流 I で放電される。つまり、サンプリング信号の H レベルから L レベルへの信号変化の傾きは常に一定である。

#### 【0057】

ここで、電流 I による信号変化の傾きは、電流 2 I による信号変化の傾きの  $1/2$  である。したがって、図 16 に示すように、位相 60 度の時点から  $T_{over} \times 2$  の時間経過後の時点におけるサンプリング信号の電位により、補間信号が条件 2 を満たしているか否かを判定することができる。つまり、位相 300 度の時点におけるサンプリング信号の電位により、補間信号が条件 2 を満たしているか否かを判定することができる。なお、前述のように、クロック信号 1, 2 が共に L レベルを示す時間を  $T_{over}$  とする。

#### 【0058】

なお、位相 120, 180 度の時点におけるサンプリング信号の電位がしきい値電圧  $V_{th}$  以下の場合、補間信号は当然に条件 2 を満たしている。したがって、通常は、位相 120, 180 度の時点におけるサンプリング信号の電位により、補間信号が条件 2 を満たしているか否かを判定する。

#### 【0059】

一方、位相 300 度の時点におけるサンプリング信号の電位を検出する場合、そのままでは位相 180 度の時点でクロック信号 1 が立ち上がってしまう。したがって、この例の場合、遅延情報生成回路 108 に供給されるクロック信号 1 の立ち上がりを制御する必要がある。以下の説明では、このような制御が行われているものとして説明する。

#### 【0060】

位相 300 度の時点において、サンプリング信号の電位がしきい値電圧  $V_{th}$  より小さい場合、補間信号は条件 2 を満たしている。一方、サンプリング信号の電位がしきい値電

10

20

30

40

50

圧  $V_{th}$  以上の場合、補間信号は条件 2 を満たしていない。具体的には、図 9 に示すタイミング検出回路 104 に設けられた FF 106 - 6 の検出結果が L レベルの場合、補間信号は条件 2 を満たしている。一方、FF 106 - 6 の検出結果が H レベルの場合、補間信号は条件 2 を満たしていない。ここで、補間信号が条件 2 を満たしていない場合、制御信号生成回路 105 は、電流  $I$  を大きくするように第 2 の制御信号を出力する。それにより、サンプリング信号の信号変化の傾きが大きくなる。

【0061】

つまり、条件 1, 2 を共に満たす場合、図 9 に示す FF 106 - 2 の出力は H レベル、FF 106 - 6 の出力は L レベルを示す。制御回路 103c は、補間信号が条件 1, 2 を共に満たすように第 1 の制御信号を位相補間回路 102 に対して出力する。

10

【0062】

このように、本発明の実施の形態 3 にかかる多相クロック生成回路 100c は、1 つのクロック信号のみに基づいてサンプリング信号を生成する遅延情報生成回路 108 を備える。このような回路構成により、本発明の実施の形態 1 にかかる多相クロック生成回路 100a と同様の効果を得ることができる。

【0063】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、上記実施の形態では、多相クロック生成回路が図 11 の位相補間回路 102 を備えた場合の動作について説明したが、これに限られない。多相クロック生成回路が図 12 の位相補間回路 102 を備えた場合の回路構成にも適宜変更可能である。この場合、補間信号及びサンプリング信号の信号変化の傾きは、位相補間回路 102 の出力側に負荷される容量値  $212 - 1 \sim 212 - N$  を制御することにより制御される。

20

【0064】

また、位相補間回路 102 は、図 11, 12 に示す回路に限られない。2 つの入力信号に基づいて補間信号を生成する補間信号生成回路と、制御信号によって補間信号の信号変化の傾きを調整する補間信号調整回路と、を備えた回路構成であれば適宜変更可能である。例えば、位相補間回路として図 17 ~ 19 に示す回路を用いてもよい。図 17 ~ 19 に示す回路は、インバータショートタイプの位相補間回路である。

【0065】

30

図 17 に示す回路は、入力されるクロック信号の信号変化の傾きを第 1 の制御信号に基づいて調整する補間信号調整回路 305 と、調整された当該クロック信号に応じた補間信号を生成する補間信号生成回路 308 と、を備える。具体的には、補間信号生成回路 308 は、インバータ 231 を有する。補間信号調整回路 305 は、トランジスタ 213 ~ 216 と、定電流源 217 ~ 220 と、を有する。なお、トランジスタ 213, 214 によりインバータを構成する。トランジスタ 213 を流れる電流は、定電流源 217 によって制御される。トランジスタ 214 を流れる電流は、定電流源 218 によって制御される。一方のクロック信号は入力端子  $INA$  を介してトランジスタ 213, 214 のゲートに印加される。そして、トランジスタ 213 のドレインとトランジスタ 214 のドレインとを接続するノードの電位（トランジスタ 213, 214 からなるインバータの出力）がインバータ 231 に入力される。

40

【0066】

同様に、トランジスタ 215, 216 によりインバータを構成する。トランジスタ 215 を流れる電流は、定電流源 219 によって制御される。トランジスタ 216 を流れる電流は、定電流源 220 によって制御される。他方のクロック信号は入力端子  $INB$  を介してトランジスタ 215, 216 のゲートに印加される。トランジスタ 215 のドレインとトランジスタ 216 のドレインとを接続するノードの電位（トランジスタ 215, 216 からなるインバータの出力）がインバータ 231 に入力される。つまり、トランジスタ 213, 214 からなるインバータの出力信号と、トランジスタ 215, 216 からなるインバータの出力信号と、がショートしてインバータ 231 に入力される。インバータ 23

50

1 は入力信号に応じた補間信号を生成する。なお、定電流源 2 1 7 ~ 2 2 0 の出力電流は、制御信号生成回路 1 0 5 が生成する第 1 の制御信号によって制御される。

【 0 0 6 7 】

このように図 1 7 に示す回路は、入力されるクロック信号の信号変化の傾きを補間信号調整回路 3 0 5 によって調整することにより、補間信号を精度良く生成することができる。このような回路構成でも本実施の形態に適用可能である。

【 0 0 6 8 】

次に図 1 8 に示す回路は、入力されるクロック信号の信号変化の傾きを第 1 の制御信号に基づいて調整する補間信号調整回路 3 0 5 と、調整された当該クロック信号に応じた補間信号を生成する補間信号生成回路 3 0 4 と、を備える。具体的には、補間信号生成回路 3 0 4 は、インバータ 2 2 1 , 2 2 2 と、バッファ 2 2 3 と、を有する。補間信号調整回路 3 0 5 の回路構成は、図 1 7 に示す回路の場合と同様であるため、説明を省略する。トランジスタ 2 1 3 のドレインとトランジスタ 2 1 4 のドレインとを接続するノードの電位 (トランジスタ 2 1 3 , 2 1 4 からなるインバータの出力) がインバータ 2 2 1 に入力される。同様に、トランジスタ 2 1 5 のドレインとトランジスタ 2 1 6 のドレインとを接続するノードの電位 (トランジスタ 2 1 5 , 2 1 6 からなるインバータの出力) がインバータ 2 2 2 に入力される。インバータ 2 2 1 の出力信号とインバータ 2 2 2 の出力信号とがショートしてバッファ 2 2 3 に入力される。バッファ 2 2 3 はインバータ 2 2 1 , 2 2 2 の出力信号に応じた補間信号を生成する。

【 0 0 6 9 】

このように図 1 8 に示す回路は、図 1 7 に示す回路と同様に、入力されるクロック信号の信号変化の傾きを補間信号調整回路 3 0 5 によって制御することにより、補間信号を精度良く生成することができる。このように、上記実施の形態にかかる多相クロック生成回路は、インバータショートタイプの位相補間回路を備えた回路構成にも適宜変更可能である。なお、多相クロック生成回路が図 1 7 、 1 8 の回路を位相補間回路として採用している場合、タイミング検出回路 1 0 4 を、補間信号調整回路 3 0 5 の出力信号の論理値変化のタイミングを検出する回路として用いることも可能である。

【 0 0 7 0 】

図 1 9 に示す回路は、入力されるクロック信号の信号変化の傾きを第 1 の制御信号に基づいて調整する補間信号調整回路 3 0 7 と、調整された当該クロック信号に応じた補間信号を生成する補間信号生成回路 3 0 6 と、を備える。具体的には、補間信号生成回路 3 0 6 は、インバータ 2 2 1 , 2 2 2 , 2 2 4 と、を有する。補間信号調整回路 3 0 7 は、インバータ 2 2 5 , 2 2 6 と、トランジスタ 2 2 7 - 1 ~ 2 2 7 - N と、容量素子 2 2 8 - 1 ~ 2 2 8 - N と、トランジスタ 2 2 9 - 1 ~ 2 2 9 - N と、容量素子 2 3 0 - 1 ~ 2 3 0 - N と、を有する。図 1 9 に示す回路は、図 1 8 に示す回路と比較して、入力されるクロック信号の信号変化の傾きを定電流源 2 1 7 ~ 2 2 0 によって制御する代わりに、当該クロック信号に与える負荷容量によって制御する。

【 0 0 7 1 】

一方のクロック信号は、クロック入力端子 I N A、インバータ 2 2 5 を介して、インバータ 2 2 1 に入力される。他方のクロック信号は、クロック入力端子 I N B、インバータ 2 2 6 を介して、インバータ 2 2 2 に入力される。インバータ 2 2 5 とインバータ 2 2 1 とを接続するノードと接地電圧端子との間に、トランジスタ 2 2 7 - 1 ~ 2 2 7 - N が並列に設けられる。また、容量素子 2 2 8 - 1 ~ 2 2 8 - N がそれぞれ対応するトランジスタ 2 2 7 - 1 ~ 2 2 7 - N に直列に接続される。同様に、インバータ 2 2 6 とインバータ 2 2 2 とを接続するノードと接地電圧端子との間に、トランジスタ 2 2 9 - 1 ~ 2 2 9 - N が並列に設けられる。また、容量素子 2 3 0 - 1 ~ 2 3 0 - N がそれぞれ対応するトランジスタ 2 2 9 - 1 ~ 2 2 9 - N に直列に接続される。ここで、補間信号調整回路 3 0 7 は、制御信号に基づいてトランジスタ 2 2 7 - 1 ~ 2 2 7 - N , 2 3 0 - 1 ~ 2 3 0 - N のオンオフを制御する。つまり、入力されたクロック信号に与える負荷容量を制御する。それにより、補間信号調整回路 3 0 7 は当該クロック信号の信号変化の傾きを調整する。

## 【 0 0 7 2 】

そして、インバータ 2 2 1 の出力信号とインバータ 2 2 2 の出力信号とがショートしてインバータ 2 2 4 に入力される。インバータ 2 2 4 はインバータ 2 2 1 , 2 2 2 の出力信号に応じた補間信号を生成する。このような回路構成でも、図 1 8 に示す回路と同様に本実施の形態に適用可能である。

## 【 0 0 7 3 】

また、上記実施の形態では、タイミング検出回路 1 0 4 が P L L 回路 1 0 1 からのクロック信号 1 ~ 6 を用いた場合を例に説明したが、これに限られない。例えば、タイミング検出回路 1 0 4 が他のクロック生成回路からのクロック信号を用いた場合の回路構成にも適宜変更可能である。

10

## 【 0 0 7 4 】

また、上記実施の形態では、位相補間回路 1 0 2 及び遅延情報生成回路 1 0 8 がクロック信号 1 , 2 を用いた場合を例に説明したが、これに限られない。位相補間回路 1 0 2 及び遅延情報生成回路 1 0 8 が、クロック信号 1 , 2 以外のクロック信号を用いた場合の回路構成にも適宜変更可能である。

## 【 0 0 7 5 】

また、上記実施の形態では、多相クロック生成回路が立ち下がりエッジ検出用である場合を例に説明したが、これに限られない。多相クロック生成回路が立ち上がりエッジ検出用である場合の回路構成にも適宜変更可能である。この場合、位相補間回路は、補間信号の立ち上がりの信号変化が制御される回路構成である必要がある。

20

## 【 0 0 7 6 】

また、上記実施の形態では、補間信号が出力クロック信号間の位相を 1 対 1 の割合で位相補間する場合 ( 5 0 % の補間信号を生成する場合 ) を例に説明したが、これに限られない。出力クロック信号間の位相を異なる割合で位相補間する回路構成にも適宜変更可能である。図 2 0 , 2 1 に具体例を示す。図 2 0 は、図 1 1 に示す位相補間回路の変形例である。図 2 0 は、図 1 1 と比較して、トランジスタ 2 0 5 と定電流源 2 0 7 とからなる電流経路が M ( M は自然数 ) ビット幅を有する。また、トランジスタ 2 0 6 と定電流源 2 0 8 とからなる電流経路が M ビット幅を有する。具体的には、クロック入力端子 I N A に供給されるクロック信号によってオンオフが制御されるトランジスタ ( スイッチ ) を M 個有するトランジスタ群 2 0 5 と、トランジスタ群 2 0 5 の各トランジスタに対応する定電流源を M 個有する定電流源群 2 0 7 と、を有する。また、クロック入力端子 I N B に供給されるクロック信号によってオンオフが制御されるトランジスタ ( スイッチ ) を M 個有するトランジスタ群 2 0 6 と、トランジスタ群 2 0 6 の各トランジスタに対応する定電流源を M 個有する定電流源群 2 0 8 と、を有する。

30

## 【 0 0 7 7 】

定電流源群 2 0 7 , 2 0 8 の各定電流源には、対応するスイッチがオンの場合、それぞれ  $2 I / M$  の電流が流れる。また、定電流源群 2 0 7 , 2 0 8 には、トランジスタ群 2 0 5 , 2 0 6 がいずれもオンの場合、合計で  $2 I$  の電流が流れる。つまり、トランジスタ群 2 0 5 , 2 0 6 に含まれる  $2 M$  個のトランジスタのうち、選択された M 個のトランジスタが同時にオンする。このような回路構成により、トランジスタ群 2 0 5 のみがオンした場合に流れる電流と、トランジスタ群 2 0 5 , 2 0 6 のいずれもがオンした場合に流れる電流と、の電流比を調整することができる。それにより、出力クロック信号間の位相を所望の割合で位相補間することが可能な補間信号を生成することができる。

40

## 【 0 0 7 8 】

図 2 1 は、図 1 2 に示す位相補間回路の変形例である。図 2 1 は、図 1 2 と比較して、外部出力端子 O U T と接地電圧端子 G N D との間のオンオフを制御するトランジスタ 2 0 5 を M 個有する。また、外部出力端子 O U T と接地電圧端子 G N D との間のオンオフを制御するトランジスタ 2 0 6 を M 個有する。これらのトランジスタは、外部出力端子 O U T と接地電圧端子 G N D との間に並列に接続されている。ここでは、M 個のトランジスタ 2 0 5 をトランジスタ群 2 0 5 と称す。M 個のトランジスタ 2 0 6 をトランジスタ群 2 0 6

50



と称す。図 2 1 は、トランジスタ群 2 0 5 , 2 0 6 がいずれもオンの場合、合計で 2 I の電流が流れる。つまり、トランジスタ群 2 0 5 , 2 0 6 に含まれる 2 M 個のトランジスタのうち、選択された M 個のトランジスタが同時にオンする。なお電流 I の値は、図 1 2 の場合と同様に補間信号調整回路 3 0 3 で制御される。このような回路構成により、トランジスタ群 2 0 5 のみがオンした場合に流れる電流と、トランジスタ群 2 0 5 , 2 0 6 のいずれもがオンした場合に流れる電流と、の電流比を調整することができる。それにより、出力クロック信号間の位相を所望の割合で位相補間することが可能な補間信号を生成することができる。なお図 2 0 , 2 1 の場合、トランジスタ群 2 0 5 , 2 0 6 に含まれる 2 M 個のトランジスタのうち、いずれの M 個のトランジスタをオンにするかは、第 1 の制御信号とは異なる別の制御信号（不図示）によって制御される。また、このような電流比の調整は、図 1 9 に示す回路にも適用可能である。

10

【符号の説明】

【 0 0 7 9 】

- 1 クロック信号
- 2 クロック信号
- 3 クロック信号
- 4 クロック信号
- 5 クロック信号
- 6 クロック信号
- 1 0 0 a 多相クロック生成回路
- 1 0 0 b 多相クロック生成回路
- 1 0 0 c 多相クロック生成回路
- 1 0 1 P L L 回路
- 1 0 2 位相補間回路
- 1 0 3 a 制御回路
- 1 0 3 b 制御回路
- 1 0 3 c 制御回路
- 1 0 4 タイミング検出回路
- 1 0 5 制御信号生成回路
- 1 0 6 - 1 ~ 1 0 6 - 6 フリップフロップ
- 1 0 7 選択回路
- 1 0 8 遅延情報生成回路
- 2 0 1 N A N D
- 2 0 2 , 2 0 3 インバータ
- 2 0 4 ~ 2 0 6 トランジスタ
- 2 0 7 , 2 0 8 定電流源
- 2 1 1 - 1 ~ 2 1 1 - N トランジスタ
- 2 1 2 - 1 ~ 2 1 2 - N 容量素子
- 2 1 3 ~ 2 1 6 トランジスタ
- 2 1 7 ~ 2 2 0 定電流源
- 2 2 1 , 2 2 2 インバータ
- 2 2 3 バッファ
- 2 2 4 , 2 2 5 , 2 2 6 インバータ
- 2 2 7 - 1 ~ 2 2 7 - N トランジスタ
- 2 2 8 - 1 ~ 2 2 8 - N 容量素子
- 2 2 9 - 1 ~ 2 2 9 - N トランジスタ
- 2 3 0 - 1 ~ 2 3 0 - N 容量素子
- 3 0 1 , 3 0 4 , 3 0 6 , 3 0 8 補間信号生成回路
- 3 0 2 , 3 0 3 , 3 0 5 , 3 0 7 補間信号調整回路
- V D D 電源電圧（電源電圧端子）

20

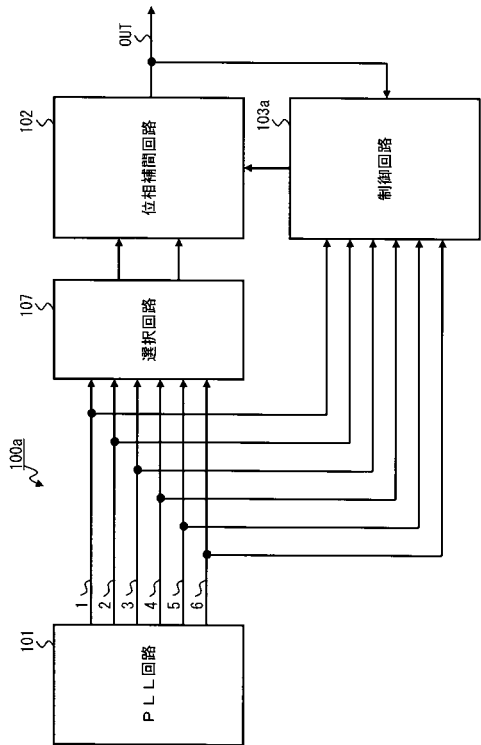
30

40

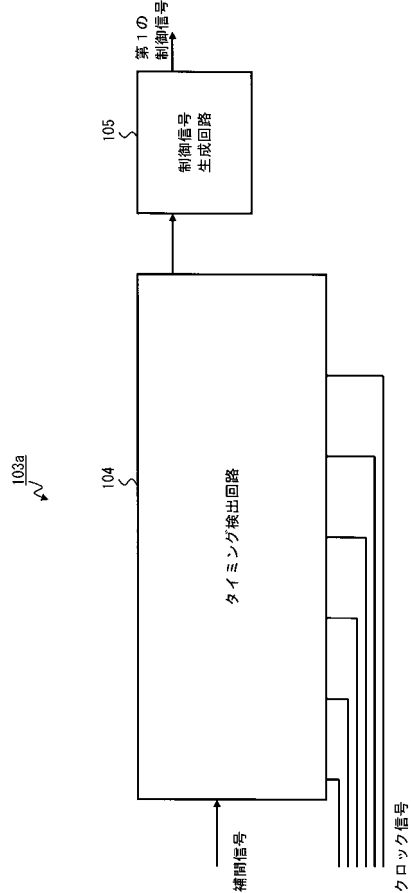
50

GND 接地電圧（接地電圧端子）

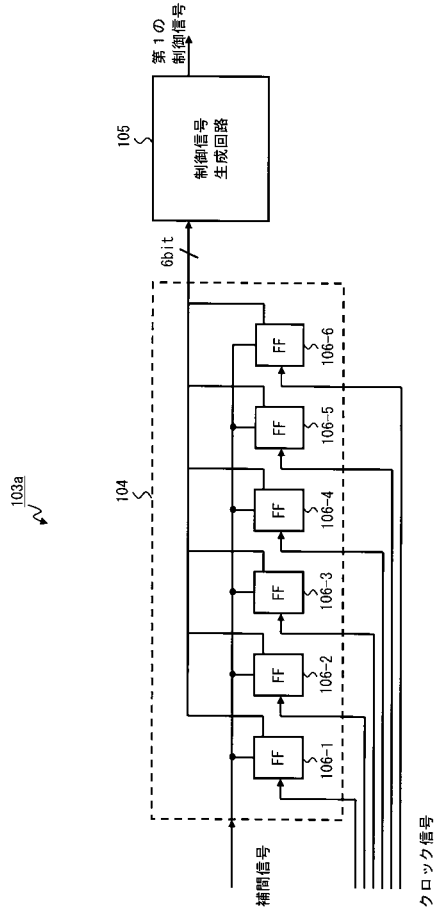
【 図 1 】



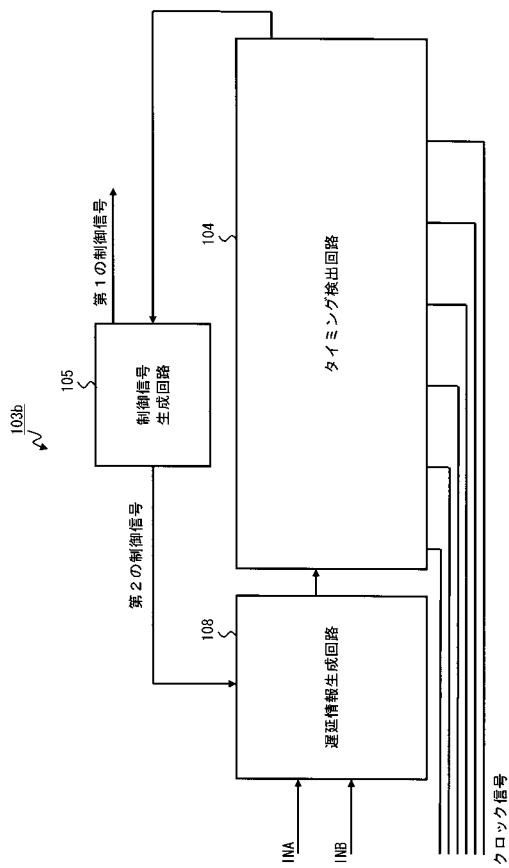
【 図 2 】



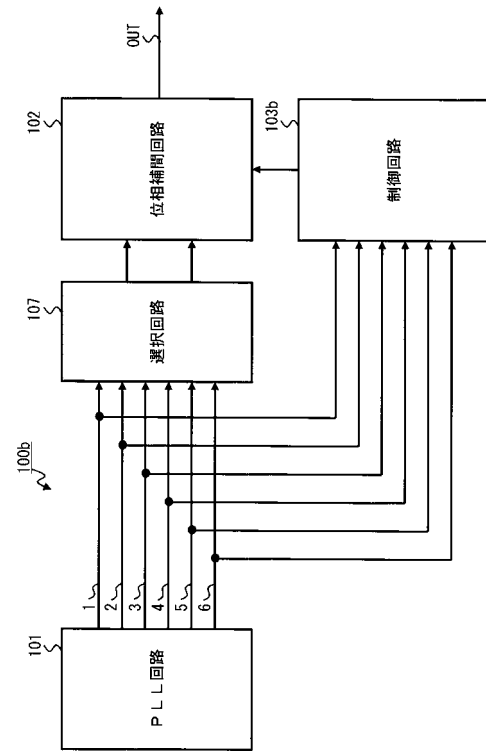
【図 3】



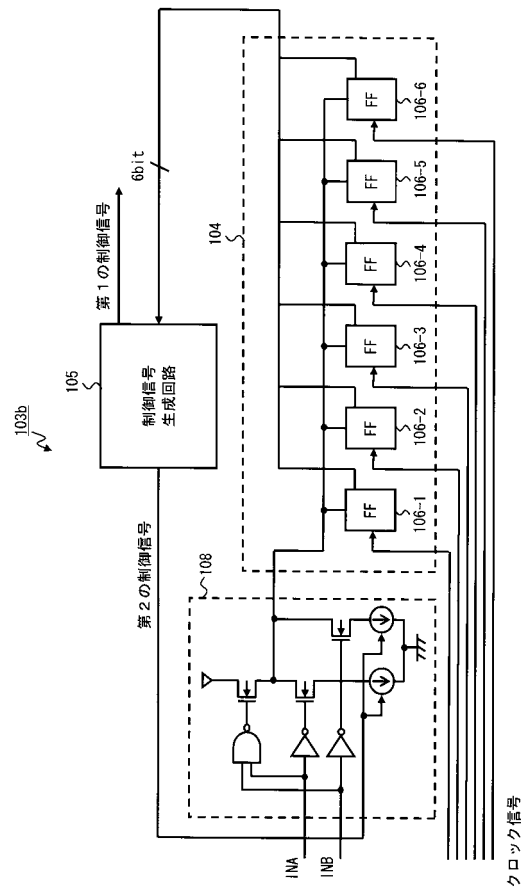
【図 5】



【図 4】

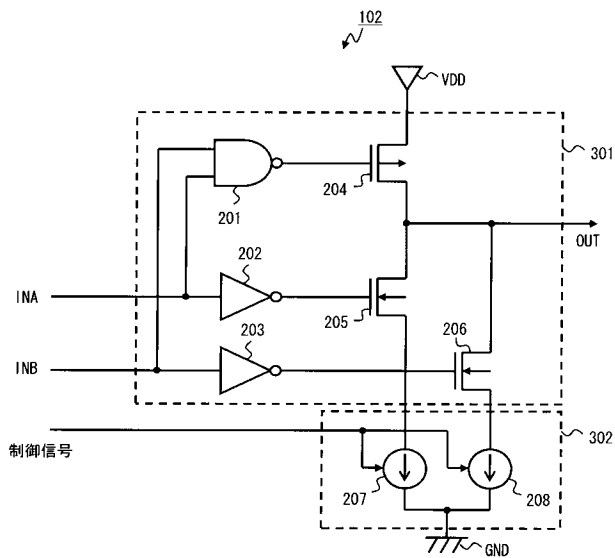


【図 6】

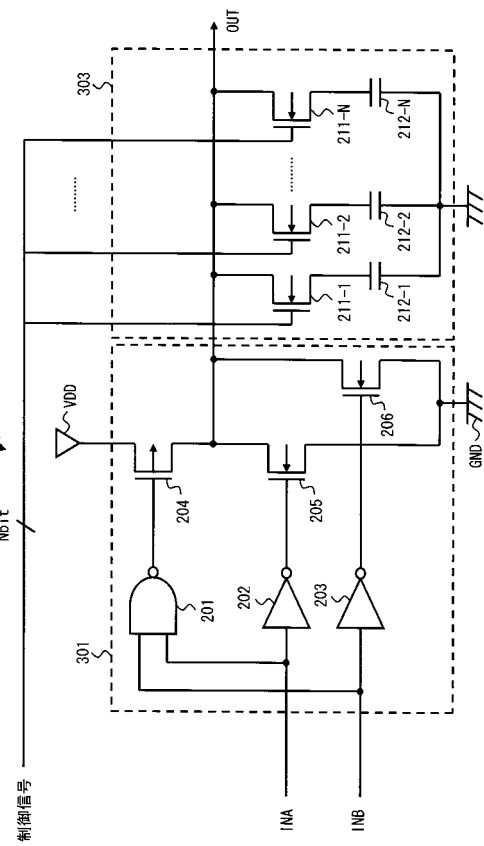




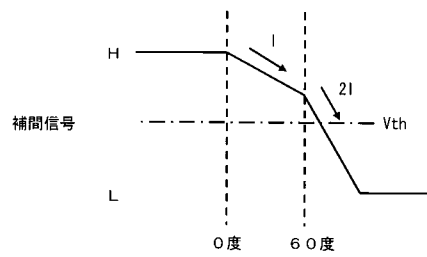
【図 1 1】



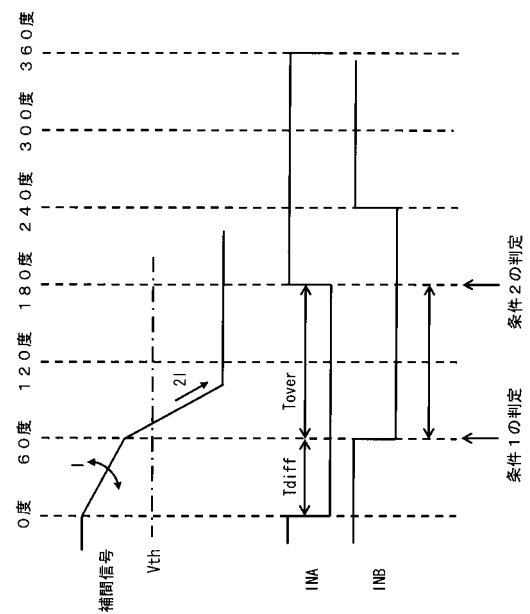
【図 1 2】



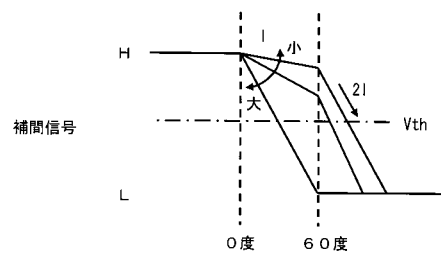
【図 1 3】



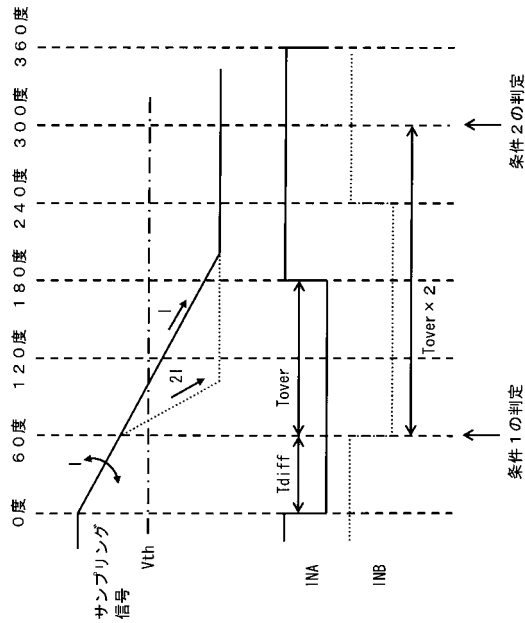
【図 1 5】



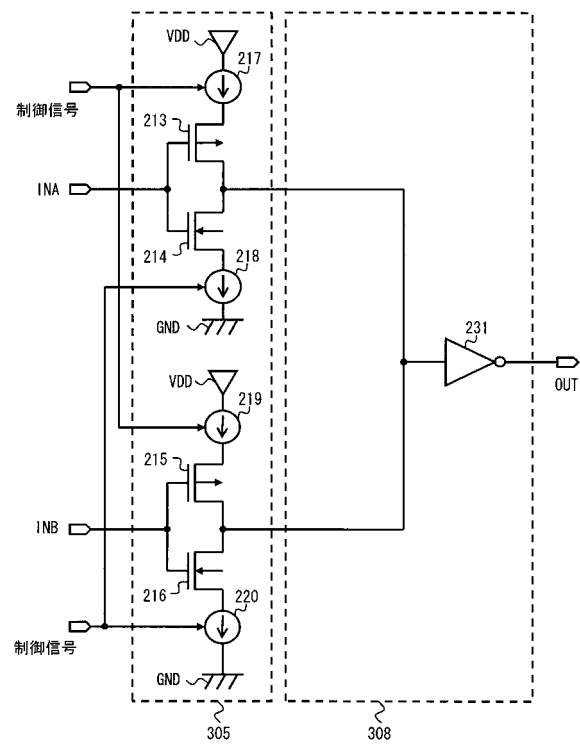
【図 1 4】



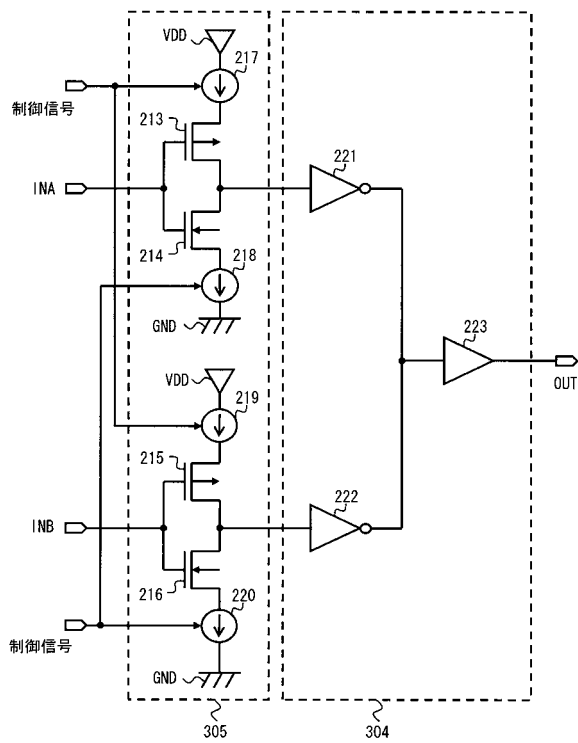
【図 16】



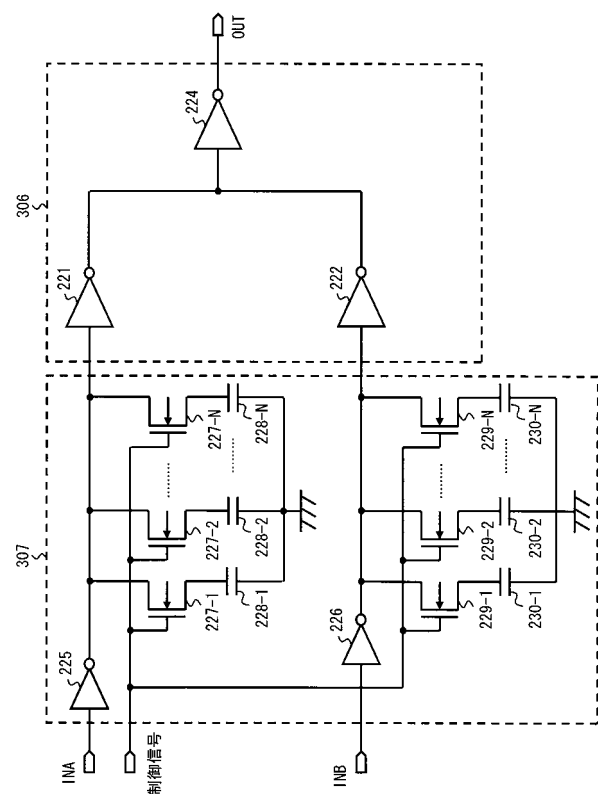
【図 17】



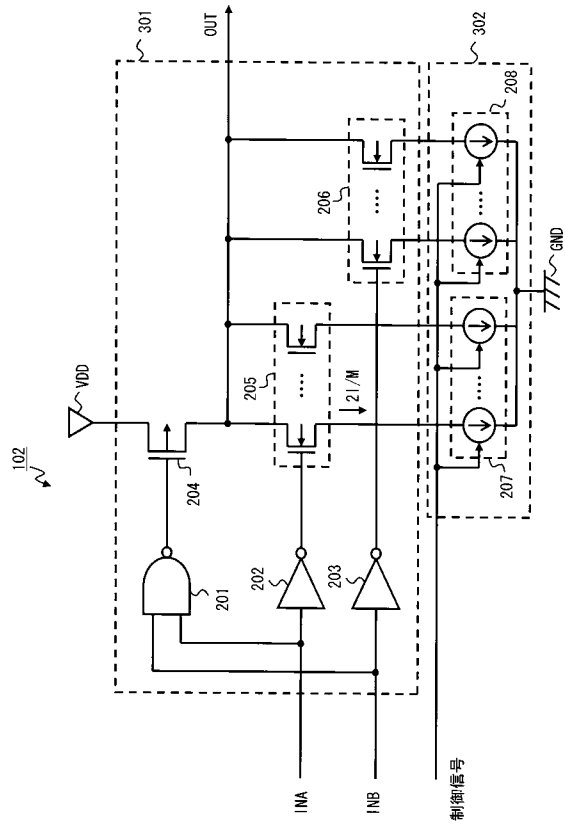
【図 18】



【図 19】



【図 20】



【図 21】

