



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0109230
(43) 공개일자 2011년10월06일

(51) Int. Cl.

H01L 31/09 (2006.01)

(21) 출원번호 10-2010-0028868

(22) 출원일자 2010년03월30일

심사청구일자 2010년03월30일

(71) 출원인

이화여자대학교 산학협력단

서울 서대문구 대현동 11-1 이화여자대학교내

(72) 발명자

박일홍

경기도 성남시 분당구 수내동 양지마을 금호아파트 306-1604

이직

서울특별시 강동구 명일동 명일 현대아파트

(뒷면에 계속)

(74) 대리인

김전우

전체 청구항 수 : 총 6 항

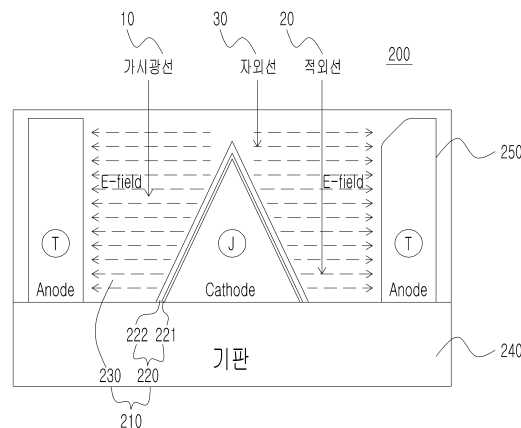
(54) 암전류가 감소된 실리콘 광전자 증배관

(57) 요약

본 발명은 암전류가 감소된 실리콘 광전자 증배관에 관한 것으로서, 보다 구체적으로는 p 전도성 타입 층 및 상기 p 전도성 타입 층의 외부에 형성되는 n+ 전도성 타입 층으로 구성되는 PN-접합층을 포함하는 다수의 마이크로 픽셀, 상기 마이크로 픽셀 주위에 배치되는 트렌치 전극, 및 상기 마이크로 픽셀 및 상기 트렌치 전극이 안착되는 동시에 외부로 연결되도록 부분적으로 개방된 상태로 형성되며 p 타입의 실리콘 웨이퍼로 된 기판을 포함하되, 상기 기판은 $10^{11} \sim 10^{16} \text{ cm}^{-3}$ 의 도핑 농도를 갖는 것을 그 구성상의 특징으로 한다.

본 발명에서 제안하고 있는 암전류가 감소된 실리콘 광전자 증배관에 따르면, 저농도의 p 전도성 타입 실리콘 기판을 이용하고 그 위에 PN-접합층을 형성함으로써, 고농도(저저항) 기판에 의해 생성되는 암전류의 비율 및 기판과 에피택시층의 경계면에서 발생하는 강한 전기장에 의해 생성되는 암전류의 비율을 감소시킬 수 있어서, 종래의 실리콘 광전자 증배관에 비해 암전류를 획기적으로 줄일 수 있다.

대표도 - 도3



(72) 발명자

남지우

서울특별시 종로구 무악동 무악현대아파트 110동
901호

이혜영

충청북도 청원군 강외면 오송리 재원 APT 1006호

이 발명을 지원한 국가연구개발사업

과제고유번호 R16

부처명 과학기술부

연구관리전문기관

연구사업명 창의적 연구진흥 지원연구

연구과제명 MEMS 기반 차세대 우주망원경 개발을 통한 극한에너지 우주현상 연구

기여율

주관기관 MEMS 우주망원경 연구단

연구기간 2006년 04월 01일 ~ 2015년 02월 28일

특허청구의 범위

청구항 1

암전류가 감소된 실리콘 광전자 증배관으로서,

p 전도성 타입 층 및 상기 p 전도성 타입 층의 외부에 형성되는 n+ 전도성 타입 층으로 구성되는 PN-접합층을 포함하는 다수의 마이크로 픽셀;

상기 마이크로 픽셀 주위에 배치되는 트렌치 전극; 및

상기 마이크로 픽셀 및 상기 트렌치 전극이 안착되는 동시에 외부로 연결되도록 부분적으로 개방된 상태로 형성되며 p 타입의 실리콘 웨이퍼로 된 기판을 포함하되,

상기 기판은 $10^{11} \sim 10^{16} \text{ cm}^{-3}$ 의 도핑 농도를 갖는 것을 특징으로 하는 암전류가 감소된 실리콘 광전자 증배관.

청구항 2

제1항에 있어서, 상기 마이크로 픽셀은,

상기 기판 위에 $10^{11} \sim 10^{16} \text{ cm}^{-3}$ 의 농도를 갖는 p- 전도성 타입의 에피택시층; 및

상기 에피택시층 내에 형성되며 상기 PN-접합층이 형성되는 수직구조 트렌치를 더 포함하는 것을 특징으로 하는 암전류가 감소된 실리콘 광전자 증배관.

청구항 3

제1항에 있어서, 상기 트렌치 전극은,

말단을 둥글게 형성한 것을 특징으로 하는 암전류가 감소된 실리콘 광전자 증배관.

청구항 4

제3항에 있어서, 상기 트렌치 전극은,

브롬화수소(HBr)를 사용하여 말단을 둥글게 형성하는 것을 특징으로 하는 암전류가 감소된 실리콘 광전자 증배관.

청구항 5

제1항에 있어서,

상기 실리콘 광전자 증배관 내의 모든 마이크로 픽셀을 포함하는 영역 내에 가드링을 형성하는 것을 특징으로 하는 암전류가 감소된 실리콘 광전자 증배관.

청구항 6

제5항에 있어서, 상기 가드링은,

상기 실리콘 광전자 증배관의 최외각 마이크로 픽셀로부터 $100\mu\text{m}$ 이내에 형성되며, 상기 가드링의 수는 2 내지 3개인 것을 특징으로 하는 암전류가 감소된 실리콘 광전자 증배관.

명세서

기술 분야

[0001] 본 발명은 실리콘 광전자 증배관에 관한 것으로서, 보다 구체적으로는 암전류가 감소된 실리콘 광전자 증배관에 관한 것이다.

배경 기술

[0002] 최근 광센서 분야에서 광전자 증배관(PMT, Photomultiplier)을 대체하기 위해 고안된 실리콘 광전자 증배관(SiPM, Silicon Photomultiplier)은 기존의 광전자 증배관(PMT)에 비해 크기가 매우 작고, 동작전압이 매우 낮으며(25~100V), 자기장에 영향을 받지 않는 등 큰 장점을 가지고 있다. 그러나 자외선(200~400nm) 파장 대의 빛에서는 양자효율(quantum efficiency)이 10% 이하로 매우 낮고 암전류가 많아 미약한 빛의 측정 시 정확도가 떨어지는 문제가 있다. 광센서의 감도는 어두운 상태에 있을 때 센서에서 유도되는 누설 전류의 양인 암전류, 즉, 광에 의해 유도되지 않는 전류에 의해 부분적으로 영향을 받는다. 이러한 암전류는 센서가 광에 노출되는 것에 반응하여 생성되는 신호에 잡음을 일으킨다. 또한, 과도한 암전류는 독출 동적 범위(readout dynamic range)의 감소를 유발할 수 있다. 따라서 이러한 암전류는 감소시키면서, 전 파장 대(200~900nm)에서 양자효율을 극대화하는 연구가 활발하다.

[0003] 도 1은 일반적인 실리콘 광전자 증배관(100)의 단면도이다. 도 1에 도시된 바와 같이, 실리콘 광전자 증배관(100)은 기판(140)에 다수의 마이크로 픽셀(110)을 포함하고 있다. 마이크로 픽셀(110)은 p+ 전도성 타입의 기판(140)에 5 μ m 이하의 두께로 형성된 p- 전도성 타입의 에피택시층(epitaxial layer)(130)과, 에피택시층(130) 내에 순차적으로 p 이온과 n+ 이온을 주입하여 형성된 PN-접합층(PN-Junction)(120)으로 구성된다. p형과 n형이 만나는 부분인 PN-접합층(120)에는 n형에서 p형의 방향으로 전기장이 형성된다. 이때, 빛(광자)이 마이크로 픽셀(110)로 주입되면, 빛(광자)에 의해 생성된 전자-정공 쌍(electron-hole pair)이 전기장에 의해 가속되면서 애벌런치 방전(avalanche breakdown)을 형성하여 신호가 증폭되어 나오게 된다. 그러나 일반적인 실리콘 광전자 증배관(100)은 잔존 이온에 의한 암전류가 많아 센서의 정확도가 떨어지는 문제점이 있다. 또한 기판(140)과 에피택시층(130)의 경계면에서 강한 전기장이 발생하는데, 이에 의해 암전류가 많이 발생하는 문제점도 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 기존에 제안된 방법들의 상기와 같은 문제점을 해결하기 위해 제안된 것으로서, 저농도의 p 전도성 타입 실리콘 기판을 이용하고 그 위에 PN-접합층을 형성함으로써, 고농도(저저항) 기판에 의해 생성되는 암전류의 비율 및 기판과 에피택시층의 경계면에서 발생하는 강한 전기장에 의해 생성되는 암전류의 비율을 감소시킬 수 있는, 암전류가 감소된 실리콘 광전자 증배관을 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

- [0005] 상기한 목적을 달성하기 위한 본 발명의 특징에 따른 암전류가 감소된 실리콘 광전자 증배관은,
- [0006] p 전도성 타입 층 및 상기 p 전도성 타입 층의 외부에 형성되는 n+ 전도성 타입 층으로 구성되는 PN-접합층을 포함하는 다수의 마이크로 픽셀;
- [0007] 상기 마이크로 픽셀 주위에 배치되는 트렌치 전극; 및
- [0008] 상기 마이크로 픽셀 및 상기 트렌치 전극이 안착되는 동시에 외부로 연결되도록 부분적으로 개방된 상태로 형성되며 p 타입의 실리콘 웨이퍼로 된 기판을 포함하되,
- [0009] 상기 기판은 $10^{11} \sim 10^{16} \text{ cm}^{-3}$ 의 도핑 농도를 갖는 것을 그 구성상의 특징으로 한다.
- [0010] 바람직하게는, 상기 마이크로 픽셀은,

[0011] 상기 기판 위에 $10^{11} \sim 10^{16} \text{ cm}^{-3}$ 의 농도를 갖는 p- 전도성 타입의 에피택시층, 및 상기 에피택시층 내에 형성되며 상기 PN-접합층이 형성되는 수직구조 트랜치를 더 포함할 수 있다.

[0012] 바람직하게는, 상기 트랜치 전극은, 말단을 둥글게 형성할 수 있다.

[0013] 더욱 바람직하게는, 상기 트랜치 전극은,

[0014] 브롬화수소(HBr)를 사용하여 말단을 둥글게 형성할 수 있다.

[0015] 바람직하게는,

[0016] 상기 실리콘 광전자 증배관 내의 모든 마이크로 픽셀을 포함하는 영역 내에 가드링을 형성할 수 있다.

[0017] 더욱 바람직하게는, 상기 가드링은,

[0018] 상기 실리콘 광전자 증배관의 최외각 마이크로 픽셀로부터 $100\mu\text{m}$ 이내에 형성되며, 상기 가드링의 수는 2 내지 3개로 할 수 있다.

발명의 효과

[0019] 본 발명에서 제안하고 있는 암전류가 감소된 실리콘 광전자 증배관에 따르면, 저농도의 p 전도성 타입 실리콘 기판을 이용하고 그 위에 PN-접합층을 형성함으로써, 고농도(저저항) 기판에 의해 생성되는 암전류의 비율 및 기판과 에피택시층의 경계면에서 발생하는 강한 전기장에 의해 생성되는 암전류의 비율을 감소시킬 수 있어서, 종래의 실리콘 광전자 증배관에 비해 암전류를 획기적으로 줄일 수 있다.

도면의 간단한 설명

[0020] 도 1은 일반적인 실리콘 광전자 증배관의 단면도.

도 2는 일반적인 실리콘 광전자 증배관의 에피택시층 내의 전기장의 분포를 나타내는 도면.

도 3은 본 발명의 일 실시예에 따른 암전류가 감소된 실리콘 광전자 증배관을 구성하는 마이크로 픽셀의 단면도.

도 4는 본 발명의 일 실시예에 따른 암전류가 감소된 실리콘 광전자 증배관의 동작전압에 따른 암전류를 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 첨부된 도면을 참조하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 바람직한 실시예를 상세히 설명한다. 다만, 본 발명의 바람직한 실시예를 상세하게 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다. 또한, 유사한 기능 및 작용을 하는 부분에 대해서는 도면 전체에 걸쳐 동일한 부호를 사용한다.

[0022] 덧붙여, 명세서 전체에서, 어떤 부분이 다른 부분과 ‘연결’되어 있다고 할 때, 이는 ‘직접적으로 연결’되어 있는 경우뿐만 아니라, 그 중간에 다른 소자를 사이에 두고 ‘간접적으로 연결’되어 있는 경우도 포함한다. 또한, 어떤 구성요소를 ‘포함’한다는 것은, 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있다는 것을 의미한다.

[0023] 도 1은 일반적인 실리콘 광전자 증배관(100)의 단면도이고, 도 2는 일반적인 실리콘 광전자 증배관(100)의 에피

택시층(130) 내의 전기장의 분포를 나타내는 도면이다. 도 1 및 도 2에 도시된 바와 같이, 실리콘 광전자 증배관(100)은 천여 개에서 수백 개의 마이크로 픽셀(micropixel)(110)로 구성된 반도체 광 다이오드이다. 실리콘 광전자 증배관(100)의 마이크로 픽셀(110)의 크기는 $10\sim 100\mu\text{m}$ 로 1mm^2 의 면적당 100~1000개가 집적될 수 있다. 실리콘 광전자 증배관(100)은 전압을 걸었을 때 기관(140)으로부터 수 μm 깊이 내에 약한 전기장을 가함으로써 전하들의 편류 영역(drift region)을 형성하고, 에피택시층(130) 내의 PN-접합층(120)에는 매우 강한 전기장이 생기게 하여 얇은 공핍영역(depletion region)을 만든다. 이 공핍영역에서 동작전압일 때 가이거 모드(Geiger mode) 방전(breakdown)을 생성한다. 센서의 마이크로 픽셀(110) 내에 빛이 들어오게 되면 광자는 전기장이 높게 걸린 공핍영역 내에서 전자사태 즉 방전을 발생시킨다. 이때, 한 개의 광자에 의해서 얻는 전류의 증폭률(gain)은 10^6 으로 기존 광전자증배관(PMT)과 같은 정도이다.

[0024] 일반적인 실리콘 광전자 증배관(100)에서 사용된 기관(140)은 $10^{18}\sim 10^{20}\text{cm}^{-3}$ 의 고농도 p 전도성 타입 실리콘 기관인데, 이러한 고농도(저저항) 기관(140)에 의해 많은 암전류가 생성된다. 또한, 기관(140)과 에피택시층(130)의 경계면에서 강한 전기장이 발생하는데, 이에 의해서도 많은 암전류가 생성된다. 광전자 증배관을 사용한 미약한 빛의 측정 등에서는 되도록 암전류가 적은 것이 바람직하나, 기존의 실리콘 광전자 증배관(100) 사용 시 센서의 암전류는 2MHz에 달하는 문제가 있었다.

[0025] 도 3은 상기와 같은 문제를 극복하기 위한 본 발명의 일 실시예에 따른 암전류가 감소된 실리콘 광전자 증배관(200)을 구성하는 마이크로 픽셀(210)의 단면도이다. 도 3에 도시된 바와 같이, 본 발명의 일 실시예에 따른 암전류가 감소된 실리콘 광전자 증배관(200)은, p 전도성 타입 층(221) 및 상기 p 전도성 타입 층(221)의 외부에 형성되는 n+ 전도성 타입 층(222)으로 구성되는 PN-접합층(220)을 포함하는 다수의 마이크로 픽셀(210), 마이크로 픽셀(210) 주위에 배치되는 트렌치 전극(250), 및 마이크로 픽셀(210) 및 상기 트렌치 전극(250)이 안착되는 동시에 외부로 연결되도록 부분적으로 개방된 상태로 형성되는 기관(240)을 포함한다. 기관(240)은 p 타입의 실리콘 웨이퍼로 된 것으로, $10^{11}\sim 10^{16}\text{cm}^{-3}$ 의 도핑 농도를 갖는다. 본 발명의 일 실시예에 따른 마이크로 픽셀(210)은 기관(240) 위에 $10^{11}\sim 10^{16}\text{cm}^{-3}$ 의 농도를 갖는 p- 전도성 타입의 에피택시층(230)을 더 포함할 수 있으며, 에피택시층(230) 내에 수직구조 트렌치를 더 구비하여 PN-접합층(220)을 수직구조로 형성할 수 있다. 또한, 본 발명에 따른 실리콘 광전자 증배관(200)은 PN-접합층(220) 상단에 유전체 및 알루미늄 스트립을 더 포함할 수 있고, 실리콘 광전자 증배관(200)의 테두리 쪽으로 반도체칩을 보호하기 위해 가드링(Guard ring)을 더 포함할 수 있다.

[0026] 도 3에서 도시한 바와 같은, 본 발명에서 제안하고 있는 암전류가 감소된 실리콘 광전자 증배관(200)을 구성하는 각각의 구성요소들을 보다 구체적으로 설명하면 다음과 같다.

[0027] 마이크로 픽셀(210)은, p 전도성 타입 층(221) 및 p 전도성 타입 층(221)의 외부에 형성되는 n+ 전도성 타입 층(222)으로 구성되는 PN-접합층(220)을 포함하여 구성된다. 마이크로 픽셀(210)은 p- 전도성 타입의 에피택시층(230)을 더 포함할 수 있고, 에피택시층(230)을 포함하는 경우 그 내부에 PN-접합층(220)을 형성하게 된다.

[0028] PN-접합층(220)은, p 전도성 타입 층(221) 및 p 전도성 타입 층(221)의 외부에 형성되는 n+ 전도성 타입 층(222)을 포함하여 구성될 수 있다. 본 발명의 일 실시예에 따르면, $10^{11}\sim 10^{16}\text{cm}^{-3}$ 의 도핑 농도를 갖는 저농도 p 전도성 타입 실리콘 기관(240) 위에 별도의 에피택시층(230)을 형성하지 않고 PN-접합을 형성할 수 있다. 또는, $10^{11}\sim 10^{16}\text{cm}^{-3}$ 의 도핑 농도를 갖는 저농도 p 전도성 타입 실리콘 기관(240) 위에 동일 농도 범위의 에피택시층(230)을 형성한 다음 에피택시층(230) 내에 수직구조로 PN-접합층(220)을 형성할 수도 있다. 도 3에서는 수직구조를 가진 PN-접합층(220)을 도시하였다.

[0029] 도 3에 도시된 바와 같이, 에피택시층(230) 내에 수직구조로 PN-접합층(220)을 형성하는 경우, 먼저 에피택시층

(230) 내에 수직구조 트렌치를 만들고, 수직구조 트렌치 내에 PN-접합층(220)을 형성하여 구현할 수 있다. 이를 통해, 고농도(저저항) 기관(140)에 의해 생성되는 암전류 비율 및 기관(240)과 에피택시층(230)의 경계면에서 발생하는 높은 전기장에 의해 생성되는 암전류 비율을 감소시킬 수 있다.

[0030] 도 3에 도시된 바와 같이 수직구조로 PN-접합층(220)을 형성하면, 마이크로 픽셀(210) 주위에 배치되는 트렌치 전극(250)과 형성된 PN-접합층(220) 사이에 역 바이어스를 가하여 전기장이 수평으로 형성되도록 함으로써, 파장이 짧은 자외선(30)이 PN-접합층(220)까지 들어가지 않고 표면으로 얇게 입사되는 경우에도 트렌치 전극(250)과 PN-접합층(220) 사이에 형성된 전기장에 의해 전자-정공 쌍이 형성되어 애벌런치 방전이 발생하도록 한다. 또한 파장이 긴 적외선(20)이 깊이 입사되어도 PN-접합층(220)의 전기장에 반응함으로써 전 파장 대(200~900 nm)에서 양자효율을 증가시킬 수 있다. PN-접합 층을 형성할 때, n+ 전도성 타입 층(222)의 영역을 p 전도성 타입 층(221)의 영역보다 2 μ m 정도 두껍게 형성할 수 있고, 이를 통해 노이즈를 감소시킬 수 있다. 또한, PN-접합층(220)의 높이를 10 μ m 정도로 형성하면 적외선(20)이 실리콘에 깊이 입사되는 경우에도 PN-접합층(220)에 의해 형성된 전기장에 반응할 수 있다.

[0031] 에피택시층(230)은, 반도체 소자를 만들 때 기관(240) 위에 끼우는 편향된 단일 결정 층으로서, 빛이 들어와 반응을 하는 영역이다. 본 발명의 일 실시예에 따르면 PN-접합층(220)은 에피택시층(230) 내에 형성되게 되며, 도 3에 도시된 바와 같이 수직으로 형성할 수 있다. 본 발명에 따르면 에피택시층은 10¹¹~10¹⁶ cm⁻³의 도핑 농도를 갖는 저농도 p 전도성 타입 실리콘 기관(240) 위에 형성되며, 동일 범위인 10¹¹~10¹⁶ cm⁻³ 범위의 농도를 갖도록 형성된다. 이는 에피택시층(230)의 경계면에서 발생하는 높은 전기장에 의해 생성되는 암전류의 비율을 감소시키기 위한 것이다.

[0032] 기관(240)은, 마이크로 픽셀(210) 및 트렌치 전극(250)이 안착되는 동시에 외부로 연결되도록 부분적으로 개방된 상태이다. 기관(240)은 p+ 전도성 타입이며, 실리콘으로 형성될 수 있다. 종래에는 기관으로 10¹⁸~10²⁰ cm⁻³ 정도의 고농도 p 전도성 타입 실리콘 기관(140)을 이용하였으나, 본 발명의 일 실시예에 따르면 10¹¹~10¹⁶ cm⁻³의 도핑 농도를 갖는 저농도 p 전도성 타입 실리콘 기관(240)을 사용하여 실리콘 광전자 증배관(200)을 형성한다. 저농도의 실리콘 기관(240)을 사용함으로써, 고농도 즉, 저저항의 기관에 의해 생성되는 암전류의 비율을 감소시킬 수 있게 된다.

[0033] 트렌치 전극(250)은, 마이크로 픽셀(210) 주위에 배치되는 것으로 금속을 증착하여 형성할 수 있다. PN-접합층(220)의 주위에 트렌치 전극(250)을 형성하여 두르고 트렌치의 내부에 금속을 증착하여 트렌치 전극(250)을 형성할 수 있다. 암전류를 감소시키기 위해 도 3에 도시된 바와 같이, 트렌치 전극(250)의 말단을 등글게 형성할 수 있다. 이를 통해 모서리 부분에서 생성되는 높은 전기장을 제거하여 전기장에 의해 생성되는 암전류 비율을 감소시킬 수 있다. 이때, 트렌치 전극(250)의 말단을 등글게 형성하기 위해 브롬화수소(HBr)와 같은 가스를 사용할 수 있다.

[0034] 트렌치 전극(250)은 마이크로 픽셀(210) 주위에 정사각형 둘레, 정사각형 모서리, 육각형 모서리 중 어느 한 형태로 배치될 수 있다. 트렌치 전극(250)이 배치되는 형태에 따라 인가전압과 PN-접합층(220)과 트렌치 전극(250) 사이에 형성되는 전기장의 세기 또는 형태 등을 조절할 수 있다. 수직구조를 갖는 PN-접합층(220)의 깊이가 10 μ m일 경우, 트렌치 전극(250)의 높이를 10~13 μ m로 하면 PN-접합층(220)과 트렌치 전극(250) 사이에 역 바이어스를 가할 때에 전기장을 수평으로 균일하게 형성할 수 있게 된다.

[0035] 가드링은, 반도체칩의 내부를 보호하거나 암전류를 감소시키기 위한 것으로서 반도체칩 둘레 등에 형성된다. 본 발명에 따르면 실리콘 광전자 증배관(200) 내의 모든 마이크로 픽셀(210)을 포함하는 영역 내에 2~3개의 가드링을 형성할 수 있다. 이러한 가드링은 실리콘 광전자 증배관(200)의 최외각 마이크로 픽셀(210)로부터 100

μm 이내에 형성할 수 있다.

[0036] 도 4는 본 발명의 일 실시예에 따른 암전류가 감소된 실리콘 광전자 증배관(200)의 동작전압에 따른 암전류를 나타내는 도면이다. 도 4에 도시된 바와 같이, 본 발명의 일 실시예에 따른 암전류가 감소된 실리콘 광전자 증배관(200)의 동작전압이 12.7V, 12.8V, 12.9V일 때, 암전류는 각각 310Hz, 500Hz, 750Hz 정도로 모두 1kHz 이하로 나타난다. 종래의 일반적인 실리콘 광전자 증배관의 암전류가 2MHz에 달하는 크기였음을 고려할 때, 본 발명의 일 실시예에 따른 실리콘 광전자 증배관(200)에 의하면 암전류를 획기적으로 감소시킬 수 있음을 확인할 수 있다.

[0037] 이상 설명한 본 발명은 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에 의하여 다양한 변형이나 응용이 가능하며, 본 발명에 따른 기술적 사상의 범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

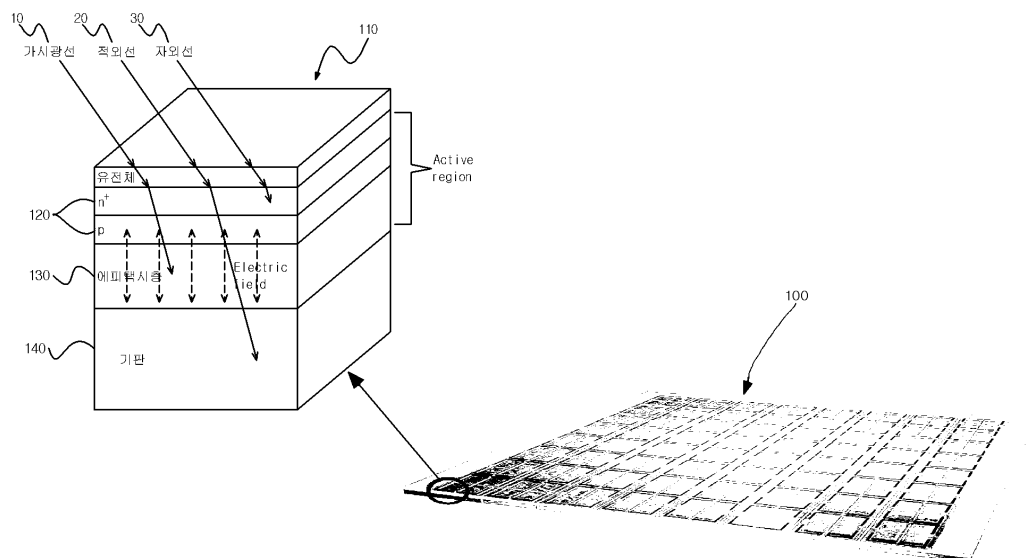
부호의 설명

[0038]

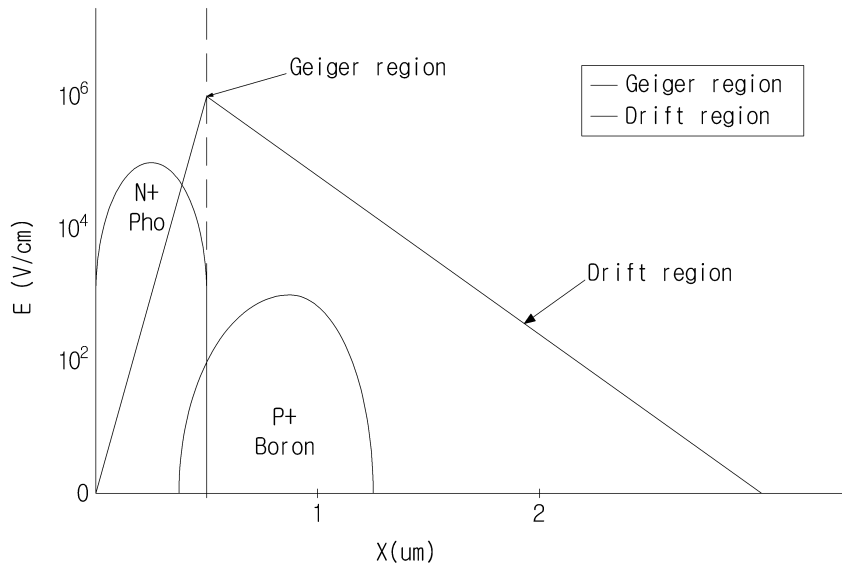
10: 가시광선	20: 적외선
30: 자외선	100: 일반적인 실리콘 광전자 증배관
110: 마이크로 픽셀	120: PN-접합층
130: 에피택시층	140: 기판
200: 본 발명에 따른 실리콘 광전자 증배관	
210: 마이크로 픽셀	220: PN-접합층
221: p 전도성 타입 층	222: n+ 전도성 타입 층
230: 에피택시층	240: 기판
250: 트렌치 전극	

도면

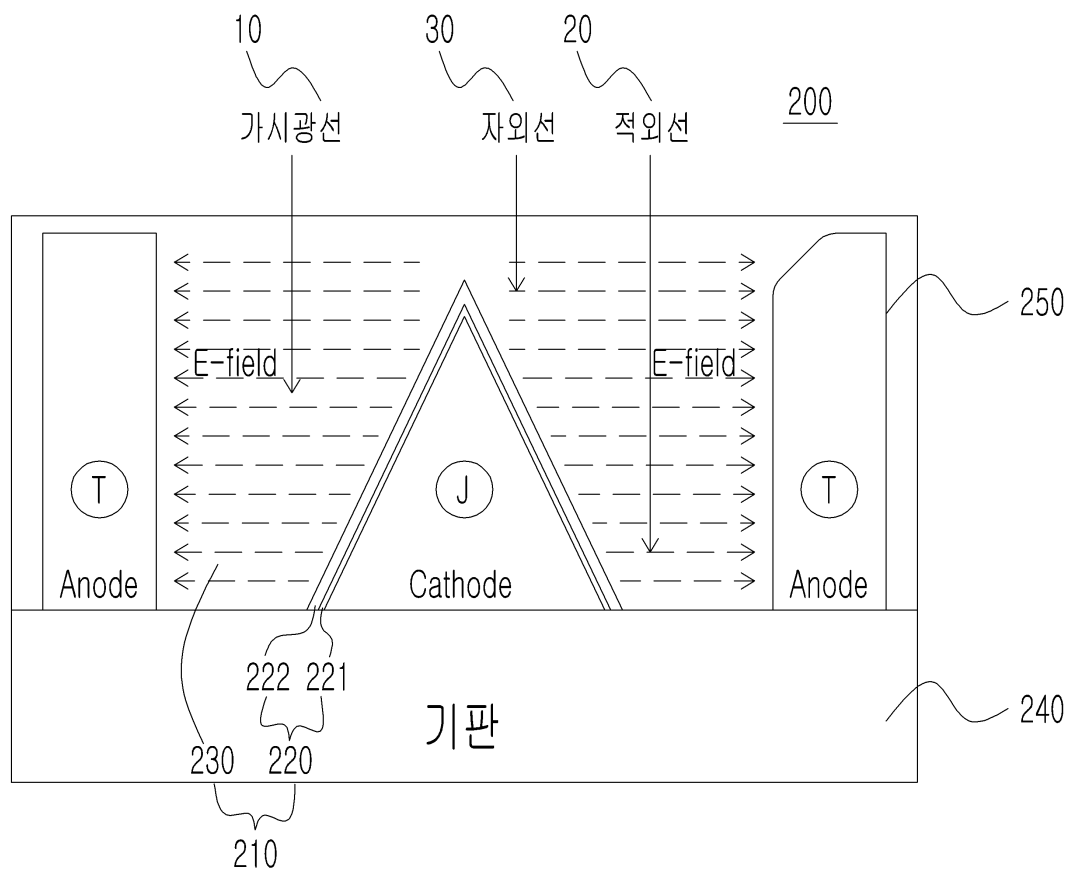
도면1



도면2



도면3



도면4

