[19]中华人民共和国国家知识产权局

[51]Int. Cl[6]
G11C 16/06

[12]发明专利说明书

[21] ZL 专利号 94106213.9

[45]授权公告日 1999 年 7 月 21 日

[11]授权公告号 CN 1044295C

[22]申请日 94.6.1 [24]颁证日 99.4.22
[21]申请号 94106213.9
[30]优先权
[32]93.9.6 [33]JP [31]221143/93
[73]专利权人 株式会社日立制作所
地址 日本东京
[72]发明人 田中利広 加藤正高 久米均
小仓圭介 足立哲生
[56]参考文献
US4,996,571 1991. 2.26 G11C11/34
审查员 王晓光

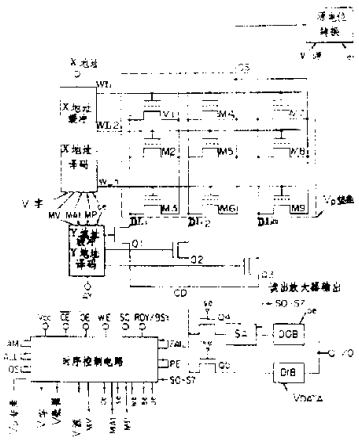
[74]专利代理机构 中国国际贸易促进委员会专利商标事务所
代理人 范本国

权利要求书 2 页 说明书 29 页 附图页数 17 页

[54]发明名称 半导体非易失性存储器件

[57]摘要

本发明为一个半导体非易失性存储器件，可以减少验证操作和验证操作自身转 换所需时间的总开销、基于一系列重复操作，存储单元的阈值变化的步宽 ΔV th 相对于改变阈值（所用脉冲宽度）的一次操作可表示成：$\Delta Vth = Kvt\ h \cdot \log(t_2/t_1)$ 而程序脉冲宽度之间经例可表示成 $(t_2/t_1) - 10E(\Delta Vth/Kvth)$。其中存储单元的阈值变化差值 ΔVth 为常数，脉冲宽度随提 供给存储单元的重复次数的增加而增加。



ISSN1008-4274

权 利 要 求 书

1.一种非易失性半导体存储器件，包括许多存储单元，每个单元包含一个晶体管，它可以对一个阈值电压进行电编程，上述非易失性半导体存储器件包括:

编程装置，该装置通过重复执行一系列编程操作对所述存储单元进行编程，

验证装置，该装置用于读出在所述编程装置重复执行编程操作期间至少进行过一次编程的那些存储单元的状态，

控制装置，该装置根据所述验证装置读出的存储单元的状态信息控制上述的编程装置，以控制对所述存储器件编程而进行的重复操作是继续还是停止;

其特征在于:

脉冲控制装置，该装置用于控制重复编程操作中的编程脉冲，从而根据编程操作的重复次数改变编程脉冲的宽度。

2.根据权利要求 1 的半易失性半导体存储器件，其特征在于：上述脉冲控制装置包括当编程操作的重复次数增加时增大编程脉冲宽度的装置。

3.根据权利要求 1 的非易失性半导体存储器件，其特征在于所述脉冲控制装置还包括一旦编程操作的重复次数增加时即把编程脉冲宽度增大许多倍的装置。

4.根据权利要求 1 的非易失性半导体存储器件，其特征在于所述脉冲控制装置还包括用于对编程脉冲宽度和编程操作的重复次数之间的关系进行编程的编程装置。

5.根据权利要求 1 的非易失性半导体存储器件，其特征在于还包括一个用于对编程操作的重复次数进行计数的装置。

6.根据权利要求 5 的非易失性半导体存储器件，其特征在于还包括一个检测装置，该检测装置能够检测所述的非易失性半导体存储器件是处于运行过程还是已经完成操作，这种检测是在电编程方式中使用一个状态寄存器或一个就绪/忙碌指示信息从外部进行的。

7.一种对多个存储单元进行集体编程的方法，其中每个存储单元包括一个晶体管，其阈值电压可以被电编程，上述方法包括如下步骤：

基于很多次编程操作和验证操作交替执行所述存储单元的编程，

基于验证操作所提供信息，判断是否需要重复编程操作，

其特征在于：

当所述判断结果指示需要继续重复操作时，改变编程脉冲的脉冲宽度，使之在所述的编程操作中对所述存储单元随重复数的增加而增大。

8.根据权利要求 2 的非易失性半导体存储器件，其特征在于：每当相应的编程操作多重复一次，所述的编程脉冲宽度就增加一倍。

9.根据权利要求 3 的非易失性半导体存储器件，其特征在于：每当在同一编程脉冲宽度下相应的编程操作多重复二次后，编程脉冲的宽度即增加。

10.根据权利要求 9 的非易失性半导体存储器件，其特征在于所述的编程脉冲宽度的每次增大即表示其增加一倍。

11.根据权利要求 7 的对多个存储单元进行集体编程的方法，其特征在于：每当相应的编程操作多重复一次，所述的编程脉冲宽度就增加一倍。

12.根据权利要求 7 的对多个存储单元进行集体编程的方法，其特征在于：每当在同一编程脉冲宽度下相应的编程操作多重复二次后，编程脉冲的宽度即增加。

13.根据权利要求 12 的对多个存储单元进行集体编程的方法，其特征在于所述的编程脉冲宽度的每次增中即表示其增加一倍。

说　明　书

半导体非易失性存储器件

本发明涉及一种半导体非易失存储器件，每个单元由一个电可编程、受阈值电压控制擦除的晶体管组成；更特别的是本发明涉及的这样一种半导体非易失性存储器件，由阈值控制电可缩程和可擦除操作是通过重复执行一系列脉冲而实现的。

一个可以把存储器内容集体擦除的单晶体管/单元结构的半导体非易失性存储器件叫“快擦写存储器”。在快擦写存储器中，从结构角度看，每位占有面积是很小的，因此容易实现高集成度，因此在近几年中，快擦写存储器备受关注，其结构和驱动方式的研究和开发工作也在活跃进行。例如，在 *JP—A—2—289997* 中公布了降低半导体非挥发性存储器即存储单元各自阈值的操作，而该半导体非易失性存储器实现了电可编程和擦除操作(可编程操作)，也就是擦除方式。擦除方式是一种工作方式，其中，利用 *Fowler—Nordheim* 隧道效应释放积累在浮栅上的电荷。与此工作方式相关的阈值特性如图 2 到图 4 所示。如这些图所示，经过一段时间，阈值的变化同以对数标度的时间之间的关系接近直线。

在完成电擦除操作之后，存储单元的阈值应介于最低限电源电

压(*Vccmin*) 和 0*V* 之间。与象在 *EPROM* 中通过紫外线擦除存储器内容的热平衡状态中的阈值电压不同，实现电擦除操作的半导体非易失存储器件的阈值电压可以到负电压，而电擦除工作继续可完成。在存储单元的阈值上降到负值时，不良影响会波及到读工作及其类似工作。例如，在读工作中，存储单元的阈值被连到 0*V* 电压的非选字线，即在控制栅上的电位被降到负电压，如所需数据线被选，必然造成存储电流（非选漏电流）流向此数据线，结果读工作时间延迟及在某些情况下误读操作可能发生。为了防止时间延迟及发生误读工作，通常用多次重复擦除脉冲实现擦除工作，并且这已经由擦除工作完成后，存储单元的阈值大于或等于 0*V* 得到验证。

习惯的擦除方式的算法将参阅流程图 35，在下文叙述。

如图 35 所示，在擦除工作之前，执行预写处理Ⅱ。通过预写处理，防止由于擦除操作使未写存储器单元的阈电压（如约Ⅳ）降到负电压，写操作是预先对全部存储单元进行。

在预写处理 11 中，首先设定起始地址（111 步）然后对那个地址（112 步）执行写操作，再判断该地址是否为末地址（步 113）。再根据 113 步判断结果，若确定地址不是末地址，地址给增量（114 步），处理返回到 112 步并对增加后新地址执行写操作。步骤 112，113 和 114 重复进行直到步 113 判断出其地址为末地址。

作为 113 步判断结果，所关心的末地址被确定，从而完成预写处理，实现 12 步中设置地址的处理。

在 112 步中设定要擦除起始地址以后，产生擦除脉冲，对全部存储器单元实现擦除操作(步 131)。在完成擦除操作以后，执行读状态操作，也就是判断验证操作，它用来判断存储单元的阈值是否都达到擦除阈值(132 步)。在验证操作中，若某一地址的存储单元的阈值没有达到擦降阈值，返回 131 步的处理，然后对一部存储单元重复执行擦除操作(重复循环 13)。在重复循环 13 的验证操作中，再从同一地址执行阈值的判断。131 步和 132 步重复执行，直到 132 步判断出存储单元的阈值达到擦除阈值。

在 132 步判断出存储单元的阈值达到擦除阈值的情况下，再判断所关心地址是否为末地址(14 步)。根据 14 步判断结果，若所关心的地址不是末地址，增加该地址(15 步)，再返回到 132 步进行验证操作处理。

根据 14 步判断结果，所关心地址为末地址，判断出所有存储单元的阈值为擦除阈值，那么擦除方式被完成。

在上面叙述的擦除方式 中，重复执行的擦除操作中，其脉冲宽度是固定的。

在上面陈述的方式中，假定在擦除方式中重复执行的擦除方式的擦除操作内脉冲宽度总是固定，另外，存储单元的存储内容被擦除，例如，如图 2 所示，阈值同以对数标度的时间特性间呈现接近直线关系。因此，这时擦降脉冲宽度是固定的，随着擦除操作数的增加，相对于每个脉冲的存储器阈值的变化量下降。结果，在擦除操作

和验证操作之间转换所需时间增加以及验证操作本身成为额外时间开销的问题，导致擦除方式所需时间增加。

此外，电可编程和可擦除操作的控制是通过位于半导体非易失存储器之外的中央处理部件（一个 *CPU*）完成，例如，一个便携式系统像自动控制摄像系统，便携式录像机或口袋式计算机，这样，由于外部系统和半导体非易失性存储器之间总线不可分离，执行电可编程和擦除操作的控制出现问题，因此控制变得复杂，此外，在控制操作期间 *CPU* 被半导体非易失性存储器件的电可编程和擦除控制所占有。

本发明的目标是提供一种电擦除半导体非易失性存储器件，这种器件可 提 供存储单元的写操作和验证操作之间转换所需的时间开销，可降低验证操作自身时间，使在电可编程和可擦除方式（程序方式）下实际编程时间的效率得以改进，同时减轻了外部 *CPU* 的负担。

为了完成本发明的上述目标，根据本发明的一个方面是在含有存储单元的半导体非易失存储器件中，每个单元有一个晶体管组成，该晶体管根据阈值电压能进行编程和擦降，此过程的实现是通过一系列程序操作，同时一个存储单元或者很高存储单元的状态在一系列程序操作的重复期间，至少有一个过程操作被实现，状态就被读出即被验证并根据这样读出信息控制存储器件的重复程序操作是继续还是停止。

此外，根据本发明另一方面是随着重复次数的增加在重复程序操作内程序脉冲宽度被加宽，也就是说，与重复次数对应的程序脉冲宽度是可编程形成。

根据本发明还有一方面是不管程序脉冲宽度还是程序操作次数都可受半导体非易失存储器件的内部或外部部件控制。

根据本发明的半导体非易失存储器件，程序脉冲宽度随重复数的增加而增加，因此，存储单元的阈值的变化差值或步宽$\triangle Vth$同改变阈值的操作次数相对应，即程序脉冲的数可以是常数，为了改变阈值操作总数即程序脉冲的总数可被降低。换言之，程序操作和验证操作之间转换所需时间以及验证操作自身所需时间的总开销相对于程序操作方式所需时间可被缩短。

此外，在半导体非易失性存储器件内中提供了程序脉冲的控制应用装置，因此，在采用了半导体非易失存储器件的系统内仅在程序方式启动的短时间内需要*CPU*的控制执行，以后的程序操作是半导体非挥发存储器件内部自动执行的。

因此，*CPU*的负担可明显减少。

图1表示存储单元的阈值变化量与为了改变阈值所需操作时间即在解释本发明原理中所用程序脉冲宽度之间的关系图。

图2表示存储单元的阈值变化与利用了*Fowler—Nordheim*隧道效应在浮栅上积累的电荷被放电的时间之间的关系图。

图3表示存储单元的阈值变化与利用了*Fowler—Horbheim*隧

道效应在浮栅上注入电荷的时间关系图。

图 4 表示存储单元的阈值变化与利用了高能载流子效应在浮栅上注入电荷的时间关系图。

图 5 表示程序脉冲数与程序脉冲宽度之间的关系图，此脉冲宽度为前面脉冲宽度两倍。

图 6 表示程序脉冲数与程序脉冲宽度之间关系图，此时同样的程序脉冲被重复提供两次。

图 7 显示了按本发明半导体非易失存储器件所实施的结构电路图。

图 8 表示阈值特性图，这里两种状态阈值等于或大于 0V，表示了本发明的该操作中漏电流同字线电压的特性。

图 9 表示阈值特性图，在这里低的阈值电压低于 0V；高的阈值电压等于或大于 0V 但等于或低于 Vcc，表示了本发明的读操作中漏电流和字线电压的特性。

图 10 表示了阈值特性图，在这里低的阈值低于 0V，高阈值电压等于或大于 Vcc，它表示本发明在读操作中漏电流同字线电压的特性。

图 11 是断面图，它表示外部供电源电压是高电压的全表面隧道方法中当降低存储单元的阈值时工作中的存储单元的每个端电压。

图 12 是断面图，它表示外部供电源是单电源的全表面隧道方

法中当降低存储单元阈值时工作中的存储单元的每个端电压。

图 13 是断面图，它表示外部供电电压是高电压源边缘隧道方法中当降低存储单元阈值工作中存储单元的每个端电压。

图 14 是断面图，它表示外部电源是单电源情况下，用源边缘隧道方法中当降低存储单元阈值时工作中的存储单元的每个端电压。

图 15 是断面图，它表示外部电源是单电源情况下，用漏边缘隧道方法中当降低存储单元阈值时工作中的存储单元的单个端电压。

图 16 是断面图，它表示外部电源电压是高电压情况下，在热载流子方法中当提高存储单元阈值电压时工作中的存储单元的每个端电压。

图 17 是断面图，它表示外部电源电压是高电压情况下，在全表面隧道方法中当增加存储单元阈值时工作中的存储单元的每个端电压。

图 18 是断面图，它表示外部电源是单电源情况下，用全表面隧道方法，因为增加存储单元阈值，在工作中的存储单元的每个端电压。

图 19 表示本发明为改变阈值电压的工作算法的流程图。

图 20 显示形成程序脉冲电路和形成验证地址电路结构的方框图，是本发明的程序控制电路例证。

图 21 显示本发明由于判断一较低阈值状态、用以形成一读出放大器判断信号 *ALL* 为例的电路结构的电路图。

图 22 显示本发明用于判断一较高阈值状态，用以形成一读出放大器判断信号 *ALL* 为电路结构的电路图。

图 23 显示了用以形成分频信号 *OS* 和振荡器电路 *OSC* 的电路为例子的结构的电路图。

图 24 显示了本发明的逻辑电路为例子的结构的电路图。

图 25 显示了本发明延迟电路 *Di* 为例子的结构的电路图。

图 26 显示了本发明的程序脉冲宽度电路 *PC* 为例子的结构的电路图。

图 27 显示了本发明的二进制计数电路 *BC* 为例子的结构的电路图。

图 28 显示了本发明的为计数重复次数以电路 *BCS2* 为例子的结构的电路图。

图 29 显示了本发明的为开关脉冲结束信号以电路 *PES* 为例子的结构的电路图。

图 30 显示了本发明的为双倍脉冲宽度以脉冲控制电路 *PEi* 为例子的结构的电路图。

图 31 显示了本发明的为重复形成两个同样脉冲的脉冲控制电路为例子的结构的电路图。

图 32 显示了本发明的用以解释对双倍脉冲宽度工作时波形时间图。

图 33 显示了本发明的用以解释对同样脉冲重复两次工作时波

形时间图。

图 34 显示了本发明另外实施结构的方框图。

图 35 显示了在前面例子中对于较低阈值工作的擦除方式算法流程图。

在说明本发明的优先实施例结构概念之前，首先在下文就本发明作原理性理论说明。

就电改变存储单元阈值方法而论，利用 *Fowler—Nordheim* 隧道效益从浮栅放电及向浮栅注入电荷的方法，及利用高能载流子向浮栅注入电荷的方法，这些方法是很著名的。图 2 到 4 显示了按照这些方法的阈值同时间变化特性。在这方面，如图 2 所示利用 ***Fowler—Nordheim*** 隧道效应放电一段时间后及如图 3 所示利用 ***Fowler—Nordheim*** 隧道效应注入电荷的一段时间后，图 4 示出利用高能载流子注入电荷而言在某段周期时间内，存储单元的阈值 *Vth* 同以对数标度的时间即 *log*(*t*)呈现近似直至的变化关系。这时，其关系表达式可表示或 $Vth = Kvth \cdot log(t)$。这里常数 *Kvth* 是相对于 *log*(*t*)的阈值变化梯度。

如上所述，为了精确改变存储单元的阈值，改变阈值的操作可分步，阈值可通过验证操作来验证。此外，如上所述，为了减小总开销时间，必须减少重复改变阈值的操作次数及验证操作的次数。

为此目的，为改变阈值的操作的重复次数，即程序脉冲的重复次数必须减少，而同时，为了改变阈值的操作时间随重复数增加，具体

的说，程序脉冲宽度要增加。也就是说，为了改变阈值所需操作时间即程序脉冲宽度是随着重复数增加而增加的。用这样方法，对应于改变一次阈值操作，存储单元阈值变化步宽$\triangle Vth$具体地说程序脉冲有一固定值。

图1显示了基于电可编程和可擦除（可编程）操作的存储单元的阈值变化的典型特性图。为了固定存储单元阈值变化步宽$\triangle Vth$，为改变阈值所需操作时间（程序脉冲宽度）随每次重复数增加连续增加（$t_1<t_2<\cdots\cdots$）。结果，为改变阈值所需操作数（即脉冲数）有效地减少。

基于上述关系表达式$Vth=K\upsilon th\cdot log(t)$，存储单元的阈值变化步宽$\triangle Vth$相对于单位时间为改变阈值操作（程序脉冲）可表示成

$$\triangle Vth=K\upsilon th\cdot log(t_2/t_1)$$

此外，为改变阈值所需操作时间（程序脉冲宽度）之间比可以表示为：

$$(t_2/t_1)=10E(\triangle Vth/K\upsilon th)$$

右边的$10E(\triangle th/K\upsilon th)$表示10的$(\triangle Vth/K\upsilon th)$次方。

相对于时间对数轴（$Log(t)$）的阈值的变化梯度$K\upsilon th$是这样一个值，该值反映存储单元器件的内在特性，它解决于隧道隔离膜和存储单元的内层隔离膜厚度，存储单元的端点供给电压等。

现在，假定相对于时间对数的阈值变化梯度的绝对值是0.664。阈值变化步骤$\triangle Vth$控制在0.2V，为改变阈值（程序脉冲宽）所需操

作时间之比值为2。换言之，为改变阈值(程序脉冲宽度)所需操作时间之比总是取固定值，因此可用所需最小重复次数和总是固定值的阈值变化步宽△*Vth*实现控制。

图5和6显示了按照上面所说本发明原理为改变阈值的操作次数(程序脉冲数)和为改变阈值的操作时间(程序脉冲宽度)之间关系。图5显示状态中，为改变阈值所需操作时间(程序脉冲宽度)相等于为改变阈值操作次数(程序脉冲)增加一固定比例(2倍)。另外，图6显示状态中，为改变阈值所需操作时间(程序脉冲宽度)被分成一系列时间段，如2次，在这时，存储单元的阈值变化步宽△*Vth*变得平缓。

顺便说一下，本发明者中的一些人，根据上述相同原理，同时就非易失存储单元电擦除方法提出申请，在*JP*—*A*—6—68686中1994年3月11日公开(日本专利申请号4—222499　1992年8月21日提交)。这些不允许作为以前的技术，在此提及作为参考。

其次，下文将说明本实施例有关结构。在图7中，显示了根据本实施例组成的半导体非易失存储器件电路图。

图1所示电路元件，尤其是半导体衬底形式不限，如一个单晶硅，用著名的制造互补*MOS*(*CMOS*)集成电路工艺为例。

另外，特别不受本例所限如在*P*型单晶硅半导体衬底上形成集成电路。一个*n*沟道*MOS*场效应三极管包括(但不限定)一个源区和一个漏区，这些区形成在半导体衬底面上，由多晶硅或类似材料组

成栅极形成在半导体衬底上，源区和漏区之间通过绝缘薄膜隔离栅。*P* 沟道 *MOS* 场效应三极管形成在 *n* 型势垒区内这个势垒区形成在半导体衬底上面。因此，半导体衬底组成衬底栅为形成在上的很多 *n* 沟道 *MOS* 场效应三极管所公用，这些电路提供地电位。为 *P* 沟道 *MOS* 场效应三极管公用衬底栅，即 *n* 型势垒区被连到电源电压 *Vcc* 上，换言之，若所述及的电路是高电压电路，*n* 型势垒区连到高电压 *Vpp* 上，这些电压可以外接或内部生成高电压等等。也就是说，集成电路可形成在由 *n* 型单晶硅半导体衬底上。在这时，*n* 沟道 *MOS* 场效应三极管的每个被形成在 *P* 型势垒区。

此外，绝非限于此例，在本实施例的半导体非易失性存储器件中，补码地址信号由行和列地址缓冲区 *XADB* 和 *YAPB* 形成，这缓冲区分别接收对应外部端子供给的行和列地址信号 *AX* 和 *AY*，这外部端子分别供给行、列地址译码器 *XDCR* 和 *YDCR*。而且，行和列地址缓冲器 *XADB* 和 *YADB* 由选择信号 *CE* 开启。*CE* 信号显系统内部产生的。取址信号 *AX* 和 *AY* 分别从相应的外端引入，以形成互补地址信号，它包括一个在相位上用外端子提供地址信号的内部地址信号和一个反相地址信号。

行地址译码器 *XDCR* 形成选择信号，根据行地址缓冲器 *XADB* 输出互补地址信号，选择存储单元中所需字线 *WL*，列地址译码器 *YDCR* 形成选择信号，根据列地址缓冲区 *YADB* 输出互补地址信号，选择存储单元中所需数据线 *DL*。存储单元组的有关的字线

WL 电位是电位 V 字，其相关的字线电位是由电源电压输入到行地址译码器 $XDCR$ 上而得到。

绝非限于此例，本例中相关存储单元选择，写操作和读操作在 8 位或 16 位单元上实现，所选择 8 或 16 位存储单元既可由行地址译码器 $XDCR$ 又可从列地址译码器 $YDCR$ 选择。在这里，涉及一些存储单元数组成一数据块，有 m 个存储单元安排在字线内（行向），有 n 个存储单元安排在数据线内（列向），这样形成存储单元矩阵，这里 m,n 为正整数。换言之，存储单元组组成 8 或 16 位的数据块。每块有 $m\times n$ 个存储单元。

上述存储单元，当然绝非限于本例，类似于 $EPROM$ 结构的存储单元，大家熟知的存储单元有一个控制栅和一个浮栅，或一个控制栅一个浮栅和一个选择栅。

图 7 所示的每个存储单元具有包括一控制栅和一浮动栅的结构。存储单元组内很多存储单元接一个同另外的一个相连而连结，这不限于图 7 所示例子，这些存储单元组由存储单元 MOS 场效应三极管 M_1 到 M_9（这些单元在 P 型势垒区内供给 Vp 势垒电位而形成），字线 WL_1 到 WL_n，数据线 DL_1 到 DL_m 及公用源线 CS 组成。公用电源线 CS 上的电位，在读出数据操作和验证操作中转换成电路的地电位 Vss；在改变阈值的操作中转换成高电压 V 源，转换通过转换源电位的 SVC 电路。在图 7 所示存储单元组内，存储单元的控制栅安置在同一行即 $m_1,m_4\cdots\cdots M_7$ 内，它们被连到同一字线 WL_1

上，存储单元的漏安置在同一列，即 M_1，M_2……M_3，它们被连到同一数据线 DL_1 上。

数据线 DL_1 到 DL_m 通过列选择开关 MOS FET Q_1，Q_2…Q_3 连到公共数据线 CD 上，这些选择开关中每一个都接收由地址译码器 YDCR 产生的选择信号，写数据输入缓冲器 DIB 通过一个 MOS 场效应三极管 Q_5 连到公共数据线 CD 上。在写操作时，打开接受写控制信号 We，而写数据输入缓冲器 DIB 从外端口 I/O 接收一个写输入信号。在写操作中，输入到输入缓冲区 DIB 的电源电压 Vdata 变成存储单元的漏端电压。在读操作时，通过开关 MOS 场效应三极管 Q_4，公共数据线 CD 耦合到读出放大器 SA，Q_4 接受读控制信号 Se 后开启，经过读出数据输出缓冲区 DOB 连到外部端口 I/O。同样，通过相应列选择开关 MOS 场效应三极管 Q_1，Q_2……Q_3，读出放大器 SAS 连到各自的数据线 DL_1，DL_2……DL_m，并连到公共数据线 CD。在此时，读出放大器 SA 由闩锁电路组成，具有保持写数据和使读出放大器 SA 的电源电压变成 Vdata 的功能。

因为在存储单元内有较高阈值，电子被积累在浮栅，即使选择电位供给控制栅即相关的字线 WL，并不引起漏电流流动。另一方面，因为没有向浮栅注入电子，存储单元内有一较低阈值。当选择电位供到相联的字线 WL，引起漏电流通过。漏电流被读出放大器 SA 读出，因此，存储单元的阈值电平被用作存储器件的信息。

图 7 所示的定时控制电路 CINT（并不限于本例）相对应片使

能信号 *Ce*，输出使能信号 *Oe*，写使能信号 *We*，系列控制信号 *SC*，读忙信号 *rb* 等分别供到外端点 *CE*，*OE*，*WE*，*SC*，*RDY/BSY* 等，内部控制定时信号 *Ce*，*Se*，*We* 和 *Oe* 及内部电源电压例如连结到存储单元的选择栅端点的字线供给电压 *V* 字，变成存储单元漏端点电压的数据线供给电压 *V* 数据，变成存储单元源端点电压的源线供给电压 *V* 源是通过电源电压 *Vcc* 的内部提升和内部下降而产生，另外，上述供电电压可以从外部提供。而显示在 *CE*，*OE* 和 *WE* 中标记"—"表示说明互补信号。读出放大器 *SA* 的输出信号 *SO* 到 *ST* 输入到定时控制电路 *CONT*。操作信号 *MV*，*MAI* 和 *MP*(参考图 32)亦由定时控制电路 *CONT* 产生，供给 *AX* 和 *AY*。

有关操作方式如读操作和程序操作(擦除操作和写操作)，既可以通过外部信号 *CE* 和 *WE* 启动，也可通过外部端口 *I/O* 输入的数据即基于读操作 00*H*，擦除操作 20*H*，写操作 10*H* 等等输入命令，所提供操作方式及操作所需内部信号依靠定时控制电路 *CONT* 产生。另外，是否存储器件在程序操作中，是否程序操作已完成，是否存储器件在擦除操作中及是否存储器件在写操作中可从基于状态查询，从准备好/忙等信号输出处知道。在操作中为连续在段内读数据，为了接受写数据操作，在各区段内的段数据等可以用从外端子 *SC* 提供的信号使数据同步地输入和输出。

在读操作选中时，不仅字线 *WL*，而且数据线 *DL*，均连到存储单元，从而读出数据。

图 8 到 10，显示了电流特性，即存储单元的两种状态的阈值特性在读操作中同字线电压间关系。

图 8 示例中，存储单元的两种状态的两种阈值等于或大于 0*V*。在这时被选字线的读电压是正值，其值在两种状态的阈值之间，即供电电压 *Vcc*。另外，非选中字线电压，等于或小于相对应低阈值电压，即地电压 *Vss*。

图 9 示例中，较低阈值是低于 0*V*，高阈值是等于或大于 0*V* 但等于或小于电源电压 *Vcc*。在图所示的情况中，选中字线电压在两种状态的阈值之间，即地电压 *Vss*，非选中字线电压等于或大于相对于较高阈值的电压，即电源电压 *Vcc*。

图 10 示例，低阈值低于 0*V*，高阈值等于或大于电源电压 *Vcc*。被选字线的电压是在两种状态阈值之间，即电源电压 *Vcc*，而非选中字线的电压等于或小于相应低阈值即负电压。

在图 7 所示的半导体非易失存储器的电路图中，作为改变存储单元阈值操作的程序操作方式（擦除操作和写操作），根据图 8 至 10 所示读操作中选中和非选中存储单元有关阈值定义，提供的字线电源电压 *V* 字从行 地址译码器 ***XDCR*** 到达选中存储单元及非选中存储单元的控制栅；提供的数据线电源电压 *V* 数据从读出放大器 *SA* 到漏端。提供的源线电源电压 *V* 源适用于转换源电位的 *SVC* 电路到源端。

为使存储单元有低的阈值，利用 *Fowler—Nordheim*，隧道效应

释放积累在浮栅上的电荷，图 11 至 15 显示存储单元端电压。图 1 和 12 显示方法利用在浮栅和衬底之间发生的全表面隧道效应，图 13、14 和 15 显示方法利用在浮栅和源或漏之间发生的边缘隧道效应。而图 11，12，13 和 1 4 显示了用来集体启动连结到共 P 型势垒区或公共源的存储单元擦除操作。图 15 显示写操作中，存储单元的阈值电压，用漏端电位可选择较低。

图 11 和 12 所示结构中，在 n 型深势垒区形成一 n 型势垒区，存储单元在上形成。在图 11 所示方法中，电位 V 势垒为 $20V$，它可从外部电源电压提升得到，它至少供给二者即衬底上的 P 型垒区及 n 型深势垒区，控制栅电位为 $0V$，由此形成的隧道电流从浮栅流到衬底，因此电荷放电。同时，存储单元的阈值从高状态变成低状态。顺便说一下，为了维持在高状态下阈值，由外部高电压提升而得到电位可提供给控制栅。

图 12 所示结构中，外界电源为单电源。在此，衬底电位由电源 Vcc 形成，负电压 V 字为 $-15V$，由器件内部升压得到，并供到控制栅。此外，非选中控制栅的每个电位由电源电压 Vcc 或 $0V$ 形成。

图 13 所示方法中，控制栅电位为 $0V$，源端电压 $Vsource$ $12V$ 为外给高电压。积累在浮栅上的电荷可以通过源端高电压 $Vsoure$ $(12V)$形成的电场泄放到源端。

图 1 4 所示结构同图 13 结构不同，在这里外电源仅一个，负电压 $Vword$ 为 $-8V$ 由器件内部形成，$-8V$ 供给控制栅，源端的电位

为电源电压 5V。此外，每个非选中控制栅的电位是电源电压 Vcc。

图 15 示例其方法不同于图 13。这里积累在浮栅上的电荷利用边缘隧道效益泄放到漏端。因为电荷用边缘隧道效应泄放到漏端，因此电位 Vdata 能有选择地提供到漏端。这种操作称为写操作。在这种情况下，漏端电位如例所示既可由电源电压 Vcc5V 也可由地电压 Vss 控制，根据这一点，积累在浮栅上电子电荷的放电和保持能被控制。

另一方面，为了增加存储单元的阈值，可利用高能载流子方法或 Fowler—Nordheim 隧道效应向浮栅注入电子。图 16 至 18 表示加到存贮单元相应端点上的电位。其中图 16 所示方法中，利用高能载流子从漏向浮栅注入，图 17 和 18 所示方法中利用浮栅和衬底之间发生的全表面隧道效应。另外，在图 16 中，因为存储单元的阈值可通过漏附加电位选择性地增加，这种操作为写操作。另一方面，参阅图 17,18 解释了，对于启动存储单元组具体地连结到衬底或公共 P 势垒区的擦除操作。然而，这个擦除操作亦可以作为写操作，只要分别向漏端和源端提供选择电位和非选择电位。图 18 中，P 型势垒区在 n 型深势垒区处形成，存储单元也因此形成。

图 16 所示方法中，高电压 12V 从外界高电压 Vword 给存储单元控制栅，而漏端电压或者从电位 Vdata 6V，如例由外给高电源电压降压得到，或者从地电位 Vss 得到。因此，在漏区附近形成的高能载流子得以控制。通过向浮栅注入高能载流子，存储单元的阈值

就从低状态变成高状态。

图 17 所示方法中，衬底电压为地电压 Vss，高电压 $Vword$ 为 18V，该电压从供应给控制栅的外接高电压提升得到、因此电荷从衬底注入浮栅。每个非选择控制栅的电位为地电压 Vss。在这种情况下，这种操作用来作写操作。选择电子电位即地电位 Vss，非选择电位为高电位分别适于漏端和源端，亦使电路电位得以控制，从而电荷能选择性地注入到浮栅。

图 18 所示方法不同图 17，这里外界电源是单电源。在此，衬底的 P 型势垒区电位是负电压，该电压由器件内部 $Vp-5V$ 电源得到，高电压 V 字 13V 比图 17 所示电压低，它由供给控制栅的外供电电压提升得到。

图 11 至 15 及图 16 至 18 所示方法中高电压为外电源电压，此外部电源可形成自含电源，基于单电源供电时，所含供电容基足以供给器件的内部电路。

在改变存储单元阈值以后，阈值需要确定的电压值，而存储单元电流控制在某一范围中。例如，在图 9 的阈值 特性中，低阈值小于 0V 而高阈值等于或大于 0V，且等于或小于 Vcc，基于图 11 的全表面隧道方法可实现低阈值状态，利用这种操作作为擦除操作，在例示读操作中，被选字线上电位是 0V，以保证电流值。另外，根据现有技术，在图 8 的阈值特性中，两种状态的阈值均等于或大于 0V，在阈值状态下基于图 13 或 15 边缘隧道方法可用来作写操作，阈值需

控制在最小电源电压 $Vccmin$ 和 $0V$ 之间。

因此，为了精确地改变存储单元的阈值，如上所述，改变阈值（程序脉冲）操作需分步，用来读和验证存储单元的阈值的状态的操作（验证操作）需要实现每一分步操作，基于这些读出信息，对改变存储单元阈值的操作是继续还是停止需要得以控制。

图 19 显示了精确改变存储单元阈值的操作算法。图 19 中，首先，设立用以改变阈值初始地址（21 步），使重复循环 22 操作得以实现。在重复循环 22 的操作中，分频脉冲（程序脉冲）用来改变阈值（221 步），然后实现存储单元的阈值状态的（验证操作在 222 步）读出和验证操作。如在验让操作中判断失败（NO），提供程序脉冲操作（221 步）再重复。反之，若验证操作中判断成功（Yes）再判断是否关心地址是末地址（23 步），若不是末地址，增加地址（24 步）然后返回到 222 步的验证操作，反之，若判断所关心地址是末地址，改变阈值处理就完成。

如图 2 至图 4 所示存储单元阈值特性可看出，在某一累计时间内，存储单元阈值变化相对于时间对数轴 $log(t)$ 可近似用直线表示。阈值的相对时间对数轴的变化梯度 $Kvth$ 如上所述是存储单元器件自有的固定特性决定的。此外，如上所述，在阈值的变化梯度 $Kvth$ 相对于 $log(t)$ 的绝对值是 0.664 阈值变化步宽 $\triangle Vth$ 是 $0.2V$ 情况下，因改变阈值所需操作次数之间比例为 2〔如果适合上述表达式 $(t_2/t_1)=10E(\triangle Vth/Kvth)$〕，而当阈值变化步宽减小，如取 0.1，那

末改变阈值所需操作次数(程序脉冲宽度)之间比例变成 1.41。

为改变阈值，需要产生操作时间(程序脉冲宽度)就需要脉冲发生电路，将很多二进制计数器 *BCS* 放置在一行上形成二进制计数器行 *BCS*1；为改变阈值的需要的操作时间(程序脉冲宽度)部分，可通过与改变阈值所需操作数(程序脉冲数)相关信息来控制，当改变阈值所需操作次数(程序脉冲宽度)之间比例数 2 的情况下，二进制计数器行 *BCS*1 取址部分随每次重复数的增加而变化，并且此程序脉冲宽度与以前提供的程序脉冲宽度相同。有关改变阈值所需操作数(程序脉冲数)和改变阈值所需操作时间(程序脉冲宽度)之间关系显示在图 5 中。

为改变阈值所需操作时间之间比例不是求 2 进制计数器 *BCS* 之间的因子即 2 的时候下面方法可考虑，第一个方法根据为改变阈值所需操作数(程序脉冲数)，决定为改变阈值所需操作时间(程序脉冲宽度)。这种情况下可精确控制阈值变化的步宽 $\triangle Vth$，重复次数变增加，为产生脉冲宽度的控制电路数亦增加，第二种方法有有相同脉冲宽度的很多脉冲重复地作用，使结果值近似接近所需比例。为改变阈值操作间关系，即为了改变阈值所需程序脉冲数和操作时间，即在第二种方面中所用程序脉冲宽度示于图 6。

图 20 用方框图形式表示，为了实现改变阈值所需操作时间之间比例的程序控制电路，即程序脉冲宽度及为产生验证地址。程序控制电路包括(但并不限制)一个逻辑电路 *LOGM*，一个程序脉冲宽

度电路 *PC*，一个重复次数计数器 *BCS2* 及一个转换脉冲结束信号的电路 *PES*。程序脉冲宽度电路 *PC* 包括一个振荡器或一个系统时钟 *OSC*，一个脉冲宽度计数器 *BCS1*。在程序控制电路中，逻辑电路 *LOGM* 接收(作为输入)一个自动程序方式信号 *AM*，一个读出放大器判别信号 *ALL*，一个分频信号 *OS* 和一个从脉冲结束信号转换电路 *PES* 输出的程序脉 冲结束信号 *PE*，产生程序验证信号 *MV*，一个程序地址增量信号 *MAI* 及程序脉冲宽度信号 *MP*。

图 21 及 22 显示产生读出放大器判断信号 *ALL* 电路的例子，但绝不仅限于此例，在读操作情况下，以 8 位为一单元选择存储单元完成读出放大器输出信号假定为 S_0 到 S_7。

图 21 所示电路例子判断存储单元低阈值状态。只有当读出放大器所有输出 S_0 到 S_7 在低状态，即存储单元阈值电平是低，读出放大器判别信号 *ALL* 为高。

图 22 所示电路例子用来判断存储单元高阈值状态，只有当读出放大器所有输出 S_0 到 S_7 在高状态，存储单元阈值电平是高，读出放大器判断信号 *ALL* 为高。

图 23 显示了分频信号 *OS* 的产生和图 20 振荡电路 *OSC*。

当 输入信号 *IN* 是低态，输出信号 *OUT* 的电平为高态，然后变成低态。因此，提供振荡状态，分频信号 *OS* 是电路输出的输出信号。

图 24 为图 20 中逻辑电路 *LOGM* 的结构示例。图 25 为图 24 中

延迟电路 *Di*(*i*：1 到 5)的结构示例。图 26 为图 20 中程序脉冲宽度的结构示例。图 27 为一二进制计数振荡电路 *BC* 的结构示例，图 28 为图 20 中重复数计数电路的结构示例。图 29 为图 20 中脉冲结束信号转换电路 *PES* 的结构示例。图 30 为图 29 中脉冲控制电路 *PEi* 的结构示例，其中为了改变阈值操作时间(程序脉冲宽度)。

比例设置为 2，图 31 为脉冲控制电路 *PEi* 结构示例，它能如例所似重复同一脉冲二次。图 32 和 33 分别显示波形时间图表。

对于生成程序脉冲操作和生成验证地址的操作将根据图 20，21，24，26，28，29，30 和 32 在下文说明。

关于图 24 的逻辑电路 *LOGM* 及图 32 的波形时间图，其中程序脉冲宽度是双位的。改变存储单元阈值的操作方式中，首先以自动方式设立信号 *AM* 上跳开始操作周期，同时一个反相信号 *AM* 下跳，经延迟电路 *D*1 设定延时时间后，自动方式设定延时信号 *AMD* 下跳 。

与 非电路 *NAND*1 从输入端接收自动方式设置信号 *AM* 及自动方式设置反相延迟信号，*AMP*，然后产生一个在固定周期时间为高电平的启动信号。接收到这启动信号后，触发器 *FF* 被置 1，从触发顺电路 *FF* 的输出与将此信号通过延时路 *D*2 后的输出，输入到或非电路 *NOR*1。在延时电路 *D*2 经延时程序脉冲宽度信号 *MP* 产生，因程序脉冲宽度信号 *MP* 在高电平，在存储单元内积累在浮栅上电荷被移动，因此程序状态被启动。

每个程序脉冲宽度电路 *PC*(参考图 26)和显示在图 20 中重复数计数器电路 *BCS2*(参考图 28)接收高电平起作用的程序脉冲宽度信号 *MP*,脉冲结束信号转换电路 *PES*(参考图 29)输出的程序脉冲结束信号 *PE* 基于程序数信息从低电平变成高电平,因此,触发器电路 *FF* 复位位同这操作相对应的,程序脉冲宽度信号 *MP* 下降,从存储单元浮栅来的电荷停止运动,因此,完成程序状态。

在 经过由延迟电路 *D4* 和与非电路 *NAND2* 在延迟电路 *D4* 内设置一段时间之后,一个程序验证信号 *MV* 产生,以便验证操作处理进行。为验证用的参照脉冲的分频信号 *OS* 是这样一种信号,它在前半周期处于高电平,后半周期处于低意平,当分频信号 *OS* 处于低电平时,因从读出放大器输出信号 S_0—S_7 读出放大器判断信号 *ALL* 被接收,这个输出信号 S_0—S_7 有 8 位。

现在,假定程序操作是为了降低存储单元的阈值,用于产生读出放大器判断信号 *ALL* 的电路有如图 21 的结构。那么,当读出放大器输出所有位输出信号 S_0 到 S_7 位于低电平时,或者说,存储单元的每个阈值处于低电平时,图 24 所示触发电路 *FF* 未置位,相应的程序地址增信号 *MAT*,一个代表下一地址的内部地址信号被产生,之后,在分频信号 *OS* 是低电平期间,再次执行判断。如果读出放大器输出信号 S_0 到 S_7 的输出,相应 1 位或多位处于高电平,或者说其中有一个存储单元即使是 1 位为高电平,降低阈值的操作将是不充足的。触发电路 *FF* 将被置位,程序脉冲宽度信号重新成高电平,因

此，改变存储单元阈值的操作得以执行。

此后，验证操作再次执行。此时，通过图 24 所示延时电路的作用，分频信 号 *OS* 的最后一个脉冲不再出现在程序地址增量信号 *MAI* 中。这样，地址被保持，并对该地址，最后判断改变阈值的操作是否合适。换言之，在执行可改变阈值操作之后，验证操作再次在地址中执行，该地址在前面已验证出改变阈值的操作是不充足的。

如果通过上述操作的重复，相应于存储单元的所有地址都验证了，那么，用于改变阈值的操作方式的置位信号下降，方式也就完成。

下文将叙述有关产生程序脉冲的操作（为了改变阈值所需相应操作时间），每个脉冲有脉冲宽度，这个脉冲宽度总是前面设定脉冲宽度的 2 倍，而前面设定的脉冲是为了改变阈值（程序脉冲的预定数）操作的每一个预定数目。参考图 26，28，29，30 和 32。图 29 的脉冲结束信号转换电路 *PES* 基于脉冲控制电路 *PEi* 的功能产生程序脉冲结束信号 *PE*。图 30 为双倍脉冲宽度脉冲控制电路 *PEi* 的结构示例图。图 30 中信号 *A*，*B* 和 *C* 是图 26 的程序脉冲宽度电路 *PC* 中从脉冲宽度计数器 *BCS1* 提供输出信号 。而信号 $\overline{a}$，$\overline{b}$，$\overline{c}$，$\overline{d}$ 和 $\overline{x}$ 分别由图 28 中的重复数计数电路 *BCS2* 提供的输出信号。换言之，程序脉冲宽度信号 *A*，*B* 和 *C* 是输入信号，各自对应脉冲结束信号 *PEA*，*PEBN*，*PEC*，它们被程序脉冲数信息信号 $\overline{a}$ 到 $\overline{x}$ 所控制。

图 32 所示波形时间图中，首先是程序脉冲宽度信号 *MP* 由下面时间波形启 动。图 26 所示振荡器输出 O_1 为高电平，脉冲宽度计

数器 *BCS*1 的输出信号 *A* 为低电平。另一方面，因为图 28 所示重复数计数电路 *BCS*2 的输出信号 $\bar{a}$ 到 $\bar{x}$ 为低电平，在图 30 中脉冲结束信号 *PEA* 成高电平；结果产生图 29 中程序脉冲结束信号，同时程序脉冲宽度信号 *MP* 下降。当振荡器输出 O_1 在低电平时，第一个程序脉冲宽度信号 *MP* 相应保持一个周期时间。然后，对应于程序脉冲这蒸信号 *MP* 下降，重复数计数电路 *BCS*2 产生输出信号 $\bar{a}$。

第二次，相应振荡器输出 O_1 为高电平，脉冲宽度计数器 *BCS*1 的输出信号 *A* 成低电平，然后相应振荡器输出 O_1 再为高电平，输出信号 *A* 变为高电平。这时，脉冲宽度计数器 *BCS*1 的输出信号 *B* 成为低电平，相应的重复数计数器电路 *BCS*2 的输出信号 $\bar{b}$ 到 $\bar{x}$，脉冲结束信号 *PEB* 成高电平。换言之，为实现上述操作，程序数并不单独接收重复数计数电路 *BCS*2 的输出信号 $\bar{a}$。当振荡器输出 O_1 为低电平时，第二程序脉冲宽度信号 *MP* 保持二个时间周期。

第三次，振荡器输出 O_1 接收 4 次高电平。那么，脉冲宽度计数器 *BCS*1 的输出信号 *C* 成高电平，重复数计数电路 BCS_2 的输出信号 $\bar{a}$ 和 $\bar{b}$ 的每一个在那时成为高电平，基于同其它输出信号 $\bar{c}$ 到 $\bar{x}$ 逻辑乘的关系，脉冲结束信号 *PEC* 成高电平。当振荡器输出 O_1 为低电平时，第三个程序脉冲宽度信号相应有 4 个时间周期。

第 4 个程序脉冲宽度信号 *MP* 当振荡器输出 O_1 为低电平。相应有 8 个时间周期。因此，第 n 个程序脉冲宽度信号 *MP* 当振荡器输出 O_1 在低电平时，相应保持 $(2En-1)$ 个时间周期。

其次，作为一个例子，所重复提供的一系列程序脉冲具有相同宽度。这样程序脉冲两次重复的情况将在下文说明。参考图 31 的脉冲控制电路 *PEi* 和图 33 的波形时间图。

在图 33 所示的波形时间图中，重复数计数器电路 *BCS*2 的每个输出信号 $\overline{b}$ 到 $\overline{x}$ 相对应第一和第二个程序脉冲宽度信号为低电平。因此，如图 31 所示，基于这些输出信号同脉冲宽度计数器 *BCS*1 的输出信号 *A* 的结合，脉冲结束信号 *PEA* 就形成。换言之，此控制是独立于重复数计数器电路 *BCS*2 的输出 $\overline{a}$ 而这实现的，当振荡器输出 O_1 是低电平时第一和第二个程序脉冲宽度信号 *MP* 中任一个保持一个时间周期。

因为重复数计数器电路 *BCS*2 的输出信号 $\overline{c}$ 和 $\overline{x}$ 中的每一个相对应第 3 和第 4 程序脉冲宽度信号 *MP* 是一个低电平，基于这个输出信号同脉冲宽度计数器电路 *BCS*1 的输出信号 *B* 相结合，就产生了脉冲结束信号 *PEB*。换言之，控制的执行是独立于重复数计数器电路 *BCS*2 的 $\overline{a}$ 和 $\overline{b}$ 输出信号的。当振荡器输出 O_1 为低电平时，每个第二和第四程序脉冲宽度信号 *MP* 持续两个时间周期。

对第 5 和第 6 次，基于同脉冲宽度计数器 *BCS*1 的输出信号 *C* 相结合，重复数计数器电路 *BCS*2 在低电平的输出信号 $\overline{b}$ 和 $\overline{c}$ 的逻辑乘，输出信号 $\overline{a}$，$\overline{b}$ 和 $\overline{c}$ 的逻辑乘在低电位，其它输出信号 $\overline{d}$ 到 $\overline{x}$ 在低电位，脉冲结束信号 *PEC* 成高电位，当振荡器输出 O_1 为低电平时，每个第 5 和第 6 程序脉冲宽度信号 *MP* 持续 4 个时间周期。

另外，提供的重复的一系列程序脉冲有相同脉冲宽度的方法可实现将重复数计数器电路 *BCS2* 分成两个系统。重复数计数器电路 *BCS2* 的第一个系统操作接收重复数信息，第二个系统重复数计数电路 *BCS2* 操作产生脉冲控制电路 *PEi* 的输入信号 $\overline{a}$ 到 $\overline{x}$。

对改变阈值操作数（程序脉冲）是降低阈值的小情况下，为改变阈值所需操作时间（程序脉冲宽度）相对于程序操作数可以在器件内部编程。

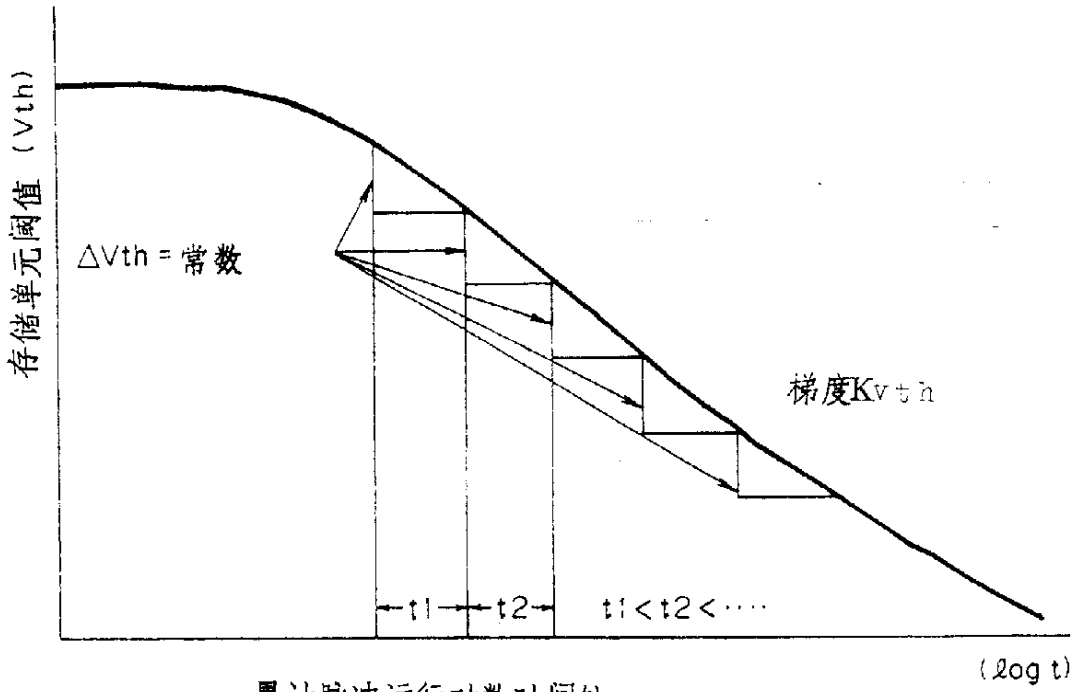
图 34 显示了本发明另一实施例的半导体非易失性存储器的程序单元结构图，在本图中，具有同上面实施例相同结构元件和信号。

图 34 的程序单元包括（但不限定）一个时间控制电路 30，为控制程序逻辑的电路 31，为控制程序电压的电路 32，为控制验证逻辑的电路 33，为计数程序操作数的计数器 34，为控制脉冲宽度的电路 35 和验证判别电路 36。程序脉冲宽度信号 *MP* 从脉冲宽度控制电路 35 输出到存储单元矩阵的译码器 *AX* 和 *AY*（参考图 7），因而为存储单元执行程序操作。程序逻辑控制电路 31 和验证逻辑控制电路 33 在结构上同图 20 的逻辑电路 *LOGM* 相对应，因而实质上电路操作同逻辑电路 *LOGM* 相同。

如上文所述，根据本发明，本发明的半导体非易失性存储器件可以通过增加程序脉冲宽度的方式，在重复次数增加时减少操作的总次数（程序脉冲）。换言之，我们可以缩短编程操作和验证操作之间转换所需的时间的开销，缩短程序操作方式所需时间和验证操作所

需时间开销。此外，用于控制供给程序脉冲的装置位于半导体非易失性存储器内部，因此，在使用半导体非易失性存储器件的关系中，CPU 扫描控制只需很短时间，这段时间是启动编程方式所需要的，而后续程序的 半导体非易失性存储器中被自动执行，因此减轻了 CPU 的负担。

图1



累计脉冲运行对数时间轴

图2　先有技术

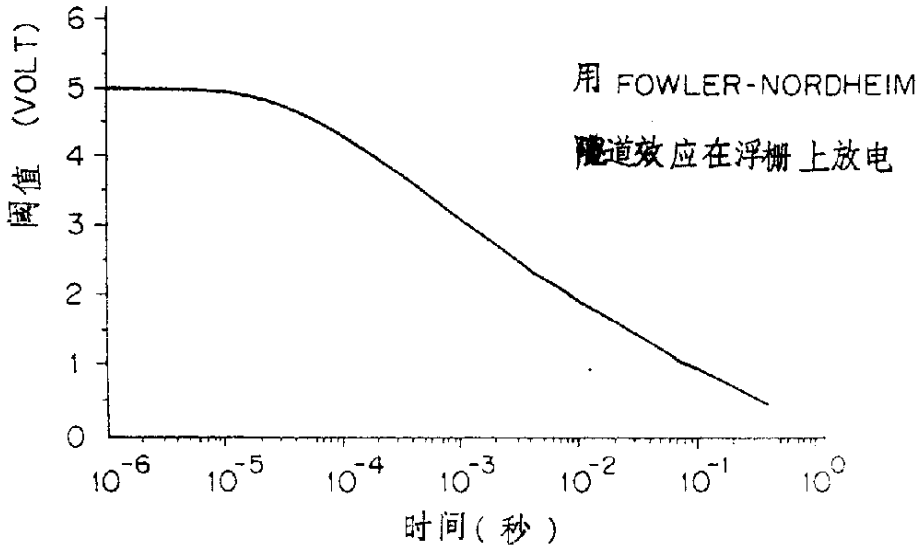


图3　先有技术

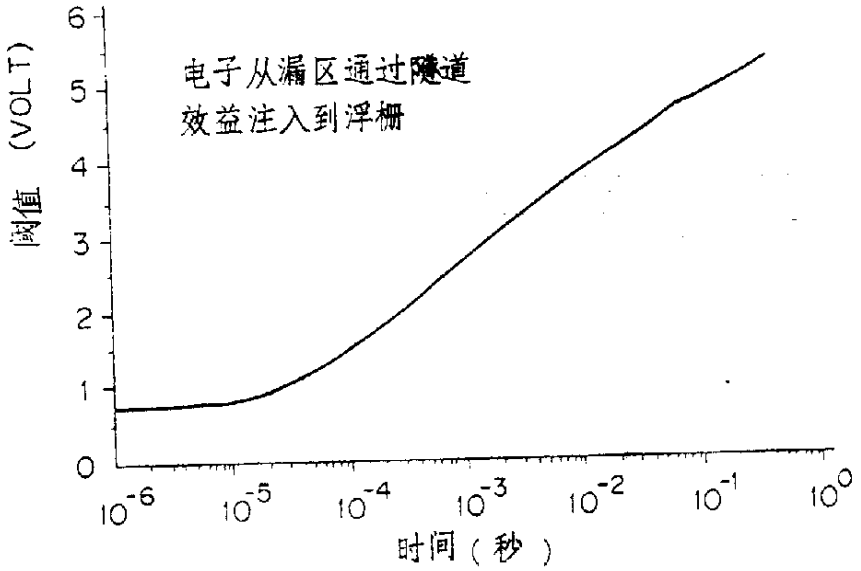


图4　先有技术

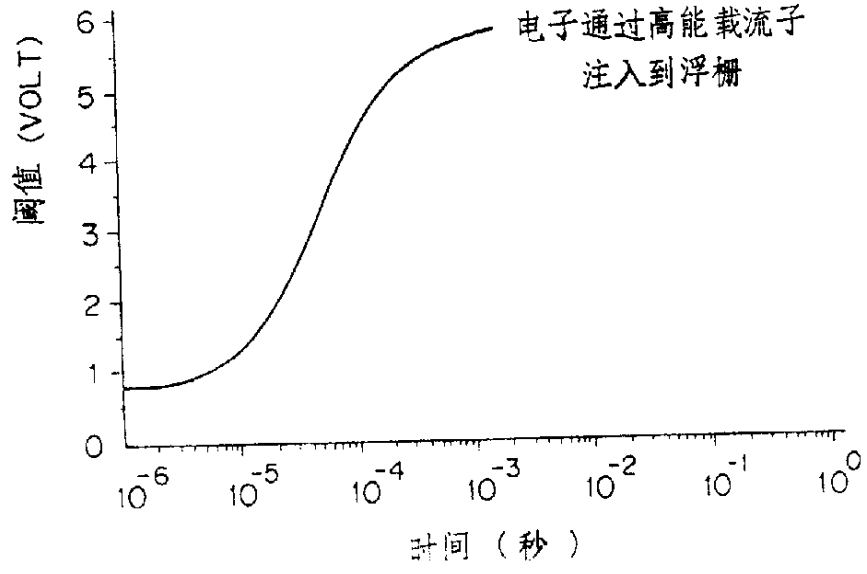


图 5

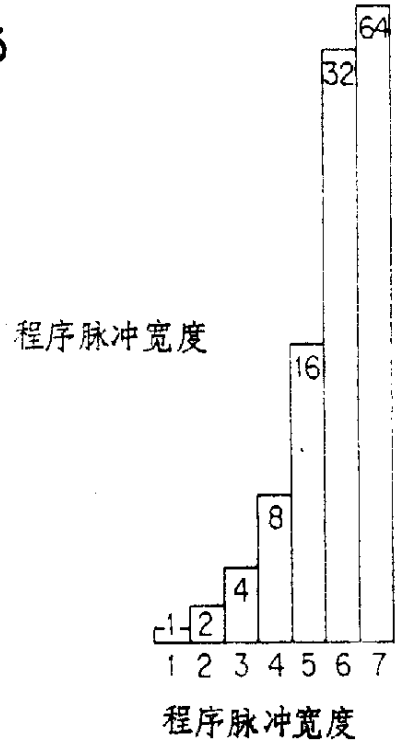

64
32
16
8
4
1
2
程序脉冲宽度
1 2 3 4 5 6 7
程序脉冲宽度

图 6

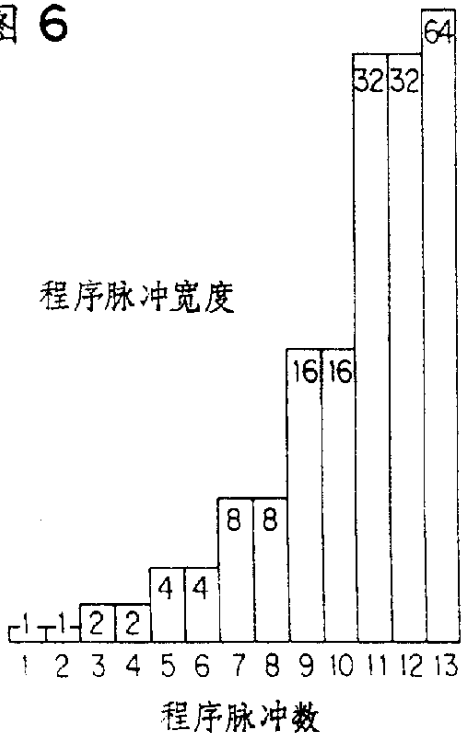

64
32 32
16 16
8 8
4 4
1 1
2 2
程序脉冲宽度
1 2 3 4 5 6 7 8 9 10 11 12 13
程序脉冲数

图 7

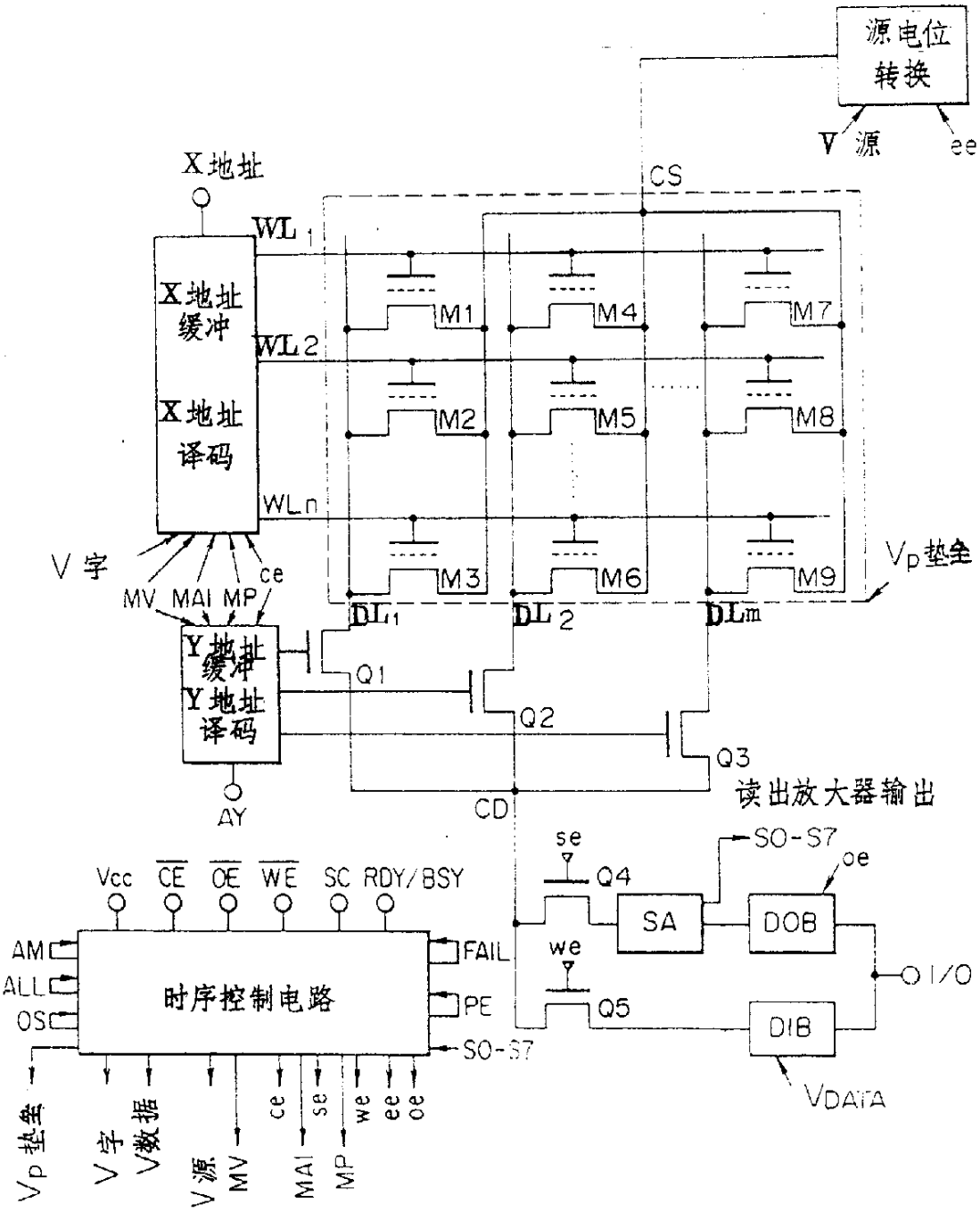

源电位转换
V 源
ee
X地址
CS
WL 1
X地址缓冲
X地址译码
WL 2
WLn
M1
M4
M7
M2
M5
M8
M3
M6
M9
V 字
MV MAI MP
ce
Vp 垫全
DL1
DL 2
DLm
Y地址缓冲
Y地址译码
Q1
Q2
Q3
AY
CD
读出放大器输出
se
SO-S7
oe
Q4
SA
DOB
I/O
we
Q5
DIB
VDATA
Vcc
CE
OE
WE
SC
RDY/BSY
AM
ALL
OS
时序控制电路
FAIL
PE
SO-S7
Vp 垫全
V 字
V数据
V 源
MV
ce
MAI
se
MP
we
ee
oe

图 8

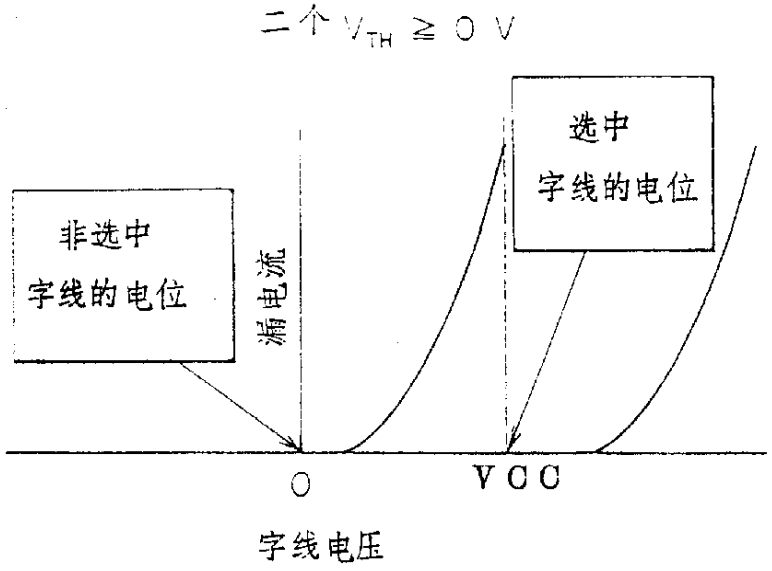

二个 $V_{TH} \geq 0$ V
选中
字线的电位
非选中
字线的电位
漏电流
0
VCC
字线电压

图 9

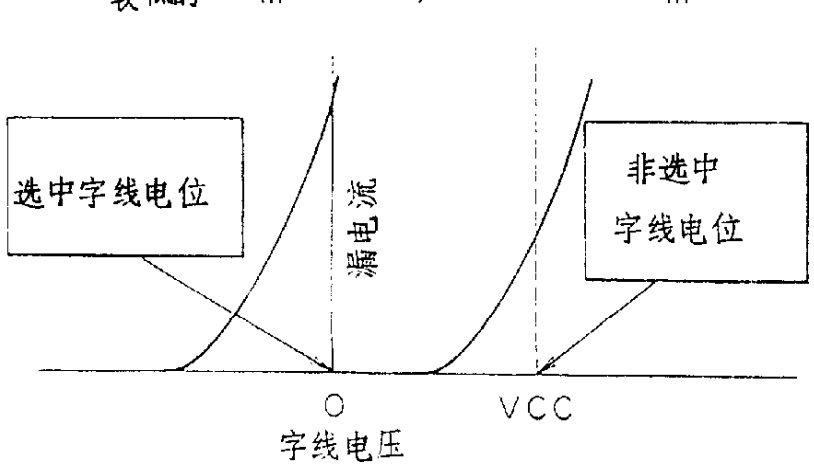

较低的 $V_{TH} < 0$ V，$0 \leq$ 较高的 $V_{TH} <$ VCC
选中字线电位
漏电流
非选中
字线电位
0
VCC
字线电压

图 10

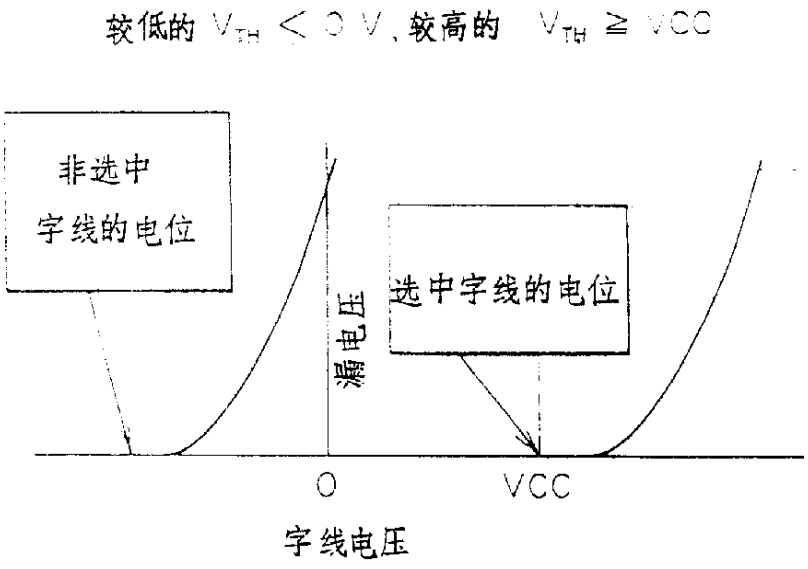

较低的 V_{TH} < 0 V、较高的 V_{TH} ≥ VCC
非选中
字线的电位
选中字线的电位
漏电压
0
VCC
字线电压

图 11

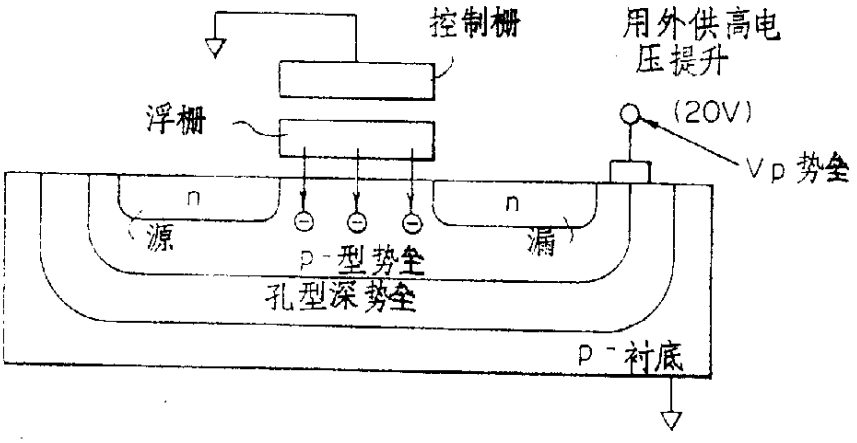

控制栅
用外供高电
压提升
(20V)
浮栅
Vp 势全
n
n
源
漏
p⁻型势全
孔型深势全
p⁻衬底

图12

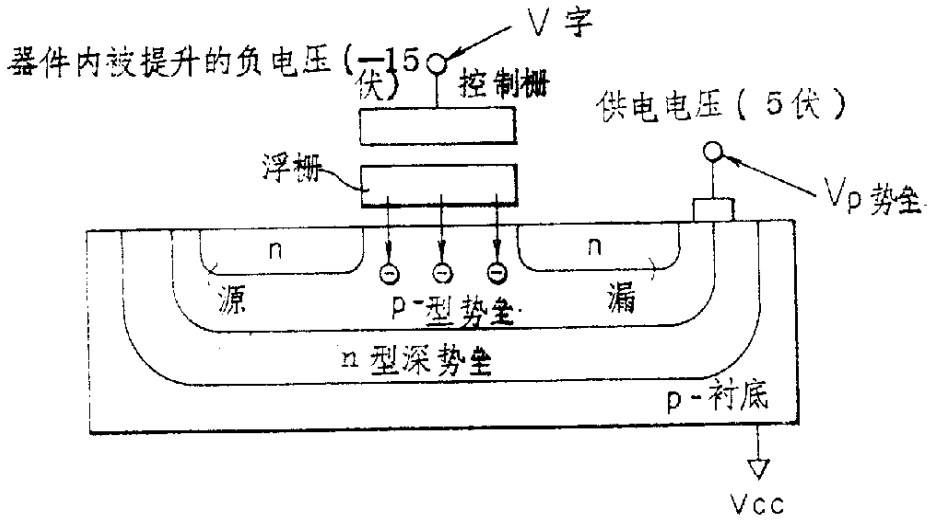

V 字
器件内被提升的负电压（-15伏）
控制栅
供电电压（5伏）
浮栅
Vp 势垒
n
n
源
p-型势垒
漏
n 型深势垒
p-衬底
Vcc

图13

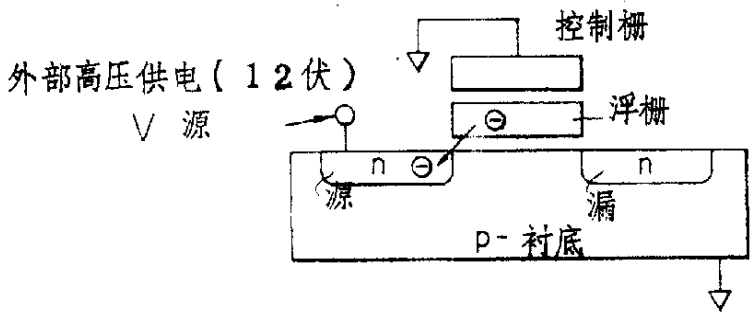

控制栅
外部高压供电（12伏）
V 源
浮栅
n
n
源
漏
p- 衬底

图14

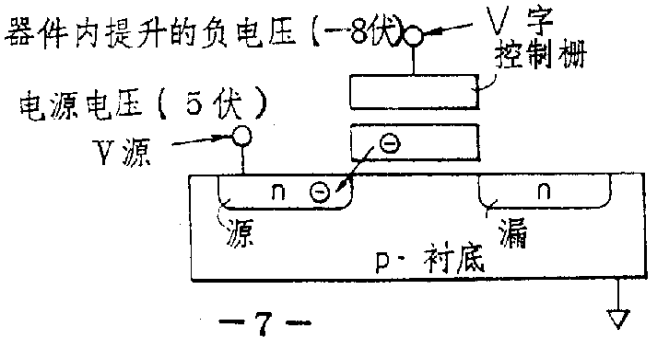

器件内提升的负电压（-8伏）
V 字
控制栅
电源电压（5伏）
V源
n
n
源
漏
p- 衬底

图15

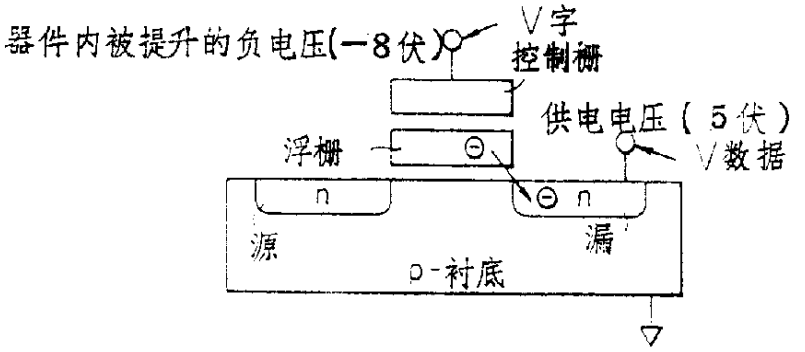

器件内被提升的负电压(—8伏)
V字
控制栅
供电电压（5伏）
浮栅
V数据
n
n
源
漏
p-衬底

图16

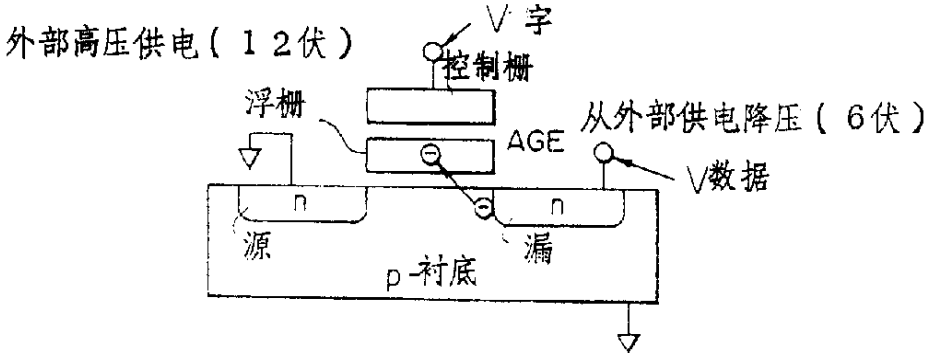

外部高压供电（12伏）
V字
控制栅
浮栅
AGE
从外部供电降压（6伏）
V数据
n
n
源
漏
p-衬底

图17

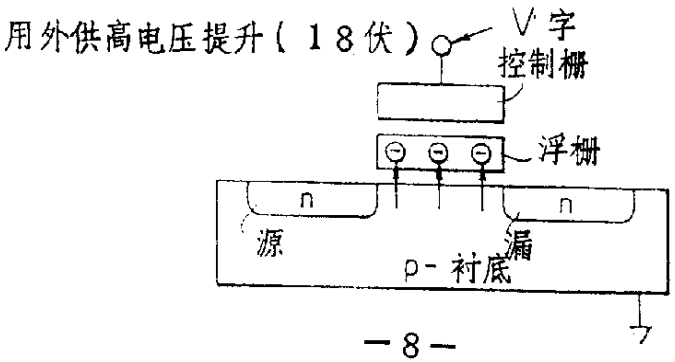

用外供高电压提升（18伏）
V字
控制栅
浮栅
n
n
源
漏
p-衬底

图 18

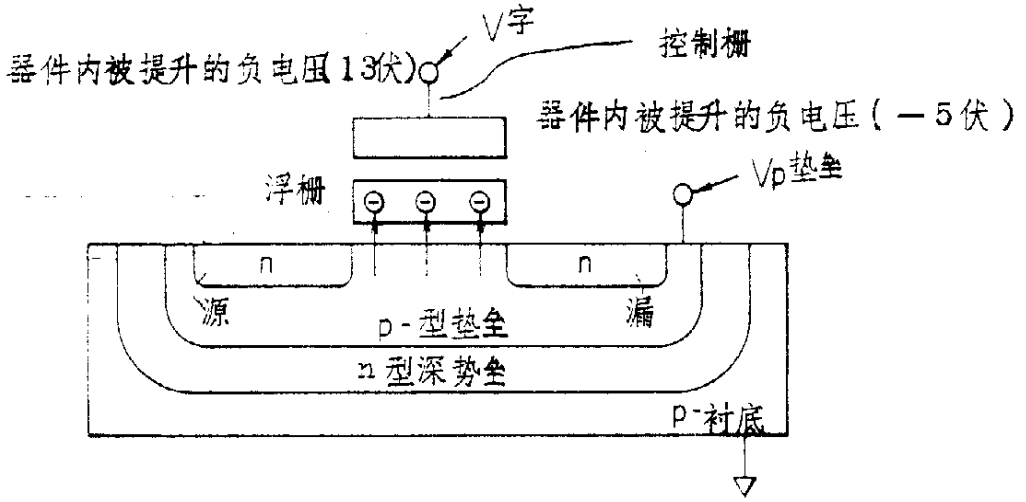

V字
控制栅
器件内被提升的负电压13伏)
器件内被提升的负电压(－5伏)
浮栅
Vp垫垒
n
n
源
漏
p-型垫垒
n型深势垒
p-衬底

图 19

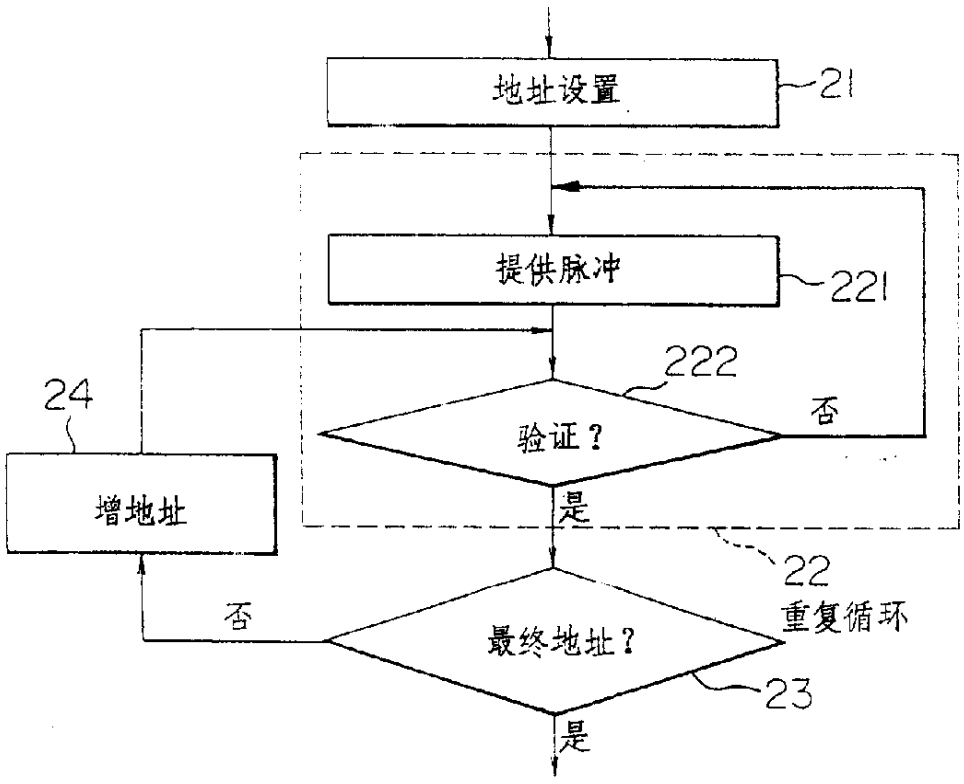

地址设置
21
提供脉冲
221
222
验证？
否
是
24
增地址
22
重复循环
否
最终地址？
23
是

图 20

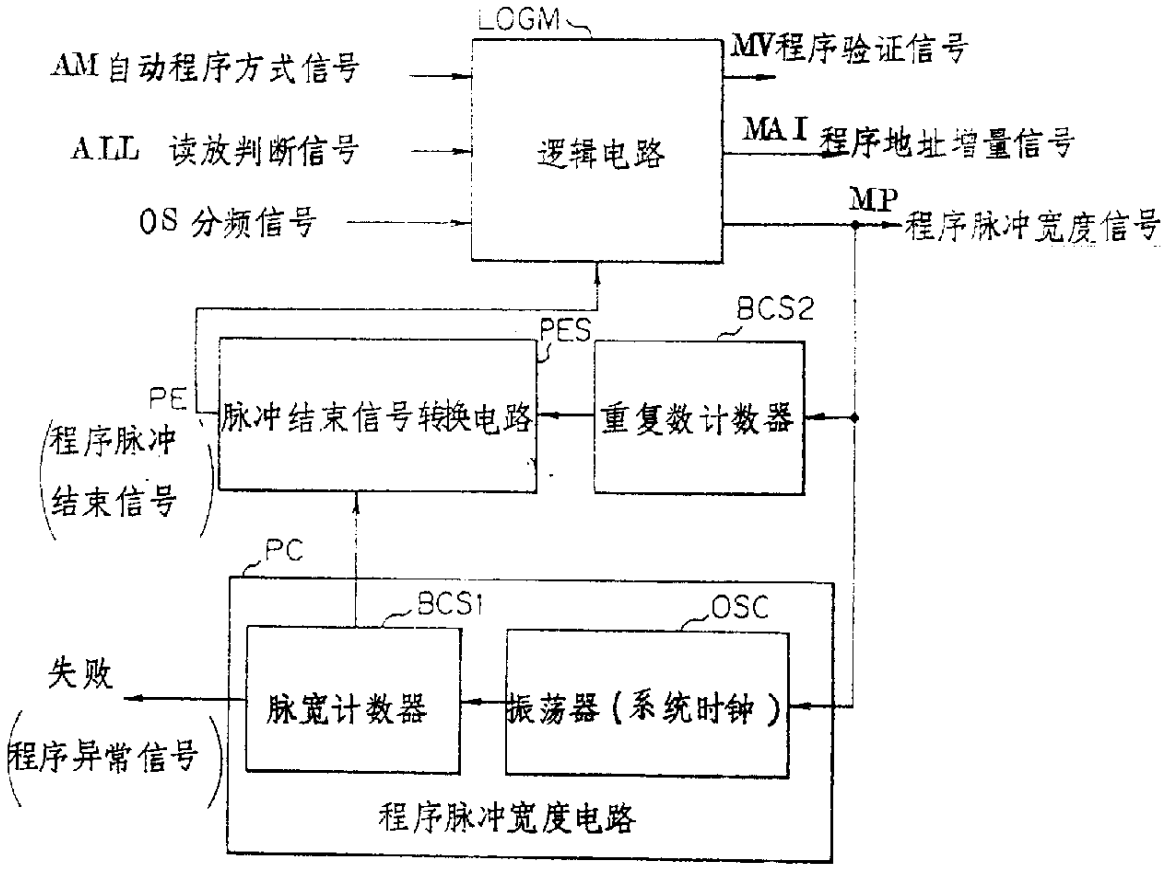
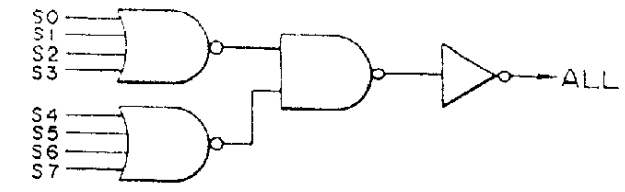
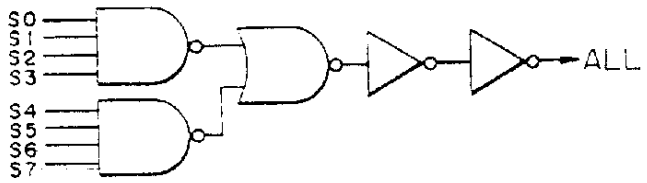

LOGM
AM 自动程序方式信号
ALL 读放判断信号
OS 分频信号
逻辑电路
MV程序验证信号
MAI 程序地址增量信号
MP
程序脉冲宽度信号
PES
BCS2
PE
脉冲结束信号转换电路
重复数计数器
程序脉冲
结束信号
PC
BCS1
OSC
失败
脉宽计数器
振荡器（系统时钟）
程序异常信号
程序脉冲宽度电路

图 21


S0
S1
S2
S3
S4
S5
S6
S7
ALL

（读放输出）

图 22



（读放输出）

图 23

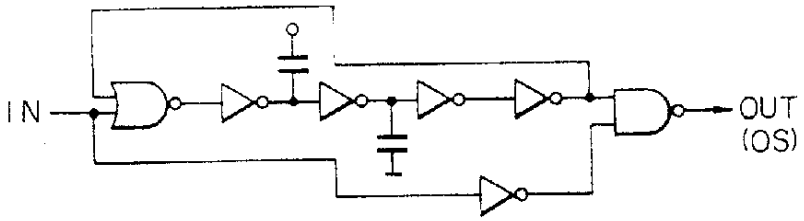


图 24

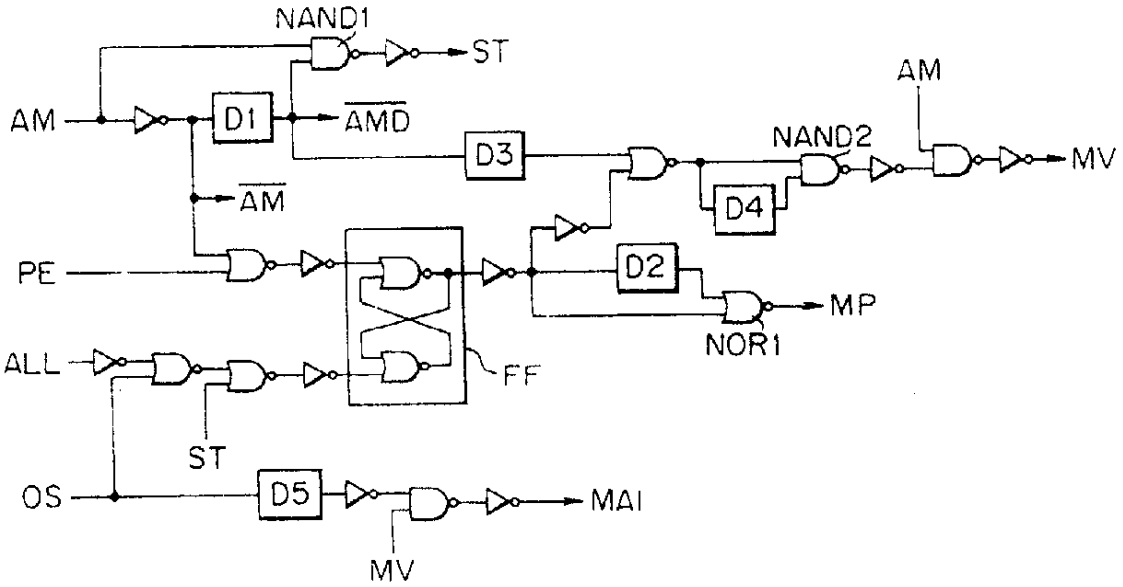


图25

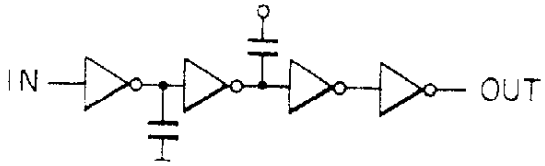


图26

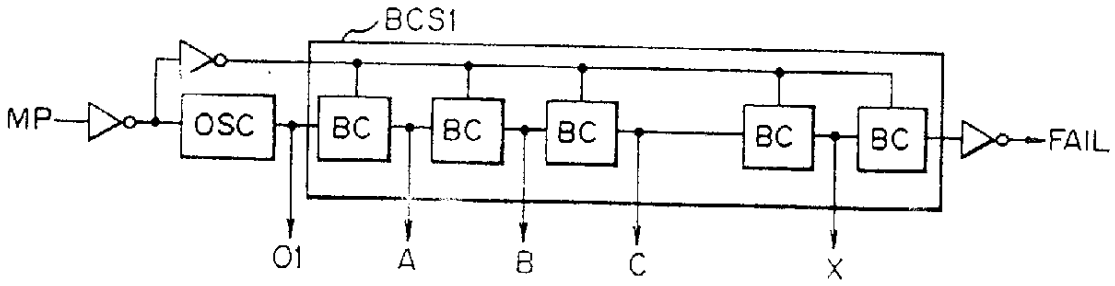


图27

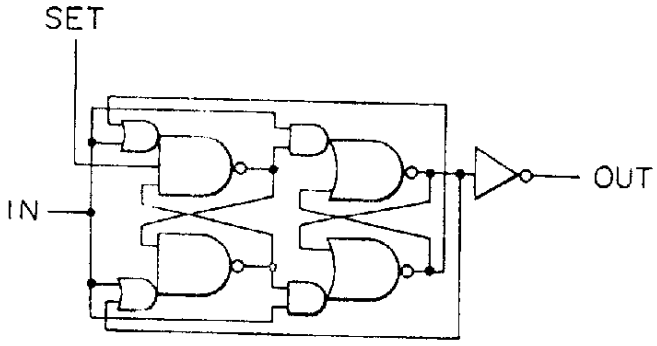


图 28

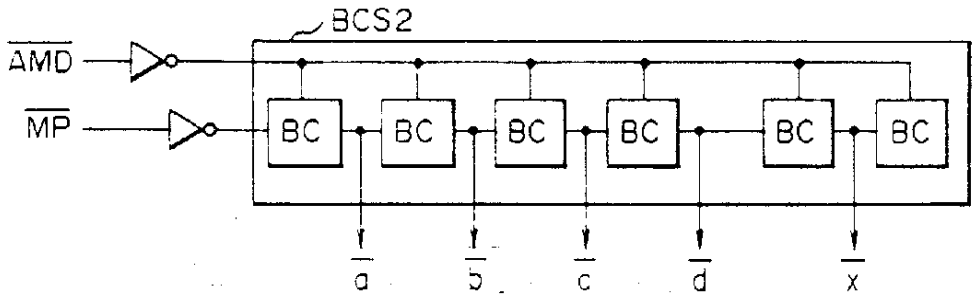

BCS2
AMD
MP
BC
BC
BC
BC
BC
BC
a
b
c
d
x

图 29

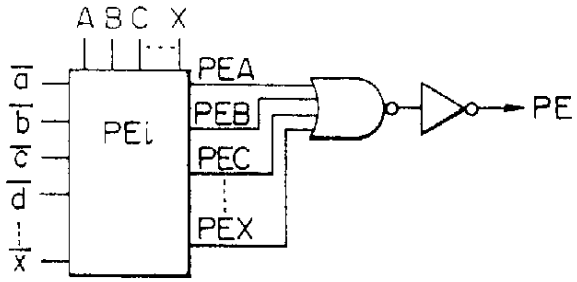

A B C X
a
b
c
d
x
PEi
PEA
PEB
PEC
PEX
PE

图 30

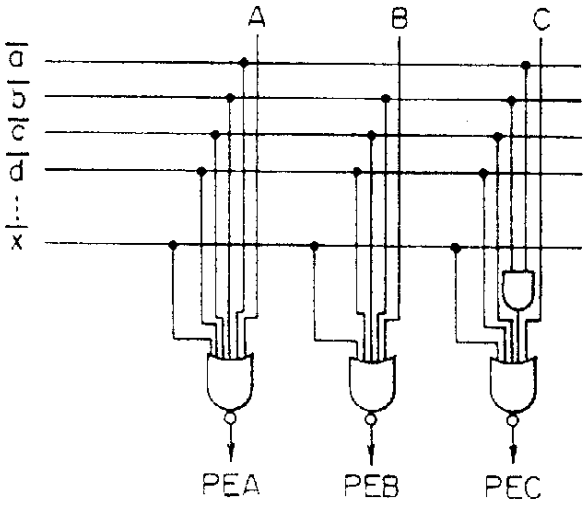

A
B
C
a
b
c
d
x
PEA
PEB
PEC

图 31

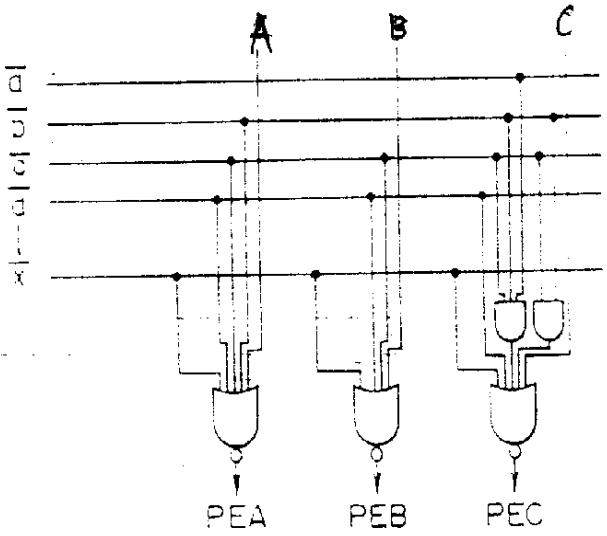

A
B
C
PEA
PEB
PEC

图 33

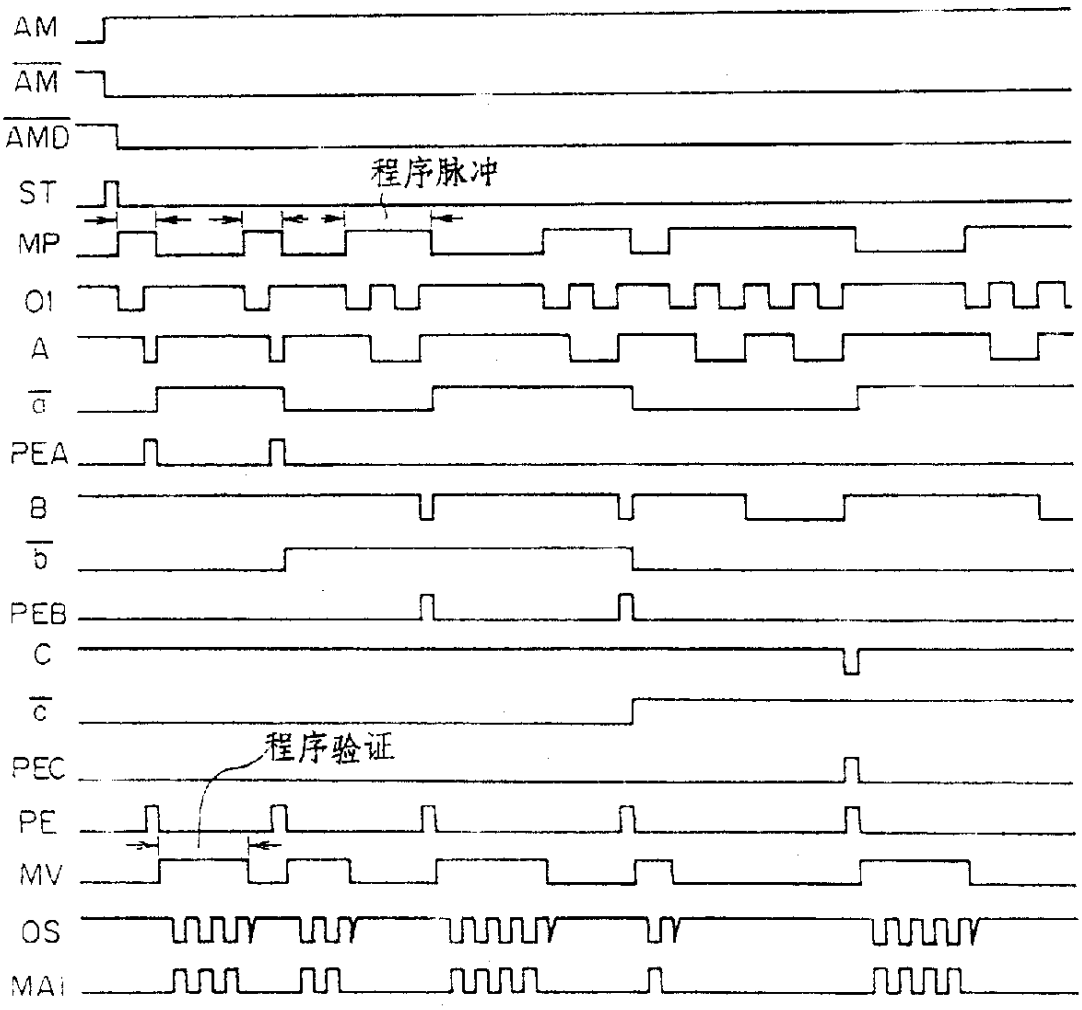

AM
AM
AMD
ST
程序脉冲
MP
01
A
PEA
B
PEB
C
程序验证
PEC
PE
MV
OS
MAI

图32

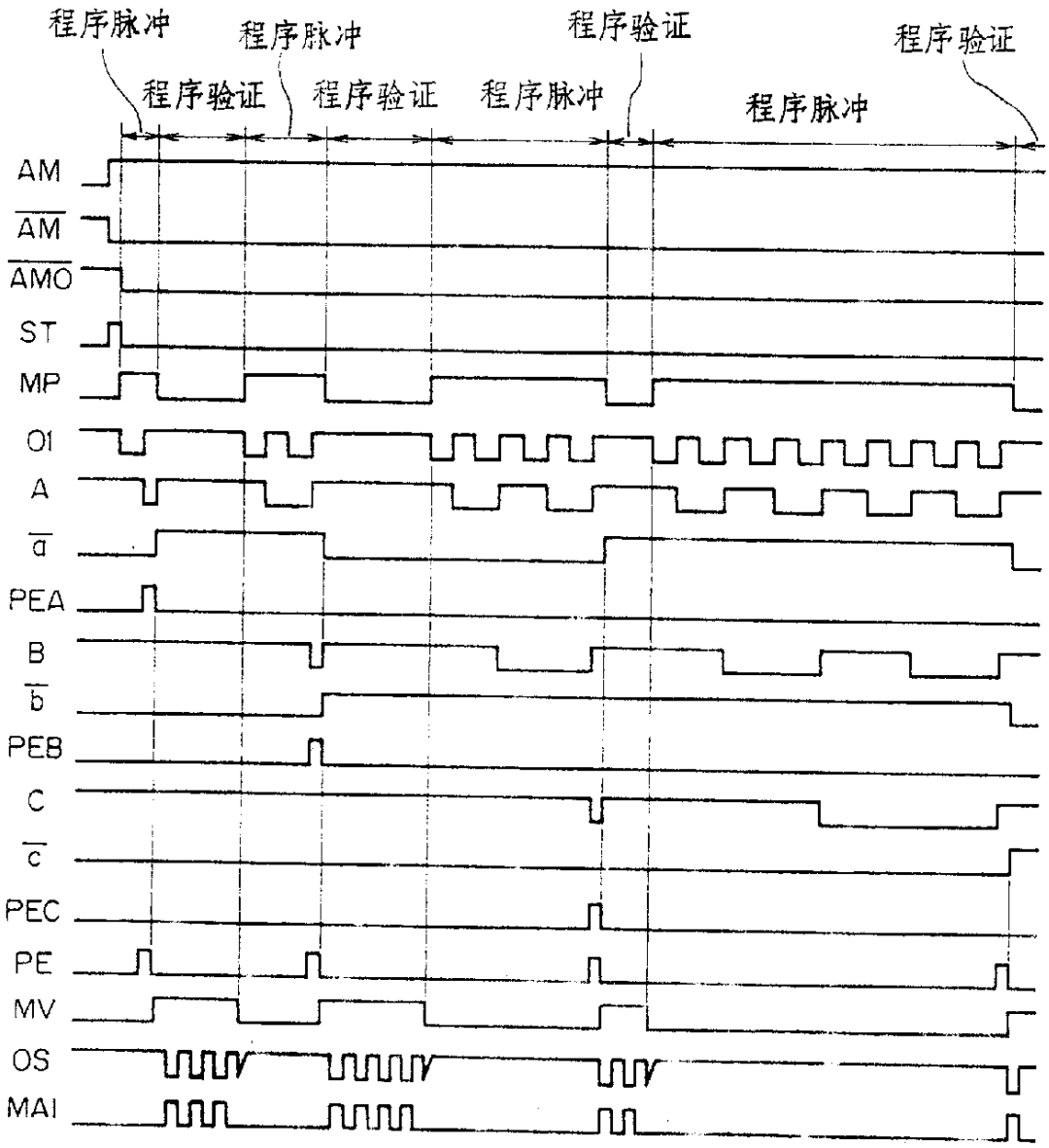

程序脉冲
程序脉冲
程序验证
程序验证
程序验证
程序验证
程序脉冲
程序脉冲
AM
$\overline{AM}$
$\overline{AMO}$
ST
MP
OI
A
$\overline{a}$
PEA
B
$\overline{b}$
PEB
C
$\overline{c}$
PEC
PE
MV
OS
MAI

图 34

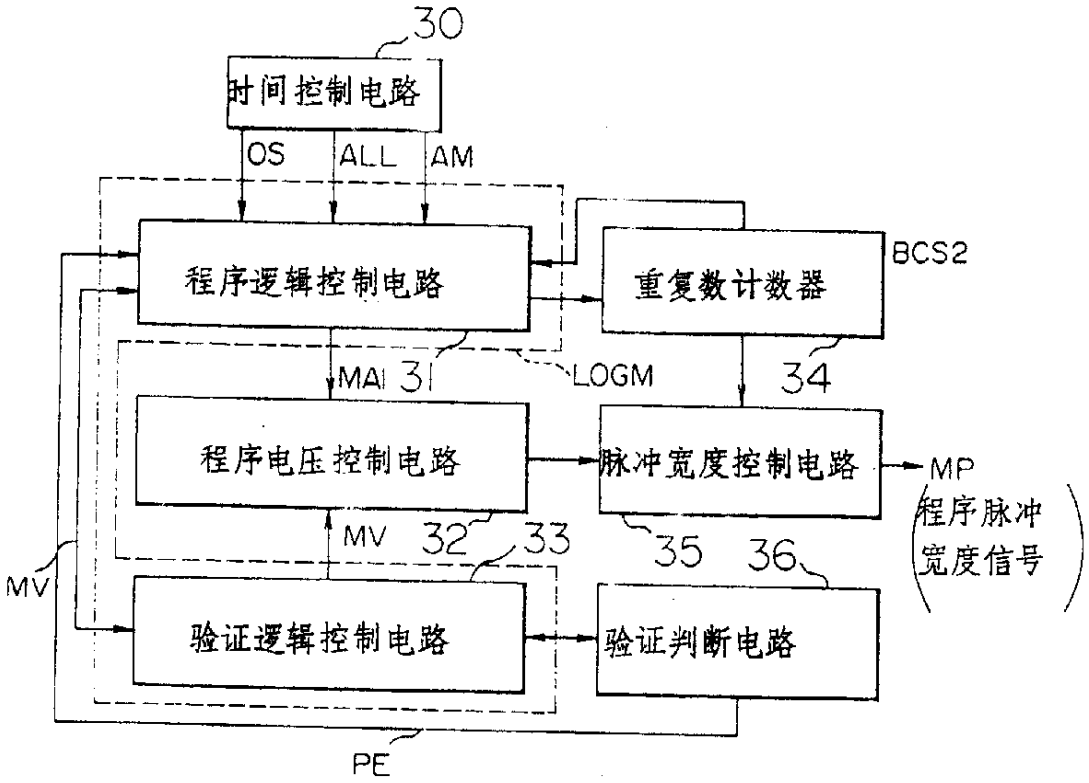
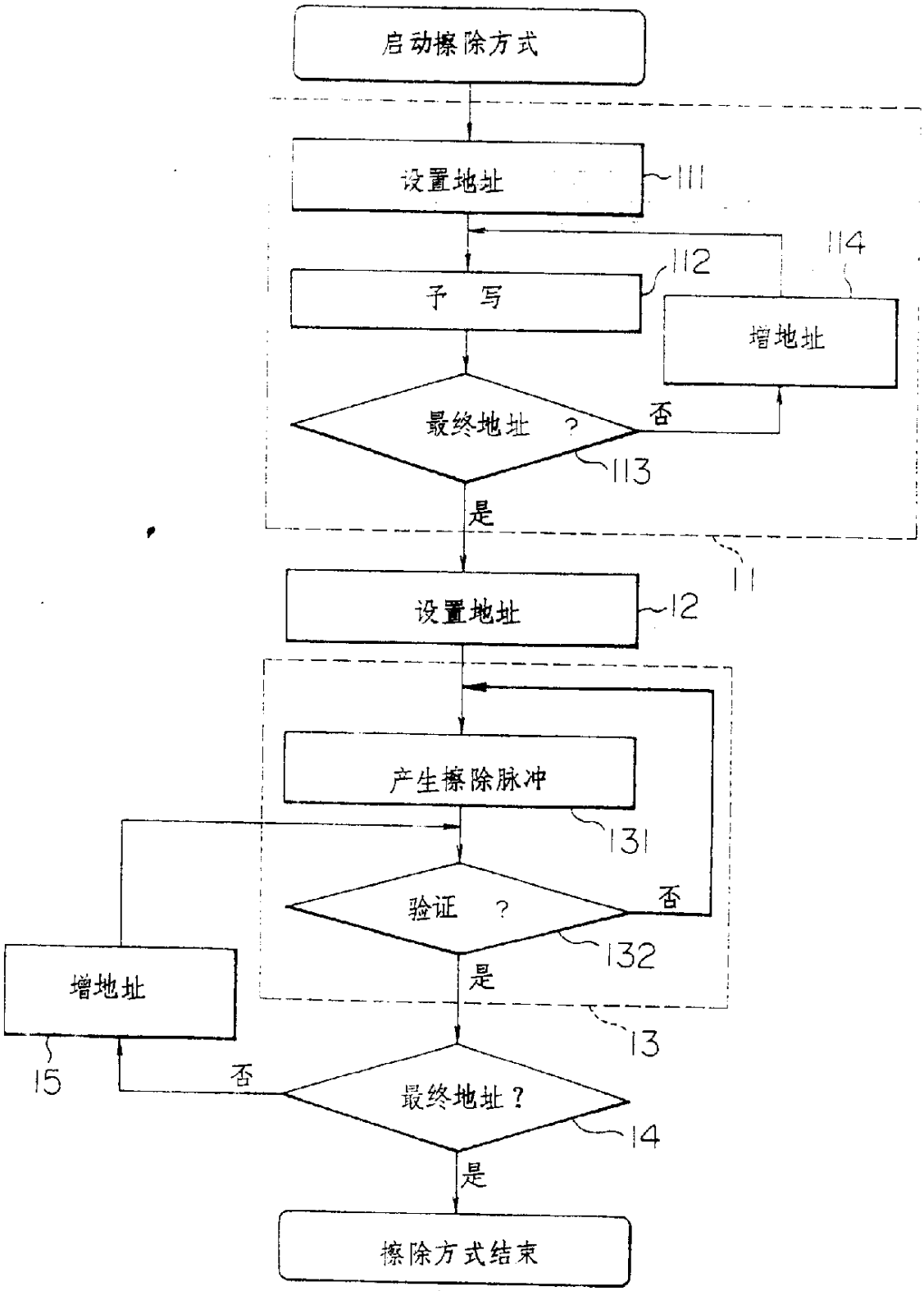

30
时间控制电路
OS
ALL
AM
程序逻辑控制电路
重复数计数器
BCS2
MAI 31
LOGM
34
程序电压控制电路
脉冲宽度控制电路
MP
程序脉冲宽度信号
MV
32
33
35
36
MV
验证逻辑控制电路
验证判断电路
PE

图 35 先有技术


启动擦除方式
设置地址
111
予 写
112
增地址
114
最终地址 ?
否
113
是
11
设置地址
12
产生擦除脉冲
131
验证 ?
否
132
是
13
增地址
15
否
最终地址?
14
是
擦除方式结束