

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5980015号
(P5980015)

(45) 発行日 平成28年8月31日(2016.8.31)

(24) 登録日 平成28年8月5日(2016.8.5)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 8 E

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 8 B

G O 2 F 1/1368 (2006.01)

H O 1 L 29/78 6 1 6 M

G O 9 F 9/30 (2006.01)

G O 2 F 1/1368

G O 9 F 9/30 3 3 8

請求項の数 4 (全 43 頁)

(21) 出願番号 特願2012-152146 (P2012-152146)
 (22) 出願日 平成24年7月6日(2012.7.6)
 (65) 公開番号 特開2013-38401 (P2013-38401A)
 (43) 公開日 平成25年2月21日(2013.2.21)
 審査請求日 平成27年6月11日(2015.6.11)
 (31) 優先権主張番号 特願2011-152190 (P2011-152190)
 (32) 優先日 平成23年7月8日(2011.7.8)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 篠原 聡始
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁表面上に設けられたソース電極層又はドレイン電極層と、
 前記ソース電極層又は前記ドレイン電極層上に設けられた第1の酸化物半導体層と、
 前記第1の酸化物半導体層に接し、前記第1の酸化物半導体層よりも小さいエネルギーギャップを有する第2の酸化物半導体層と、
 前記第2の酸化物半導体層に接し、前記第2の酸化物半導体層より大きいエネルギーギャップを有する第3の酸化物半導体層と、
 前記第3の酸化物半導体層上に設けられたゲート絶縁膜と、
 前記ゲート絶縁膜を介して前記第1の酸化物半導体層、前記第2の酸化物半導体層及び
 前記第3の酸化物半導体層と重畳する領域を有するゲート電極層と、を有し、
 前記第3の酸化物半導体層は、前記第1の酸化物半導体層の側面及び前記第2の酸化物半導体層の側面を覆って、前記第2の酸化物半導体層上に設けられている半導体装置。

【請求項2】

絶縁表面上に設けられた第1の酸化物半導体層と、
 前記第1の酸化物半導体層に接し、前記第1の酸化物半導体層よりも小さいエネルギーギャップを有する第2の酸化物半導体層と、
 前記第2の酸化物半導体層に接し、前記第2の酸化物半導体層より大きいエネルギーギャップを有する第3の酸化物半導体層と、
 前記第3の酸化物半導体層上に設けられたゲート絶縁膜と、

10

20

前記ゲート絶縁膜を介して前記第1の酸化物半導体層、前記第2の酸化物半導体層及び前記第3の酸化物半導体層と重畳する領域を有するゲート電極層と、を有し、

前記第3の酸化物半導体層は、前記第1の酸化物半導体層の側面及び前記第2の酸化物半導体層の側面を覆って、前記第2の酸化物半導体層上に設けられている半導体装置。

【請求項3】

酸化物絶縁膜上に、ソース電極層及びドレイン電極層を形成し、

前記ソース電極層及び前記ドレイン電極層上に、第1の酸化物半導体層と、前記第1の酸化物半導体層より小さいエネルギーギャップを有する第2の酸化物半導体層と、前記第2の酸化物半導体層より大きいエネルギーギャップを有する第3の酸化物半導体層と、を形成し、

前記第3の酸化物半導体層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜を介して、前記第1の酸化物半導体層、前記第2の酸化物半導体層及び前記第3の酸化物半導体層と重畳するゲート電極層を形成する半導体装置の作製方法であって、

前記第1の酸化物半導体層の側面及び前記第2の酸化物半導体層の側面を覆うように前記第3の酸化物半導体層を形成する半導体装置の作製方法。

【請求項4】

酸化物絶縁膜上に、第1の酸化物半導体層と、前記第1の酸化物半導体層より小さいエネルギーギャップを有する第2の酸化物半導体層と、前記第2の酸化物半導体層より大きいエネルギーギャップを有する第3の酸化物半導体層と、を形成し、

前記第3の酸化物半導体層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜を介して、前記第1の酸化物半導体層、前記第2の酸化物半導体層及び前記第3の酸化物半導体層と重畳するゲート電極層を形成する半導体装置の作製方法であって、

前記第1の酸化物半導体層の側面及び前記第2の酸化物半導体層の側面を覆うように前記第3の酸化物半導体層を形成する半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置及び半導体装置の作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（薄膜トランジスタ（TFT）ともいう）を構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

例えば、トランジスタの活性層として、インジウム（In）、ガリウム（Ga）、及び亜鉛（Zn）を含む非晶質酸化物を用いたトランジスタが開示されている（特許文献1参照）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2006-165528号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 0 6 】

トランジスタのオン特性（例えば、オン電流や電界効果移動度）が向上すると、半導体装置において入力信号に対する高速応答、高速駆動が可能になり、より高性能な半導体装置が実現できる。一方、半導体装置の低消費電力化には、トランジスタのオフ電流が十分低いことが求められる。このように、トランジスタに求められる電気特性は用途や目的に合わせて様々であり、該電気特性をより精度よく制御することは有益である。

【 0 0 0 7 】

そこで、本発明の一態様では、酸化物半導体をチャネル形成領域に用いたトランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現するトランジスタ構造およびその作製方法を課題の一つとする。

10

【 0 0 0 8 】

トランジスタは、ゲート電圧が0 Vにできるだけ近い正のしきい値電圧でチャネルが形成されることが望ましい。トランジスタのしきい値電圧値がマイナスであると、ゲート電圧が0 Vでもソース電極とドレイン電極の間に電流が流れる、所謂ノーマリーオンとなりやすい。LSIやCPUやメモリにおいては、回路を構成するトランジスタの電気特性が重要であり、この電気特性が半導体装置の消費電力を左右する。特に、トランジスタの電気特性のうち、しきい値電圧（ V_{th} ）が重要である。電界効果移動度が高くとも、しきい値電圧値がマイナスであると、回路として制御することが困難である。負の電圧状態でもチャネルが形成されてドレイン電流が流れるトランジスタは、半導体装置の集積回路に用いるトランジスタとしては不向きである。

20

【 0 0 0 9 】

また、材料や作製条件によっては、作製されたトランジスタがノーマリーオフとならない場合であっても、ノーマリーオフの特性に近づけることが重要であり、しきい値電圧値がマイナスである、所謂ノーマリーオンであっても、トランジスタのしきい値をゼロに近づける構成およびその作製方法を提供することも課題の一つとする。

【 0 0 1 0 】

また、より高性能な半導体装置を実現するため、トランジスタのオン特性（例えば、オン電流や電界効果移動度）を向上させて、半導体装置の高速応答、高速駆動を実現する構成およびその作製方法を提供することも課題の一つとする。

【 0 0 1 1 】

上記のように、用途に合わせて要求される電気的特性を備えた酸化物半導体層を用いたトランジスタ、及び該トランジスタを有する半導体装置を提供することを課題の一とする。

30

【課題を解決するための手段】

【 0 0 1 2 】

ソース電極層又はドレイン電極層と、半導体層と、ゲート絶縁膜と、ゲート電極層と、が順に積層されたトランジスタにおいて、半導体層として異なるエネルギーギャップを有する少なくとも2層の酸化物半導体を積層させた酸化物半導体層（以下、酸化物半導体積層とも表記する）を用いる。

【 0 0 1 3 】

例えば、ソース電極層又はドレイン電極層に接する第1の酸化物半導体層と、第1の酸化物半導体層上に設けられ第1の酸化物半導体層とは異なるエネルギーギャップを有する第2の酸化物半導体層と、を含む酸化物半導体積層を用いてトランジスタを構成する。ここで、第1の酸化物半導体層と第2の酸化物半導体層とは互いに異なるエネルギーギャップを有すればよく、その積層順は問わない。より具体的には、一方の酸化物半導体層のエネルギーギャップを3 e V以上とし、他方の酸化物半導体層のエネルギーギャップを3 e V未満とすればよい。

40

【 0 0 1 4 】

なお、本明細書等において、「エネルギーギャップ」という用語は、「バンドギャップ」や「禁制帯幅」と同じ意味で用いている。

【 0 0 1 5 】

50

また、酸化物半導体積層を3層以上の酸化物半導体層を含む構成としてもよい。酸化物半導体積層を3層以上の酸化物半導体層を有する構成とする場合には、全ての酸化物半導体層同士が異なるエネルギーギャップを有する構成としてもよいし、同等のエネルギーギャップを有する酸化物半導体層を複数酸化物半導体積層中に用いてもよい。

【0016】

例えば、ソース電極層又はドレイン電極層に接する第1の酸化物半導体層と、第1の酸化物半導体層上に設けられ、電子親和力が第1の酸化物半導体層の電子親和力よりも大きく、またはエネルギーギャップが第1の酸化物半導体層のエネルギーギャップよりも小さい第2の酸化物半導体層と、第2の酸化物半導体層上に設けられた第3の酸化物半導体層とを含む構成とすることができる。なお、第3の酸化物半導体層の電子親和力とエネルギーギャップは、第1の酸化物半導体層の電子親和力とエネルギーギャップと同等とするのが好ましい。ここで、電子親和力とは真空準位と酸化物半導体の伝導帯下端のエネルギー差を表す。エネルギーギャップの小さい第2の酸化物半導体層を、エネルギーギャップの大きい第1の酸化物半導体層及び第3の酸化物半導体層により挟む構造とすることによって、よりトランジスタのオフ電流（リーク電流）を低減する効果が得られる。

10

【0017】

具体的には、第1の酸化物半導体層及び第3の酸化物半導体層のエネルギーギャップは、3 eV以上とし、第2の酸化物半導体層のエネルギーギャップは、3 eV未満とする。酸化物半導体層を用いたトランジスタにおいて、該酸化物半導体層のエネルギーギャップは、トランジスタの電気特性に影響を与える。例えば、酸化物半導体層を用いたトランジスタにおいて、酸化物半導体層のエネルギーギャップが小さいと、オン特性（例えば、オン電流や電界効果移動度）を向上させることができる。一方、酸化物半導体層のエネルギーギャップが大きいと、オフ電流を低減させることができる。

20

【0018】

単層の酸化物半導体層では該酸化物半導体層のエネルギーギャップの大きさで、トランジスタの電気特性はほぼ決定してしまうため、所望の電気的特性をトランジスタに付与することは難しい。しかしながら、本発明の一態様に係るトランジスタは、異なるエネルギーギャップを有する複数の酸化物半導体層を用いた酸化物半導体積層を用いることによって、その電気特性をより精度よく制御することができ、所望の電気特性をトランジスタに付与することが可能となる。

30

【0019】

従って、高機能、高信頼性、又は低消費電力など、種々の目的に応じた半導体装置を提供することができる。

【0020】

本発明の一態様は、絶縁表面上に形成されたソース電極層又はドレイン電極層と、ソース電極層又はドレイン電極層上に設けられ、第1の酸化物半導体層及び第1の酸化物半導体層と異なるエネルギーギャップを有する第2の酸化物半導体層を含む酸化物半導体積層と、酸化物半導体積層上に設けられたゲート絶縁膜と、ゲート絶縁膜を介して酸化物半導体積層と重畳するゲート電極層と、を有する半導体装置である。

【0021】

また、本発明の他の一態様は、絶縁表面上に形成されたソース電極層又はドレイン電極層と、ソース電極層又はドレイン電極層上に設けられ、第1の酸化物半導体層と、第1の酸化物半導体層に接し、第1の酸化物半導体層よりも小さいエネルギーギャップを有する第2の酸化物半導体層と、第2の酸化物半導体層に接し、第2の酸化物半導体層より大きいエネルギーギャップを有する第3の酸化物半導体層と、を含む酸化物半導体積層と、酸化物半導体積層上に設けられたゲート絶縁膜と、ゲート絶縁膜を介して酸化物半導体積層と重畳するゲート電極層と、を有する半導体装置である。

40

【0022】

上記の半導体装置において、第3の酸化物半導体層は、第1の酸化物半導体層の側面及び第2の酸化物半導体層の側面を覆って、第2の酸化物半導体層上に設けられていてもよい

50

。

【0023】

また、上記の半導体装置のいずれかにおいて、酸化物半導体積層において、ゲート電極層と重畳しない領域は、ドーパントを含むのが好ましい。このような構成とすることで、酸化物半導体積層は、ゲート絶縁膜を介してゲート電極層と重なるチャンネル形成領域を有し、チャンネル長方向にそのチャンネル形成領域を挟んで一対の低抵抗領域を有する。

【0024】

チャンネル長方向にチャンネル形成領域を挟んで低抵抗領域を含む酸化物半導体層を形成することにより、該トランジスタはオン特性（例えば、オン電流及び電界効果移動度）が高く、高速動作、高速応答が可能となる。また、低抵抗領域は、自己整合的に形成され、ゲート電極層と重ならないため、寄生容量を小さくすることができる。寄生容量を小さくすることは、半導体装置全体の消費電力を低減することに繋がる。

【0025】

低抵抗領域におけるドーパントの濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが好ましい。

【0026】

また、本発明の他の一態様は、酸化物絶縁膜上に、ソース電極層及びドレイン電極層を形成し、ソース電極層及びドレイン電極層上に、第1の酸化物半導体層と、第1の酸化物半導体層と異なるエネルギーギャップを有する第2の酸化物半導体層と、を含む酸化物半導体積層を形成し、ソース電極層、ドレイン電極層及び酸化物半導体積層上にゲート絶縁膜を形成し、ゲート絶縁膜を介して、酸化物半導体積層と重畳するゲート電極層を形成する半導体装置の作製方法である。

【0027】

また、本発明の他の一態様は、酸化物絶縁膜上に、ソース電極層及びドレイン電極層を形成し、ソース電極層及びドレイン電極層上に、第1の酸化物半導体層と、第1の酸化物半導体層より小さいエネルギーギャップを有する第2の酸化物半導体層と、第2の酸化物半導体層より大きいエネルギーギャップを有する第3の酸化物半導体層と、を含む酸化物半導体積層を形成し、ソース電極層、ドレイン電極層及び酸化物半導体積層上にゲート絶縁膜を形成し、ゲート絶縁膜を介して、酸化物半導体積層と重畳するゲート電極層を形成する半導体装置の作製方法である。

【0028】

上記の半導体装置の作製方法において、第1の酸化物半導体層の側面及び第2の酸化物半導体層の側面を覆うように第3の酸化物半導体層を積層させてもよい。

【0029】

また、上記の半導体装置の作製方法のいずれかにおいて、ゲート絶縁膜を成膜した後に、ゲート絶縁膜上から酸化物半導体積層に酸素を導入してもよい。

【0030】

また、上記の半導体装置の作製方法のいずれかにおいて、ゲート電極層を形成した後、ゲート電極層をマスクとして、酸化物半導体積層に自己整合的にドーパントを導入してもよい。

【発明の効果】

【0031】

互いに異なるエネルギーギャップを有する複数の酸化物半導体層を含む酸化物半導体積層を適用することによって、トランジスタの電気特性をより精度よく制御することができ、所望の電気特性をトランジスタに付与することが可能となる。

【0032】

したがって、高性能、高信頼性、又は低消費電力など、種々の目的に応じた半導体装置を提供することができる。

【図面の簡単な説明】

【0033】

【図 1】本発明の一態様の半導体装置を説明する平面図及び断面図。

【図 2】本発明の一態様の半導体装置の作製方法を説明する図。

【図 3】本発明の一態様の半導体装置を説明する平面図、断面図及びエネルギーバンド図

。

【図 4】本発明の一態様の半導体装置の作製方法を説明する図。

【図 5】本発明の一態様の半導体装置を説明する断面図。

【図 6】本発明の一態様の半導体装置を説明する図。

【図 7】本発明の一態様の半導体装置を説明する図。

【図 8】本発明の一態様の半導体装置を説明する図。

【図 9】電子機器を示す図。

10

【図 10】実施例試料の TEM 写真図及びその模式図。

【図 11】実施例試料の TEM 写真図及びその模式図。

【図 12】イオン化ポテンシャルの測定結果を示す図。

【図 13】エネルギーバンド図。

【図 14】イオン化ポテンシャルの測定結果を示す図。

【図 15】エネルギーバンド図。

【図 16】計算によって求めたトランジスタのオフ電流特性を示す図。

【図 17】計算によって求めたトランジスタの電界効果移動度を示す図。

【発明を実施するための形態】

【0034】

20

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0035】

なお、以下に説明する本発明の構成において、同一部分または同様の機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を有する部分を指す場合にはハッチパターンを同じくし、特に符号を付さない場合がある。

【0036】

30

なお、本明細書等で説明する各図において、各構成の大きさ、膜の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0037】

なお、本明細書等において、第 1、第 2 等として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書等において発明を特定するための事項として固有の名称を示すものではない。

【0038】

(実施の形態 1)

本実施の形態では、半導体装置及び半導体装置の作製方法の一態様を、図 1 及び図 2 を用いて説明する。本実施の形態では、半導体装置の一例として、酸化物半導体積層を有するトランジスタを示す。

40

【0039】

図 1 (A)、図 1 (B) 及び図 1 (C) に示すトランジスタ 510 は、トップゲート構造のトランジスタの一例である。図 1 (A) は平面図であり、図 1 (A) 中の鎖線 X Y で切断した断面が図 1 (B) に相当し、図 1 (A) 中の鎖線 V W で切断した断面が図 1 (C) に相当する。

【0040】

チャンネル長方向の断面図である図 1 (B) に示すように、トランジスタ 510 は、酸化物絶縁膜 436 が設けられた絶縁表面を有する基板 400 上に、ソース電極層 405 a と、

50

ドレイン電極層 405b と、ソース電極層 405a 及びドレイン電極層 405b 上に設けられ、第 1 の酸化物半導体層 101 及び第 2 の酸化物半導体層 102 を含む酸化物半導体積層 403 と、ゲート絶縁膜 402 と、ゲート電極層 401 と、を有する。トランジスタ 510 上には、絶縁膜 407 が形成されている。

【0041】

なお、図 1 (B) 及び図 1 (C) において、酸化物半導体積層 403 に含まれる各酸化物半導体層の界面を模式的に点線で図示している。これは、酸化物半導体積層に含まれる各酸化物半導体層の界面が不明確 (不明瞭) となる場合のことを模式的に示したものであり、本明細書の他の図面においても同様である。なお、界面が不明確とは、透過電子顕微鏡 (TEM: Transmission Electron Microscope) を用いた酸化物半導体積層の断面観察像 (TEM 像) において酸化物半導体層間に連続的な境界が確認できない場合を指す。

10

【0042】

酸化物半導体積層 403 において、第 1 の酸化物半導体層 101 及び第 2 の酸化物半導体層 102 は、それぞれの有するエネルギーギャップが異なればよく、エネルギーギャップの大小による積層順は限定されない。

【0043】

具体的には、酸化物半導体積層 403 において、一方の酸化物半導体層のエネルギーギャップを 3 eV 以上とし、他方の酸化物半導体層のエネルギーギャップを 3 eV 未満とする。エネルギーギャップが 3 eV 以上の酸化物半導体としては、例えば In - Ga - Zn 系酸化物半導体 (エネルギーギャップ 3 . 0 eV ~ 3 . 4 eV、代表的には 3 . 2 eV) を用いることができる。また、エネルギーギャップが 3 eV 未満の酸化物半導体としては、例えば、In - Sn - Zn 系酸化物半導体 (エネルギーギャップ 2 . 6 eV ~ 2 . 9 eV、代表的には 2 . 8 eV) を用いることができる。

20

【0044】

図 2 に、トランジスタ 510 の作製方法の一例を示す。

【0045】

まず、絶縁表面を有する基板 400 上に酸化物絶縁膜 436 を形成する。

【0046】

絶縁表面を有する基板 400 に使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板 400 として用いてもよい。

30

【0047】

また、基板 400 として、可撓性基板を用いて半導体装置を作製してもよい。可撓性を有する半導体装置を作製するには、可撓性基板上に酸化物半導体積層を含むトランジスタを直接作製してもよいし、他の作製基板に酸化物半導体積層を含むトランジスタを作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板と酸化物半導体積層を含むトランジスタとの間に剥離層を設けるとよい。

40

【0048】

酸化物絶縁膜 436 としては、プラズマ CVD 法又はスパッタリング法等により、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ハフニウム、酸化ガリウム、窒化酸化シリコン、窒化酸化アルミニウム、又はこれらの混合材料を用いて形成することができる。本実施の形態では酸化物絶縁膜 436 としてスパッタリング法を用いて形成する酸化シリコン膜を用いる。

【0049】

50

酸化物絶縁膜 436 は、単層でも積層でもよい。例えば、基板 400 上に酸化シリコン膜、 $\text{In}-\text{Hf}-\text{Zn}$ 系酸化物膜を順に積層してもよいし、基板 400 上に酸化シリコン膜、 $\text{In}:\text{Zr}:\text{Zn}=1:1:1$ の原子比の $\text{In}-\text{Zr}-\text{Zn}$ 系酸化物膜を順に積層してもよいし、基板 400 上に酸化シリコン膜、 $\text{In}:\text{Gd}:\text{Zn}=1:1:1$ の原子比の $\text{In}-\text{Gd}-\text{Zn}$ 系酸化物膜を順に積層してもよい。

【0050】

トランジスタ 510 において、酸化物絶縁膜 436 は、酸化物半導体積層 403 の最下層と接するため、膜中（バルク中）に少なくとも化学量論的組成比を超える量の酸素が存在することが好ましい。例えば、酸化物絶縁膜 436 として、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 +$ （ただし、 >0 ）とする。このような酸化物絶縁膜 436 を用いることで、上方に形成する酸化物半導体積層に酸素を供給することができ、特性を良好にすることができる。酸化物半導体積層へ酸素を供給することにより、膜中の酸素欠損を補填することができる。

10

【0051】

次いで、酸化物絶縁膜 436 上に、ソース電極層及びドレイン電極層（これと同じ層で形成される配線を含む）となる導電膜を形成し、これを選択的にエッチングしてソース電極層 405a、ドレイン電極層 405b を形成する。ソース電極層 405a 及びドレイン電極層 405b に用いる導電膜としては、後の加熱処理に耐えられる材料を用いるものとし、例えば、 Al 、 Cr 、 Cu 、 Ta 、 Ti 、 Mo 、 W から選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タン

20

【0052】

本実施の形態では、ソース電極層 405a、ドレイン電極層 405b として膜厚 10nm のタングステン膜を形成する。このようにソース電極層 405a、ドレイン電極層 405b の膜厚が薄いと、上に形成される酸化物半導体積層 403 の被覆性が良好とすることができる。

30

【0053】

次いで、ソース電極層 405a 及びドレイン電極層 405b 上に、第 1 の酸化物半導体膜 101 及び第 2 の酸化物半導体膜 102 となる第 1 の酸化物半導体膜 191 及び第 2 の酸化物半導体膜 192 を成膜する（図 2（A）参照）。

【0054】

第 1 の酸化物半導体膜 191 と、第 2 の酸化物半導体膜 192 とは互いに異なるエネルギーギャップを有する酸化物半導体膜とする。例えば、一方の酸化物半導体膜のエネルギーギャップを 3eV 以上とし、他方の酸化物半導体膜のエネルギーギャップを 3eV 未満とすればよい。

40

【0055】

第 1 の酸化物半導体膜 191 及び第 2 の酸化物半導体膜 192 の作製工程において、当該酸化物半導体膜に水素、又は水分がなるべく含まれないようにするため、成膜前処理としてスパッタリング装置の予備加熱室で酸化物絶縁膜 436、ソース電極層 405a 及びドレイン電極層 405b が形成された基板を予備加熱し、基板及び酸化物絶縁膜 436 等に吸着した水素、水分等の不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。

【0056】

50

第1の酸化物半導体膜191及び第2の酸化物半導体膜192に用いる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。また、スタビライザーとしてジルコニウム(Zr)を有することが好ましい。

【0057】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

【0058】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

【0059】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。なお、同じ材料でも単結晶と、非単結晶ではエネルギーギャップが異なることがあるため、適宜選択することが重要である。

【0060】

また、酸化物半導体積層として、結晶を含み、結晶性を有する酸化物半導体膜(結晶性酸化物半導体膜)を用いることができる。結晶性酸化物半導体膜における結晶状態は、結晶軸の方向が無秩序な状態でも、一定の配向性を有する状態であってもよい。

【0061】

例えば、結晶性酸化物半導体膜として、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜を用いることができる。

【0062】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、結晶部及び非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、TEMによる観察像では、CAAC-OS膜に含まれる非晶質部と結晶部の境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう)は確認できない。そのため、CAAC-OS膜は粒界に起因する電子移動度の低下が抑制される。

【0063】

10

20

30

40

50

C A A C - O S 膜に含まれる結晶部は、c 軸が C A A C - O S 膜の被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃い、且つ a b 面に垂直な方向から見て三角形又は六角形状の原子配列を有し、c 軸に垂直な方向から見て金属原子が層状又は金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸及び b 軸の向きが異なっているてもよい。本明細書において、単に垂直と記載する場合、 85° 以上 95° 以下の範囲も含まれることとする。また、単に平行と記載する場合、 -5° 以上 5° 以下の範囲も含まれることとする。

【0064】

なお、C A A C - O S 膜において、結晶部の分布が一様でなくてもよい。例えば、C A A C - O S 膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、C A A C - O S 膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

10

【0065】

C A A C - O S 膜に含まれる結晶部の c 軸は、C A A C - O S 膜の被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃うため、C A A C - O S 膜の形状（被形成面の断面形状又は表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部の c 軸の方向は、C A A C - O S 膜が形成されたときの被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、又は成膜後に加熱処理などの結晶化処理を行うことにより形成される。

20

【0066】

C A A C - O S 膜を含むトランジスタは、可視光や紫外光の照射による電気的特性変化をより抑制することができるため、該トランジスタを含む半導体装置を信頼性の高い半導体装置とすることができる。

【0067】

C A A C - O S 膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域が a - b 面から劈開し、a - b 面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、C A A C - O S 膜を成膜することができる。

30

【0068】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【0069】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が -80° 以下、好ましくは -100° 以下である成膜ガスを用いる。

【0070】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 100° 以上 740° 以下、好ましくは 200° 以上 500° 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

40

【0071】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30 体積% 以上、好ましくは 100 体積% とする。

【0072】

スパッタリング用ターゲットの一例として、In - Ga - Zn - O 化合物ターゲットにつ

50

いて以下に示す。

【0073】

InO_x 粉末、 GaO_y 粉末および ZnO_z 粉末を所定の mol 数で混合し、加圧処理後、1000 以上1500 以下の温度で加熱処理をすることで多結晶である In-Ga-Zn-O 化合物ターゲットとする。なお、 x 、 y および z は任意の正数である。ここで、所定の mol 数比は、例えば、 InO_x 粉末、 GaO_y 粉末および ZnO_z 粉末が、2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3 または 3 : 1 : 2 である。なお、粉末の種類、およびその混合する mol 数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

【0074】

第1の酸化物半導体膜191及び第2の酸化物半導体膜192の膜厚は、5 nm以上10 nm以下（好ましくは5 nm以上30 nm以下）とし、スパッタリング法、MBE（Molecular Beam Epitaxy）法、CVD法、パルスレーザ堆積法、ALD（Atomic Layer Deposition）法等を適宜用いることができる。また、第1の酸化物半導体膜191及び第2の酸化物半導体膜192は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。

【0075】

なお、第1の酸化物半導体膜191及び第2の酸化物半導体膜192は、成膜時に酸素が多く含まれるような条件（例えば、酸素100%の雰囲気下でスパッタリング法により成膜を行うなど）で成膜して、酸素を多く含む（好ましくは酸化物半導体が結晶状態における化学量論的組成比に対し、酸素の含有量が過剰な領域が含まれている）膜とすることが好ましい。

【0076】

なお、本実施の形態において、第1の酸化物半導体膜191は、スパッタリング法で作製するためのターゲットとして、例えば、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol比]の金属酸化物ターゲットを用い、 In-Ga-Zn 系酸化物膜を成膜する。また、このターゲットの材料及び組成に限定されず、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol比]の金属酸化物ターゲットを用いてもよい。

【0077】

第1の酸化物半導体膜191及び第2の酸化物半導体膜192を、成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0078】

また、酸化物絶縁膜436と酸化物半導体積層とを大気に解放せずに連続的に形成することが好ましい。酸化物絶縁膜436と酸化物半導体積層とを大気に曝露せずに連続して形成すると、酸化物絶縁膜436表面に水素や水分などの不純物が吸着することを防止することができる。

【0079】

次いで、第1の酸化物半導体膜191及び第2の酸化物半導体膜192をフォトリソグラフィ工程により島状に加工し、第1の酸化物半導体層101及び第2の酸化物半導体層102よりなる酸化物半導体積層403を形成する。

【0080】

酸化物半導体積層403（第1の酸化物半導体層101及び第2の酸化物半導体層102）を形成するためのレジストマスクをインクジェットで形成してもよい。レジストマスクをインクジェットで形成するとフォトマスクを使用しないため、製造コストを低減することができる。

【0081】

なお、第1の酸化物半導体膜191及び第2の酸化物半導体膜192のエッチングは、ドライエッチングでもウェットエッチングでもよく、双方を適用してもよい。

10

20

30

40

50

【0082】

本実施の形態では、第1の酸化物半導体膜191及び第2の酸化物半導体膜192を同じマスクを用いてエッチング加工するため、加工後の第1の酸化物半導体層101と第2の酸化物半導体層102とは側面の端部が一致した同形状の酸化物半導体層となる。島状に加工後の酸化物半導体積層403において第1の酸化物半導体層101及び第2の酸化物半導体層102の側面(端部)は露出している。

【0083】

酸化物半導体積層403に、過剰な水素(水や水酸基を含む)を除去(脱水化または脱水素化)するための加熱処理を行ってもよい。加熱処理の温度は、300 以上700 以下、または基板の歪み点未満とする。加熱処理は減圧下又は窒素雰囲気下などで行うことができる。例えば、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体積層403に対して窒素雰囲気下450 において1時間の加熱処理を行う。

10

【0084】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

20

【0085】

例えば、加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を入れ、数分間加熱した後、基板を不活性ガス中から出すGRTAを行ってもよい。

【0086】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上好ましくは7N(99.99999%)以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

30

【0087】

また、加熱処理で酸化物半導体積層403を加熱した後、加熱温度を維持、またはその加熱温度から徐冷しながら同じ炉に高純度の酸素ガス、高純度の一酸化二窒素ガス、又は超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気)を導入してもよい。酸素ガスまたは一酸化二窒素ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する酸素ガスまたは一酸化二窒素ガスの純度を、6N以上好ましくは7N以上(即ち、酸素ガスまたは一酸化二窒素ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。酸素ガス又は一酸化二窒素ガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体積層403を高純度化及びi型(真性)化することができる。

40

【0088】

なお、脱水化又は脱水素化のための加熱処理は、酸化物半導体膜の形成後であって、後に形成する絶縁膜407の成膜前であればトランジスタ510の作製工程におけるどのタイミングで行ってもよい。例えば、第2の酸化物半導体膜192の成膜後であって島状に加工する前、又はゲート絶縁膜402形成後に行うことができる。

50

【0089】

また、脱水化又は脱水素化のための加熱処理は、複数回行ってもよく、他の加熱処理と兼ねてもよい。例えば、第1の酸化物半導体膜191成膜後と、第2の酸化物半導体膜192成膜後の2回加熱処理を行ってもよい。

【0090】

なお、脱水化又は脱水素化のための加熱処理を、第1の酸化物半導体膜191及び第2の酸化物半導体膜192を島状に加工する前に行うと、酸化物絶縁膜436に含まれる酸素が加熱処理によって放出されるのを防ぐことができるため好ましい。

【0091】

また、酸素を含む絶縁膜である酸化物絶縁膜436と少なくとも一部が接する状態で、脱水化又は脱水素化のための加熱処理を行うことで、酸化物絶縁膜436から酸化物半導体積層403へ酸素を供給することができる。または、ゲート絶縁膜402を、酸素を含む絶縁膜として、ゲート絶縁膜402の成膜後に脱水化又は脱水素化のための加熱処理を行い、ゲート絶縁膜402から酸化物半導体積層403へ酸素を供給してもよい。酸化物半導体積層403に接する絶縁膜から酸素を供給することにより、酸化物半導体積層403中の酸素欠損を補填し、酸化物半導体積層403を高純度化及びi型（真性）化することができる。なお、脱水化又は脱水素化のための加熱処理を行う際に酸化物半導体積層403に接する絶縁膜中（バルク中）には、少なくとも化学量論的組成比を超える量の酸素が存在することが好ましい。

【0092】

次いで、酸化物半導体積層403、ソース電極層405a、及びドレイン電極層405bを覆うゲート絶縁膜402を形成する（図2（B）参照）。

【0093】

ゲート絶縁膜402の膜厚は、1nm以上20nm以下とし、スパッタリング法、MBE法、CVD法、パルスレーザ堆積法、ALD法等を適宜用いることができる。また、ゲート絶縁膜402は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。

【0094】

ゲート絶縁膜402の材料としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜を用いて形成することができる。

【0095】

また、ゲート絶縁膜402の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ HfSiO_xN_y （ $x > 0$ 、 $y > 0$ ））、ハフニウムアルミネート（ HfAl_xO_y （ $x > 0$ 、 $y > 0$ ））、酸化ランタンなどのhigh-k材料を用いることでゲートリーク電流を低減できる。さらに、ゲート絶縁膜402は、単層構造としても良いし、積層構造としても良い。

【0096】

次いで、ゲート電極層401をプラズマCVD法又はスパッタリング法等により、ゲート絶縁膜402上に形成する（図2（C）参照）。これにより、本実施の形態のトランジスタ510が作製される。

【0097】

ゲート電極層401の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。また、ゲート電極層401としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてもよい。ゲート電極層401は、単層構造としてもよいし、積層構造としてもよい。

【0098】

また、ゲート電極層 401 の材料は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

【0099】

また、ゲート絶縁膜 402 と接するゲート電極層 401 の一層として、窒素を含む金属酸化物、具体的には、窒素を含む In-Ga-Zn 系酸化物膜や、窒素を含む In-Sn 系酸化物膜や、窒素を含む In-Ga 系酸化物膜や、窒素を含む In-Zn 系酸化物膜や、窒素を含む Sn 系酸化物膜や、窒素を含む In 系酸化物膜や、金属窒化膜 (InN 、 SnN など) を用いることができる。これらの膜は 5 eV 、好ましくは 5.5 eV 以上の仕事関数を有し、ゲート電極層として用いた場合、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

【0100】

なお、トランジスタ 510 を覆うように、ゲート絶縁膜 402 及びゲート電極層 401 上に絶縁膜 407 を形成してもよい (図 2 (D) 参照)。

【0101】

絶縁膜 407 は、酸化シリコン膜の他に、代表的に酸化アルミニウム膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、又は酸化ガリウム膜などの無機絶縁膜を用いることができる。例えば、絶縁膜 407 として酸化シリコン膜と酸化アルミニウム膜との積層を用いることができる。

【0102】

絶縁膜 407 として用いることのできる酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を通過させない遮断効果 (ブロック効果) が高い。

【0103】

また、絶縁膜 407 として平坦化絶縁膜を用いてもよい。平坦化絶縁膜としては、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料 (low-k 材料) 等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

【0104】

本実施の形態で示したトランジスタ 510 は、互いに異なるエネルギーギャップを有する 2 層の酸化物半導体層を含む酸化物半導体積層 403 を用いて構成される。酸化物半導体層を用いたトランジスタにおいて、該酸化物半導体層のエネルギーギャップは、トランジスタの電気特性に影響を与える。例えば、酸化物半導体層を用いたトランジスタにおいて、酸化物半導体層のエネルギーギャップが小さいと、オン特性 (例えば、オン電流や電界効果移動度) を向上させることができる。一方、酸化物半導体層のエネルギーギャップが大きいと、オフ電流を低減することができる。トランジスタ 510 においては、互いに異なるエネルギーギャップを有する複数の酸化物半導体層を含む酸化物半導体積層 403 を用いることによって、その電気特性をより精度よく制御することができ、所望の電気特性をトランジスタ 510 に付与することが可能となる。

【0105】

また、トランジスタ 510 に用いられる酸化物半導体積層 403 は、脱水化又は脱水素化、及びその後の酸素供給によって、高純度化され、酸素欠損が低減された酸化物半導体積層とすることができる。酸化物半導体積層 403 は、水素、水などの不純物が十分に除去され、酸化物半導体積層 403 中の水素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下とすることができる。なお、酸化物半導体積層 403 中の水素濃度は、二次イオン質量分析法 ($\text{SIMS: Secondary Ion Mass Spectrometry}$) で測定されるものである。

【0106】

高純度化し、酸素欠損を補填する酸素を過剰に含む酸化物半導体積層 403 を用いたトランジスタは、オフ状態における電流値（オフ電流値）を、チャネル幅 $1\ \mu\text{m}$ 当たり室温にて $100\ \text{zA}/\mu\text{m}$ （ $1\ \text{zA}$ （zeptoアンペア）は $1 \times 10^{-21}\ \text{A}$ ）以下、好ましくは $10\ \text{zA}/\mu\text{m}$ 以下、より好ましくは $1\ \text{zA}/\mu\text{m}$ 以下、さらに好ましくは $100\ \text{yA}/\mu\text{m}$ 以下レベルにまで低くすることができる。

【0107】

こうして得られる電気特性の高いトランジスタを用いることで高性能及び高信頼性の半導体装置を提供することができる。

【0108】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

10

【0109】

（実施の形態 2）

本実施の形態では、実施の形態 1 の工程を一部変更して得られるトランジスタの例を図 3 乃至図 5 を用いて説明する。但し、本実施の形態において、実施の形態 1 と同一部分又は同様の機能を有する部分、及び工程は、実施の形態 1 と同様に行うことができ、繰り返しの説明は省略する。

【0110】

図 3（A）、図 3（B）及び図 3（C）に示すトランジスタ 520 は、トップゲート構造のトランジスタの一例である。図 3（A）は平面図であり、図 3（A）中の鎖線 XY で切断した断面が図 3（B）に相当し、図 3（A）中の鎖線 VW で切断した断面が図 3（C）に相当する。

20

【0111】

チャネル長方向の断面図である図 3（B）に示すように、トランジスタ 520 は酸化物絶縁膜 436 が設けられた絶縁表面を有する基板 400 上に、ソース電極層 405a と、ドレイン電極層 405b と、第 1 の酸化物半導体層、第 2 の酸化物半導体層、及び第 3 の酸化物半導体層を含む酸化物半導体積層 403 と、ゲート絶縁膜 402 と、ゲート電極層 401 と、を有する。トランジスタ 520 上には、絶縁膜 407 が形成されている。

【0112】

トランジスタ 520 において第 1 の酸化物半導体層は、酸化物絶縁膜 436、ソース電極層 405a 及びドレイン電極層 405b 上に接して形成され、第 2 の酸化物半導体層は、第 1 の酸化物半導体層上に形成される。また、トランジスタ 520 において、酸化物半導体積層 403 は、第 3 の酸化物半導体層を有し、第 3 の酸化物半導体層は、第 1 の酸化物半導体層の側面及び第 2 の酸化物半導体層の側面を覆って設けられている。なお、第 3 の酸化物半導体層のチャネル長方向の周縁部は、ソース電極層 405a 及びドレイン電極層 405b と接する。

30

【0113】

酸化物半導体積層 403 において、ゲート絶縁膜 402 を介してゲート電極層 401 と重畳するチャネル形成領域は、3 層で形成され、基板 400 側から順に、第 1 のチャネル形成領域 121c、第 2 のチャネル形成領域 122c、及び第 3 のチャネル形成領域 123c が積層されている。

40

【0114】

また、チャネル長方向に第 1 のチャネル形成領域 121c を挟んで第 1 の低抵抗領域 121a、121b を有する。また、チャネル長方向に第 2 のチャネル形成領域 122c を挟んで第 2 の低抵抗領域 122a、122b を有する。また、チャネル長方向に第 3 のチャネル形成領域 123c を挟んで第 3 の低抵抗領域 123a、123b を有する。

【0115】

図 3 に示すトランジスタ 520 において、酸化物半導体積層 403 は、第 1 の低抵抗領域 121a、121b、及び第 1 のチャネル形成領域 121c を含む第 1 の酸化物半導体層と、第 2 の低抵抗領域 122a、122b、及び第 2 のチャネル形成領域 122c を含む

50

第2の酸化物半導体層と、第3の低抵抗領域123a、123b、及び第3のチャネル形成領域123cを含む第3の酸化物半導体層と、が順に積層されて構成される。

【0116】

また、トランジスタ520において、第2の酸化物半導体層は、第1の酸化物半導体層より小さいエネルギーギャップを有し、第3の酸化物半導体層は、第2の酸化物半導体層よりも大きいエネルギーギャップを有する。また、第1の酸化物半導体層と、第3の酸化物半導体層とは同等のエネルギーギャップを有するのが好ましい。

【0117】

図3(C)は、チャネル幅方向の断面図であり、図3(B)と同様に第2の酸化物半導体層の端部、即ち、第2の低抵抗領域122a、122bの側面が第3の酸化物半導体層の端部、即ち、第3の低抵抗領域123a、123bで覆われた構造とするのが好ましい。このような構造とすることで、トランジスタのソース電極層405aおよびドレイン電極層405bのリーク電流(寄生チャネル)の発生を低減することができる。図3(C)において、第3の酸化物半導体層のチャネル幅方向の周縁部は、酸化物絶縁膜436と接している。

10

【0118】

また、図3(D)は、図3(B)における膜厚方向(D-D'間)のエネルギーバンド図を示す図である。本実施の形態では、図3(D)に示すエネルギーバンド図となるように、第1の酸化物半導体層、第2の酸化物半導体層、及び第3の酸化物半導体層の材料を選択する。但し、伝導帯に埋め込みチャネルが形成されれば十分な効果が得られるため、必ずしも図3(D)に示すエネルギーバンド図のように伝導帯と価電子帯の両方に凹部を有するエネルギーバンド図に限定しなくともよい。例えば、伝導帯のみに凹部を有するエネルギーバンド図が得られる構成としてもよい。

20

【0119】

例えば、トランジスタ520における第1の酸化物半導体層101としてIn-Ga-Zn系酸化物膜(エネルギーギャップ3.2eV)、第2の酸化物半導体層102としてはIn-Sn-Zn系酸化物膜(エネルギーギャップ2.8eV)、第3の酸化物半導体層103としてIn-Ga-Zn系酸化物膜(エネルギーギャップ3.2eV)を用いることができる。

【0120】

30

また、トランジスタ520におけるような3層積層の酸化物半導体積層403としては、第1の酸化物半導体層101としてIn-Ga-Zn系酸化物膜、第2の酸化物半導体層102としてIn-Zn系酸化物膜、第3の酸化物半導体層103としてIn-Ga-Zn系酸化物膜を積層させた構造、第1の酸化物半導体層101としてGa-Zn系酸化物膜、第2の酸化物半導体層102としてIn-Sn-Zn系酸化物膜、第3の酸化物半導体層103としてGa-Zn系酸化物膜を積層させた構造、第1の酸化物半導体層101としてGa-Zn系酸化物膜、第2の酸化物半導体層102としてIn-Zn系酸化物膜、第3の酸化物半導体層103としてGa-Zn系酸化物膜を積層させた構造、第1の酸化物半導体層101としてIn-Ga系酸化物膜、第2の酸化物半導体層102としてIn-Ga-Zn系酸化物膜、第3の酸化物半導体層103としてIn-Ga系酸化物膜を積層させた構造、又は第1の酸化物半導体層101としてIn-Ga-Zn系酸化物膜、第2の酸化物半導体層102として酸化インジウム(In系酸化物)膜、第3の酸化物半導体層103としてIn-Ga-Zn系酸化物膜を積層させた構造などを用いることができる。

40

【0121】

エネルギーギャップの小さい第2の酸化物半導体層102を、エネルギーギャップの大きい第1の酸化物半導体層101及び第3の酸化物半導体層103により挟む構造とすることによって、よりトランジスタ520のオフ電流(リーク電流)を低減する効果が得られる。

【0122】

50

図 4 にトランジスタ 5 2 0 の作製方法の一例を示す。

【 0 1 2 3 】

まず、実施の形態 1 と同様に、絶縁表面を有する基板 4 0 0 上に酸化物絶縁膜 4 3 6、ソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b を形成する。ソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b 上に、第 1 の酸化物半導体膜及び第 2 の酸化物半導体膜を成膜し、第 1 のフォトリソグラフィ工程により島状に加工して、第 1 の酸化物半導体層 1 0 1 及び第 2 の酸化物半導体層 1 0 2 を形成する。

【 0 1 2 4 】

次いで、第 1 の酸化物半導体層 1 0 1 及び第 2 の酸化物半導体層 1 0 2 の側面を覆って、第 2 の酸化物半導体層 1 0 2 上に第 3 の酸化物半導体膜を成膜し、当該第 3 の酸化物半導体膜を第 2 のフォトリソグラフィ工程により島状に加工して、第 3 の酸化物半導体層 1 0 3 を形成する（図 4（A）参照）。これによって、第 1 の酸化物半導体層 1 0 1、第 2 の酸化物半導体層 1 0 2 及び第 3 の酸化物半導体層 1 0 3 を含む酸化物半導体積層 4 0 3 が形成される。

【 0 1 2 5 】

第 3 の酸化物半導体層 1 0 3 は、第 1 の酸化物半導体層 1 0 1 と同じターゲットを用いて形成するのが好ましい。第 3 の酸化物半導体層 1 0 3 の成膜条件は、第 1 の酸化物半導体層 1 0 1 と同じであるため、ここでは説明を省略する。なお、第 2 のフォトリソグラフィ工程により第 2 の酸化物半導体層 1 0 2 と重なり、且つ、第 2 の酸化物半導体層 1 0 2 の平面面積よりも広い上面形状の第 3 の酸化物半導体層 1 0 3 を形成する。

【 0 1 2 6 】

次いで、酸化物半導体積層 4 0 3 に、過剰な水素（水や水酸基を含む）を除去（脱水化または脱水素化）するための加熱処理を行ってもよい。脱水化又は脱水素化のための加熱処理の条件は、トランジスタ 5 1 0 と同じであるため、ここでは説明を省略する。

【 0 1 2 7 】

次いで、ソース電極層 4 0 5 a、ドレイン電極層 4 0 5 b 及び酸化物半導体積層 4 0 3 を覆うゲート絶縁膜 4 0 2 を形成する。その後、ゲート絶縁膜 4 0 2 上から酸化物半導体積層 4 0 3 に酸素 4 3 1（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）を導入して、少なくとも第 3 の酸化物半導体層 1 0 3 中に酸素を供給する（図 4（B）参照）。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

【 0 1 2 8 】

酸化物半導体積層 4 0 3 へ酸素を導入することで、酸化物半導体積層 4 0 3 における酸素の含有量を、その化学量論的組成比を超える程度とするのが好ましい。例えば、酸素導入処理によって導入された酸素濃度のピークを $1 \times 10^{18} / \text{cm}^3$ 以上 $5 \times 10^{21} / \text{cm}^3$ 以下とするのが好ましい。

【 0 1 2 9 】

酸素 4 3 1 は、少なくとも第 3 の酸化物半導体層 1 0 3 と、ゲート絶縁膜 4 0 2 の界面において含有されればよい。よって、酸素 4 3 1 の導入深さによっては、第 1 の酸化物半導体層 1 0 1 及び第 2 の酸化物半導体層 1 0 2 における酸素濃度は、化学量論的組成比と同等である場合もある。酸化物半導体積層 4 0 3 への酸素の導入深さは、加速電圧、ドーズ量などの注入条件、また通過させるゲート絶縁膜 4 0 2 膜厚を適宜設定して制御すればよい。

【 0 1 3 0 】

なお、酸素 4 3 1 の導入のタイミングは、ゲート絶縁膜 4 0 2 の形成後に限られるものではない。但し、酸素の導入を、酸化物半導体積層 4 0 3 に積層された膜越しに行うと、酸素の導入深さ（導入領域）がより制御しやすくなるため、酸化物半導体積層 4 0 3 へ酸素を効率よく注入できるという利点がある。

【 0 1 3 1 】

また、酸素 4 3 1 の導入処理後、加熱処理を行ってもよい。加熱条件としては、温度 2 5

10

20

30

40

50

0 以上700 以下、好ましくは300 以上450 以下で、酸素雰囲気下で行うことが好ましい。また、窒素雰囲気下、減圧下、大気（超乾燥エア）下で加熱処理を行ってもよい。

【0132】

酸化物半導体積層403の少なくとも一層を結晶性酸化物半導体膜とした場合、酸素431の導入により、一部非晶質化する場合がある。この場合、酸素431の導入後に加熱処理を行うことによって、結晶性を回復してもよい。

【0133】

また、酸化物半導体積層403に酸素過剰領域を形成することで、酸素欠損を補填することができるため、酸化物半導体積層403中の電荷捕獲中心を低減することができる。酸化物半導体積層403において、酸素が脱離した箇所では酸素欠損が存在し、該酸素欠損に起因してトランジスタの電気的特性変動を招くドナー準位が生じてしまう。酸素を導入することにより、膜中の酸素欠損を補填することができるため、このような酸化物半導体積層をトランジスタに用いることで、酸素欠損に起因するトランジスタのしきい値電圧 V_{th} のばらつき、しきい値電圧のシフト V_{th} を低減することができる。また、しきい値電圧をプラスシフトさせ、トランジスタをノーマリーオフ化することもできる。

【0134】

次いで、ゲート電極層401をプラズマCVD法又はスパッタリング法等により、ゲート絶縁膜402上に形成する。

【0135】

次に、ドーパント421を選択的に導入する処理を行うのが好ましい。この処理で、ゲート電極層401をマスクとして、ゲート絶縁膜402を通過して、第1の低抵抗領域121a、121b、第2の低抵抗領域122a、122b、第3の低抵抗領域123a、123bを形成する（図4（C）参照）。この処理でチャネル長方向に第1のチャネル形成領域121cを挟んで第1の低抵抗領域121a、121bが自己整合的に形成される。また、チャネル長方向に第2のチャネル形成領域122cを挟んで第2の低抵抗領域122a、122bが自己整合的に形成される。また、チャネル長方向に第3のチャネル形成領域123cを挟んで第3の低抵抗領域123a、123bが自己整合的に形成される。

【0136】

本実施の形態のトランジスタ520において、第1の低抵抗領域121a、121b、第2の低抵抗領域122a、122b、及び第3の低抵抗領域123a、123bは、ドーパントと、酸素を過剰に含む領域となる。

【0137】

ドーパント421を導入してチャネル長方向にチャネル形成領域を挟んで低抵抗領域を含む酸化物半導体積層403を形成することにより、トランジスタ520のオン特性を向上させ、高速動作、高速応答が可能なトランジスタとすることができる。また、低抵抗領域は、自己整合的に形成され、ゲート電極層と重ならないため、寄生容量を小さくすることができる。寄生容量を小さくすることは、半導体装置全体の消費電力を低減することに繋がる。

【0138】

ドーパント421の導入処理は、加速電圧、ドーズ量などの注入条件、また通過させるゲート絶縁膜402の膜厚を適宜設定して制御すればよい。例えば、ホウ素を用いて、イオン注入法でホウ素イオンの注入を行う場合、ドーズ量を $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよい。

【0139】

第1の低抵抗領域121a、121b、第2の低抵抗領域122a、122b、及び第3の低抵抗領域123a、123bにおけるドーパント421の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが好ましい。

【0140】

ドーパントを導入する際に、基板400を加熱しながら行ってもよい。

【0141】

なお、第1の低抵抗領域121a、121b、第2の低抵抗領域122a、122b、第3の低抵抗領域123a、123bを形成する際に行うドーパント421を導入する処理は、複数回行ってよく、ドーパントの種類も複数種用いてもよい。

【0142】

また、ドーパント421の導入処理後、加熱処理を行ってもよい。加熱条件としては、温度300以上700以下、好ましくは300以上450以下で1時間、酸素雰囲気下で行うことが好ましい。また、窒素雰囲気下、減圧下、大気（超乾燥エア）下で加熱処理を行ってもよい。

【0143】

酸化物半導体積層の少なくとも一層を結晶性酸化物半導体膜とした場合、ドーパント421の導入により、一部非晶質化する場合がある。この場合、ドーパント421の導入後に加熱処理を行うことによって、酸化物半導体積層の結晶性を回復することができる。

【0144】

本実施の形態では、ドーパントとしてホウ素を用いる。よって、第1の低抵抗領域121a、121b、第2の低抵抗領域122a、122b、及び第3の低抵抗領域123a、123bはホウ素と、過剰な酸素とが含まれる。

【0145】

以上の工程で、本実施の形態のトランジスタ520が作製される。

【0146】

なお、トランジスタ520を覆うように、絶縁膜407を形成してもよい（図4（D）参照）。

【0147】

本実施の形態で示すトランジスタ520は、第1の酸化物半導体層101の側面及び第2の酸化物半導体層102の側面を覆うように、第3の酸化物半導体層103が形成されている。このような構成とすることで、第2の酸化物半導体層102の酸素欠損の増加を抑制し、トランジスタのしきい値電圧をゼロに近づける構成とすることができる。さらには、第2の酸化物半導体層102が埋め込みチャンネルとなることでキャリアの散乱が低減され、高い電界効果移動度を実現することができる。

【0148】

また、エネルギーギャップの小さい第2の酸化物半導体層102を、エネルギーギャップの大きい第1の酸化物半導体層101及び第3の酸化物半導体層103により挟む構造とすることによって、よりトランジスタのオフ電流（リーク電流）を低減する効果が得られる。

【0149】

なお、上述したように、酸化物半導体積層に含まれる各酸化物半導体層同士の界面は不明確となる場合もある。また、界面が不明確となる場合、異なる複数の酸化物半導体層の混合領域と呼ぶことのできる箇所が形成されることもある。図5（A）及び図5（B）に、混合領域を含む酸化物半導体積層403を有するトランジスタ530及びトランジスタ540を示す。

【0150】

図5（A）に示すトランジスタ530は、酸化物絶縁膜436が設けられた絶縁表面を有する基板400上に、ソース電極層405aと、ドレイン電極層405bと、ソース電極層405a及びドレイン電極層405b上に設けられた酸化物半導体積層403と、ゲート絶縁膜402と、ゲート電極層401と、を有する。トランジスタ530上には、絶縁膜407が形成されている。

【0151】

トランジスタ530において、酸化物半導体積層403は、第1の酸化物半導体層101と、第2の酸化物半導体層102とを含み、且つ、第1の酸化物半導体層101と第2の酸化物半導体層102との間に混合領域201を有する。

10

20

30

40

50

【0152】

混合領域201は、積層する第1の酸化物半導体層101及び第2の酸化物半導体層102に含まれる元素が混合する領域であり、第1の酸化物半導体層101及び第2の酸化物半導体層102とは少なくとも構成する元素の組成が異なる。例えば、酸化物半導体積層403をインジウム、スズ、及び亜鉛を含む酸化物半導体層及びインジウム、ガリウム、及び亜鉛を含む酸化物半導体層の積層構造とする場合、第1の酸化物半導体層101と第2の酸化物半導体層102との間に、インジウム、スズ、ガリウム、及び亜鉛を含む混合領域201を形成することができる。また、第1の酸化物半導体層101と第2の酸化物半導体層102とに含まれる元素は同じでも、第1の酸化物半導体層101と第2の酸化物半導体層102の組成（組成比）とは異なる組成の混合領域201を形成することができる。よって、混合領域201の有するエネルギーギャップも、第1の酸化物半導体層101及び第2の酸化物半導体層102のエネルギーギャップとは異なり、混合領域201のエネルギーギャップは、第1の酸化物半導体層101のエネルギーギャップ及び第2の酸化物半導体層102のエネルギーギャップの間の値となる。

10

【0153】

従って、混合領域201を設けることで、第1の酸化物半導体層101及び第2の酸化物半導体層102の境界が不明瞭となり、酸化物半導体積層403の中での界面散乱を抑制することができる。すなわち、混合領域201が設けられた酸化物半導体積層403を用いたトランジスタは、電界効果移動度を向上させることができる。

20

【0154】

混合領域201を設けることでエネルギーバンド図において、第1の酸化物半導体層101と第2の酸化物半導体層102との間に勾配を形成できる。該勾配は、複数段の階段状であってもよい。

【0155】

第1の酸化物半導体層101及び第2の酸化物半導体層102を形成後（又は第1の酸化物半導体膜191及び第2の酸化物半導体膜192成膜後）、酸化物半導体積層に対して加熱処理を行うことで、混合領域201を形成することができる。加熱処理は、第1の酸化物半導体層101及び第2の酸化物半導体層102中の元素が熱により拡散できる温度とし、かつ第1の酸化物半導体層101及び第2の酸化物半導体層102とが酸化物半導体積層403全領域において、組成が均一な混合領域とならない条件で行う。

30

【0156】

加熱処理は減圧下、窒素雰囲気下、酸素雰囲気下、又は大気（超乾燥エア）下、希ガス雰囲気下などで行うことができる。また、加熱処理は条件（温度、雰囲気、時間など）を変えて複数回行ってよい。例えば、第1の酸化物半導体層101及び第2の酸化物半導体層102に対して温度を650とし、窒素雰囲気下で1時間加熱した後、酸素雰囲気下で1時間加熱することで、混合領域201を含む酸化物半導体積層403を形成することができる。

【0157】

混合領域201を形成するための加熱処理を行う工程は、第1の酸化物半導体膜191及び第2の酸化物半導体膜192を形成した後であれば特に限定されず、膜状の第1の酸化物半導体膜191及び第2の酸化物半導体膜192に行ってもよいし、島状の第1の酸化物半導体層101及び第2の酸化物半導体層102に行ってもよい。また、加熱処理はトランジスタの作製工程で行う他の加熱処理（例えば、脱水化または脱水素化するための加熱処理、又は結晶化のための加熱処理など）と兼ねてもよい。

40

【0158】

また、トランジスタ530において、第2の酸化物半導体層102は、第1の酸化物半導体層101と重なり、且つ第1の酸化物半導体層101の面積よりも広い面積とすることで、第1の酸化物半導体層101を包むような構成とすることができる。このような構成とすることで、第1の酸化物半導体層101の酸素欠損の増加を抑制し、トランジスタのしきい値電圧をゼロに近づける構成とすることができる。なお、トランジスタ530にお

50

いて酸化物絶縁膜 4 3 6 として酸化アルミニウム膜を含む構成することで、第 1 の酸化物半導体層 1 0 1 に接する絶縁膜の酸素の脱離を防止することができるため、好ましい。

【 0 1 5 9 】

また、図 5 (B) に示すトランジスタ 5 4 0 は、酸化物絶縁膜 4 3 6 が設けられた絶縁表面を有する基板 4 0 0 上に、ソース電極層 4 0 5 a と、ドレイン電極層 4 0 5 b と、ソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b 上に設けられた酸化物半導体積層 4 0 3 と、ゲート絶縁膜 4 0 2 と、ゲート電極層 4 0 1 と、を有する。トランジスタ 5 4 0 上には、絶縁膜 4 0 7 が形成されている。

【 0 1 6 0 】

トランジスタ 5 4 0 において、酸化物半導体積層 4 0 3 は、第 1 の酸化物半導体層 1 0 1 と、第 2 の酸化物半導体層 1 0 2 と、第 3 の酸化物半導体層 1 0 3 とを含み、且つ、第 1 の酸化物半導体層 1 0 1 と第 2 の酸化物半導体層 1 0 2 との間に混合領域 2 0 1 を有し、第 2 の酸化物半導体層 1 0 2 と第 3 の酸化物半導体層 1 0 3 との間に混合領域 2 0 2 を有する。

10

【 0 1 6 1 】

混合領域 2 0 1 と同様に混合領域 2 0 2 は、積層する第 2 の酸化物半導体層 1 0 2 及び第 3 の酸化物半導体層 1 0 3 に含まれる元素が混合する領域であり、第 2 の酸化物半導体層 1 0 2 及び第 3 の酸化物半導体層 1 0 3 とは少なくとも構成する元素の組成が異なる。また、混合領域 2 0 2 のエネルギーギャップは、第 2 の酸化物半導体層 1 0 2 のエネルギーギャップ及び第 3 の酸化物半導体層 1 0 3 のエネルギーギャップの間の値となる。

20

【 0 1 6 2 】

混合領域 2 0 2 は、混合領域 2 0 1 と同様に加熱処理によって形成することができる。なお、混合領域 2 0 2 を形成するための加熱処理を、混合領域 2 0 1 を形成するための加熱処理と兼ねることも可能である。また、トランジスタ 5 4 0 においては、第 1 の酸化物半導体層 1 0 1 と第 2 の酸化物半導体層 1 0 2 の間と、第 2 の酸化物半導体層 1 0 2 と第 3 の酸化物半導体層 1 0 3 の間の双方に混合領域を有する構成を示したが、これに限られない。例えば、第 1 乃至第 3 の酸化物半導体層を含む酸化物半導体積層 4 0 3 であって、第 1 の酸化物半導体層 1 0 1 と第 2 の酸化物半導体層 1 0 2 との間にのみ混合領域 2 0 1 を有する構成としてもよい。

【 0 1 6 3 】

30

また、図 5 (B) に示すトランジスタ 5 4 0 は、第 1 の酸化物半導体層 1 0 1、第 2 の酸化物半導体層 1 0 2 及び第 3 の酸化物半導体層 1 0 3 を同じマスクを用いて 1 回のフォトリソグラフィ工程により酸化物半導体積層 4 0 3 を形成した構成である。トランジスタ 5 4 0 に含まれる酸化物半導体積層 4 0 3 においては、第 1 の酸化物半導体層 1 0 1、第 2 の酸化物半導体層 1 0 2、及び第 3 の酸化物半導体層 1 0 3 は端部が一致した同形状の酸化物半導体層となる。すなわち、酸化物半導体積層 4 0 3 において、第 1 の酸化物半導体層 1 0 1 及び第 2 の酸化物半導体層 1 0 2 の側面 (端部) は露出している。

【 0 1 6 4 】

酸化物半導体積層 4 0 3 を 1 回のフォトリソグラフィ工程によって形成することで、工程数を削減することができ、半導体装置のコストを低減することができる。

40

【 0 1 6 5 】

なお、図 3 (B) に示すトランジスタ 5 2 0 のように、第 3 の酸化物半導体層 1 0 3 が第 1 の酸化物半導体層 1 0 1 及び第 2 の酸化物半導体層 1 0 2 の側面を覆う構成とする場合には、混合領域を形成するための加熱処理によって、第 1 の酸化物半導体層 1 0 1 の側面であって、第 3 の酸化物半導体層 1 0 3 との間に、混合領域 (第 1 の酸化物半導体層 1 0 1 と第 3 の酸化物半導体層 1 0 3 に含まれる元素が混合する領域) が形成されることもある。

【 0 1 6 6 】

本実施の形態で示すトランジスタ 5 2 0、5 3 0、5 4 0 は、互いに異なるエネルギーギャップを有する複数の酸化物半導体層を含む酸化物半導体積層 4 0 3 を含むことによって

50

、トランジスタの電気特性をより精度よく制御することができる。よって、所望の電気特性を付与することができるトランジスタを得ることができる。当該トランジスタを適用することによって、高性能、高信頼性、又は低消費電力など、種々の目的に応じた半導体装置を提供することができる。

【0167】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0168】

(実施の形態3)

実施の形態1または実施の形態2に示したトランジスタを用いて表示機能を有する半導体装置(表示装置ともいう)を作製することができる。また、トランジスタを含む駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

10

【0169】

図6(A)において、第1の基板4001上に設けられた画素部4002を囲むようにして、シール材4005が設けられ、第2の基板4006によって封止されている。図6(A)においては、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された走査線駆動回路4004、信号線駆動回路4003が実装されている。また信号線駆動回路4003と走査線駆動回路4004を通して画素部4002に与えられる各種信号及び電位は、FPC(Flexible printed circuit)4018a、4018bから供給されている。

20

【0170】

図6(B)、及び図6(C)において、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、表示素子と共に封止されている。図6(B)、及び(C)においては、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。図6(B)、及び(C)においては、信号線駆動回路4003と走査線駆動回路4004を通して画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

30

【0171】

また図6(B)、及び図6(C)においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装してもよいし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装してもよい。

【0172】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG(Chip On Glass)方法、ワイヤボンディング方法、或いはTAB(Tape Automated Bonding)方法などを用いることができる。図6(A)は、COG方法により信号線駆動回路4003、走査線駆動回路4004を実装する例であり、図6(B)は、COG方法により信号線駆動回路4003を実装する例であり、図6(C)は、TAB方法により信号線駆動回路4003を実装する例である。

40

【0173】

なお、表示装置とは、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールを含む。

【0174】

すなわち、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは

50

は光源（照明装置含む）を指す。また、表示素子が封止された状態にあるパネルだけではなく、コネクタ、例えばFPCもしくはTABテープもしくはTCPが取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0175】

また第1の基板上に設けられた画素部及び走査線駆動回路は、トランジスタを複数有しており、実施の形態1または実施の形態2に例示したトランジスタを適用することができる。

【0176】

表示装置に設けられる表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）、を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL（Electroluminescence）、有機EL等が含まれる。また、電子インク表示装置（電子ペーパー）など、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0177】

半導体装置の一形態について、図6及び図7を用いて説明する。図7は、図6（B）のM-Nにおける断面図に相当する。

【0178】

図7に示すように、半導体装置は接続端子電極4015及び端子電極4016を有しており、接続端子電極4015及び端子電極4016はFPC4018が有する端子と異方性導電膜4019を介して、電氣的に接続されている。

【0179】

接続端子電極4015は、第1の電極層4030と同じ導電膜から形成され、端子電極4016は、トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0180】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、トランジスタを複数有しており、図7（A）では、画素部4002に含まれるトランジスタ4010と、走査線駆動回路4004に含まれるトランジスタ4011とを例示している。また、図7（B）では、画素部4002に含まれるトランジスタ4010と、走査線駆動回路4004に含まれるトランジスタ4011とを例示している。図7（A）では、トランジスタ4010、4011上には絶縁膜4020が設けられ、図7（B）では、トランジスタ4010上に絶縁膜4020及び絶縁膜4021が、トランジスタ4011上に絶縁膜4020が設けられている。なお、絶縁膜4023は下地膜として機能する絶縁膜である。

【0181】

トランジスタ4010及びトランジスタ4011としては、実施の形態1または実施の形態2で示したトランジスタを適用することができる。本実施の形態では、実施の形態2で示したトランジスタ520と同様な構造を有するトランジスタを適用する例を示す。

【0182】

トランジスタ4010及びトランジスタ4011は、互いに異なるエネルギーギャップを有する少なくとも2層の酸化物半導体積層を含むトランジスタである。このような酸化物半導体積層をトランジスタに適用することによって、トランジスタの電気特性をより精度よく制御することができ、所望の電気特性をトランジスタ4010及びトランジスタ4011に付与することが可能となる。

【0183】

よって、図6及び図7で示す本実施の形態の半導体装置として、高機能、高信頼性、又は低消費電力など、種々の目的に応じた半導体装置を提供することができる。

10

20

30

40

50

【0184】

画素部4002に設けられたトランジスタ4010は表示素子と電氣的に接続し、表示パネルを構成する。表示素子は表示を行うことができれば特に限定されず、様々な表示素子を用いることができる。

【0185】

図7(A)に表示素子として液晶素子を用いた液晶表示装置の例を示す。図7(A)において、液晶素子4013は、第1の電極層4030、第2の電極層4031、及び液晶層4008を含む。なお、液晶層4008を挟持するように配向膜として機能する絶縁膜4032、絶縁膜4033が設けられている。第2の電極層4031は第2の基板4006側に設けられ、第1の電極層4030と第2の電極層4031とは液晶層4008を介して積層する構成となっている。

10

【0186】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、液晶層4008の膜厚(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いてもよい。

【0187】

表示素子として、液晶素子を用いる場合、サーモトロピック液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶は低分子化合物でも高分子でもよい。これらの液晶材料(液晶組成物)は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

20

【0188】

また、液晶層4008に、配向膜を用いないブルー相を発現する液晶組成物を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は、液晶及びカイラル剤を混合させた液晶組成物を用いて発現させることができる。また、ブルー相が発現する温度範囲を広げるために、ブルー相を発現する液晶組成物に重合性モノマー及び重合開始剤などを添加し、高分子安定化させる処理を行って液晶層を形成することもできる。ブルー相を発現する液晶組成物は、応答速度が短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることが可能となる。

30

【0189】

また、液晶材料の固有抵抗は、 $1 \times 10^9 \cdot \text{cm}$ 以上であり、好ましくは $1 \times 10^{11} \cdot \text{cm}$ 以上であり、さらに好ましくは $1 \times 10^{12} \cdot \text{cm}$ 以上である。なお、本明細書における固有抵抗の値は、20で測定した値とする。

【0190】

液晶表示装置に設けられる保持容量の大きさは、画素部に配置されるトランジスタのリーク電流等を考慮して、所定の期間の間電荷を保持できるように設定される。保持容量の大きさは、トランジスタのオフ電流等を考慮して設定すればよい。本明細書に開示する酸化物半導体膜を有するトランジスタを用いることにより、各画素における液晶容量に対して1/3以下、好ましくは1/5以下の容量の大きさを有する保持容量を設ければ充分である。

40

【0191】

本明細書に開示する酸化物半導体膜を用いたトランジスタは、オフ状態における電流値(オフ電流値)を低く制御することができる。よって、画像信号等の電気信号の保持時間を長くすることができ、書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。

【0192】

また、本明細書に開示する酸化物半導体膜を用いたトランジスタは、電界効果移動度を高

50

く制御することができるため、走査線駆動回路4004の高速駆動が可能である。本実施の形態によると、画素部のスイッチングトランジスタと、駆動回路部に使用するドライバートランジスタを同一基板上に形成することができる。すなわち、別途駆動回路として、シリコンウエハ等により形成された半導体装置を用いる必要がないため、半導体装置の部品点数を削減することができる。

【0193】

液晶表示装置には、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどを用いることができる。

10

【0194】

また、ノーマリーブラック型の液晶表示装置、例えば垂直配向(VA)モードを採用した透過型の液晶表示装置としてもよい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA(Multi-Domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASV(Advanced Super View)モードなどを用いることができる。また、VA型の液晶表示装置にも適用することができる。VA型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。また、画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に分子を倒すよう工夫されているマルチドメイン化あるいはマルチドメイン設計といわれる方法を用いることができる。

20

【0195】

また、表示装置において、ブラックマトリクス(遮光層)、偏光部材、位相差部材、反射防止部材などの光学部材(光学基板)などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

30

【0196】

また、画素部における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RGB(Rは赤、Gは緑、Bは青を表す)の三色に限定されない。例えば、RGBW(Wは白を表す)、又はRGBに、イエロー、シアン、マゼンタ等を一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、開示する発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

【0197】

また、表示装置に含まれる表示素子として、エレクトロルミネッセンスを利用する発光素子を適用することができる。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

40

【0198】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア(電子および正孔)が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。なお、ここでは、発光素子として有機EL素子を用いて説明する。

50

【 0 1 9 9 】

発光素子は発光を取り出すために少なくとも一対の電極の一方が透光性であればよい。そして、基板上にトランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、どの射出構造の発光素子も適用することができる。

【 0 2 0 0 】

図 7 (B) に表示素子として発光素子を用いた発光装置の例を示す。発光素子 4 5 1 3 は、画素部 4 0 0 2 に設けられたトランジスタ 4 0 1 0 と電気的に接続している。なお、図 7 (B) に示した発光素子 4 5 1 3 の構成は、第 1 の電極層 4 0 3 0、電界発光層 4 5 1 1、第 2 の電極層 4 0 3 1 の積層構造であるが、示した構成に限定されない。発光素子 4 5 1 3 から取り出す光の方向などに合わせて、発光素子 4 5 1 3 の構成は適宜変えることができる。

10

【 0 2 0 1 】

隔壁 4 5 1 0 は、有機絶縁材料、又は無機絶縁材料を用いて形成する。特に感光性の樹脂材料を用い、第 1 の電極層 4 0 3 0 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【 0 2 0 2 】

電界発光層 4 5 1 1 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでもよい。

20

【 0 2 0 3 】

発光素子 4 5 1 3 に酸素、水素、水分、二酸化炭素等が侵入しないように、第 2 の電極層 4 0 3 1 及び隔壁 4 5 1 0 上に保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、DLC 膜等を形成することができる。

【 0 2 0 4 】

また、発光素子 4 5 1 3 に酸素、水素、水分、二酸化炭素等が侵入しないように、発光素子 4 5 1 3 を覆う有機化合物を含む層を蒸着法により形成してもよい。

【 0 2 0 5 】

また、第 1 の基板 4 0 0 1、第 2 の基板 4 0 0 6、及びシール材 4 0 0 5 によって封止された空間には充填材 4 5 1 4 が設けられ密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

30

【 0 2 0 6 】

充填材 4 5 1 4 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル樹脂、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート共重合体）を用いることができる。

【 0 2 0 7 】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

40

【 0 2 0 8 】

また、表示装置として、電子インクを駆動させる電子ペーパーを提供することも可能である。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）とも呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【 0 2 0 9 】

電気泳動表示装置は、様々な形態が考えられ得るが、プラスの電荷を有する第 1 の粒子と、マイナスの電荷を有する第 2 の粒子とを含むマイクロカプセルが溶媒に複数分散された

50

ものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

【0210】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものである。カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0211】

また、電子ペーパーとして、ツイストボール表示方式を用いる表示装置も適用することができる。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

【0212】

なお、図6及び図7において、第1の基板4001、第2の基板4006としては、ガラス基板の他、可撓性を有する基板も用いることができ、例えば透光性を有するプラスチック基板などを用いることができる。プラスチックとしては、FRP(Fiber glass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、透光性が必要でなければ、アルミニウムやステンレスなどの金属基板(金属フィルム)を用いてもよい。例えば、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0213】

本実施の形態では、絶縁膜4020として酸化アルミニウム膜を用いる。本実施の形態において酸化物半導体膜上に絶縁膜4020として設けられた酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を透過させない遮断効果(ブロック効果)が高い。従って、酸化アルミニウム膜は、作製工程中及び作製後において、変動要因となる水素、水分などの不純物の酸化物半導体膜への混入、及び酸化物半導体を構成する主成分材料である酸素の酸化物半導体膜からの放出を防止する保護膜として機能する。

【0214】

また、平坦化絶縁膜として機能する絶縁膜4021は、アクリル樹脂、ポリイミド、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁膜を形成してもよい。

【0215】

表示素子に電圧を印加する第1の電極層及び第2の電極層(画素電極層、共通電極層、対向電極層などともいう)においては、取り出す光の方向、電極層が設けられる場所、及び電極層のパターン構造によって透光性、反射性を選択すればよい。

【0216】

第1の電極層4030、第2の電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、ITO、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物、グラフェンなどの透光性を有する導電性材料を用いることができる。

【0217】

また、第1の電極層4030、第2の電極層4031はタングステン(W)、モリブデン(Mo)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、コバルト(Co)、ニッケル(Ni)、チタ

10

20

30

40

50

ン（Ti）、白金（Pt）、アルミニウム（Al）、銅（Cu）、銀（Ag）等の金属、又はその合金、若しくはその金属窒化物から一つ、又は複数種を用いて形成することができる。

【0218】

また、駆動回路保護用の保護回路を設けてもよい。保護回路は、非線形素子を用いて構成することが好ましい。

【0219】

以上のように実施の形態1または実施の形態2で示したトランジスタを適用することで、様々な機能を有する半導体装置を提供することができる。

【0220】

（実施の形態4）

実施の形態1または実施の形態2に示したトランジスタを用いて、対象物の情報を読み取るイメージセンサ機能を有する半導体装置を作製することができる。

【0221】

図8（A）に、イメージセンサ機能を有する半導体装置の一例を示す。図8（A）はフォトセンサの等価回路であり、図8（B）はフォトセンサの一部を示す断面図である。

【0222】

フォトダイオード602は、一方の電極がフォトダイオードリセット信号線658に、他方の電極がトランジスタ640のゲートに電気的に接続されている。トランジスタ640は、ソース又はドレインの一方がフォトセンサ基準信号線672に、ソース又はドレインの他方がトランジスタ656のソース又はドレインの一方に電気的に接続されている。トランジスタ656は、ゲートがゲート信号線659に、ソース又はドレインの他方がフォトセンサ出力信号線671に電気的に接続されている。

【0223】

なお、本明細書における回路図において、酸化物半導体膜を含有するトランジスタと明確に判明できるように、酸化物半導体膜を用いるトランジスタの記号には「OS」と記載している。図8（A）において、トランジスタ640、トランジスタ656は実施の形態1または実施の形態2に示したトランジスタが適用でき、酸化物半導体積層を用いるトランジスタである。本実施の形態では、実施の形態2で示したトランジスタ520と同様な構造を有するトランジスタを適用する例を示す。

【0224】

図8（B）は、フォトセンサにおけるフォトダイオード602及びトランジスタ640を示す断面図であり、絶縁表面を有する基板601（TFT基板）上に、センサとして機能するフォトダイオード602及びトランジスタ640が設けられている。フォトダイオード602、トランジスタ640の上には接着層608を用いて基板613が設けられている。

【0225】

トランジスタ640上には、絶縁膜632、層間絶縁膜633、層間絶縁膜634が設けられている。フォトダイオード602は、層間絶縁膜633上に設けられ、層間絶縁膜633上に形成した電極層641a及び電極層641bと、層間絶縁膜634上に設けられた電極層642との間に、層間絶縁膜633側から順に第1半導体膜606a、第2半導体膜606b、及び第3半導体膜606cを積層した構造を有している。

【0226】

電極層641bは、層間絶縁膜634に形成された導電層643と電気的に接続し、電極層642は電極層641aを介して電極層645と電気的に接続している。電極層645は、トランジスタ640のゲート電極層と電気的に接続しており、フォトダイオード602はトランジスタ640と電気的に接続している。

【0227】

ここでは、第1半導体膜606aとしてp型の導電型を有する半導体膜と、第2半導体膜606bとして高抵抗な半導体膜（i型半導体膜）、第3半導体膜606cとしてn型の

10

20

30

40

50

導電型を有する半導体膜を積層する p i n 型のフォトダイオードを例示している。

【 0 2 2 8 】

第 1 半導体膜 6 0 6 a は p 型半導体膜であり、p 型を付与する不純物元素を含むアモルファスシリコン膜により形成することができる。第 1 半導体膜 6 0 6 a の形成には 1 3 族の不純物元素（例えばボロン（B））を含む半導体材料ガスを用いて、プラズマ C V D 法により形成する。半導体材料ガスとしてはシラン（ SiH_4 ）を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、L P C V D 法、気相成長法、又はスパッタリング法等を用いればよい。第 1 半導体膜 6 0 6 a の膜厚は 1 0 n m 以上 5 0 n m 以下となるよう形成することが好ましい。

10

【 0 2 2 9 】

第 2 半導体膜 6 0 6 b は、i 型半導体膜（真性半導体膜）であり、アモルファスシリコン膜により形成する。第 2 半導体膜 6 0 6 b の形成には、半導体材料ガスを用いて、アモルファスシリコン膜をプラズマ C V D 法により形成する。半導体材料ガスとしては、シラン（ SiH_4 ）を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。第 2 半導体膜 6 0 6 b の形成は、L P C V D 法、気相成長法、スパッタリング法等により行ってもよい。第 2 半導体膜 6 0 6 b の膜厚は 2 0 0 n m 以上 1 0 0 0 n m 以下となるように形成することが好ましい。

20

【 0 2 3 0 】

第 3 半導体膜 6 0 6 c は、n 型半導体膜であり、n 型を付与する不純物元素を含むアモルファスシリコン膜により形成する。第 3 半導体膜 6 0 6 c の形成には、1 5 族の不純物元素（例えばリン（P））を含む半導体材料ガスを用いて、プラズマ C V D 法により形成する。半導体材料ガスとしてはシラン（ SiH_4 ）を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、L P C V D 法、気相成長法、又はスパッタリング法等を用いればよい。第 3 半導体膜 6 0 6 c の膜厚は 2 0 n m 以上 2 0 0 n m 以下となるよう形成することが好ましい。

30

【 0 2 3 1 】

また、第 1 半導体膜 6 0 6 a、第 2 半導体膜 6 0 6 b、及び第 3 半導体膜 6 0 6 c は、アモルファス半導体ではなく、多結晶半導体を用いて形成してもよいし、微結晶（セミアモルファス（Semi Amorphous Semiconductor : S A S））半導体を用いて形成してもよい。

【 0 2 3 2 】

また、光電効果で発生した正孔の移動度は電子の移動度に比べて小さいため、p i n 型のフォトダイオードは p 型の半導体膜側を受光面とする方がよい特性を示す。ここでは、p i n 型のフォトダイオードが形成されている基板 6 0 1 の面からフォトダイオード 6 0 2 が受ける光を電気信号に変換する例を示す。また、受光面とした半導体膜側とは逆の導電型を有する半導体膜側からの光は外乱光となるため、電極層は遮光性を有する導電膜を用いるとよい。また、n 型の半導体膜側を受光面として用いることもできる。

40

【 0 2 3 3 】

絶縁膜 6 3 2、層間絶縁膜 6 3 3、層間絶縁膜 6 3 4 としては、絶縁性材料を用いて、その材料に応じて、スパッタリング法、プラズマ C V D 法、S O G 法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法等）、スクリーン印刷、オフセット印刷等を用いて形成することができる。

50

【 0 2 3 4 】

本実施の形態では、絶縁膜 6 3 1 として酸化アルミニウム膜を用いる。絶縁膜 6 3 1 はスパッタリング法やプラズマ C V D 法によって形成することができる。

【 0 2 3 5 】

酸化物半導体膜上に絶縁膜 6 3 1 として設けられた酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を透過させない遮断効果（ブロック効果）が高い。

【 0 2 3 6 】

従って、酸化アルミニウム膜は、作製工程中及び作製後において、変動要因となる水素、水分などの不純物の酸化物半導体膜への混入、及び酸化物半導体を構成する主成分材料である酸素の酸化物半導体膜からの放出を防止する保護膜として機能する。

10

【 0 2 3 7 】

絶縁膜 6 3 2 としては、無機絶縁材料としては、酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、又は酸化窒化アルミニウム層などの酸化物絶縁膜、窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウム層などの窒化物絶縁膜の単層、又は積層を用いることができる。

【 0 2 3 8 】

層間絶縁膜 6 3 3、6 3 4 としては、表面凹凸を低減するため平坦化絶縁膜として機能する絶縁膜が好ましい。層間絶縁膜 6 3 3、6 3 4 としては、例えばポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機絶縁材料を用いることができる。また上記有機絶縁材料の他に、低誘電率材料（low-k 材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等の単層、又は積層を用いることができる。

20

【 0 2 3 9 】

フォトダイオード 6 0 2 に入射する光を検出することによって、被検出物の情報を読み取ることができる。なお、被検出物の情報を読み取る際にバックライトなどの光源を用いることができる。

【 0 2 4 0 】

以上のように、半導体層として、互いに異なるエネルギーギャップを有する複数の酸化物半導体層を含む酸化物半導体積層を用いることによって、トランジスタの電気特性をより精度よく制御することができ、所望の電気特性をトランジスタに付与することが可能となる。よって、該トランジスタを用いることで、高機能、高信頼性、又は低消費電力など、種々の目的に応じた半導体装置を提供することができる。

30

【 0 2 4 1 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 2 4 2 】

（実施の形態 5）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、遊技機（パチンコ機、スロットマシン等）、ゲーム筐体が挙げられる。これらの電子機器の具体例を図 9 に示す。

40

【 0 2 4 3 】

図 9（A）は、表示部を有するテーブル 9 0 0 0 を示している。テーブル 9 0 0 0 は、筐体 9 0 0 1 に表示部 9 0 0 3 が組み込まれている。本発明の一態様を用いて作製される半導体装置は、表示部 9 0 0 3 に用いることが可能であり、表示部 9 0 0 3 により映像を表示することが可能である。なお、4 本の脚部 9 0 0 2 により筐体 9 0 0 1 を支持した構成を示している。また、電力供給のための電源コード 9 0 0 5 を筐体 9 0 0 1 に有している

50

。

【 0 2 4 4 】

表示部 9 0 0 3 は、タッチ入力機能を有しており、テーブル 9 0 0 0 の表示部 9 0 0 3 に表示された表示ボタン 9 0 0 4 を指などで触れることで、画面操作や、情報を入力することができ、また他の家電製品との通信を可能とする、または制御を可能とすることで、画面操作により他の家電製品をコントロールする制御装置としてもよい。例えば、実施の形態 4 に示したイメージセンサ機能を有する半導体装置を用いれば、表示部 9 0 0 3 にタッチ入力機能を持たせることができる。

【 0 2 4 5 】

また、筐体 9 0 0 1 に設けられたヒンジによって、表示部 9 0 0 3 の画面を床に対して垂直に立てることもでき、テレビジョン装置としても利用できる。狭い部屋においては、大きな画面のテレビジョン装置は設置すると自由な空間が狭くなってしまうが、テーブルに表示部が内蔵されていれば、部屋の空間を有効に利用することができる。

【 0 2 4 6 】

図 9 (B) は、テレビジョン装置 9 1 0 0 を示している。テレビジョン装置 9 1 0 0 は、筐体 9 1 0 1 に表示部 9 1 0 3 が組み込まれている。本発明の一態様を用いて作製される半導体装置は、表示部 9 1 0 3 に用いることが可能であり、表示部 9 1 0 3 により映像を表示することが可能である。なお、ここではスタンド 9 1 0 5 により筐体 9 1 0 1 を支持した構成を示している。

【 0 2 4 7 】

テレビジョン装置 9 1 0 0 の操作は、筐体 9 1 0 1 が備える操作スイッチや、別体のリモコン操作機 9 1 1 0 により行うことができる。リモコン操作機 9 1 1 0 が備える操作キー 9 1 0 9 により、チャンネルや音量の操作を行うことができ、表示部 9 1 0 3 に表示される映像を操作することができる。また、リモコン操作機 9 1 1 0 に、当該リモコン操作機 9 1 1 0 から出力する情報を表示する表示部 9 1 0 7 を設ける構成としてもよい。

【 0 2 4 8 】

図 9 (B) に示すテレビジョン装置 9 1 0 0 は、受信機やモデムなどを備えている。テレビジョン装置 9 1 0 0 は、受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の

情報通信を行うことも可能である。

【 0 2 4 9 】

先の実施の形態に示した埋め込みチャンネルを有する半導体装置を利用すれば、当該半導体装置をテレビジョン装置の表示部 9 1 0 3 に用いることで、従来に比べて表示品質の高いテレビジョン装置とすることができる。

【 0 2 5 0 】

図 9 (C) はコンピュータであり、本体 9 2 0 1、筐体 9 2 0 2、表示部 9 2 0 3、キーボード 9 2 0 4、外部接続ポート 9 2 0 5、ポインティングデバイス 9 2 0 6 等を含む。コンピュータは、本発明の一態様を用いて作製される半導体装置をその表示部 9 2 0 3 に用いることにより作製される。

【 0 2 5 1 】

また、先の実施の形態に示した半導体装置を利用すれば、当該半導体装置をコンピュータの表示部 9 2 0 3 に用いることで、従来に比べて表示品質の高い表示部とすることが可能となる。

【 0 2 5 2 】

図 9 (D) は、携帯電話機の一例を示している。携帯電話機 9 5 0 0 は、筐体 9 5 0 1 に組み込まれた表示部 9 5 0 2 の他、操作ボタン 9 5 0 3、操作ボタン 9 5 0 7、外部接続ポート 9 5 0 4、スピーカ 9 5 0 5、マイク 9 5 0 6 などを備えている。携帯電話機 9 5 0 0 は、本発明の一態様を用いて作製される半導体装置を表示部 9 5 0 2 に用いることにより作製される。

【 0 2 5 3 】

図 9 (D) に示す携帯電話機 9 5 0 0 は、表示部 9 5 0 2 を指などで触れることで、情報を入力する、電話を掛ける、またはメールを作成するなどの操作を行うことができる。

【 0 2 5 4 】

表示部 9 5 0 2 の画面は、主として 3 つのモードがある。第 1 は、画像の表示を主とする表示モードであり、第 2 は、文字等の情報の入力を主とする入力モードである。第 3 は表示モードと入力モードの 2 つのモードが混合したものである。

【 0 2 5 5 】

例えば、電話を掛ける、またはメールを作成する場合は、表示部 9 5 0 2 を文字の入力を主とする入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部 9 5 0 2 の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

10

【 0 2 5 6 】

また、携帯電話機 9 5 0 0 内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 9 5 0 0 の向き（縦向きか横向きか）を判断して、表示部 9 5 0 2 の画面表示を自動的に切り替えるようにすることができる。

【 0 2 5 7 】

また、画面モードの切り替えは、表示部 9 5 0 2 を触れる、または筐体 9 5 0 1 の操作ボタン 9 5 0 3 の操作により行われる。また、表示部 9 5 0 2 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

20

【 0 2 5 8 】

また、入力モードにおいて、表示部 9 5 0 2 の光センサで検出される信号を検知し、表示部 9 5 0 2 のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【 0 2 5 9 】

また、表示部 9 5 0 2 は、イメージセンサとして機能させることもできる。例えば、表示部 9 5 0 2 に掌や指を触れ、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

30

【 0 2 6 0 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【 実施例 1 】

【 0 2 6 1 】

本実施例では、第 1 の酸化物半導体層上に、第 1 の酸化物半導体層のエネルギーギャップよりも小さい第 2 の酸化物半導体層を形成し、さらに第 2 の酸化物半導体層上に第 3 の酸化物半導体層を形成したサンプル（試料 1 A、試料 1 B、試料 2 A、及び試料 2 B）を作製し、試料 1 A、試料 1 B、試料 2 A、及び試料 2 B の断面構造を観察した。また、試料 1 A 及び試料 2 A のイオン化ポテンシャルの測定を行い、その結果に基づきエネルギーバンド図を計算した。本明細書において、イオン化ポテンシャルの値は、バンドギャップと電子親和力を加算した値であり、バンドギャップの値は、材料の単膜を分光エリプソメータで測定して得られる値を用いる。

40

【 0 2 6 2 】

試料 1 A として、基板 1 0 0 0 である石英基板上に第 1 の酸化物半導体層 1 0 0 1 として膜厚 5 nm の In-Ga-Zn-O 膜、第 2 の酸化物半導体層 1 0 0 2 として膜厚 5 nm の In-Sn-Zn-O 膜、第 3 の酸化物半導体層 1 0 0 3 として膜厚 5 nm の In-Ga-Zn-O 膜を積層成膜した。それぞれの成膜条件は、スパッタリング法を用いて基板温度 3 0 0 、酸素雰囲気（酸素 1 0 0 % ）下で成膜を行った。ターゲットは、 $\text{In:Ga:Zn} = 1:1:1$ [原子数比] の酸化物ターゲットを用い、 In-Ga-Zn-O 膜

50

を成膜する。また、 In-Sn-Zn-O 膜は、 $\text{In:Sn:Zn} = 2:1:3$ [原子数比]の酸化物ターゲットを用いる。

【0263】

試料1Bは、試料1Aと同様に成膜した酸化物半導体積層に加熱処理を行い、混合領域を有する酸化物半導体積層を作製し、試料1Bとした。加熱処理は、温度650、窒素雰囲気下で1時間行った後、温度650、酸素雰囲気下で1時間行った。

【0264】

試料2Aとして、基板1000である石英基板上に第1の酸化物半導体層1001として膜厚5nmの In-Ga-Zn-O 膜、第2の酸化物半導体層1002として膜厚5nmの In-Zn-O 膜、第3の酸化物半導体層1003として膜厚5nmの In-Ga-Zn-O 膜を積層成膜した。それぞれの成膜条件は、スパッタリング法を用いて基板温度300、酸素雰囲気(酸素100%)下で成膜を行った。ターゲットは、 $\text{In:Ga:Zn} = 1:1:1$ [原子数比]の酸化物ターゲットを用い、 In-Ga-Zn-O 膜を成膜する。また、 In-Zn-O 膜は、 $\text{In:Zn} = 2:1$ [原子数比]の酸化物ターゲットを用いる。

【0265】

試料2Bは、試料2Aと同様に成膜した酸化物半導体積層に加熱処理を行い、混合領域を有する酸化物半導体積層を作製し、試料2Bとした。加熱処理は、温度650、窒素雰囲気下で1時間行った後、温度650、酸素雰囲気下で1時間行った。

【0266】

試料1A、試料1B、試料2A、及び試料2Bにおいて、端面を切り出し、高分解能透過電子顕微鏡(日立ハイテクノロジー製「H9000-NAR」:TEM)で加速電圧を300kVとし、試料1A、試料1B、試料2A、及び試料2Bの断面観察を行った。図10(B)に試料1A、図10(C)に試料1B、図11(B)に試料2A、図11(C)に試料2BのTEM像を示す。なお、試料1A及び試料2Aの模式図を図10(A)及び図11(A)に示す。図10(A)及び図11(A)において、積層する酸化物半導体層の界面を点線で図示しているが、模式的に示したものである。

【0267】

図10(B)(C)に示す試料1A及び試料1BのTEM像は、基板1000上に第1の酸化物半導体層1001である膜厚5nmの第1の In-Ga-Zn-O 膜、第2の酸化物半導体層1002である膜厚5nmの In-Sn-Zn-O 膜、第3の酸化物半導体層1003である膜厚5nmの第2の In-Ga-Zn-O 膜を積層成膜した酸化物半導体積層である。図10(B)の試料1AのTEM像は、積層する酸化物半導体層間に界面が確認できる。一方、酸化物半導体積層を形成後、加熱処理を行った試料1BのTEM像は、図10(C)に示すように積層する酸化物半導体層の間は明確な界面は確認できず、混合領域となっている。

【0268】

図11(B)(C)に示す試料2A及び試料2BのTEM像は、基板1000上に第1の酸化物半導体層1001である膜厚5nmの第1の In-Ga-Zn-O 膜、第2の酸化物半導体層1002である膜厚5nmの In-Zn-O 膜、第3の酸化物半導体層1003である膜厚5nmの第2の In-Ga-Zn-O 膜を積層成膜した酸化物半導体積層である。図11(B)の試料2AのTEM像は、積層する酸化物半導体層間に界面が確認できる。一方、酸化物半導体積層を形成後、加熱処理を行った試料2BのTEM像は、図11(C)に示すように積層する酸化物半導体層の間は明確な界面は確認できず、混合領域となっている。

【0269】

なお、図10(B)(C)及び図11(B)(C)に示すように、試料1A、試料1B、試料2A、及び試料2Bは、第1の酸化物半導体層1001である第1の In-Ga-Zn-O 膜、第2の酸化物半導体層1002である In-Sn-Zn-O 膜及び In-Zn-O 膜、並びに第3の酸化物半導体層1003である第2の In-Ga-Zn-O 膜は、

10

20

30

40

50

結晶を含んでおり、C A A C - O S 膜であることが確認できる。また、第 1 の酸化物半導体層 1 0 0 1 である第 1 の I n - G a - Z n - O 膜は非晶質構造も含んでいる。

【 0 2 7 0 】

なお、酸化物半導体積層において、それぞれの酸化物半導体層の結晶状態は特に限定されず、すべて結晶構造を有している酸化物半導体層でもよいし、すべて非晶質構造であってもよいし、結晶構造を有する酸化物半導体層と非晶質構造である酸化物半導体層とが混在してもよい。

【 0 2 7 1 】

また、基板を単結晶シリコン基板として、同じ成膜条件で積層成膜して得られた試料 1 A 及び試料 2 A の表面からスパッタリングしながら紫外線光電子分光分析 (U P S : U l t r a v i o l e t P h o t o e l e c t r o n S p e c t r o s c o p y) によるイオン化ポテンシャルを測定した結果を図 1 2 及び図 1 4 に示す。

10

【 0 2 7 2 】

図 1 2 及び図 1 4 において、横軸はサンプル表面からのスパッタリング時間を表し、縦軸はイオン化ポテンシャルを表している。なお、I n - G a - Z n - O 膜と I n - S n - Z n - O 膜のスパッタレート、I n - G a - Z n - O 膜と I n - Z n - O 膜のスパッタレートは等しいと仮定して試料の境界を表示している。

【 0 2 7 3 】

図 1 2 から、I n - G a - Z n - O 膜に挟まれた I n - S n - Z n - O 膜でイオン化ポテンシャルが低下することがわかる。なお、イオン化ポテンシャルは真空準位から価電子帯までのエネルギー差を表す。

20

【 0 2 7 4 】

イオン化ポテンシャルの値から分光エリプソメーターで測定したバンドギャップを引くことで伝導帯のエネルギーを算出し、この積層膜のバンド構造を作成した。ただし、I n - G a - Z n - O 膜と I n - S n - Z n - O 膜のバンドギャップはそれぞれ 3 . 2 e V 、 2 . 8 e V とした。その結果が図 1 3 になる。図 1 3 には、図 3 (D) に示したエネルギーバンド図のように埋め込みチャネルが形成されていることがわかる。

【 0 2 7 5 】

図 1 4 から、I n - G a - Z n - O 膜に挟まれた I n - Z n - O 膜でイオン化ポテンシャルが低下することがわかる。なお、イオン化ポテンシャルは真空準位から価電子帯までのエネルギー差を表す。

30

【 0 2 7 6 】

イオン化ポテンシャルの値から分光エリプソメーターで測定したバンドギャップを引くことで伝導帯のエネルギーを算出し、この積層膜のバンド構造を作成した。ただし、I n - G a - Z n - O 膜と I n - Z n - O 膜のバンドギャップはそれぞれ 3 . 2 e V 、 2 . 6 e V とした。その結果が図 1 5 になる。図 1 5 には、図 3 (D) に示したエネルギーバンド図のように埋め込みチャネルが形成されていることがわかる。

【 0 2 7 7 】

本実施例において、第 1 の酸化物半導体層及び第 3 の酸化物半導体層として I n - G a - Z n - O 膜を用い、第 1 の酸化物半導体層及び第 3 の酸化物半導体層よりも小さいイオン化ポテンシャルを有し、且つ、小さいエネルギーギャップを有する第 2 の酸化物半導体層として I n - S n - Z n - O 膜、又は I n - Z n - O 膜を用いた積層は、図 1 3 、図 1 5 、又は図 3 (D) に示すエネルギーバンド図で表すことができることを確認した。第 1 の酸化物半導体層、第 2 の酸化物半導体層、及び第 3 の酸化物半導体層の材料の組み合わせは、特に限定されず、図 1 3 、図 1 5 、又は図 3 (D) に示すエネルギーバンド図となるように、実施者が用いる材料のエネルギーギャップを考慮して適宜材料を選択し、組み合わせればよい。

40

【実施例 2】

【 0 2 7 8 】

本実施例では、実施の形態 1 においてトランジスタ 5 1 0 として示した、第 1 の酸化物半

50

導体層と第2の酸化物半導体層の積層よりなる酸化物半導体積層を有するトランジスタの特性について計算を行った。

【0279】

本実施例の計算には、シノプシス社製シミュレーションソフトTCAD (Technology Computer-Aided Design) を用いた。

【0280】

計算に用いたトランジスタは、ソース電極層及びドレイン電極層上に設けられた第1の酸化物半導体層及び第1の酸化物半導体層上に設けられた第2の酸化物半導体層の積層よりなる酸化物半導体積層と、酸化物半導体積層上に設けられた膜厚100nmのゲート絶縁膜と、を有するトップゲート型のトランジスタとした。また、L長及びW長を共に10μmとして、ドレイン電圧(V_d)を1Vとして計算した。

10

【0281】

また、トランジスタに含まれる酸化物半導体積層の構成は、第1の酸化物半導体層として膜厚5nmのIn-Sn-Zn-O膜、第2の酸化物半導体層として膜厚5nmのIn-Ga-Zn-O膜を有するトランジスタAと、第1の酸化物半導体層として膜厚5nmのIn-Ga-Zn-O膜、第2の酸化物半導体層として膜厚5nmのIn-Sn-Zn-O膜を有するトランジスタBと、比較例として、第1の酸化物半導体層として膜厚5nmのIn-Ga-Zn-O膜、第2の酸化物半導体層として膜厚5nmのIn-Ga-Zn-O膜を有する(すなわち、酸化物半導体積層がIn-Ga-Zn-O膜の単層でなる)トランジスタCと、第1の酸化物半導体層として膜厚5nmのIn-Sn-Zn-O膜、第2の酸化物半導体層として膜厚5nmのIn-Sn-Zn-O膜を有する(すなわち、酸化物半導体積層がIn-Sn-Zn-O膜の単層でなる)トランジスタDの4サンプルとした。

20

【0282】

トランジスタA乃至トランジスタCに含まれるIn-Ga-Zn-O膜は、バンドギャップを3.15eV、キャリアライフタイムを1nsec、バルク移動度を10cm²/Vs、電子親和力を4.6eVとして計算した。また、トランジスタA、トランジスタB及びトランジスタDに含まれるIn-Sn-Zn-O膜は、バンドギャップを2.8eV、キャリアライフタイムを1nsec、バルク移動度を35cm²/Vs、電子親和力を4.6eVとして計算した。

30

【0283】

計算によって得られたオフ電流値を図16(A)及び図16(B)に示す。なお、図16(B)は、図16(A)においてドレイン電流が1.0×10^{-3.3}A乃至1.0×10^{-2.8}Aの範囲を拡大して示したグラフである。図16(A)及び図16(B)において、縦軸はドレイン電流(A)、横軸は、ゲート電圧(V)を示す。

【0284】

また、計算によって得られたトランジスタの電界効果移動度を図17に示す。図17において、縦軸は電界効果移動度(cm²/Vs)、横軸はゲート電圧(V)を示す。

【0285】

図16及び図17より、比較例のトランジスタDは、高い電界効果移動度を有するものの、他の3サンプルと比較して高いオフ電流値を示した。また、比較例のトランジスタCは、良好なオフ電流値特性を有するものの、電界効果移動度が低く、オン電流が低い。一方、本実施例のトランジスタであるトランジスタA及びトランジスタBは、トランジスタDと比較して低いオフ電流値を有し、且つ、トランジスタCと比較して高い電界効果移動度を有している。

40

【0286】

具体的には、トランジスタCのオフ電流値がおよそ1.3×10^{-2.9}~2.0×10^{-3.2}Aであるのに対して、トランジスタAのオフ電流値はおよそ0.6×10^{-2.9}Aであり、トランジスタBのオフ電流値はおよそ0.6×10^{-2.9}Aであった。また、トランジスタDの電界効果移動度がおよそ35cm²/Vsであるのに対して、トランジスタ

50

Aの電界効果移動度はおよそ $15 \sim 20 \text{ cm}^2 / \text{Vs}$ であり、トランジスタBの電界効果移動度はおよそ $25 \sim 30 \text{ cm}^2 / \text{Vs}$ であった。

【0287】

なお、トランジスタBの電界効果移動度は、トランジスタAの電界効果移動度と比較して高い値を示した。これは、トランジスタBにおいては電界効果移動度の高い膜であるIn-Sn-Zn-O膜が第2の酸化物半導体層としてゲート絶縁膜に接しており、In-Sn-Zn-O膜においてチャネルが形成されたためと考えられる。

【0288】

以上より、酸化物半導体積層を有するトランジスタは、その積層状態によって、特性（本実施例においては電界効果移動度及びオフ電流特性）を様々に変更できることが示された。したがって酸化物半導体積層を用いることによって、トランジスタの電気特性をより精度よく制御することができ、所望の電気特性をトランジスタに付与することが可能となる。

10

【符号の説明】

【0289】

101 酸化物半導体層

102 酸化物半導体層

103 酸化物半導体層

121a 低抵抗領域

121b 低抵抗領域

20

121c チャネル形成領域

122a 低抵抗領域

122b 低抵抗領域

122c チャネル形成領域

123a 低抵抗領域

123b 低抵抗領域

123c チャネル形成領域

191 第1の酸化物半導体膜

192 第2の酸化物半導体膜

201 混合領域

30

202 混合領域

400 基板

401 ゲート電極層

402 ゲート絶縁膜

403 酸化物半導体積層

405a ソース電極層

405b ドレイン電極層

407 絶縁膜

421 ドーパント

431 酸素

40

436 酸化物絶縁膜

510 トランジスタ

520 トランジスタ

530 トランジスタ

540 トランジスタ

601 基板

602 フォトダイオード

606a 半導体膜

606b 半導体膜

606c 半導体膜

50

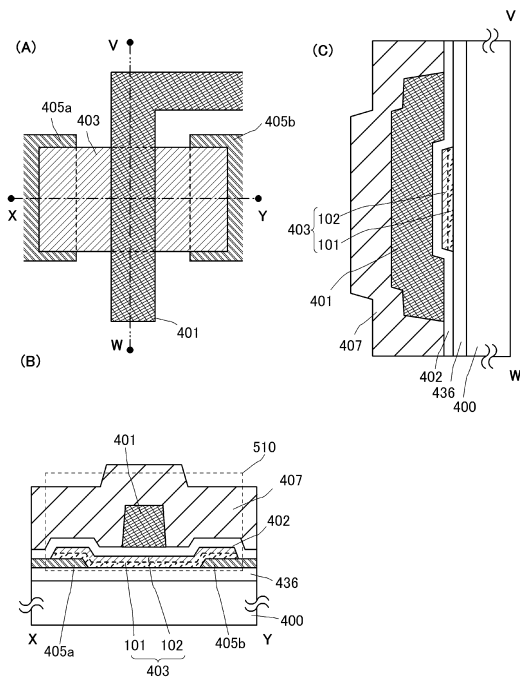
6 0 8	接着層	
6 1 3	基板	
6 3 1	絶縁膜	
6 3 2	絶縁膜	
6 3 3	層間絶縁膜	
6 3 4	層間絶縁膜	
6 4 0	トランジスタ	
6 4 1 a	電極層	
6 4 1 b	電極層	
6 4 2	電極層	10
6 4 3	導電層	
6 4 5	電極層	
6 5 6	トランジスタ	
6 5 8	フォトダイオードリセット信号線	
6 5 9	ゲート信号線	
6 7 1	フォトセンサ出力信号線	
6 7 2	フォトセンサ基準信号線	
1 0 0 0	基板	
1 0 0 1	酸化物半導体層	
1 0 0 2	酸化物半導体層	20
1 0 0 3	酸化物半導体層	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	トランジスタ	
4 0 1 1	トランジスタ	30
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁膜	
4 0 2 1	絶縁膜	
4 0 2 3	絶縁膜	
4 0 3 0	電極層	
4 0 3 1	電極層	
4 0 3 2	絶縁膜	40
4 0 3 3	絶縁膜	
4 5 1 0	隔壁	
4 5 1 1	電界発光層	
4 5 1 3	発光素子	
4 5 1 4	充填材	
9 0 0 0	テーブル	
9 0 0 1	筐体	
9 0 0 2	脚部	
9 0 0 3	表示部	
9 0 0 4	表示ボタン	50

9 0 0 5	電源コード
9 1 0 0	テレビジョン装置
9 1 0 1	筐体
9 1 0 3	表示部
9 1 0 5	スタンド
9 1 0 7	表示部
9 1 0 9	操作キー
9 1 1 0	リモコン操作機
9 2 0 1	本体
9 2 0 2	筐体
9 2 0 3	表示部
9 2 0 4	キーボード
9 2 0 5	外部接続ポート
9 2 0 6	ポインティングデバイス
9 5 0 0	携帯電話機
9 5 0 1	筐体
9 5 0 2	表示部
9 5 0 3	操作ボタン
9 5 0 4	外部接続ポート
9 5 0 5	スピーカ
9 5 0 6	マイク
9 5 0 7	操作ボタン

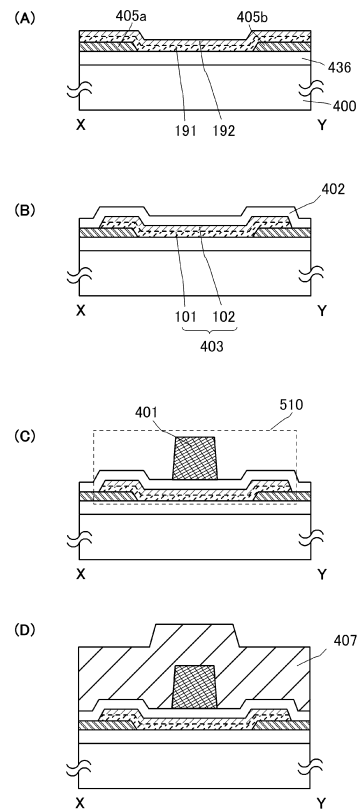
10

20

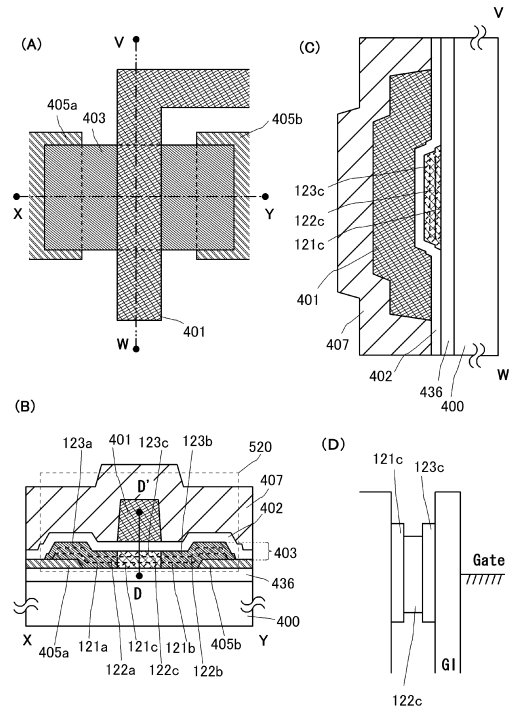
【図 1】



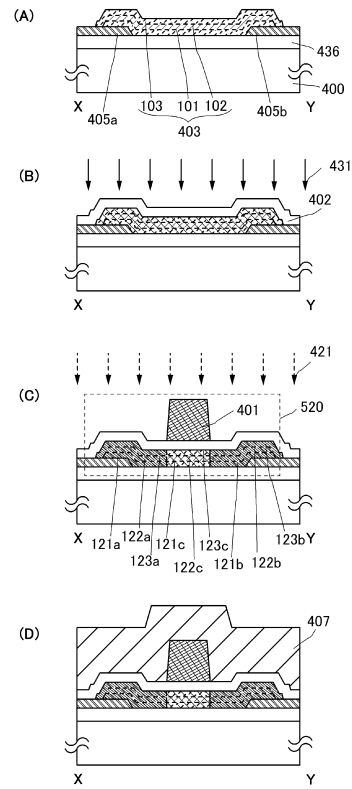
【図 2】



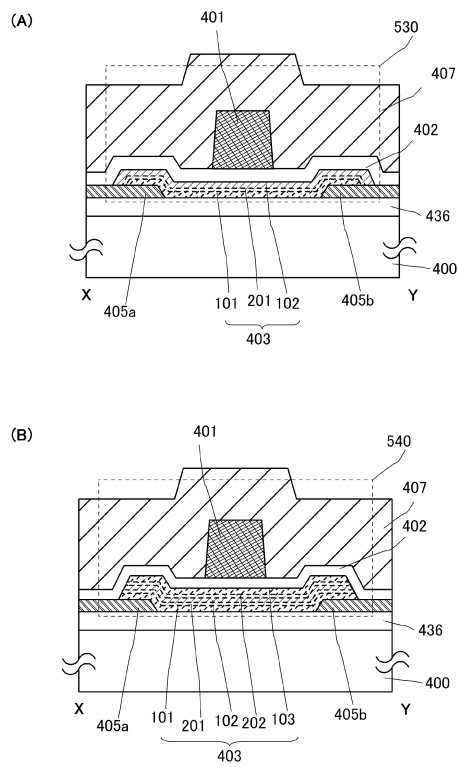
【図 3】



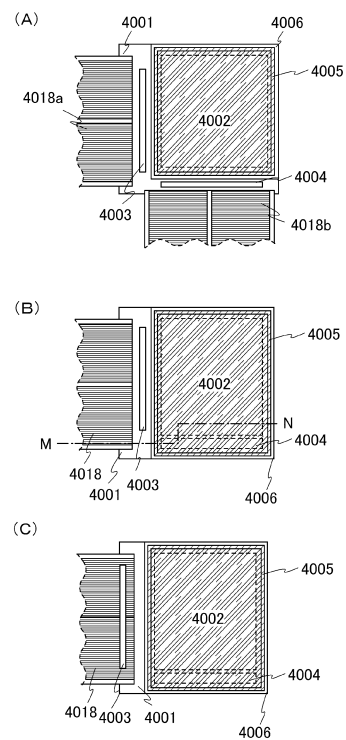
【図 4】



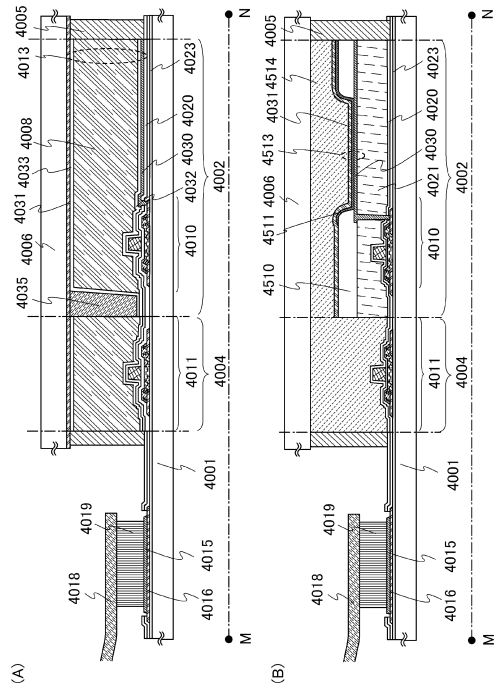
【図 5】



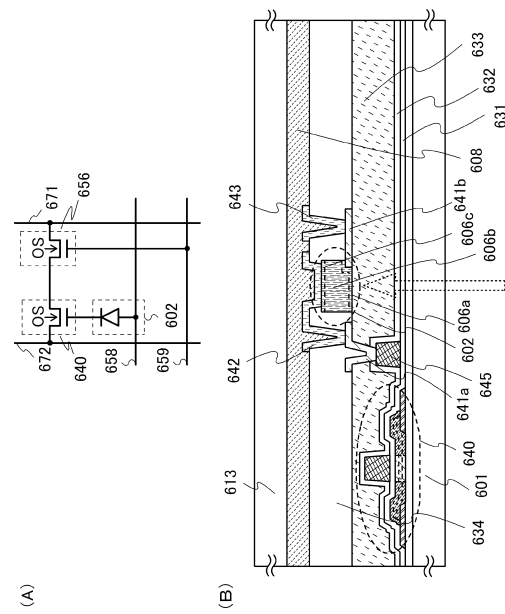
【図 6】



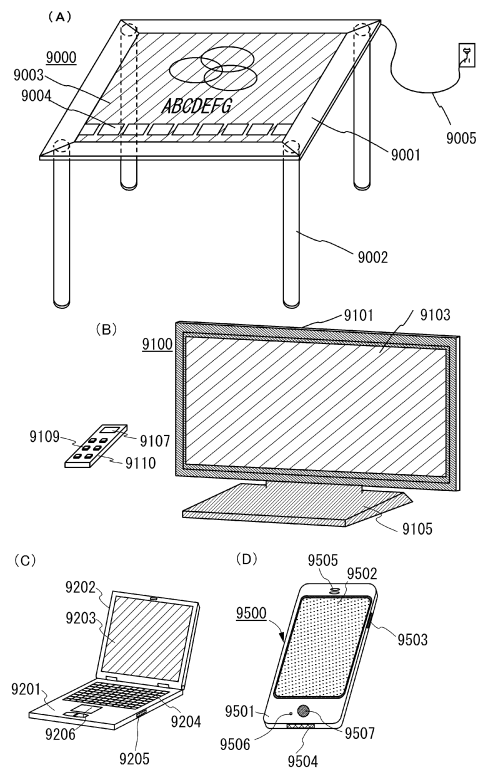
【図 7】



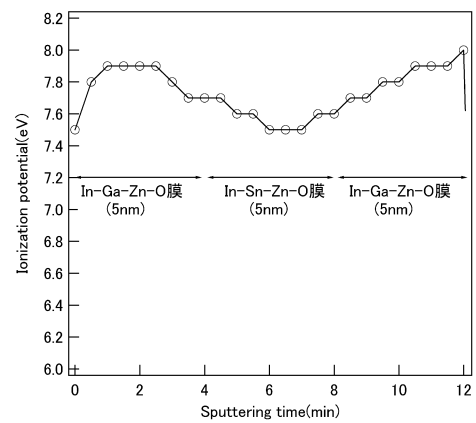
【図 8】



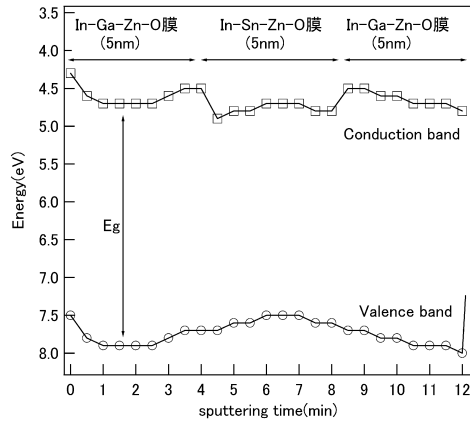
【図 9】



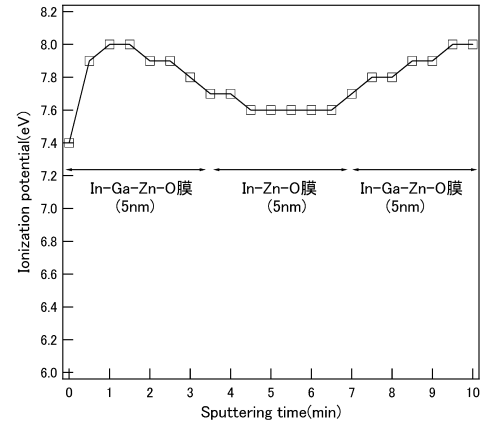
【図 12】



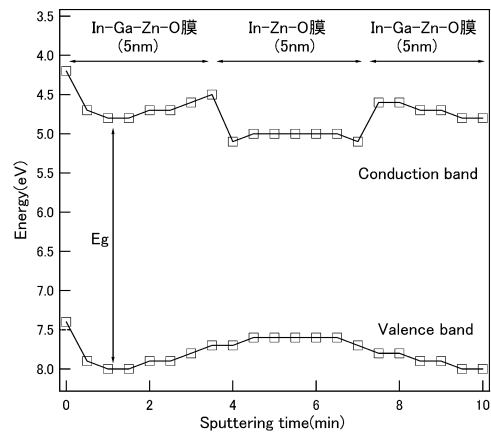
【図 13】



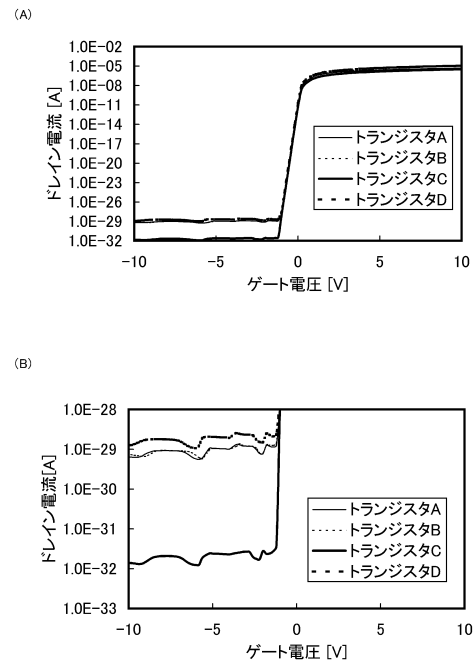
【図 14】



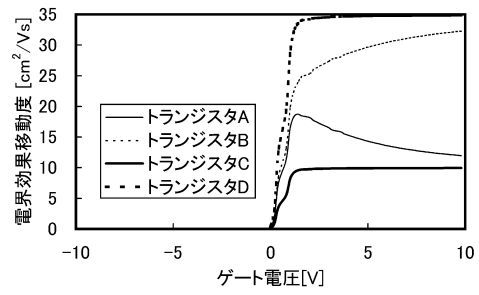
【図 15】



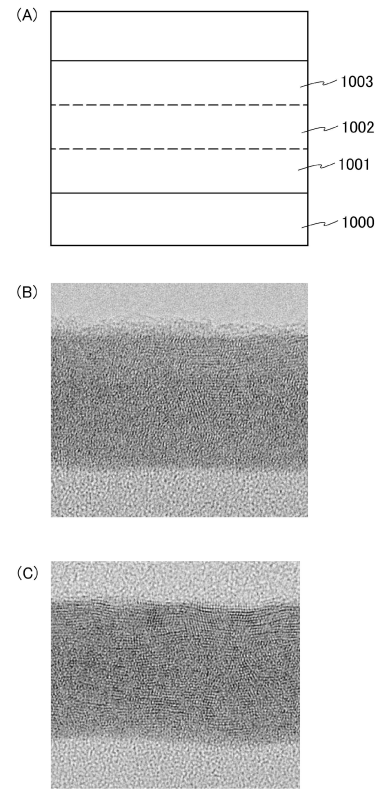
【図 16】



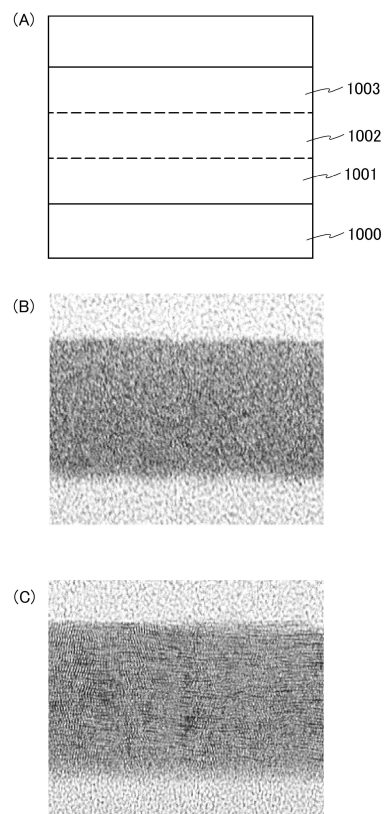
【図 17】



【図 10】



【図 11】



フロントページの続き

(56)参考文献 特開 2011-124360 (JP, A)
特開 2008-112909 (JP, A)
米国特許出願公開第 2011/0136302 (US, A1)
特開 2006-165529 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786
G02F 1/1368
G09F 9/30
H01L 21/336