

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 12 月 12 日 (12.12.2024)



(10) 国际公布号
WO 2024/251043 A1

- (51) 国际专利分类号:
G09G 3/3225 (2016.01)
- (21) 国际申请号: PCT/CN2024/096674
- (22) 国际申请日: 2024 年 5 月 31 日 (31.05.2024)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202310664576.7 2023年6月6日 (06.06.2023) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司 (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成

都市高新区 (西区) 合作路 1188 号, Sichuan 611731 (CN)。北京京东方技术开发有限公司 (BEIJING BOE TECHNOLOGY DEVELOPMENT CO., LTD.) [CN/CN]; 中国北京市大兴区北京经济技术开发区地泽路 9 号 1 幢 407 室, Beijing 100176 (CN)。

(72) 发明人: 黄耀 (HUANG, Yao); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。董向丹 (DONG, Xiangdan); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。胡明 (HU, Ming); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京天昊联合知识产权代理有限公司 (TEE & HOWE INTELLECTUAL PROPERTY ATTORNEYS); 中国北京市东城区东长安街

(54) Title: PIXEL DRIVING CIRCUIT AND DRIVING METHOD, DISPLAY SUBSTRATE, AND DISPLAY APPARATUS

(54) 发明名称: 像素驱动电路及驱动方法、显示基板、显示装置

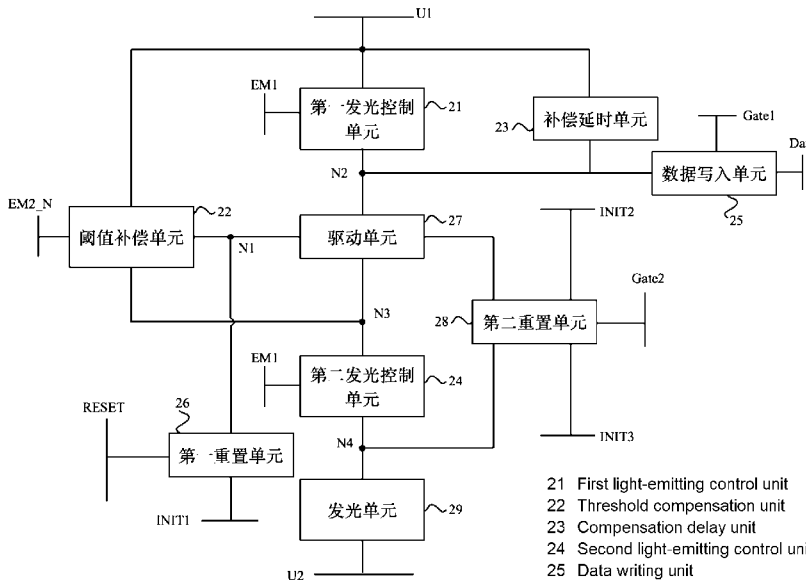


图 2

- 21 First light-emitting control unit
22 Threshold compensation unit
23 Compensation delay unit
24 Second light-emitting control unit
25 Data writing unit
26 First reset unit
27 Driving unit
28 Second reset unit
29 Light-emitting unit

(57) Abstract: The present disclosure provides a driving method, a display substrate, and a display apparatus. The pixel driving circuit comprises: a first reset unit, configured to write a first reset voltage to a first node in response to the control of a first control signal; a data writing unit, configured to write a data voltage to a second node in response to the control of a second control signal; a threshold compensation unit, configured to electrically connect the first node and a third node in response to the control of a third control signal, so as to charge the first node; a compensation delay unit, configured to store the data voltage and provide the data voltage to the second node, so as to continuously charge the first node; a driving unit, configured to output a corresponding driving current in response to

1 号东方广场东方经贸城西一办公楼 5 层
1, 6-12 室, Beijing 100738 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ,
IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,
LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,
MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

the control of the voltage of the first node, so as to drive a light-emitting unit to emit light; and a second reset unit, configured to write a second reset signal to a fourth node in response to the control of a fifth control signal, and write a third reset signal to the second node or the third node.

(57) 摘要: 本公开提供一种及驱动方法、显示基板、显示装置, 像素驱动电路包括: 第一重置单元, 被配置为响应于第一控制信号的控制将第一重置电压写入第一节点; 数据写入单元, 被配置为响应于第二控制信号的控制将数据电压写入第二节点; 阈值补偿单元, 被配置为响应于第三控制信号的控制将第一节点和第三节点电导通, 以对第一节点进行充电; 补偿延时单元, 被配置为对数据电压进行存储并将数据电压提供至第二节点, 以对第一节点持续进行充电; 驱动单元, 被配置为响应于第一节点的电压的控制输出相应的驱动电流, 以驱动发光单元进行发光; 第二重置单元, 被配置为响应于第五控制信号的控制将第二重置信号写入至第四节点, 并将第三重置信号写入第二节点或第三节点。

像素驱动电路及驱动方法、显示基板、显示装置

相关申请的交叉引用

5 本公开要求于 2023 年 6 月 6 日提交的中国专利公开 No. 202310664576.7 的优先权，所公开的内容以引用的方式合并于此。

技术领域

10 本公开实施例涉及显示技术领域，特别涉及一种像素驱动电路及驱动方法、显示基板、显示装置。

背景技术

15 一般而言，有机发光二极管（Organic Light Emitting Diode, OLED）显示器件能够发光是由驱动晶体管在饱和状态时产生的电流所驱动，但因为输入相同的灰阶电压时，不同的阈值电压会产生不同的驱动电流，造成电流的不一致性。

20 OLED 显示器件在不同应用场景中，对显示器件的屏幕刷新频率有着不同的需求，例如，在游戏应用场景下，需要显示器件具有较高的屏幕刷新频率，以满足游戏功能需求，在商务应用场景下，需要显示器件具有较低的屏幕刷新频率，以满足较低的功耗以及较高的工作时间的需求。

发明内容

本公开实施例提供了一种像素驱动电路及驱动方法、显示基板、显示装置。

25 第一方面，本公开实施例提供了一种像素驱动电路，该像素驱动电路包括：第一发光控制单元、阈值补偿单元、补偿延时单元、第二发光控制单元、数据写入单元、第一重置单元、驱动单元、第二重置单元；

30 所述第一重置单元、所述阈值补偿单元和所述驱动单元连接于第一节点，所述第一发光控制单元、所述数据写入单元、所述补偿延时单元和所述驱动单元连接于第二节点，所述阈值补偿单元、所述第二发光控制单元和所述驱动单元与连接于第三节点，所述第二发光控制单元、所述第二重置单元和发光单元连接于第四节点，所述第二重置单元还与所述驱动单元连接；

所述第一重置单元还与第一控制信号端和第一重置信号端连接，其被配置

为响应于所述第一控制信号端所提供的第一控制信号的控制，将所述第一重置信号端所提供的第一重置电压写入至所述第一节点；

5 所述数据写入单元还与第二控制信号端和数据信号端连接，其被配置为响应于所述第二控制信号端所提供的第二控制信号的控制，将所述数据信号端所提供的数据电压写入至所述第二节点，并且还将所述数据电压提供至所述补偿延时单元；

10 所述阈值补偿单元还与第一电源端和第三控制信号端连接，其被配置为响应于所述第三控制信号端所提供的第三控制信号的控制，将所述第一节点和所述第三节点电导通，以使所述第二节点的电压通过所述驱动单元对所述第一节点进行充电，并将所述第一节点的电压保持为预设电压；

所述补偿延时单元还与第一电源端连接，其被配置为对所述数据写入单元提供的数据电压进行存储，并将存储的所述数据电压提供至所述第二节点，以通过所述驱动单元对所述第一节点持续进行充电；

15 所述第一发光控制单元还与所述第一电源端和第四控制信号端连接，其被配置为响应于所述第四控制信号端所提供的第四控制信号的控制，将所述第一电源端所提供的电源电压写入至所述第二节点；

所述第二发光控制单元，还与所述第四控制信号端连接，其被配置为响应于所述第四控制信号端所提供的第四控制信号的控制，将所述第三节点和所述第四节点电导通；

20 所述驱动单元被配置为响应于所述第一节点所提供的预设电压的控制，根据所述第二节点提供的电源电压输出相应的驱动电流，所述驱动电流通过所述第二发光控制单元提供至所述第四节点，以驱动所述发光单元进行发光；

25 所述第二重置单元还与第五控制信号端、第二重置信号端、第三重置信号端连接，其被配置为响应于所述第五控制信号端提供的第五控制信号的控制，将所述第二重置信号端提供的第二重置信号写入至所述第四节点，以及将所述第三重置信号端提供的第三重置信号写入所述第二节点或所述第三节点。

在一些实施例中，根据权利要求 1 所述的像素驱动电路，其特征在于，所述第一重置单元包括：第一晶体管；

30 所述第一晶体管的控制极连接所述第一控制信号端，第一极连接所述第一重置信号端，第二极连接至所述第一节点。

在一些实施例中，所述阈值补偿单元包括：第一电容和第二晶体管；

所述第一电容的第一端连接所述第一电源端，第二端连接至所述第一节点；

所述第二晶体管的控制极连接所述第三控制信号端，第一极连接至所述第三节点，第二极连接至所述第一节点。

5 在一些实施例中，所述驱动单元包括：第三晶体管；

所述第三晶体管的控制极连接至所述第一节点，第一极连接至所述第二节点，第二极连接至所述第三节点。

在一些实施例中，所述第一发光控制单元包括：第五晶体管；

10 所述第五晶体管的控制极连接所述第四控制信号端，第一极连接所述第一电源端，第二极连接至所述第二节点。

在一些实施例中，所述第二发光控制单元包括：第六晶体管；

所述第六晶体管的控制极连接所述第四控制信号端，第一极连接至所述第三节点，第二极连接至所述第四节点。

15 在一些实施例中，所述第二重置单元与所述驱动单元连接于所述第二节点，且所述第二重置单元包括：第七晶体管和第八晶体管；

所述第七晶体管的控制极连接所述第五控制信号端，第一极连接所述第二重置信号端，第二极连接至所述第四节点；

所述第八晶体管的控制极连接所述第五控制信号端，第一极连接所述第三重置信号端，第二极连接至所述第二节点。

20 在一些实施例中，所述第二重置单元与所述驱动单元连接于所述第三节点，且所述第二重置单元包括：第七晶体管和第八晶体管；

所述第七晶体管的控制极连接所述第五控制信号端，第一极连接所述第二重置信号端，第二极连接至所述第四节点；

25 所述第八晶体管的控制极连接所述第五控制信号端，第一极连接所述第三重置信号端，第二极连接至所述第三节点。

在一些实施例中，所述补偿延时单元包括：第二电容；

所述第二电容的第一端连接所述第一电源端，第二端连接至所述第二节点。

在一些实施例中，所述数据写入单元包括：第四晶体管；

30 所述第四晶体管的控制极连接至所述第二控制信号端，第一极连接所述数据信号端，第二极连接至所述第二节点。

在一些实施例中，所述像素驱动电路还包括：充电补偿控制单元；

所述补偿延时单元的一端连接所述第一电源端，另一端通过所述充电补偿控制单元连接于所述第二节点；

所述数据写入单元通过所述充电补偿控制单元连接于所述第二节点；

5 所述充电补偿控制单元还与所述第三控制信号端连接，其被配置为响应于所述第三控制信号端所提供的第三控制信号的控制，将所述数据写入单元与所述第二节点电导通，以及将所述补偿延时单元与所述第二节点电导通。

在一些实施例中，所述补偿延时单元包括：第二电容，其中所述第二电容的第一端连接所述第一电源端，第二端与所述充电补偿控制单元连接。

10 在一些实施例中，所述充电补偿控制单元，包括：第九晶体管，其中，所述第九晶体管的控制极连接所述第三控制信号端，所述第九晶体管的第二极连接至所述第二节点，以及所述第九晶体管的第一极连接至所述第二电容的第二端。

在一些实施例中，所述数据写入单元包括：第四晶体管；

15 所述第四晶体管的控制极连接至所述第二控制信号端，第一极连接至所述数据信号端，第二极连接至所述第九晶体管的第一极。

第二方面，本公开实施例提供一种显示基板，该显示基板包括上述实施例提供的像素驱动电路。

20 第三方面，本公开实施例提供一种显示装置，该显示装置包括上述实施例提供的显示基板。

第四方面，本公开实施例提供一种像素驱动电路的驱动方法，该像素驱动电路包括上述实施例提供的像素驱动电路，该驱动方法包括：

25 在初始化阶段，第一重置单元响应于第一控制信号端所提供的第一控制信号的控制，将第一重置信号端所提供的的第一重置电压写入至第一节点；

在数据写入及补偿阶段，数据写入单元响应于第二控制信号端所提供的第二控制信号的控制，将数据信号端所提供的的数据电压写入至第二节点，并且还将数据电压提供至补偿延时单元；阈值补偿单元响应于第三控制信号端所提供的第三控制信号的控制，将第一节点和第三节点电导通，以使第二节点的电压通过驱动单元对第一节点进行充电，并将第一节点的电压保持为预设电压；以及，补偿延时单元对数据写入单元提供的的数据电压进行存储，并将存储的数据

30

电压提供至第二节点，以通过驱动单元对第一节点持续进行充电；

在发光阶段，第一发光控制单元响应于第四控制信号端所提供的第四控制信号的控制，将第一电源端所提供的电源电压写入至第二节点；以及，第二发光控制单元响应于第四控制信号端所提供的第四控制信号的控制，将第三节点和第四节点电导通；以及，驱动单元响应于第一节点所提供的预设电压的控制，根据第二节点提供的电源电压输出相应的驱动电流，并将该驱动电流通过第二发光控制单元提供至第四节点，以驱动发光单元进行发光；

在发光重置阶段，第二重置单元响应于第五控制信号端提供的第五控制信号的控制，将第二重置信号端提供的第二重置信号写入至第四节点，以及将第三重置信号端提供的第三重置信号写入第二节点或第三节点。

附图说明

图 1 为本公开实施例中的一种显示基板的结构示意图；

图 2 为本公开实施例提供的一种像素驱动电路的组成框图；

图 3 为本公开实施例提供的另一种像素驱动电路的组成框图；

图 4 为本公开实施例中的一种像素驱动电路的电路结构示意图；

图 5 为本公开实施例中的另一种像素驱动电路的电路结构示意图；

图 6 为本公开实施例中的另一种像素驱动电路的电路结构示意图；

图 7 为本公开实施例中的另一种像素驱动电路的电路结构示意图；

图 8 为图 4 或图 5 所示像素驱动电路的一种工作时序图；

图 9 为阈值电压补偿效果对比示意图；

图 10 为本公开实施例提供的像素驱动电路的驱动方法的流程示意图。

具体实施方式

为使本领域的技术人员更好地理解本公开实施例的技术方案，下面将结合本公开实施例的附图对本公开实施例所提供的像素驱动电路及驱动方法、显示基板、显示装置的技术方案进行清楚、完整地描述。

在下文中将参考附图更充分地描述示例实施例，但是所述示例实施例可以以不同形式来体现且不应当被解释为限于本文阐述的实施例。反之，提供这些实施例的目的在于使本公开透彻和完整，并将使本领域技术人员充分理解本公开的范围。

本文所使用的术语仅用于描述特定实施例，且不意欲限制本公开。如本文所使用的，单数形式“一个”和“该”也意欲包括复数形式，除非上下文另外清楚指出。还将理解的是，当本说明书中使用术语“包括”和/或“包含”时，指定存在所述特征、整体、步骤、操作、元件和/或组件，但不排除存在或添加一个或多个其他特征、整体、步骤、操作、元件、组件和/或其群组。

将理解的是，虽然本文可以使用术语第一、第二等来描述各种元件/结构，但这些元件/结构不应当受限于这些术语。这些术语仅用于区分一个元件/结构和另一元件/结构。

除非另外限定，否则本文所用的所有术语(包括技术和科学术语)的含义与本领域普通技术人员通常理解的含义相同。还将理解，诸如那些在常用字典中限定的那些术语应当被解释为具有与其在相关技术以及本公开的背景下的含义一致的含义，且将不解释为具有理想化或过度形式上的含义，除非本文明确如此限定。

需要说明的是，在本公开实施例中的所采用的晶体管可以为薄膜晶体管或场效应管或其他具有相同、类似特性的器件，由于采用的晶体管的源极和漏极是对称的，所以其源极、漏极是没有区别的。在本公开实施例中，为区分晶体管的源极和漏极，将其中一极称为第一极，另一极称为第二极，栅极称为控制极。

此外，按照晶体管特性，可将晶体管分为N型晶体管和P型晶体管；当晶体管为N型晶体管时，其导通电压为高电平电压，截止电压为低电平电压；当晶体管为P型晶体管时，其导通电压为低电平电压，截止电压为高电平电压。本发明中的“有效电平”是指能够控制相应晶体管导通的电压，“非有效电平”是指能够控制相应晶体管截止的电压；因此，当晶体管为N型晶体管时，有效电平是指高电平，非有效电平是指低电平；当晶体管为P型晶体管时，有效电平是指低电平，非有效电平是指高电平。

本公开实施例中是以P型晶体管进行说明的，当采用P型晶体管时，第一极为P型晶体管的漏极，第二极为P型晶体管的源极，N型则相反。

可以想到的是，本公开实施例还可以采用N型晶体管来实现下述实施例的技术方案，这是本领域技术人员可以在没有付出创造性劳动前提下轻易想到的，因此也是在本公开实施例的保护范围内。

在本公开实施例中，像素驱动电路中的全部晶体管同时为N型晶体管或同

时为 P 型晶体管的情况，仅为本公开实施例中的优选方案，此时该像素驱动电路中的全部晶体管可基于相同的工艺得以同时制备，有利于缩短制备周期；在一些实施例中，像素驱动电路中部分晶体管可以为 N 型晶体管，部分晶体管可以为 P 型晶体管。

图 1 为本公开实施例中的一种显示基板的结构示意图，如图 1 所示，在本公开实施例中，显示基板包括衬底基板（图中未示出）和位于衬底基板上的多个像素单元，每个像素单元包括多个子像素 P。

其中，如图 1 所示，多个像素单元可以呈阵列排布，每个像素单元中的多个子像素 P 也可以呈阵列排布。需要说明的是，图 1 中仅示例性的示出了多个子像素 P 呈阵列排布的情形，本公开实施例包括但不限于此，本公开实施例中的多个子像素 P 还可以采用其他排布方式排布。

如图 1 所示，在本公开实施例中，显示基板还包括沿行方向延伸设置的多条栅线 Gate 和沿列方向延伸设置的多条数据线 Data，其中，栅线 Gate 和数据线 Data 交叉设置且限定出子像素 P。其中，栅线 Gate 用于向对应连接的子像素 P 提供栅极扫描信号，数据线 Data 用于向对应连接的子像素 P 提供所需的数据信号 Vdata。

需要说明的是，图 1 仅示例性的示出了每行栅线 Gate 对应连接一行子像素 P、每列数据线 Data 对应连接一列子像素 P 的情形，本公开实施例包括但不限于此，例如，本公开实施例中，还可以是每行子像素 P 对应设置两行栅线 Gate，每行子像素 P 中，部分子像素 P 与对应的一行栅线 gate 连接，另一部分子像素 P 与对应的另一行栅线 Gate 连接。

如图 1 所示，在本公开实施例中，显示基板还包括沿列方向延伸设置的多条电源走线，其中，每列子像素 P 可以对应设置有一条电源走线，电源走线用于向对应连接的子像素 P 提供所需的电源电压 VDD。需要说明的是，图 1 仅示例性的示出了每列子像素 P 可以对应设置有一条电源走线的情形，本公开实施例包括但不限于此，还可以是每多列（例如 2 列、3 列等）子像素 P 对应设置一条电源走线。

在本公开实施例中，每个子像素 P 均包括像素驱动电路和发光器件，其中，像素驱动电路与对应的栅线 Gate、对应的数据线 Data、对应的电源走线以及对应的发光器件连接，像素驱动电路能够根据数据线 Data 所提供的数据信号 Vdata 和电源走线所提供的电源电压 VDD 向发光器件提供驱动电流，以驱动发光

器件发光；发光器件可以为电流驱动型发光器件，例如发光器件可以为 OLED 发光器件或者 AMOLED（Active-Matrix Organic Light-Emitting Diode，有源矩阵有机发光二极管）发光器件等。

图 2 为本公开实施例中的一种像素驱动电路的组成框图，如图 1 和图 2 所示，在本公开实施例中，每个子像素 P 的像素驱动电路可以包括：第一发光控制单元 21、阈值补偿单元 22、补偿延时单元 23、第二发光控制单元 24、数据写入单元 25、第一重置单元 26、驱动单元 27 和第二重置单元 28。

其中，第一重置单元 26、阈值补偿单元 22 和驱动单元 27 连接于第一节点 N1，第一发光控制单元 21、数据写入单元 25、补偿延时单元 23 和驱动单元 27 连接于第二节点 N2，阈值补偿单元 22、第二发光控制单元 24 和驱动单元 27 连接于第三节点 N3，第二发光控制单元 24、第二重置单元 28 和发光单元 29 连接于第四节点 N4，第二重置单元 28 还与驱动单元 27 连接。

其中，第一重置单元 26 还与第一控制信号端 RESET 和第一重置信号端 INIT1 连接，其被配置为响应于第一控制信号端 RESET 所提供的第一控制信号的控制，将第一重置信号端 INIT1 所提供的第一重置电压 Vinit1 写入至第一节点 N1，以对第一节点 N1 的电压进行重置复位。

数据写入单元 25 还与第二控制信号端 Gate1 和数据信号端 Data 连接，其被配置为响应于第二控制信号端 Gate1 所提供的第二控制信号的控制，将数据信号端 Data 所提供的的数据电压 Vdata 写入至第二节点 N2，同时还将数据电压 Vdata 提供至补偿延时单元 23。

阈值补偿单元 22 还与第一电源端 U1 和第三控制信号端 EM2_N 连接，其被配置为响应于第三控制信号端 EM2_N 所提供的第三控制信号的控制，将第一节点 N1 和第三节点 N3 电导通，以使第二节点 N2 的电压通过驱动单元 27 对第一节点 N1 进行充电，并将第一节点 N1 的电压保持为预设电压。

补偿延时单元 23 还与第一电源端 U1 连接，其被配置为对数据写入单元 25 提供的的数据电压 Vdata 进行存储，并将数据电压 Vdata 提供至第二节点 N2，以通过驱动单元 27 对第一节点 N1 持续进行充电。

第一发光控制单元 21 还与第一电源端 U1 和第四控制信号端 EM1 连接，其被配置为响应于第四控制信号端 EM1 所提供的第四控制信号的控制，将第一电源端 U1 所提供的电源电压 VDD 写入至第二节点 N2。

第二发光控制单元 24，还与第四控制信号端 EM1 连接，其被配置为响应于

第四控制信号端 EM1 所提供的第四控制信号的控制，将第三节点 N3 和第四节点 N4 电导通，从而使得驱动单元 27 与发光单元 29 电导通。

驱动单元 27 其被配置为响应于第一节点 N1 所提供的预设电压的控制，根据第二节点 N2 提供的电源电压 VDD 输出相应的驱动电流 I，驱动电流 I 通过第二发光控制单元 24 提供至第四节点 N4，以驱动发光单元 29 进行发光。

发光单元 29 的一端连接至第四节点 N4，另一端连接第二电源端 U2，其被配置为在驱动单元 27 提供的驱动电流 I 的作用下进行发光。

第二重置单元 28 还与第五控制信号端 Gate2、第二重置信号端 INIT2、第三重置信号端 INIT3 连接，其被配置为响应于第五控制信号端 Gate2 提供的第五控制信号的控制，将第二重置信号端 INIT2 提供的第二重置信号写入至第四节点 N4，以对第四节点 N4 的电压进行重置，以及将第三重置信号端 INIT3 提供的第三重置信号写入第二节点 N2 或第三节点 N3，以对第二节点 N2 或第三节点 N3 的电压进行重置。

在本公开实施例中，第一电源 U1 所提供的电源电压 VDD 为直流高电平信号，第二电源端 U1 所提供的信号为直流低电平信号 Vss；第一控制信号端 RESET 输出的信号为脉冲信号，第一控制信号为脉冲信号中处于有效电平状态的信号，例如，处于有效电平状态的信号为低电平信号；第二控制信号端 Gate1 与第一栅线（Gate1）连接，其输出的信号为脉冲信号，第二控制信号为脉冲信号中处于有效电平状态的信号，例如，处于有效电平状态的信号为低电平信号；数据信号端 Data 与数据线（Data）连接，其所提供的数据电压 Vdata 为脉冲信号；第一重置信号端 INIT1 所提供的的第一重置信号 Vinit1、第二重置信号端 INIT2 所提供的第二重置信号 Vinit2、第三重置信号端 INIT3 所提供的第三重置信号 Vinit3 均为直流低电平信号；第三控制信号端 EM2_N 所提供的信号为脉冲信号，第三控制信号为脉冲信号中处于有效电平状态的信号，例如，处于有效电平状态的信号为低电平信号；第四控制信号端 EM1 所提供的信号为脉冲信号，第四控制信号为脉冲信号中处于有效电平状态的信号，例如，处于有效电平状态的信号为低电平信号；第五控制信号端 Gate2 与第二栅线（Gate）连接，其输出的信号为脉冲信号，第五控制信号为脉冲信号中处于有效电平状态的信号，例如，处于有效电平状态的信号为低电平信号。

根据本公开实施例提供的像素驱动电路的技术方案，在一方面，在数据写入单元将数据电压写入第二节点以通过驱动单元和阈值补偿单元对第一节点进

行充电时，通过补偿延时单元存储数据电压，补偿延时单元存储的数据电压可以通过驱动单元和阈值补偿单元对第一节点持续进行充电，以对驱动单元的阈值电压进行持续补偿，从而改善驱动单元的阈值电压的补偿效果，进而有利于改善高刷新频率工作模式下的显示画质；在另一方面，在发光单元发光之后，
5 通过第二重置单元对第二节点或第三节点电压进行复位重置，以及对第四节点电压进行复位重置，从而可以有效改善因驱动单元的迟滞效应造成低刷新频率工作模式下以及高低刷新频率切换时存在显示亮度差异以及显示画面闪烁的问题，

在一些实施例中，如图 2 所示，补偿延时单元 23 的一端连接第一电源端 U1，另一端直接连接至第二节点 N2；第二重置单元 28 与驱动单元 27 连接于第二节点 N2，此时，第二重置单元 28 响应于第五控制信号端提供的第五控制信号的控制，将第三重置信号端 INIT3 提供的第三重置信号写入第二节点 N2。
10

在一些实施例中，如图 2 所示，补偿延时单元 23 的一端连接第一电源端 U1，另一端直接连接至第二节点 N2；第二重置单元 28 与驱动单元 27 相连接，
15 例如，第二重置单元 28 与驱动单元 27 相连接于第三节点 N3，此时，第二重置单元 28 响应于第五控制信号端提供的第五控制信号的控制，将第三重置信号端 INIT3 提供的第三重置信号写入第三节点 N3。

图 3 为本公开实施例提供的另一种像素驱动电路的组成框图，在一些实施例中，如图 3 所示，像素驱动电路还包括：充电补偿控制单元 30。

其中，补偿延时单元 23 的一端连接第一电源端 U1，另一端通过充电补偿控制单元 30 连接第二节点 N2；数据写入单元 25 通过充电补偿控制单元 30 连接第二节点 N2；第二重置单元 28 与驱动单元 27 相连接，更具体的，第二重置单元 28 与驱动单元 27 可以连接于第二节点 N2 或者第三节点 N3，例如，图 3 仅示例性示出了第二重置单元 28 与驱动单元 27 连接于第二节点 N2 的情形，在本公开实施例中，第二重置单元 28 与驱动单元 27 还可以连接于第三节点 N3。
20
25

充电补偿控制单元 30 还与第三控制信号端 EM2_N 连接，其被配置为响应于第三控制信号端 EM2_N 所提供的第三控制信号的控制，将数据写入单元 25 与第二节点 N2 电导通，以及将补偿延时单元 23 与第二节点 N2 电导通。

图 4 为本公开实施例中的一种像素驱动电路的电路结构示意图，在一些实施例中，如图 2 和图 4 所示，第一重置单元 26 包括：第一晶体管 T1，第一晶体管 T1 的控制极连接第一控制信号端 RESET，第一极连接第一重置信号端 INIT1，
30

第二极连接至第一节点 N1。

在一些实施例中，如图 2 和图 4 所示，阈值补偿单元 22 包括：第一电容 C1 和第二晶体管 T2。

5 其中，第一电容 C1 的第一端连接第一电源端 U1，第二端连接至第一节点 N1；第二晶体管 T2 的控制极连接第三控制信号端 EM2_N，第一极连接至第三节点 N3，第二极连接至第一节点 N1。

在一些实施例中，如图 2 和图 4 所示，驱动单元 27 包括：第三晶体管 T3；第三晶体管 T3 的控制极连接至第一节点 N1，第一极连接至第二节点 N2，第二极连接至第三节点 N3。

10 在一些实施例中，如图 2 和图 4 所示，数据写入单元 25 包括：第四晶体管 T4；第四晶体管 T4 的控制极连接至第二控制信号端 Gate1，第一极连接数据信号端 Data，第二极连接至第二节点 N2。

15 在一些实施例中，如图 2 和图 4 所示，第一发光控制单元 21 包括：第五晶体管 T5；第五晶体管 T5 的控制极连接第四控制信号端 EM1，第一极连接第一电源端 U1，第二极连接至第二节点 N2。

在一些实施例中，如图 2 和图 4 所示，第二发光控制单元 24 包括：第六晶体管 T6；第六晶体管 T6 的控制极连接第四控制信号端 EM1，第一极连接至第三节点 N3，第二极连接至第四节点 N4。

20 在一些实施例中，如图 2 和图 4 所示，第二重置单元 28 包括：第七晶体管 T7 和第八晶体管 T8。

其中，第七晶体管 T7 的控制极连接第五控制信号端 Gate2，第一极连接第二重置信号端 INIT2，第二极连接至第四节点 N4；第八晶体管 T8 的控制极连接第五控制信号端 Gate2，第一极连接第三重置信号端 INIT3，第二极连接至第二节点 N2。

25 在一些实施例中，如图 2 和图 4 所示，补偿延时单元 23 包括：第二电容 C2；第二电容 C2 的第一端连接第一电源端 U1，第二端连接至第二节点 N2。

在一些实施例中，如图 2 和图 4 所示，发光单元 29 包括发光器件 D，发光器件 D 的第一极连接至第四节点 N4，第二极连接第二电源端 U2。在一些实施例中，发光器件 D 为 OLED 发光器件，其第一极为阳极，其第二极为阴极。

30 图 5 为本公开实施例中的另一种像素驱动电路的电路结构示意图，在一些实施例中，图 5 所示像素驱动电路与图 4 所示像素驱动电路的区别在于第二重

置单元 28 的内部结构的连接方式, 具体的, 如图 2 和图 5 所示, 第二重置单元 28 包括: 第七晶体管 T7 和第八晶体管 T8, 其中, 第七晶体管 T7 的控制极连接第五控制信号端 Gate2, 第一极连接第二重置信号端 INIT2, 第二极连接至第四节点 N4; 第八晶体管 T8 的控制极连接第五控制信号端 Gate2, 第一极连接第三重置信号端 INIT3, 第二极连接至第三节点 N3。

图 6 为本公开实施例中的另一种像素驱动电路的电路结构示意图, 在一些实施例中, 图 6 所示像素驱动电路与图 4 所示像素驱动电路的区别在于: 像素驱动电路还包括充电补偿控制单元, 并且如图 3 和图 6 所示, 数据写入单元 25 包括: 第四晶体管 T4; 充电补偿控制单元 30 包括: 第九晶体管 T9。

其中, 第四晶体管 T4 的控制极连接至第二控制信号端 Gate1, 第一极连接数据信号端 Data, 第二极与第九晶体管 T9 的第一极连接; 第九晶体管 T9 的控制极连接第三控制信号端 EM2_N, 第九晶体管 T9 的第二极连接至第二节点 N2。

在一些实施例中, 如图 3 和图 6 所示, 补偿延时单元 23 包括: 第二电容 C2; 第二电容 C2 的第一端连接第一电源端 U1, 第二端与第九晶体管 T9 的第一极连接。

图 7 为本公开实施例中的另一种像素驱动电路的电路结构示意图, 在一些实施例中, 图 7 所示像素驱动电路与图 5 所示像素驱动电路的区别在于: 像素驱动电路还包括充电补偿控制单元, 并且如图 3 和图 7 所示, 数据写入单元 25 包括: 第四晶体管 T4; 充电补偿控制单元 30 包括: 第九晶体管 T9。

其中, 第四晶体管 T4 的控制极连接至第二控制信号端 Gate1, 第一极连接数据信号端 Data, 第二极与第九晶体管 T9 的第一极连接; 第九晶体管 T9 的控制极连接第三控制信号端 EM2_N, 第九晶体管 T9 的第二极连接至第二节点 N2。

在一些实施例中, 如图 3 和图 7 所示, 补偿延时单元 23 包括: 第二电容 C2; 第二电容 C2 的第一端连接第一电源端 U1, 第二端与第九晶体管 T9 的第一极连接。

图 8 为图 4 或图 5 所示像素驱动电路的一种工作时序图, 为便于本领域技术人员更好的理解本发明的技术方案, 下面以图 4 所示像素驱动电路为例, 将结合图 4 和图 8, 对本公开实施例所提供的像素驱动电路的工作过程进行详细描述。

如图 4 和图 8 所示, 在本公开实施例中, 每行子像素的显示时段可以包括初始化阶段 t1、数据写入及补偿阶段 t2、发光阶段 t3 以及发光重置阶段 t4,

即每行子像素的像素驱动电路的工作过程包括：初始化阶段 t1、数据写入及补偿阶段 t2、发光阶段 t3、发光重置阶段 t4。

在下述描述中，均以各晶体管（T1~T7）为 P 型晶体管为例进行描述，此种情形下，可以理解的是，各晶体管（T1~T7）在控制极为低电平状态下导通，而在控制极为高电平状态下截止。

在初始化阶段 t1，第一控制信号端 RESET 提供低电平信号，第二控制信号端 Gate1 提供高电平信号，第三控制信号端 EM2_N 提供高电平信号，第四控制信号端 EM1 提供高电平信号，第五控制信号端 Gate2 提供高电平信号。

在第一控制信号端 RESET 提供的低电平信号的作用下，第一晶体管 T1 导通，第一重置信号 Vinit1 通过导通的第一晶体管 T1 写入至第一节点 N1，即对第一节点 N1 电压进行重置，也即实现对驱动晶体管 DTFT（T3）的控制极的重置处理。与此同时，由于其他控制信号端均提供的高电平信号，因此晶体管 T2、T4、T5、T6、T7、T8 均截止。

在一些实施例中，第一控制信号端 RESET 提供低电平信号的时间大于一行像素的扫描时间，以对驱动晶体管 DTFT（T3）的控制极进行长时间重置。

在数据写入及补偿阶段 t2，第一控制信号端 RESET 提供高电平信号，第二控制信号端 Gate1 首先提供低电平信号，经过一段时间后变为提供高电平信号，第三控制信号端 EM2_N 首先高电平信号，然后经过一定时间后提供低电平信号，第四控制信号端 EM1 提供高电平信号，第五控制信号端 Gate2 提供高电平信号。

由于第一控制信号端 RESET 提供高电平信号，因此第一晶体管 T1 截止。与此同时，在第二控制信号端 Gate1 提供的低电平信号的作用下，第四晶体管 T4 导通，数据信号端 Data 提供的的数据电压 Vdata 通过导通的第四晶体管 T4 写入至第二节点 N2，以对第二节点 N2 进行充电，且数据电压 Vdata 存入第二电容 C2；此外，在第三控制信号端 EM2_N 提供的低电平信号的作用下，第二晶体管 T2 导通，此时驱动晶体管 DTFT（T3）处于导通状态，第二节点 N2 的电压通过导通的驱动晶体管 DTFT（T3）和导通的第二晶体管 T2 对第一节点 N1 进行充电，直至第一节点 N1 处的电压充电至预设电压，驱动晶体管 DTFT（T3）截止，充电结束，第一电容 C1 存储该预设电压。其中，预设电压为 $V_{data} + V_{th}$ ，Vdata 为数据电压，Vth 为驱动晶体管 DTFT（T3）的阈值电压。

通过第二电容 C2 的设置，在数据写入及补偿阶段 t2，即使第四晶体管 T4 关闭，第二晶体管 T2 可以持续开启，以持续对第一节点 N1 进行充电，从而持

续不断对驱动晶体管 T3 的阈值电压 V_{th} 进行补偿, 改善驱动晶体管的阈值电压补偿效果, 从而提高刷新频率工作模式下的显示画质。

图 9 为阈值电压补偿效果对比示意图, 如图 9 所示, 图 9 中波形 1 为包含第一电容 C1 和第二电容 C2 的像素驱动电路中驱动晶体管 DTFT (T3) 的控制极 (第一节点 N1) 处的电压信号的波形图, 波形 2 为仅包含有第一电容 C1 的像素驱动电路中驱动晶体管 DTFT (T3) 的控制极 (第一节点 N1) 处的电压信号的波形图, 对比波形 1 和波形 2, 可以很明显看到像素驱动电路在增设第二电容 C2 之后, 在数据写入及补偿阶段 t_2 , 第一节点 N1 处的电位增高, 阈值电压 V_{th} 补偿更充分。

需要说明的是, 在驱动晶体管 DTFT (T3) 输出电流对第一节点 N1 进行充电过程中, 由于第六晶体管 T6 截止, 因此可避免发光器件 OLED 误发光, 以提升显示效果。当然, 在一些实施例中, 也可以无需设置第六晶体管 T6。

在发光阶段 t_3 , 第一控制信号端 RESET 提供高电平信号, 第二控制信号端 Gate1 提供高电平信号, 第三控制信号端 EM2_N 提供高电平信号, 第四控制信号端 EM1 提供低电平信号, 第五控制信号端 Gate2 提供高电平信号, 电源走线提供电源电压 VDD 给第一电源端 U1。

在第四控制信号端 EM1 提供的低电平信号作用下, 第五晶体管 T5 和第六晶体管 T6 导通, 驱动晶体管 DTFT (T3) 根据第一节点 N1 处的电压和电源走线提供的电源电压 VDD 输出驱动电流 I, 以驱动发光器件 D 发光。其中, 根据驱动晶体管 DTFT (T3) 的饱和驱动电流公式可得: $I = K * (V_{gs} - V_{th})^2 = K * (V_{data} + V_{th} - V_{DD} - V_{th})^2 = K * (V_{DD} - V_{data})^2$ 。

其中, 与驱动晶体管 DTFT(T3)的工艺参数和几何尺寸有关的常数 $K = (1/2) * \mu_n * C_{ox} * (W/L)$, V_{gs} 为驱动晶体管 DTFT (T3) 的栅源电压, V_{th} 为驱动晶体管 DTFT (T3) 的阈值电压。通过上式可知, 驱动晶体管 DTFT (T3) 的驱动电流仅与数据电压 V_{data} 和电源电压 VDD 相关, 而与驱动晶体管 DTFT (T3) 的阈值电压 V_{th} 无关, 实现了对阈值电压 V_{th} 的补偿, 从而可避免流过发光器件 D 的驱动电流受到阈值电压不均匀和漂移的影响, 进而有效的提高了流过发光器件 D 的驱动电流 I 的均匀性。

在发光重置阶段 t_4 , 第一控制信号端 RESET 提供高电平信号, 第二控制信号端 Gate1 提供高电平信号, 第三控制信号端 EM2_N 提供高电平信号, 第四控制信号端 EM1 提供低电平信号, 第五控制信号端 Gate2 提供低电平信号。

在第五控制信号端 Gate2 提供的低电平信号的作用下，第七晶体管 T7 和第八晶体管 T8 导通，第二重置信号端 INIT2 提供的第二重置信号 Vinit2 通过导通的第七晶体管 T7 写入第四节点 N4，以对第四节点 N4（即发光器件 D 的第一极）的电压进行重置；同时，第三重置信号端 INIT3 提供的第三重置信号 Vinit3 通过导通的第八晶体管 T8 写入第二节点 N2，以对第二节点 N2（即驱动晶体管 T3 的第一极）的电压进行重置。本实施例中，通过第七晶体管 T7 和第八晶体管 T8 持续对第二节点 N2 和第四节点 N4 进行电压重置，从而在低频时间段中，能够降低低频扫描期间的亮度差异。

需要说明的是，图 6 所示像素驱动电路与图 4 所示像素驱动电路的区别在于图 6 所示像素驱动电路还包括第九晶体管 T9，通过第九晶体管 T9 控制第四晶体管 T4 与第二节点 N2 之间的电导通或断开，以及控制第二电容 C2 与第二节点 N2 之间的电导通或断开；其中，第九晶体管 T9 的控制极的工作时序与第二晶体管 T2 的控制极的工作时序相同，且在数据写入及补偿阶段 t2 导通，以将第四晶体管 T4 与第二节点 N2 之间电导通，以及将第二电容 C2 与第二节点 N2 之间电导通。

同时，通过第九晶体管 T9 的设置，数据写入单元的第四晶体管 T4 可以提前将数据电压 Vdata 写入至第二电容 C2，在第二晶体管 T2 和第九晶体管 T9 开启后，可以通过第二电容 C2 对第一节点进行充电，即对第一电容 C1 进行充电，此时的充电时间与像素行扫描时间无关，因此可以根据需要适当延长对驱动晶体管 T3 的阈值电压 V_{th} 补偿的时间，从而改善驱动晶体管的阈值电压补偿效果，进而提升高刷新频率工作模式下的显示画质。

图 6 所示像素驱动电路和图 7 所示像素驱动电路中，第二电容 C2 的电容值大于第一电容 C1 的电容值，较适用于中大尺寸像素分辨率 PPI 的产品，同时此像素驱动电路同样兼容低频特性，能够满足高低刷新频率驱动。

在本公开实施例中，每个子像素 P 的发光器件 D 均包括阳极（图中未示出）、有机发光层（图中未示出）和阴极（图中未示出）。其中，阳极即为前述发光器件 D 的第一极，其与第七晶体管 T7 的第二极、第六晶体管 T6 的第二极连接；阴极即为前述发光器件 D 的第二极，其与用于提供低电平电压 V_{ss} 的第二电源端 U2 连接。

本公开实施例还提供一种显示基板，该显示基板包括上述任一实施例提供的像素驱动电路，关于该像素驱动电路的具体描述可参见上述任一实施例中对

像素驱动电路的相关描述，此处不再赘述。

在本公开实施例中，显示基板可以为 OLED 显示基板。

此外，本公开实施例还提供一种显示装置，该显示装置包括前述任一本公开实施例所提供的显示基板，关于该显示基板的具体描述可参见前述任一本公开实施例的描述，此处不再赘述。

图 10 为本公开实施例提供的像素驱动电路的驱动方法的流程示意图，本公开实施例还提供一种像素驱动电路的驱动方法，在本公开实施例中，该像素驱动电路包括上述任一实施例提供的像素驱动电路，如图 10 所示，该像素驱动电路的驱动方法包括：

步骤 S91、在初始化阶段，第一重置单元响应于第一控制信号端所提供的第一控制信号的控制，将第一重置信号端所提供的第一重置电压写入至第一节点。

步骤 S92、在数据写入及补偿阶段，数据写入单元响应于第二控制信号端所提供的第二控制信号的控制，将数据信号端所提供的数据电压写入至第二节点，并且还将数据电压提供至补偿延时单元；阈值补偿单元响应于第三控制信号端所提供的第三控制信号的控制，将第一节点和第三节点电导通，以使第二节点的电压通过驱动单元对第一节点进行充电，并将第一节点的电压保持为预设电压；以及，补偿延时单元对数据写入单元提供的数据电压进行存储，并将所存储的数据电压提供至第二节点，以通过驱动单元对第一节点持续进行充电。

步骤 S93、在发光阶段，第一发光控制单元响应于第四控制信号端所提供的第四控制信号的控制，将第一电源端所提供的电源电压写入至第二节点；以及，第二发光控制单元响应于第四控制信号端所提供的第四控制信号的控制，将第三节点和第四节点电导通；以及，驱动单元响应于第一节点所提供的预设电压的控制，根据第二节点提供的电源电压输出相应的驱动电流，并将该驱动电流通过第二发光控制单元提供至第四节点，以驱动发光单元进行发光。

步骤 S94、在发光重置阶段，第二重置单元响应于第五控制信号端提供的第五控制信号的控制，将第二重置信号端提供的第二重置信号写入至第四节点，以及将第三重置信号端提供的第三重置信号写入第二节点或第三节点。

对于上述各步骤的具体描述和像素驱动电路的具体描述可参见前述任一实施例中相应内容，此处不再详细描述。

可以理解的是，以上实施方式仅仅是为了说明本公开的原理而采用的示例性实施方式，然而本公开并不局限于此。对于本领域内的普通技术人员而言，在不脱离本公开的精神和实质的情况下，可以做出各种变型和改进，这些变型和改进也视为本公开的保护范围。

1、一种像素驱动电路，其特征在于，包括：第一发光控制单元、阈值补偿单元、补偿延时单元、第二发光控制单元、数据写入单元、第一重置单元、驱动单元、第二重置单元；

5 所述第一重置单元、所述阈值补偿单元和所述驱动单元连接于第一节点，所述第一发光控制单元、所述数据写入单元、所述补偿延时单元和所述驱动单元连接于第二节点，所述阈值补偿单元、所述第二发光控制单元和所述驱动单元与连接于第三节点，所述第二发光控制单元、所述第二重置单元和发光单元连接于第四节点，所述第二重置单元还与所述驱动单元连接；

10 所述第一重置单元还与第一控制信号端和第一重置信号端连接，其被配置为响应于所述第一控制信号端所提供的第一控制信号的控制，将所述第一重置信号端所提供的第一重置电压写入至所述第一节点；

 所述数据写入单元还与第二控制信号端和数据信号端连接，其被配置为响应于所述第二控制信号端所提供的第二控制信号的控制，将所述数据信号端所提供的
15 数据电压写入至所述第二节点，并且还将所述数据电压提供至所述补偿延时单元；

 所述阈值补偿单元还与第一电源端和第三控制信号端连接，其被配置为响应于所述第三控制信号端所提供的第三控制信号的控制，将所述第一节点和所述第三节点电导通，以使所述第二节点的电压通过所述驱动单元对所述第一节点进行充电，并将所述第一节点的电压保持为预设电压；
20

 所述补偿延时单元还与所述第一电源端连接，其被配置为对所述数据写入单元提供的数据电压进行存储，并将存储的所述数据电压提供至所述第二节点，以通过所述驱动单元对所述第一节点持续进行充电；

25 所述第一发光控制单元还与所述第一电源端和第四控制信号端连接，其被配置为响应于所述第四控制信号端所提供的第四控制信号的控制，将所述第一电源端所提供的电源电压写入至所述第二节点；

 所述第二发光控制单元还与所述第四控制信号端连接，其被配置为响应于所述第四控制信号端所提供的第四控制信号的控制，将所述第三节点和所述第四节点电导通；

30 所述驱动单元被配置为响应于所述第一节点所提供的预设电压的控制，根据所述第二节点提供的电源电压输出相应的驱动电流，所述驱动电流通过所述

第二发光控制单元提供至所述第四节点，以驱动所述发光单元进行发光；

所述第二重置单元还与第五控制信号端、第二重置信号端和第三重置信号端连接，其被配置为响应于所述第五控制信号端提供的第五控制信号的控制，将所述第二重置信号端提供的第二重置信号写入至所述第四节点，以及将所述第三重置信号端提供的第三重置信号写入所述第二节点或所述第三节点。

2、根据权利要求 1 所述的像素驱动电路，其特征在于，所述第一重置单元包括：第一晶体管；

所述第一晶体管的控制极连接所述第一控制信号端，第一极连接所述第一重置信号端，第二极连接至所述第一节点。

3、根据权利要求 1 至 2 中任一项所述的像素驱动电路，其特征在于，所述阈值补偿单元包括：第一电容和第二晶体管；

所述第一电容的第一端连接所述第一电源端，第二端连接至所述第一节点；

所述第二晶体管的控制极连接所述第三控制信号端，第一极连接至所述第三节点，第二极连接至所述第一节点。

4、根据权利要求 1 至 3 中任一项所述的像素驱动电路，其特征在于，所述驱动单元包括：第三晶体管；

所述第三晶体管的控制极连接至所述第一节点，第一极连接至所述第二节点，第二极连接至所述第三节点。

5、根据权利要求 1 至 4 中任一项所述的像素驱动电路，其特征在于，所述第一发光控制单元包括：第五晶体管；

所述第五晶体管的控制极连接所述第四控制信号端，第一极连接所述第一电源端，第二极连接至所述第二节点。

6、根据权利要求 1 至 5 中任一项所述的像素驱动电路，其特征在于，所述第二发光控制单元包括：第六晶体管；

所述第六晶体管的控制极连接所述第四控制信号端，第一极连接至所述第

三节点，第二极连接至所述第四节点。

5 7、根据权利要求 1 至 6 中任一项所述的像素驱动电路，其特征在于，所述第二重置单元与所述驱动单元连接于所述第二节点，且所述第二重置单元包括：第七晶体管和第八晶体管；

所述第七晶体管的控制极连接所述第五控制信号端，第一极连接所述第二重置信号端，第二极连接至所述第四节点；

所述第八晶体管的控制极连接所述第五控制信号端，第一极连接所述第三重置信号端，第二极连接至所述第二节点。

10

8、根据权利要求 1 至 6 中任一项所述的像素驱动电路，其特征在于，所述第二重置单元与所述驱动单元连接于所述第三节点，且所述第二重置单元包括：第七晶体管和第八晶体管；

15 所述第七晶体管的控制极连接所述第五控制信号端，第一极连接所述第二重置信号端，第二极连接至所述第四节点；

所述第八晶体管的控制极连接所述第五控制信号端，第一极连接所述第三重置信号端，第二极连接至所述第三节点。

20 9、根据权利要求 1 至 8 中任一项所述的像素驱动电路，其特征在于，所述补偿延时单元包括：第二电容；

所述第二电容的第一端连接所述第一电源端，第二端连接至所述第二节点。

25 10、根据权利要求 1 至 9 中任一项所述的像素驱动电路，其特征在于，所述数据写入单元包括：第四晶体管；

所述第四晶体管的控制极连接至所述第二控制信号端，第一极连接所述数据信号端，第二极连接至所述第二节点。

30 11、根据权利要求 1 至 8 中任一项所述的像素驱动电路，其特征在于，所述像素驱动电路还包括：充电补偿控制单元；

所述补偿延时单元的一端连接所述第一电源端，另一端通过所述充电补偿

控制单元连接于所述第二节点；

所述数据写入单元通过所述充电补偿控制单元连接于所述第二节点；

5 所述充电补偿控制单元还与所述第三控制信号端连接，其被配置为响应于所述第三控制信号端所提供的第三控制信号的控制，将所述数据写入单元与所述第二节点电导通，以及将所述补偿延时单元与所述第二节点电导通。

12、根据权利要求 11 所述的像素驱动电路，其特征在于，所述补偿延时单元包括：第二电容，其中所述第二电容的第一端连接所述第一电源端，第二端与所述充电补偿控制单元连接。

10

13、根据权利要求 12 所述的像素驱动电路，其特征在于，所述充电补偿控制单元，包括：第九晶体管，其中，

15 所述第九晶体管的控制极连接所述第三控制信号端，所述第九晶体管的第二极连接至所述第二节点，以及所述第九晶体管的第一极连接至所述第二电容的第二端。

14、根据权利要求 13 所述的像素驱动电路，其特征在于，所述数据写入单元包括：第四晶体管；

20 所述第四晶体管的控制极连接至所述第二控制信号端，第一极连接至所述数据信号端，第二极连接至所述第九晶体管的第一极。

15、一种显示基板，其特征在于，包括如权利要求 1-14 中任一项所述的像素驱动电路。

25 16、一种显示装置，其特征在于，包括如权利要求 15 所述的显示基板。

17、一种像素驱动电路的驱动方法，其特征在于，所述像素驱动电路包括如权利要求 1-14 中任一项所述的像素驱动电路，所述驱动方法包括：

30 在初始化阶段，第一重置单元响应于所述第一控制信号端所提供的第一控制信号的控制，将所述第一重置信号端所提供的所述第一重置电压写入至所述第一节点；

在数据写入及补偿阶段，所述数据写入单元响应于所述第二控制信号端所提供的第二控制信号的控制，将所述数据信号端所提供的数据电压写入至所述第二节点，并且还将数据电压提供至所述补偿延时单元；所述阈值补偿单元响应于所述第三控制信号端所提供的第三控制信号的控制，将所述第一节点和所述第三节点电导通，以使所述第二节点的电压通过所述驱动单元对所述第一节点进行充电，并将所述第一节点的电压保持为预设电压；以及，所述补偿延时单元对所述数据写入单元提供的数据电压进行存储，并将所存储的数据电压提供至所述第二节点，以通过所述驱动单元对所述第一节点持续进行充电；

在发光阶段，所述第一发光控制单元响应于所述第四控制信号端所提供的第四控制信号的控制，将所述第一电源端所提供的电源电压写入至第二节点；以及，所述第二发光控制单元响应于第四控制信号端所提供的第四控制信号的控制，将所述第三节点和第四节点电导通；以及，所述驱动单元响应于所述第一节点所提供的预设电压的控制，根据所述第二节点提供的电源电压输出相应的驱动电流，并将所述驱动电流通过第二发光控制单元提供至所述第四节点，以驱动所述发光单元进行发光；以及

在发光重置阶段，所述第二重置单元响应于所述第五控制信号端提供的第五控制信号的控制，将所述第二重置信号端提供的第二重置信号写入至所述第四节点，以及将所述第三重置信号端提供的第三重置信号写入第二节点或第三节点。

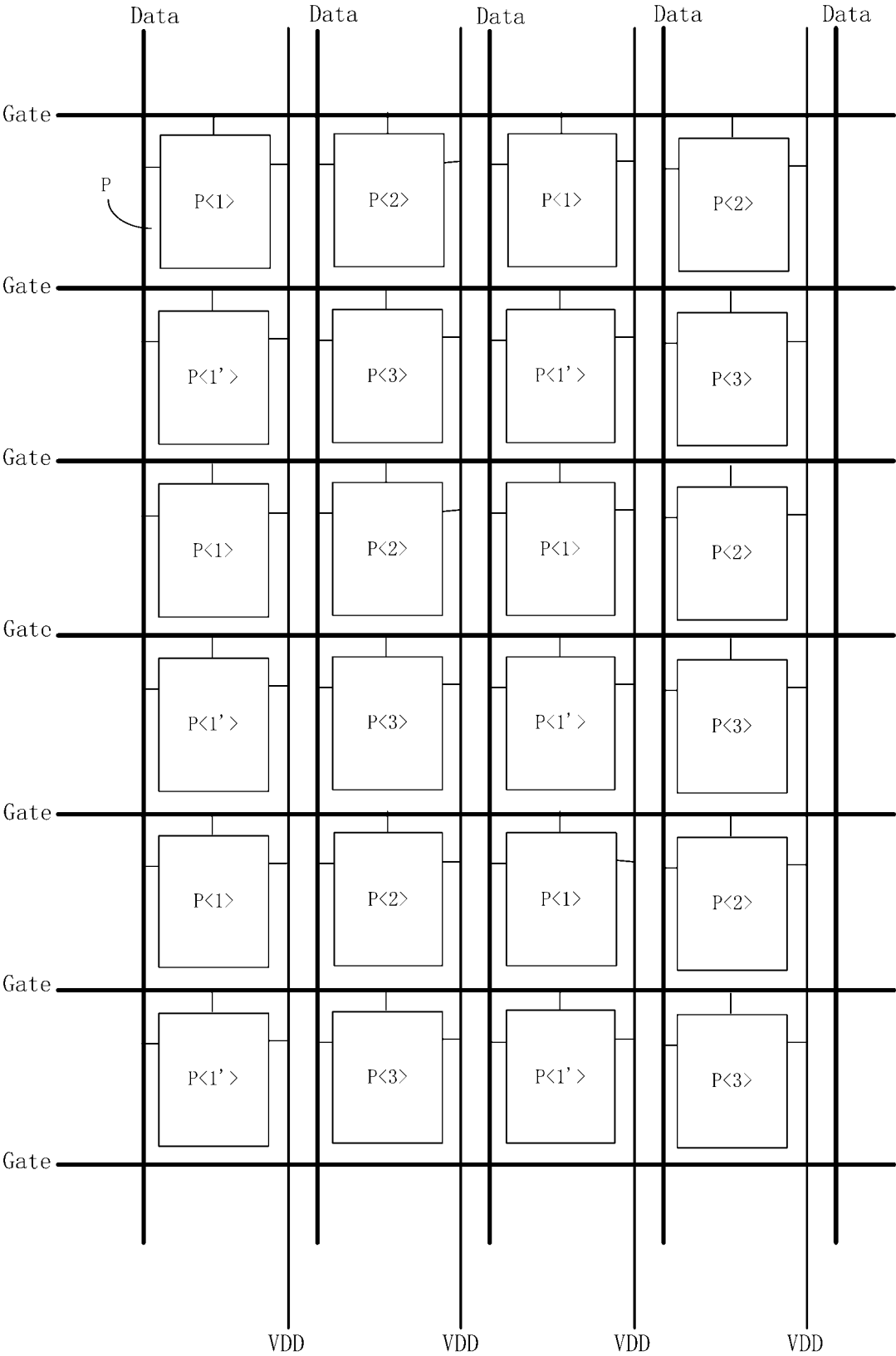


图 1

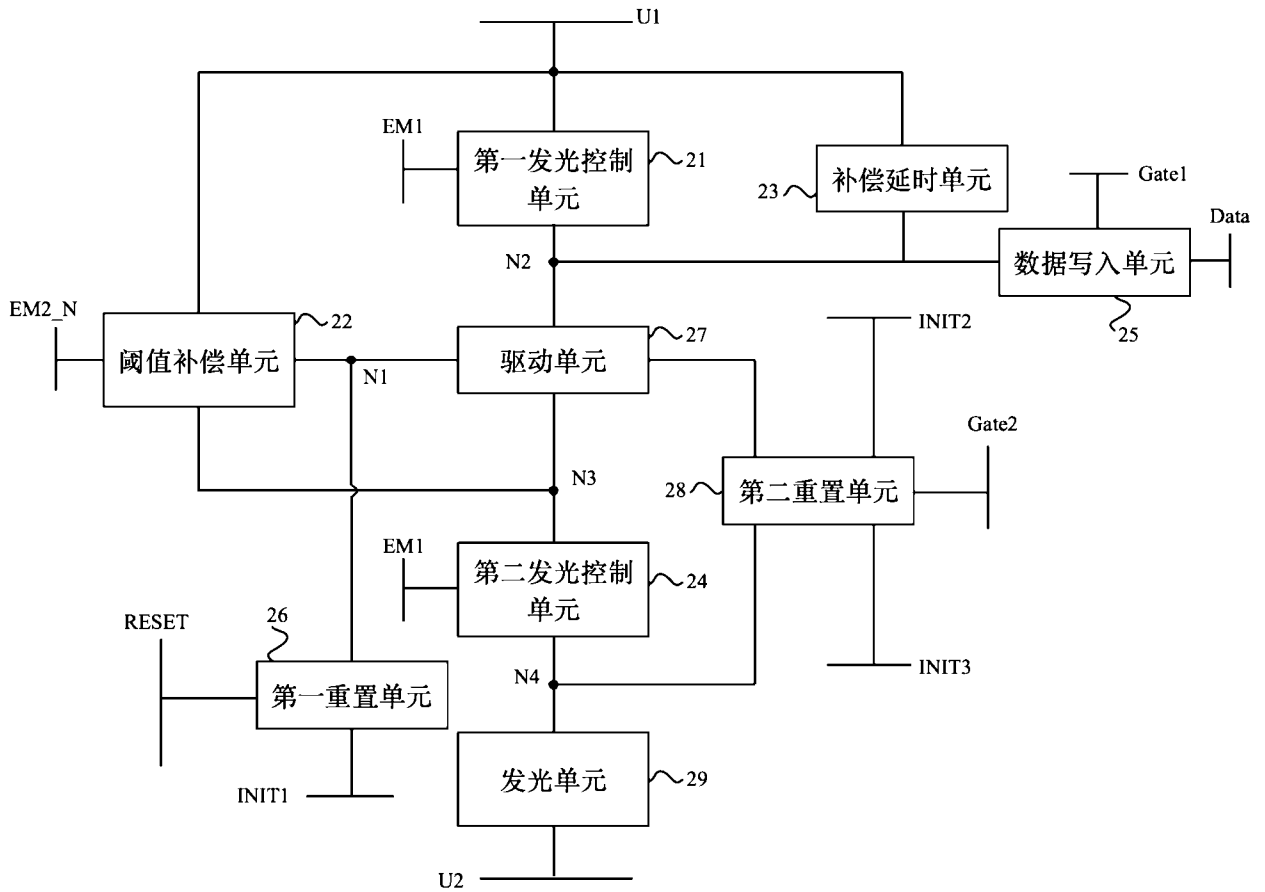


图 2

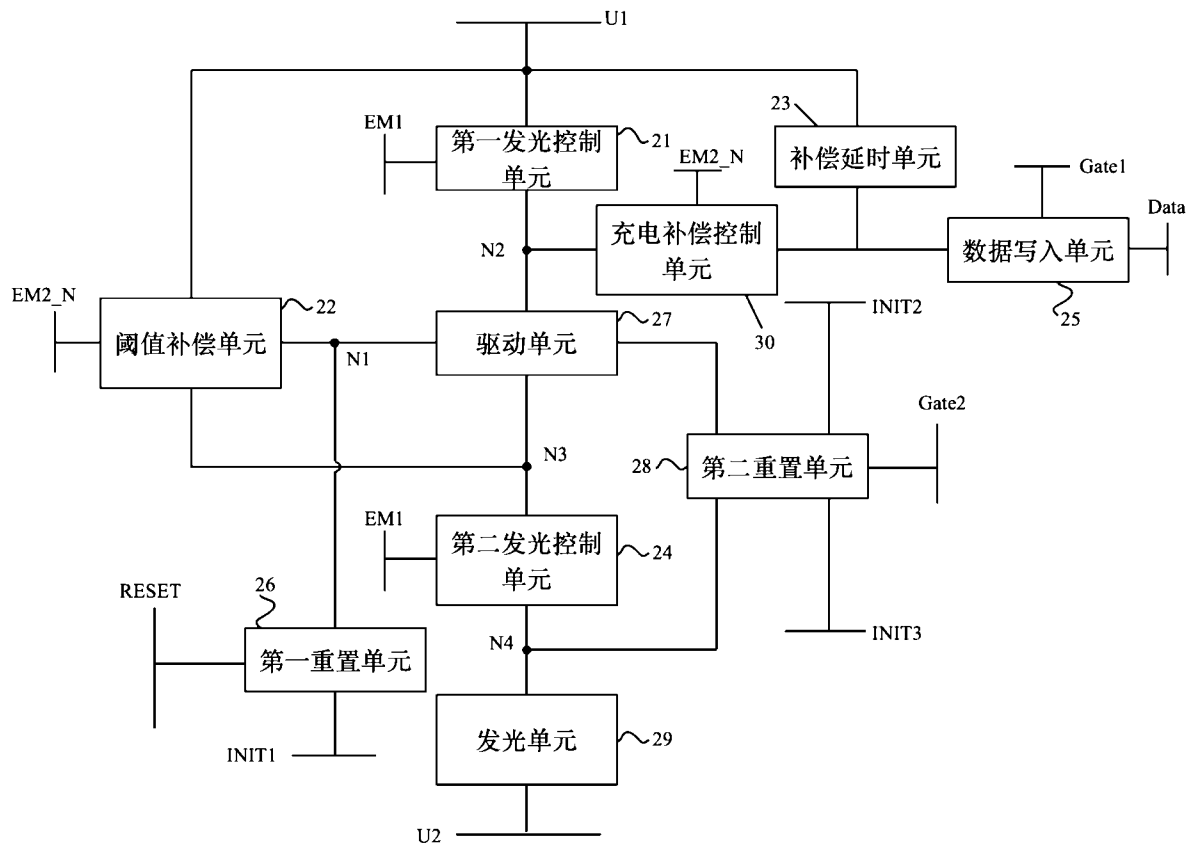


图 3

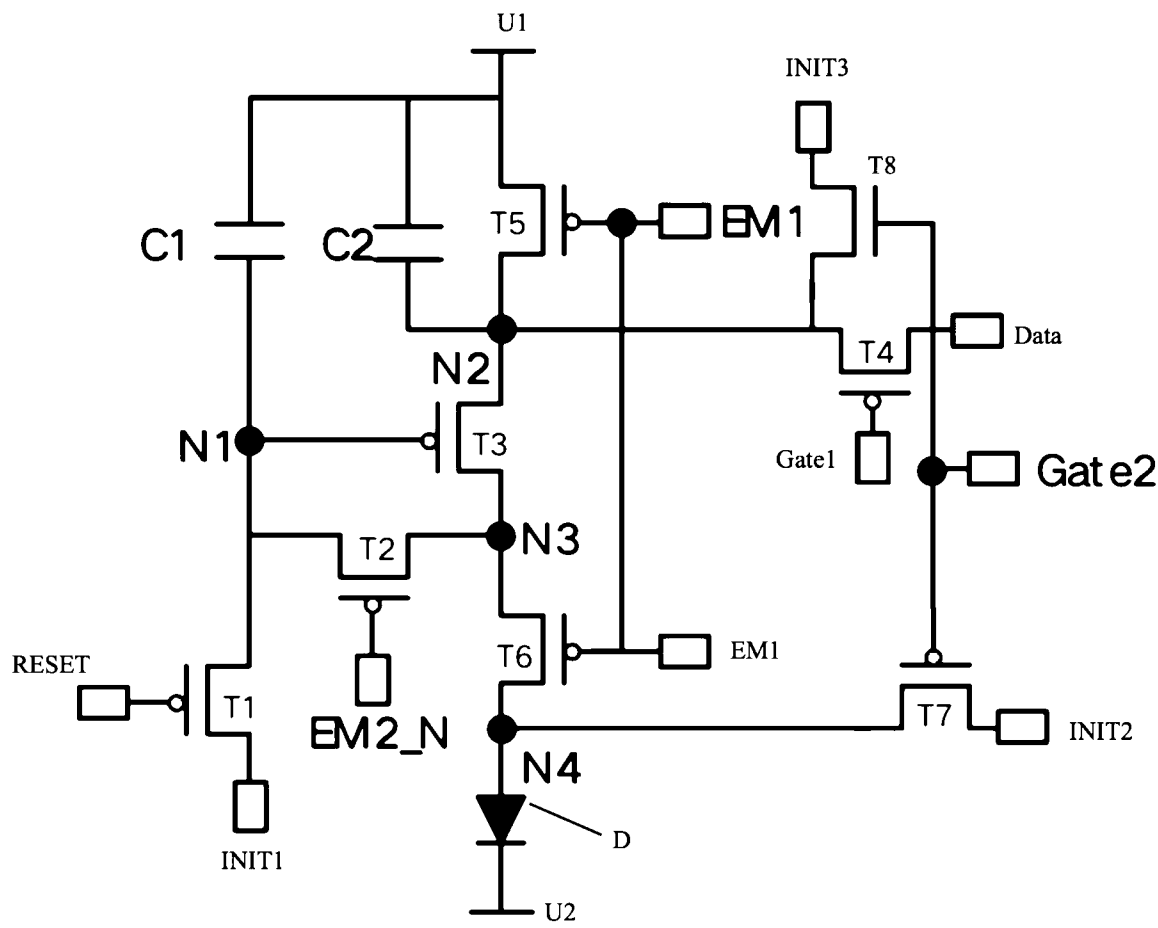


图 4

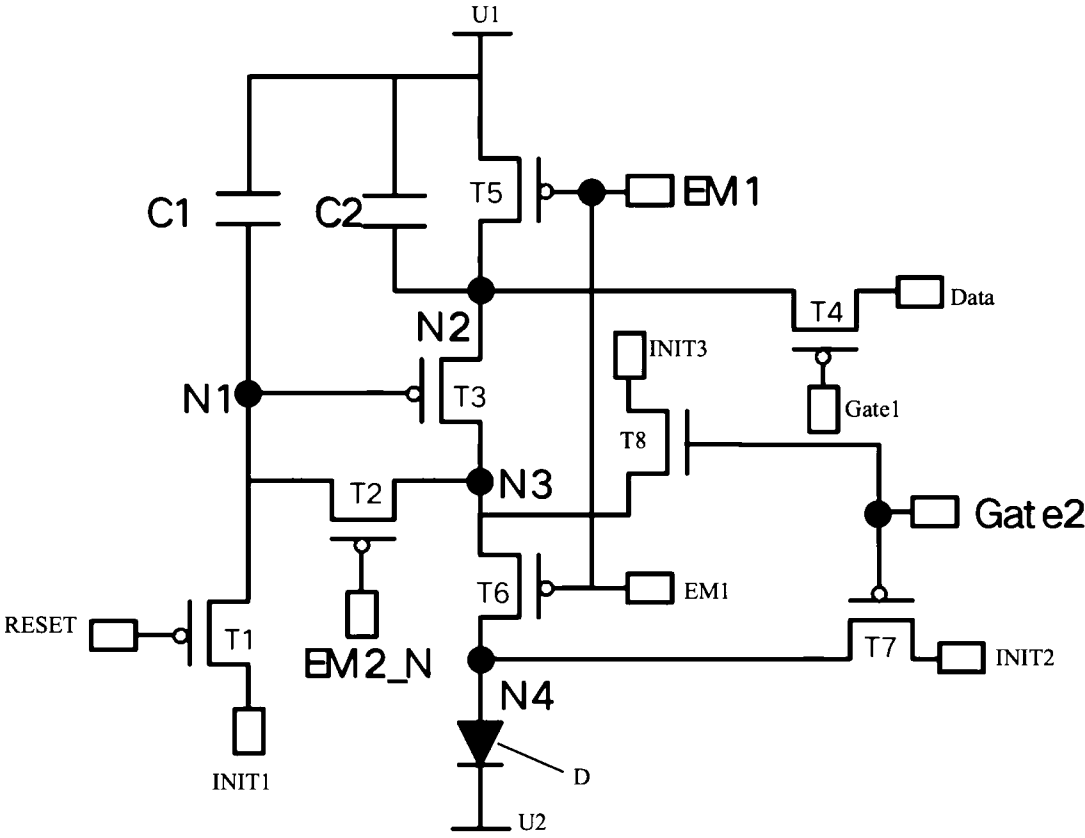


图 5

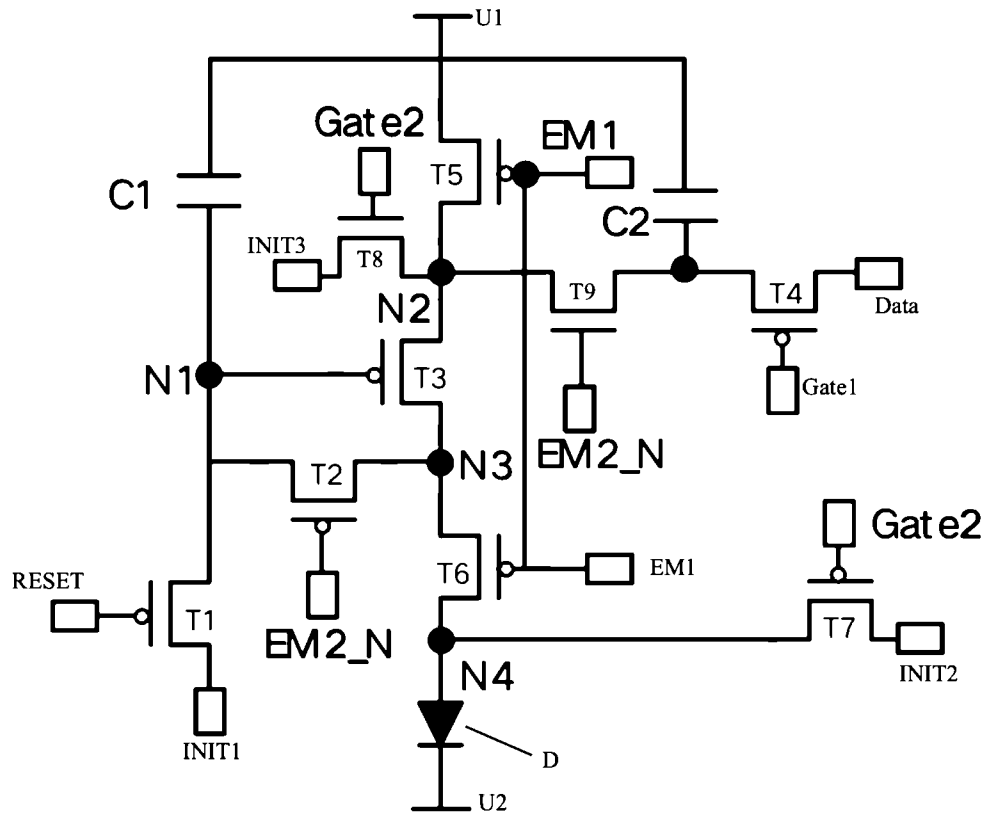


图 6

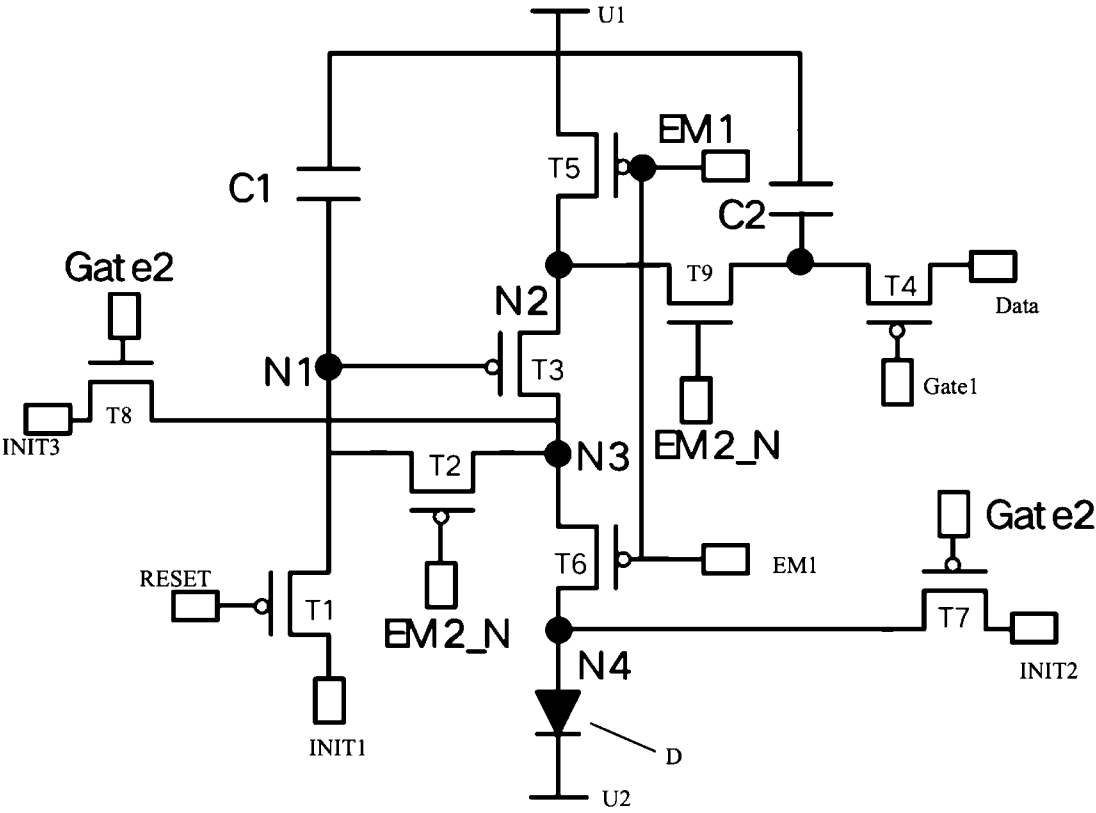


图 7

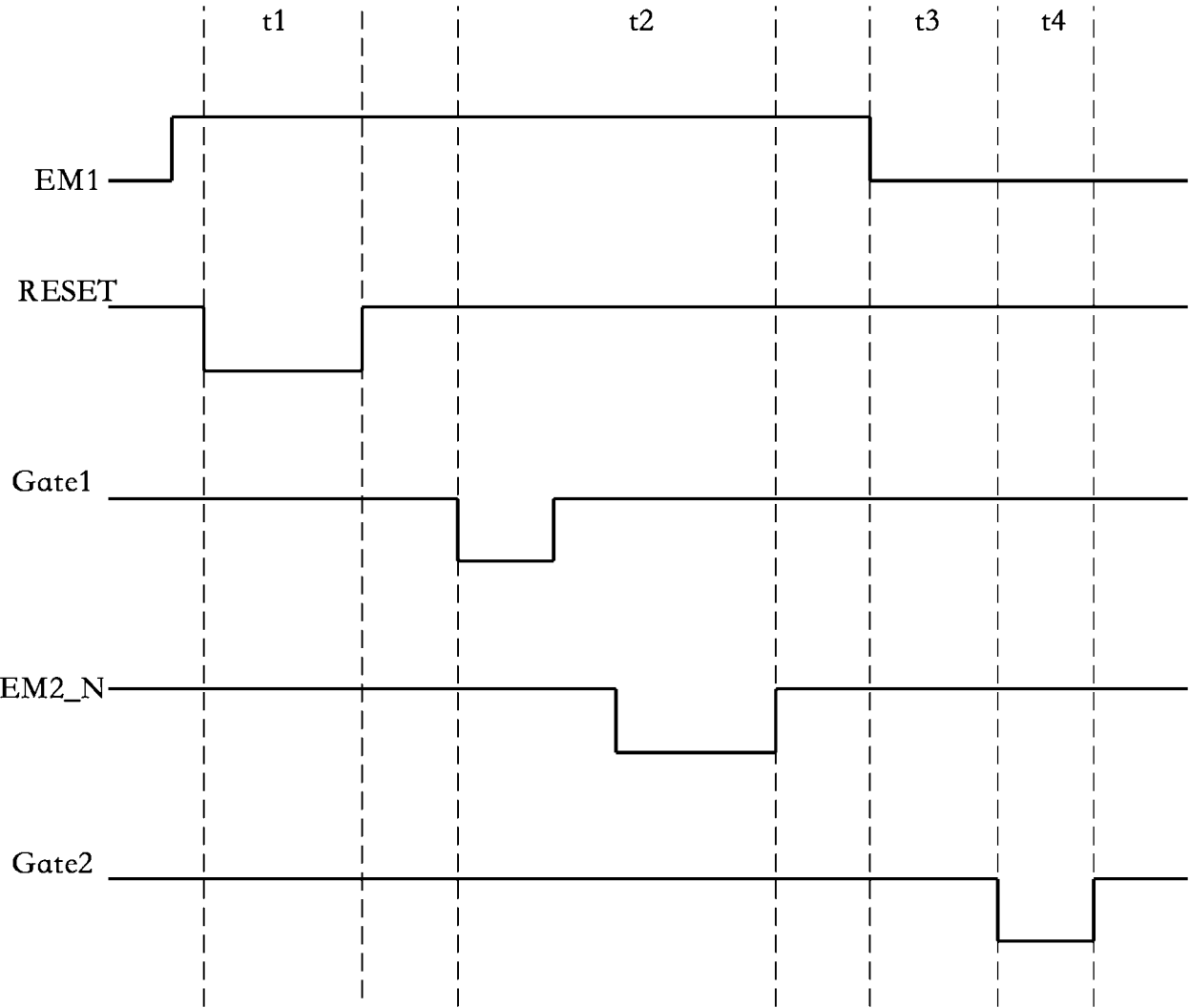


图 8

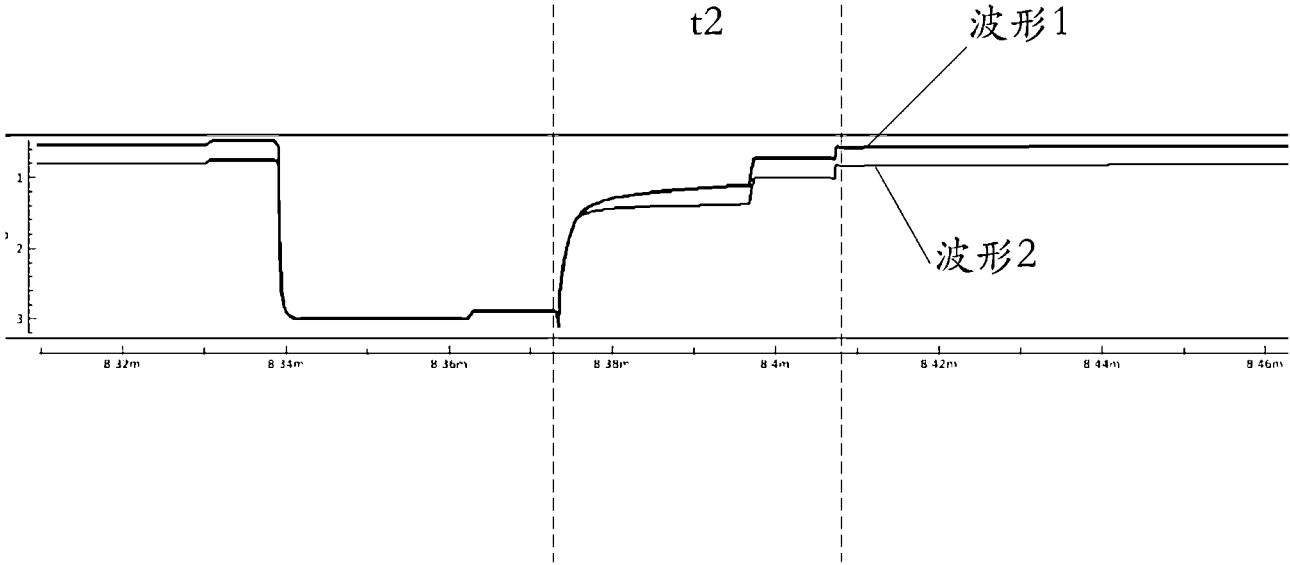


图 9

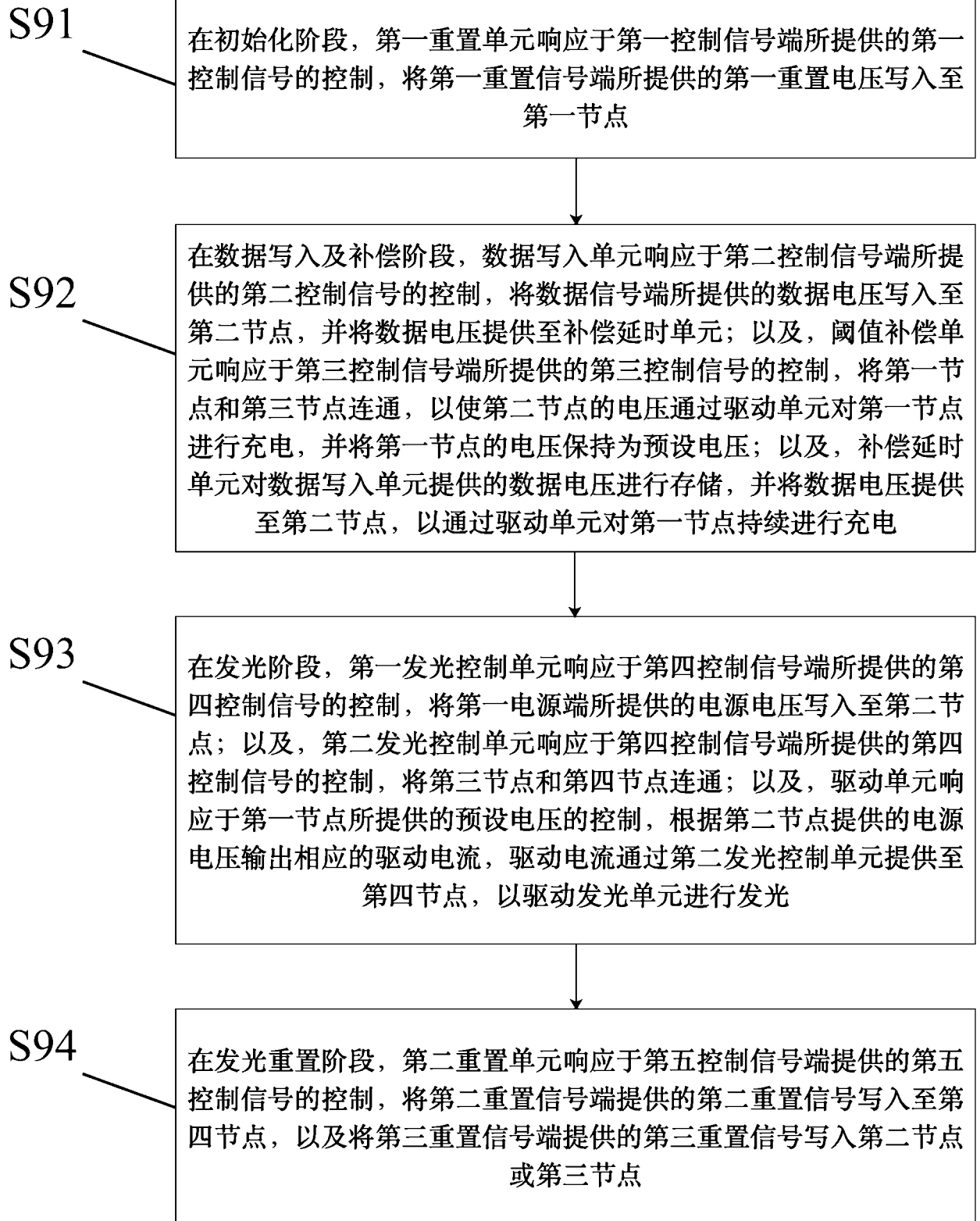


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/096674

A. CLASSIFICATION OF SUBJECT MATTER G09G3/3225(2016.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: G09G3/- Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNTXT, CNKI, WPABS, DWPI, ENTXT: 京东方, 黄耀, 董向丹, 胡明, 显示, 像素, 驱动, 电路, 控制, 阈值, 补偿, 延时, 数据, 第二, 重置, 节点, pixel+, driv+, circuit+, control+, data+, nod+, second+, threshold+, compensat+, delay+, reset+		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 116645922 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 25 August 2023 (2023-08-25) description, paragraphs [0004]-[0155], and figures 1-10	1-17
A	CN 110610683 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 24 December 2019 (2019-12-24) description, paragraphs [0005]-[0091], and figures 1-4	1-17
A	CN 106097976 A (SHANGHAI TIANMA MICROELECTRONICS CO., LTD. et al.) 09 November 2016 (2016-11-09) entire document	1-17
A	CN 111179854 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 19 May 2020 (2020-05-19) entire document	1-17
A	CN 114005411 A (WUHAN TIANMA MICRO-ELECTRONICS CO., LTD.) 01 February 2022 (2022-02-01) entire document	1-17
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 11 September 2024		Date of mailing of the international search report 19 September 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/096674

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2023069447 A1 (SAMSUNG DISPLAY CO., LTD.) 02 March 2023 (2023-03-02) entire document	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2024/096674

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	116645922	A	25 August 2023	None			
CN	110610683	A	24 December 2019	None			
CN	106097976	A	09 November 2016	None			
CN	111179854	A	19 May 2020	None			
CN	114005411	A	01 February 2022	US	2023141543	A1	11 May 2023
				US	11783772	B2	10 October 2023
US	2023069447	A1	02 March 2023	US	11727864	B2	15 August 2023
				KR	20230030132	A	06 March 2023

A. 主题的分类

G09G3/3225(2016.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G09G3/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTEXT, CNKI, WPABS, DWPI, ENTXT: 京东方, 黄耀, 董向丹, 胡明, 显示, 像素, 驱动, 电路, 控制, 阈值, 补偿, 延时, 数据, 第二, 重置, 节点, pixel+, driv+, circuit+, control+, data+, nod+, second+, threshold+, compensat+, delay+, reset+

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 116645922 A (京东方科技集团股份有限公司 等) 2023年8月25日 (2023 - 08 - 25) 说明书第[0004]-[0155]段以及附图1-10	1-17
A	CN 110610683 A (京东方科技集团股份有限公司 等) 2019年12月24日 (2019 - 12 - 24) 说明书第[0005]-[0091]段以及附图1-4	1-17
A	CN 106097976 A (上海天马微电子有限公司 等) 2016年11月9日 (2016 - 11 - 09) 全文	1-17
A	CN 111179854 A (京东方科技集团股份有限公司 等) 2020年5月19日 (2020 - 05 - 19) 全文	1-17
A	CN 114005411 A (武汉天马微电子有限公司) 2022年2月1日 (2022 - 02 - 01) 全文	1-17
A	US 2023069447 A1 (SAMSUNG DISPLAY CO., LTD.) 2023年3月2日 (2023 - 03 - 02) 全文	1-17

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年9月11日

国际检索报告邮寄日期

2024年9月19日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

王建良

电话号码 (+86) 010-53962399

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/096674

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	116645922	A	2023年8月25日	无			
CN	110610683	A	2019年12月24日	无			
CN	106097976	A	2016年11月9日	无			
CN	111179854	A	2020年5月19日	无			
CN	114005411	A	2022年2月1日	US	2023141543	A1	2023年5月11日
				US	11783772	B2	2023年10月10日
US	2023069447	A1	2023年3月2日	US	11727864	B2	2023年8月15日
				KR	20230030132	A	2023年3月6日