

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5939076号
(P5939076)

(45) 発行日 平成28年6月22日 (2016. 6. 22)

(24) 登録日 平成28年5月27日 (2016. 5. 27)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)
 G 0 9 G 3 / 2 0 (2006. 01)
 G 0 9 F 9 / 3 0 (2006. 01)
 H 0 1 L 5 1 / 5 0 (2006. 01)

G 0 9 G 3 / 3 0 J
 G 0 9 G 3 / 2 0 6 2 2 K
 G 0 9 G 3 / 2 0 6 1 1 H
 G 0 9 G 3 / 2 0 6 4 2 A
 G 0 9 G 3 / 2 0 6 2 2 M

請求項の数 10 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2012-170486 (P2012-170486)
 (22) 出願日 平成24年7月31日 (2012. 7. 31)
 (65) 公開番号 特開2014-29437 (P2014-29437A)
 (43) 公開日 平成26年2月13日 (2014. 2. 13)
 審査請求日 平成27年2月19日 (2015. 2. 19)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 110001357
 特許業務法人つばさ国際特許事務所
 (72) 発明者 基田 誠一郎
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 湯本 昭
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 関 毅裕
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

(54) 【発明の名称】 表示装置、駆動回路、駆動方法、および電子機器

(57) 【特許請求の範囲】

【請求項 1】

複数の画素と、

第1の方向に延伸する複数の第1の系列の走査線および複数の第2の系列の走査線と、
交互に供給される第1のフレーム画像および第2のフレーム画像に基づいて前記複数の画素を駆動する駆動部と

を備え、

前記複数の画素のうちの、前記第1の方向に交差する第2の方向において隣り合う2つの画素は、互いに異なる系列の走査線にそれぞれ接続され、

前記駆動部は、前記第1のフレーム画像に基づいて、前記複数の画素のうちの、前記複数の第1の系列の走査線に接続された複数の第1の画素に対して、リセット駆動および書込駆動を順次行う第1の駆動を行うとともに、前記第2のフレーム画像に基づいて、前記複数の画素のうちの、前記複数の第2の系列の走査線に接続された複数の第2の画素に対して、前記リセット駆動および前記書込駆動を順次行う第2の駆動を行い、各フレーム期間において、前記第1の駆動または前記第2の駆動を選択的に行う表示装置。

【請求項 2】

前記第2の方向に延伸する複数の画素信号線をさらに備え、

10

20

前記複数の画素のうちの、前記第 1 の方向において隣り合う 2 つの画素は、共通の画素信号線にそれぞれ接続されるとともに、互いに異なる系列の走査線にそれぞれ接続されている

請求項 1 に記載の表示装置。

【請求項 3】

前記駆動部は、

前記第 1 の駆動において、前記第 2 の画素に対して前記リセット駆動を行うとともに、

前記第 2 の駆動において、前記第 1 の画素に対して前記リセット駆動を行う

請求項 1 または請求項 2 に記載の表示装置。

【請求項 4】

前記駆動部は、前記第 1 の方向に隣り合う 2 つの画素に対して、同時に前記リセット駆動を行う

請求項 3 に記載の表示装置。

【請求項 5】

前記画素は、

表示素子と、

ゲートと、前記表示素子に接続されたソースを有する第 1 のトランジスタと、

前記第 1 のトランジスタのゲートとソースとの間に挿設された容量素子と、

前記第 1 の系列の走査線または前記第 2 の系列の走査線に接続されたゲートを有し、オン状態になることにより、前記第 1 のトランジスタのゲート電圧を設定する第 2 のトランジスタと

を含む

請求項 1 から請求項 4 のいずれか一項に記載の表示装置。

【請求項 6】

前記駆動部は、前記リセット駆動において、前記第 1 のトランジスタのゲート電圧を第 1 の電圧に設定するとともに、前記第 1 のトランジスタのソース電圧を第 2 の電圧に設定し、その後前記第 1 のトランジスタに電流を流すことにより、前記第 1 のトランジスタのソース電圧を、前記第 1 のトランジスタのしきい値電圧に対応する第 3 の電圧に設定する

請求項 5 に記載の表示装置。

【請求項 7】

前記第 1 のトランジスタは、前記駆動部に接続されるドレインを有し、

前記駆動部は、前記リセット駆動において、

前記第 2 のトランジスタをオン状態にすることにより、前記第 1 のトランジスタのゲート電圧を前記第 1 の電圧に設定し、

前記第 1 のトランジスタのドレインに前記第 2 の電圧を印加することにより、前記第 1 のトランジスタのソース電圧を前記第 2 の電圧に設定し、

前記第 1 のトランジスタのドレインに第 4 の電圧を印加することにより、前記第 1 のトランジスタに電流を流す

請求項 6 に記載の表示装置。

【請求項 8】

複数の画素と、第 1 の方向に延伸する複数の第 1 の系列の走査線および複数の第 2 の系列の走査線とを有し、前記複数の画素のうちの、前記第 1 の方向に交差する第 2 の方向において隣り合う 2 つの画素が、互いに異なる系列の走査線にそれぞれ接続された表示部を駆動する駆動部を備え、

前記駆動部は、

交互に供給される第 1 のフレーム画像および第 2 のフレーム画像のうちの前記第 1 のフレーム画像に基づいて、前記複数の画素のうちの、前記複数の第 1 の系列の走査線に接続された複数の第 1 の画素に対して、リセット駆動および書込駆動を順次行う第 1 の駆動を行うとともに、

10

20

30

40

50

前記第 2 のフレーム画像に基づいて、前記複数の画素のうちの、前記複数の第 2 の系列の走査線に接続された複数の第 2 の画素に対して、前記リセット駆動および前記書込駆動を順次行う第 2 の駆動を行い、

各フレーム期間において、前記第 1 の駆動または前記第 2 の駆動を選択的に行う駆動回路。

【請求項 9】

複数の画素と、第 1 の方向に延伸する複数の第 1 の系列の走査線および複数の第 2 の系列の走査線とを有し、前記複数の画素のうちの、前記第 1 の方向に交差する第 2 の方向において隣り合う 2 つの画素が、互いに異なる系列の走査線にそれぞれ接続された表示部に対して、

10

交互に供給される第 1 のフレーム画像および第 2 のフレーム画像のうちの前記第 1 のフレーム画像に基づいて、前記複数の画素のうちの、前記複数の第 1 の系列の走査線に接続された複数の第 1 の画素に対して、リセット駆動および書込駆動を順次行う第 1 の駆動を行うとともに、

前記第 2 のフレーム画像に基づいて、前記複数の画素のうちの、前記複数の第 2 の系列の走査線に接続された複数の第 2 の画素に対して、前記リセット駆動および前記書込駆動を順次行う第 2 の駆動を行い、

各フレーム期間において、前記第 1 の駆動または前記第 2 の駆動を選択的に行う駆動方法。

【請求項 10】

20

表示装置と

前記表示装置に対して動作制御を行う制御部と

を備え、

前記表示装置は、

複数の画素と、

第 1 の方向に延伸する複数の第 1 の系列の走査線および複数の第 2 の系列の走査線と、

交互に供給される第 1 のフレーム画像および第 2 のフレーム画像に基づいて前記複数の画素を駆動する駆動部と

を有し、

前記複数の画素のうちの、前記第 1 の方向に交差する第 2 の方向において隣り合う 2 つの画素は、互いに異なる系列の走査線にそれぞれ接続され、

30

前記駆動部は、

前記第 1 のフレーム画像に基づいて、前記複数の画素のうちの、前記複数の第 1 の系列の走査線に接続された複数の第 1 の画素に対して、リセット駆動および書込駆動を順次行う第 1 の駆動を行うとともに、

前記第 2 のフレーム画像に基づいて、前記複数の画素のうちの、前記複数の第 2 の系列の走査線に接続された複数の第 2 の画素に対して、前記リセット駆動および前記書込駆動を順次行う第 2 の駆動を行い、

各フレーム期間において、前記第 1 の駆動または前記第 2 の駆動を選択的に行う

電子機器。

40

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、電流駆動型の表示素子を有する表示装置、そのような表示装置に用いられる駆動回路、およびそのような表示装置を備えた電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機 E L (Electro Luminescence) 素子を用いた表示装置 (有機 E L 表示装置) が開発され、商品化が進められている。有機 E L

50

素子は、液晶素子などとは異なり自発光素子であり、光源（バックライト）が必要ない。そのため、有機EL表示装置は、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速いなどの特徴を有する。

【0003】

これらの表示装置では、画素がマトリックス状に配置された表示部の周辺に、表示部を駆動する様々な回路が形成される。具体的には、表示部の周辺には、例えば、画素に画素信号を供給するソースドライバ回路、画素信号を供給する画素ラインを選択する書込走査回路、画素に電源を供給する電源供給走査回路などが形成される（例えば、特許文献1～4など）。

【0004】

ところで、表示装置では、主にデザインの観点から、表示部の周辺のいわゆる額縁領域を狭めることが望まれている。例えば、特許文献5には、水平方向に隣り合う2つの画素が1本の画素信号線（データ線）を共有するように構成することにより、ソースドライバの回路規模を小さくし、狭い額縁領域の実現を図る表示装置が提案されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2010-2796号公報

【特許文献2】特開2010-281993号公報

【特許文献3】特開2009-252269号公報

【特許文献4】特開2005-228459号公報

【特許文献5】特開2009-204664号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、一般に、表示装置では画質を高めることが望まれており、上述したように額縁領域を狭める場合でも、画質の低下を抑えることが期待されている。

【0007】

本開示はかかる問題点に鑑みてなされたもので、その目的は、画質の低下を抑えることができる表示装置、駆動回路、駆動方法、および電子機器を提供することにある。

【課題を解決するための手段】

【0008】

本開示の表示装置は、複数の画素と、第1の方向に延伸する複数の第1の系列の走査線および複数の第2の系列の走査線と、駆動部とを備えている。駆動部は、交互に供給される第1のフレーム画像および第2のフレーム画像に基づいて複数の画素を駆動するものである。複数の画素のうちの、第1の方向に交差する第2の方向において隣り合う2つの画素は、互いに異なる系列の走査線にそれぞれ接続されている。上記駆動部は、第1のフレーム画像に基づいて、複数の画素のうちの、複数の第1の系列の走査線に接続された複数の第1の画素に対して、リセット駆動および書込駆動を順次行う第1の駆動を行うとともに、第2のフレーム画像に基づいて、複数の画素のうちの、複数の第2の系列の走査線に接続された複数の第2の画素に対して、リセット駆動および書込駆動を順次行う第2の駆動を行い、各フレーム期間において、第1の駆動または第2の駆動を選択的に行うものである。

【0009】

本開示の駆動回路は、駆動部を備えている。この駆動部は、複数の画素と、第1の方向に延伸する複数の第1の系列の走査線および複数の第2の系列の走査線とを有し、複数の画素のうちの、第1の方向に交差する第2の方向において隣り合う2つの画素が、互いに異なる系列の走査線にそれぞれ接続された表示部を駆動するものである。上記駆動部は、交互に供給される第1のフレーム画像および第2のフレーム画像のうちの第1のフレーム

10

20

30

40

50

画像に基づいて、複数の画素のうちの、複数の第 1 の系列の走査線に接続された複数の第 1 の画素に対して、リセット駆動および書込駆動を順次行う第 1 の駆動を行うとともに、第 2 のフレーム画像に基づいて、複数の画素のうちの、複数の第 2 の系列の走査線に接続された複数の第 2 の画素に対して、リセット駆動および書込駆動を順次行う第 2 の駆動を行い、各フレーム期間において、第 1 の駆動または第 2 の駆動を選択的に行うものである。

。

【 0 0 1 0 】

本開示の駆動方法は、複数の画素と、第 1 の方向に延伸する複数の第 1 の系列の走査線および複数の第 2 の系列の走査線とを有し、複数の画素のうちの、第 1 の方向に交差する第 2 の方向において隣り合う 2 つの画素が、互いに異なる系列の走査線にそれぞれ接続された表示部に対して、交互に供給される第 1 のフレーム画像および第 2 のフレーム画像のうちの第 1 のフレーム画像に基づいて、複数の画素のうちの、複数の第 1 の系列の走査線に接続された複数の第 1 の画素に対して、リセット駆動および書込駆動を順次行う第 1 の駆動を行うとともに、第 2 のフレーム画像に基づいて、複数の画素のうちの、複数の第 2 の系列の走査線に接続された複数の第 2 の画素に対して、リセット駆動および書込駆動を順次行う第 2 の駆動を行い、各フレーム期間において、第 1 の駆動または第 2 の駆動を選択的に行うものである。

10

20

【 0 0 1 1 】

本開示の電子機器は、上記表示装置を備えたものであり、例えば、テレビジョン装置、デジタルカメラ、パーソナルコンピュータ、ビデオカメラあるいは携帯電話等の携帯端末装置などが該当する。

【 0 0 1 2 】

本開示の表示装置、駆動回路、駆動方法、および電子機器では、第 1 の方向に延伸する複数の第 1 の系列の走査線および複数の第 2 の系列の走査線により伝えられた走査信号により、複数の画素が駆動される。この複数の画素のうちの、第 2 の方向において隣り合う 2 つの画素は、互いに異なる系列の走査線にそれぞれ接続されている。

30

【発明の効果】

【 0 0 1 3 】

本開示の表示装置、駆動回路、駆動方法、および電子機器によれば、第 2 の方向において隣り合う 2 つの画素が、互いに異なる系列の走査線にそれぞれ接続されるようにしたので、画質の低下を抑えることができる。

【図面の簡単な説明】

【 0 0 1 4 】

【図 1】本開示の実施の形態に係る表示装置の一構成例を表すブロック図である。

【図 2】図 1 に示した画素の一構成例を表す回路図である。

【図 3】図 1 に示した画素の接続例を表す回路図である。

40

【図 4】図 1 に示した表示装置の一動作例を表すタイミング波形図である。

【図 5】図 1 に示した画素の一動作例を表すタイミング波形図である。

【図 6】図 1 に示した画素の他の動作例を表すタイミング波形図である。

【図 7 A】図 1 に示した画素の一動作例を表す説明図である。

【図 7 B】図 1 に示した画素の他の動作例を表す説明図である。

【図 8】比較例に係る画素の接続例を表す回路図である。

【図 9 A】図 8 に示した画素の一動作例を表す説明図である。

【図 9 B】図 8 に示した画素の他の動作例を表す説明図である。

【図 10】実施の形態の変形例に係る表示装置の一動作例を表すタイミング波形図である。

。

50

【図 1 1 A】図 1 0 に示した画素の一動作例を表す説明図である。

【図 1 1 B】図 1 0 に示した画素の他の動作例を表す説明図である。

【図 1 2】実施の形態に係る表示装置が適用されたテレビジョン装置の外観構成を表す斜視図である。

【発明を実施するための形態】

【0015】

以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態

2. 適用例

10

【0016】

< 1. 実施の形態 >

[構成例]

図 1 は、実施の形態に係る表示装置の一構成例を表すものである。表示装置 1 は、有機 EL 素子を用いた、アクティブマトリックス方式の表示装置である。なお、本開示の実施の形態に係る駆動回路は、本実施の形態により具現化されるので、併せて説明する。この表示装置 1 は、表示部 1 0 および駆動部 2 0 を備えている。

【0017】

表示部 1 0 は、複数の画素 1 1 がマトリックス状に配置されたものである。また、表示部 1 0 は、行方向に延伸する複数の走査線 W S L 1 , W S L 2 および複数の電源線 P L と、列方向に延伸する複数のデータ線 D T L とを有している。これらの走査線 W S L 1 , W S L 2 、電源線 P L 、およびデータ線 D T L の一端は、駆動部 2 0 に接続されている。上記した各画素 1 1 は、走査線 W S L 1 , W S L 2 とデータ線 D T L との交差部に配置されている。以下、走査線 W S L 1 , W S L 2 のいずれか一方を表すものとして、走査線 W S L を適宜用いることとする。

20

【0018】

図 2 は、画素 1 1 の回路構成の一例を表すものである。画素 1 1 は、書込トランジスタ W S T r と、駆動トランジスタ D R T r と、有機 EL 素子 O L E D と、容量素子 C s とを備えている。すなわち、この例では、画素 1 1 は、2 つのトランジスタ（書込トランジスタ W S T r 、駆動トランジスタ D R T r ）および 1 つの容量素子 C s を用いて構成される、いわゆる「2 T r 1 C」の構成を有するものである。

30

【0019】

書込トランジスタ W S T r および駆動トランジスタ D R T r は、例えば、Nチャネル M O S (Metal Oxide Semiconductor) 型の T F T (Thin Film Transistor ; 薄膜トランジスタ) により構成されるものである。書込トランジスタ W S T r は、ゲートが走査線 W S L に接続され、ソースがデータ線 D T L に接続され、ドレインが駆動トランジスタ D R T r のゲートおよび容量素子 C s の一端に接続されている。駆動トランジスタ D R T r は、ゲートが書込トランジスタ W S T r のドレインおよび容量素子 C s の一端に接続され、ドレインが電源線 P L に接続され、ソースが容量素子 C s の他端および有機 EL 素子 O L E D のアノードに接続されている。なお、T F T の種類は特に限定されるものではなく、例えば、逆スタガー構造（いわゆるボトムゲート型）であってもよいし、スタガー構造（いわゆるトップゲート型）であってもよい。

40

【0020】

容量素子 C s は、一端が駆動トランジスタ D R T r のゲート等に接続され、他端は駆動トランジスタ D R T r のソース等に接続されている。有機 EL 素子 O L E D は、各画素 1 1 に対応する色（赤色、緑色、青色）の光を射出する発光素子であり、アノードが駆動トランジスタ D R T r のソースおよび容量素子 C s の他端に接続され、カソードには、駆動部 2 0 によりカソード電圧 V c a t h が供給されている。

【0021】

図 3 は、表示部 1 0 における画素 1 1 の接続を表すものである。表示部 1 0 では、行方

50

向（水平方向）に隣り合う画素１１が、１本のデータ線ＤＴＬに接続されている。これにより、表示装置１では、データ線ＤＴＬの本数を削減することができるため、駆動部２０のデータ線駆動部２５（後述）の回路規模を小さくすることができ、額縁領域を狭めることができる。また、表示部１０では、行方向に隣り合う画素１１のうちの一方が走査線ＷＳＬ１に接続されるとともに、他方が走査線ＷＳＬ２に接続されている。また、表示部１０では、列方向（垂直方向）に隣り合う画素１１のうちの一方が走査線ＷＳＬ１に接続されるとともに、他方が走査線ＷＳＬ２に接続されている。

【００２２】

駆動部２０は、外部から供給される映像信号Ｓdispおよび同期信号Ｓsyncに基づいて、表示部１０を駆動するものである。この駆動部２０は、図１に示したように、映像信号処理部２１と、タイミング生成部２２と、走査線駆動部２３と、電源線駆動部２４と、データ線駆動部２５とを備えている。

10

【００２３】

映像信号処理部２１は、外部から供給される映像信号Ｓdispに対して所定の信号処理を行い、映像信号Ｓdisp2を生成するものである。この所定の信号処理としては、例えば、ガンマ補正や、オーバードライブ補正などが挙げられる。

【００２４】

タイミング生成部２２は、外部から供給される同期信号Ｓsyncに基づいて、走査線駆動部２３、電源線駆動部２４およびデータ線駆動部２５に対してそれぞれ制御信号を供給し、これらがお互いに同期して動作するように制御する回路である。

20

【００２５】

走査線駆動部２３は、タイミング生成部２２から供給された制御信号に従って、複数の走査線ＷＳＬ１に対して走査信号ＷＳ１を順次印加するとともに、複数の走査線ＷＳＬ２に対して走査信号ＷＳ２を順次印加することにより、行ごとに画素１１を順次選択するものである。

【００２６】

電源線駆動部２４は、タイミング生成部２２から供給された制御信号に従って、複数の電源線ＰＬに対して電源信号ＤＳを順次印加することにより、行ごとに画素１１の発光動作および消光動作の制御を行うものである。電源信号ＤＳは、電圧Ｖccpと電圧Ｖiniとの間で遷移するものである。後述するように、電圧Ｖiniは、画素１１を初期化するための電圧であり、電圧Ｖccpは、駆動トランジスタＤＲＴｒに電流Ｉdsを流して有機ＥＬ素子ＯＬＥＤを発光させるための電圧である。

30

【００２７】

データ線駆動部２５は、映像信号処理部２１から供給された映像信号Ｓdisp2およびタイミング生成部２２から供給された制御信号に従って、各画素１１の発光輝度を指示する画素電圧Ｖsigを含む信号Ｓigを生成し、各データ線ＤＴＬに印加するものである。

【００２８】

ここで、走査線ＷＳＬ１、ＷＳＬ２は、本開示における「第１系列の走査線」および「第２系列の走査線」の一具体例にそれぞれ対応する。データ線ＤＴＬは、本開示における「画素信号線」の一具体例に対応する。有機ＥＬ素子ＯＬＥＤは、本開示における「表示素子」の一具体例に対応する。駆動トランジスタＤＲＴｒは、本開示における「第１のトランジスタ」の一具体例に対応する。書込トランジスタＷＳＴｒは、本開示における「第２のトランジスタ」の一具体例に対応する。

40

【００２９】

[動作および作用]

続いて、本実施の形態の表示装置１の動作および作用について説明する。

【００３０】

(全体動作概要)

まず、図１を参照して、表示装置１の全体動作概要を説明する。映像信号処理部２１は、外部から供給される映像信号Ｓdispに対して所定の信号処理を行い、映像信号Ｓdisp2

50

を生成する。タイミング生成部 22 は、外部から供給される同期信号 S_{sync} に基づいて、走査線駆動部 23、電源線駆動部 24、およびデータ線駆動部 25 に対してそれぞれ制御信号を供給し、これらがお互いに同期して動作するように制御する。走査線駆動部 23 は、タイミング生成部 22 から供給された制御信号に従って、複数の走査線 $W S L 1$ に対して走査信号 $W S 1$ を順次印加するとともに、複数の走査線 $W S L 2$ に対して走査信号 $W S 2$ を順次印加することにより、行ごとに画素 11 を順次選択する。電源線駆動部 24 は、タイミング生成部 22 から供給された制御信号に従って、複数の電源線 $P L$ に対して電源信号 $D S$ を順次印加することにより、行ごとに画素 11 の発光動作および消光動作の制御を行う。データ線駆動部 25 は、映像信号処理部 21 から供給された映像信号 S_{disp2} およびタイミング生成部 22 から供給された制御信号に従って、各画素 11 の発光輝度に対応する画素電圧 V_{sig} を含む信号 S_{ig} を生成し、各データ線 $D T L$ に印加する。表示部 10 は、駆動部 20 から供給された走査信号 $W S 1$ 、 $W S 2$ 、電源信号 $D S$ 、および信号 S_{ig} に基づいて、表示を行う。

【0031】

(詳細動作)

図 4 は、表示装置 1 の一動作例を表すものであり、(A) は走査信号 $W S 1$ の波形を示し、(B) は走査信号 $W S 2$ の波形を示し、(C) は電源信号 $D S$ の波形を示し、(D) は信号 S_{ig} の波形を示す。この例では、表示部 10 は N ライン分の画素 11 を有するものとし、図 4 (A) ~ (C) はそれぞれのラインについての波形を示している。なお、この図では、説明の便宜上を、垂直ブランキング期間を省略している。

【0032】

表示装置 1 は、タイミング $t_{11} \sim t_{12}$ の期間 (1 フレーム期間 (1 F)) において、奇数番目のフレーム画像 $F(2n-1)$ に基づく表示動作を行い、続くタイミング $t_{12} \sim t_{13}$ の期間 (1 フレーム期間 (1 F)) において、フレーム画像 $F(2n-1)$ に続く偶数番目のフレーム画像 $F(2n)$ に基づく表示動作を行う。

【0033】

具体的には、タイミング $t_{11} \sim t_{12}$ の期間において、走査線駆動部 23 は、1 水平期間 (1 H) ごとに、パルス $S P 1$ を各走査線 $W S L 1$ に対して順次供給するとともに (図 4 (A))、パルス $S P 2$ を各走査線 $W S L 2$ に対して順次供給する (図 4 (B))。電源線駆動部 24 は、走査信号 $W S 1$ 、 $W S 2$ におけるパルス $S P 1$ 、 $S P 2$ に同期する電源信号 $D S$ を、各電源線 $P L$ に順次供給する (図 4 (C))。そして、データ線駆動部 25 は、走査信号 $W S 1$ におけるパルス $S P 1$ に同期して、フレーム画像 $F(2n-1)$ に基づく画素電圧 V_{sig} をデータ線 $D T L$ に供給する (図 4 (D))。

【0034】

次に、タイミング $t_{12} \sim t_{13}$ の期間において、走査線駆動部 23 は、1 水平期間 (1 H) ごとに、パルス $S P 2$ を各走査線 $W S L 1$ に対して順次供給するとともに (図 4 (A))、パルス $S P 1$ を各走査線 $W S L 2$ に対して順次供給する (図 4 (B))。電源線駆動部 24 は、走査信号 $W S 1$ 、 $W S 2$ におけるパルス $S P 1$ 、 $S P 2$ に同期する電源信号 $D S$ を、各電源線 $P L$ に順次供給する (図 4 (C))。そして、データ線駆動部 25 は、走査信号 $W S 2$ におけるパルス $S P 1$ に同期して、フレーム画像 $F(2n)$ に基づく画素電圧 V_{sig} をデータ線 $D T L$ に供給する (図 4 (D))。

【0035】

このパルス $S P 1$ が供給された画素 11 では、後述するように、駆動トランジスタ $D R T r$ の素子ばらつきが画質に与える影響を抑えるための補正 (V_{th} 補正および μ (移動度) 補正) が行われるとともに、画素電圧 V_{sig} の書込みが行われる。一方、パルス $S P 2$ が供給された画素 11 では、このうちの V_{th} 補正が行われ、画素電圧 V_{sig} の書込みは行われない。

【0036】

すなわち、タイミング $t_{11} \sim t_{12}$ の期間では、走査線 $W S L 1$ に接続された画素 11 がフレーム画像 $F(2n-1)$ に基づく表示を行い、タイミング $t_{12} \sim t_{13}$ の期間

10

20

30

40

50

では、走査線WSL2に接続された画素11がフレーム画像F(2n)に基づく表示を行う。

【0037】

そして、これ以降、表示装置1は、タイミングt11~t13の期間における動作を繰り返し行う。

【0038】

図5は、パルスSP1が供給された画素11における動作のタイミング図を表すものであり、(A)は走査信号WSの波形を示し、(B)は電源信号DSの波形を示し、(C)は信号Sigの波形を示し、(D)は駆動トランジスタDRTのゲート電圧Vgの波形を示し、(E)は駆動トランジスタDRTのソース電圧Vsの波形を示す。図5(B)~(E)では、同じ電圧軸を用いて各波形を示している。なお、走査信号WS(図5(A))は、その画素11が走査線WSL1に接続されている場合には走査信号WS1に対応し、その画素11が走査線WSL2に接続されている場合には走査信号WS2に対応するものである。

【0039】

駆動部20は、1水平期間(1H)内において、画素11の初期化を行い(初期化期間P1)、駆動トランジスタDRTの素子ばらつきが画質に与える影響を抑えるためのVth補正を行い(Vth補正期間P2)、画素11に対して画素電圧Vsigの書込みを行うとともに、上述したVth補正とは異なるμ(移動度)補正を行う(書込・μ補正期間P3)。そして、その後に、画素11の有機EL素子OLEDが、書き込まれた画素電圧Vsigに応じた輝度で発光する(発光期間P4)。以下に、その詳細を説明する。

【0040】

まず、電源線駆動部24は、初期化期間P1に先立つタイミングt1において、電源信号DSを電圧Vccpから電圧Viniに変化させる(図5(B))。これにより、駆動トランジスタDRTがオン状態になり、駆動トランジスタDRTのソース電圧Vsが、電圧Viniに設定される(図5(E))。

【0041】

次に、駆動部20は、タイミングt2~t3の期間(初期化期間P1)において、画素11を初期化する。具体的には、タイミングt2において、データ線駆動部25が、信号Sigを電圧Vofsに設定し(図5(C))、走査線駆動部23が、走査信号WSの電圧を低レベルから高レベルに変化させる(図5(A))。これにより、書込トランジスタWSTrがオン状態になり、駆動トランジスタDRTのゲート電圧Vgが電圧Vofsに設定される(図5(D))。このようにして、駆動トランジスタDRTのゲート・ソース間電圧Vgsは、駆動トランジスタDRTの閾値電圧Vthよりも大きい電圧(Vofs-Vini)に設定され、画素11が初期化される。

【0042】

次に、駆動部20は、タイミングt3~t4の期間(Vth補正期間P2)において、Vth補正を行う。具体的には、電源線駆動部24が、タイミングt3において、電源信号DSを電圧Viniから電圧Vccpに変化させる(図5(B))。これにより、駆動トランジスタDRTは飽和領域で動作するようになり、ドレインからソースに電流Idsが流れ、ソース電圧Vsが上昇する(図5(E))。その際、ソース電圧Vsは有機EL素子OLEDのカソードの電圧Vcathよりも低いため、有機EL素子OLEDは逆バイアス状態を維持し、有機EL素子OLEDには電流は流れない。このようにソース電圧Vsが上昇することにより、ゲート・ソース間電圧Vgsが低下するため、電流Idsは低下する。この負帰還動作により、電流Idsは“0”(ゼロ)に向かって収束していく。言い換えれば、駆動トランジスタDRTのゲート・ソース間電圧Vgsは、駆動トランジスタDRTの閾値電圧Vthと等しくなる(Vgs=Vth)ように収束していく。

【0043】

次に、走査線駆動部23は、タイミングt4において、走査信号WSの電圧を高レベルから低レベルに変化させる(図5(A))。これにより、書込トランジスタWSTrはオ

10

20

30

40

50

フ状態になる。そして、データ線駆動部 25 は、タイミング t_5 において、信号 Sig を画素電圧 V_{sig} に設定する（図 5（C））。

【0044】

次に、駆動部 20 は、タイミング $t_6 \sim t_7$ の期間（書込・ μ 補正期間 P_3 ）において、画素 11 に対して画素電圧 V_{sig} の書込みを行うとともに μ 補正を行う。具体的には、走査線駆動部 23 が、タイミング t_6 において、走査信号 W_S の電圧を低レベルから高レベルに変化させる（図 5（A））。これにより、書込トランジスタ $WSTr$ はオン状態になり、駆動トランジスタ DRT_r のゲート電圧 V_g が、電圧 V_{ofs} から画素電圧 V_{sig} に上昇する（図 5（D））。このとき、駆動トランジスタ DRT_r のゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} より大きくなり（ $V_{gs} > V_{th}$ ）、ドレインからソースへ電流 I_{ds} が流れるため、駆動トランジスタ DRT_r のソース電圧 V_s が上昇する（図 5（E））。このような負帰還動作により、駆動トランジスタ DRT_r の素子ばらつきの影響が抑えられ（ μ 補正）、駆動トランジスタ DRT_r のゲート・ソース間電圧 V_{gs} は、画素電圧 V_{sig} に応じた電圧 V_{emi} に設定される。

【0045】

次に、駆動部 20 は、タイミング t_7 以降の期間（発光期間 P_4 ）において、画素 11 を発光させる。具体的には、タイミング t_7 において、走査線駆動部 23 は、走査信号 W_S の電圧を高レベルから低レベルに変化させる（図 5（A））。これにより、書込トランジスタ WST_r がオフ状態になり、駆動トランジスタ DRT_r のゲートがフローティングとなるため、これ以後、容量素子 C_s の端子間電圧、すなわち、駆動トランジスタ DRT_r のゲート・ソース間電圧 V_{gs} （ $= V_{emi}$ ）は維持される。そして、駆動トランジスタ DRT_r に電流 I_{ds} が流れるにつれ、駆動トランジスタ DRT_r のソース電圧 V_s が上昇し（図 5（E））、これに伴って駆動トランジスタ DRT_r のゲート電圧 V_g も上昇する（図 5（D））。そして、駆動トランジスタ DRT_r のソース電圧 V_s が、有機 EL 素子 $OLED$ の閾値電圧 V_{el} と電圧 V_{cath} の和（ $V_{el} + V_{cath}$ ）よりも大きくなると、有機 EL 素子 $OLED$ のアノード・カソード間に電流が流れ、有機 EL 素子 $OLED$ が発光する。すなわち、有機 EL 素子 $OLED$ の素子ばらつきに応じた分だけソース電圧 V_s が上昇し、有機 EL 素子 $OLED$ が発光する。

【0046】

ここで、初期化期間 P_1 および V_{th} 補正期間 P_2 における駆動は、本開示における「リセット駆動」の一具体例に対応する。電圧 V_{ofs} は、本開示における「第 1 の電圧」の一具体例に対応する。電圧 V_{ini} は、本開示における「第 2 の電圧」の一具体例に対応する。電圧 V_{ccp} は、本開示における「第 4 の電圧」の一具体例に対応する。

【0047】

図 6 は、パルス SP_2 が供給された画素 11 における動作のタイミング図を表すものであり、（A）は走査信号 W_S の波形を示し、（B）は電源信号 DS の波形を示し、（C）は信号 Sig の波形を示し、（D）は駆動トランジスタ DRT_r のゲート電圧 V_g の波形を示し、（E）は駆動トランジスタ DRT_r のソース電圧 V_s の波形を示す。

【0048】

駆動部 20 は、パルス SP_2 が供給された画素 11 に対しては、1 水平期間（1H）内において、画素 11 の初期化を行い（初期化期間 P_1 ）、駆動トランジスタ DRT_r の素子ばらつきが画質に与える影響を抑えるための V_{th} 補正を行う（ V_{th} 補正期間 P_2 ）。すなわち、駆動部 20 は、初期化期間 P_1 および V_{th} 補正期間 P_2 では、パルス SP_2 が供給された画素 11 に対して、パルス SP_1 が供給された画素 11 と同様の駆動を行うが、その後の画素電圧 V_{sig} の書込み等は行わない。これにより、パルス SP_2 が供給された画素 11 では、駆動トランジスタ DRT_r のゲート・ソース間電圧 V_{gs} は、駆動トランジスタ DRT_r の閾値電圧 V_{th} と同程度（ $V_{gs} = V_{th}$ ）に設定され、有機 EL 素子 $OLED$ には電流は流れない。すなわち、パルス SP_2 が供給された画素 11 は黒を表示する。

【0049】

このようにして、表示装置 1 では、パルス SP_1 が供給された画素 11 は画素電圧 V_{si}

gに応じた表示を行い、パルスSP2が供給された画素11は黒表示を行う。

【0050】

表示部10では、図3に示したように、行方向（水平方向）に隣り合う画素11のうちの一方を走査線WSL1に接続するとともに、他方を走査線WSL2に接続している。これにより、あるデータ線DTLに接続された行方向に隣り合う2つの画素11のうちの一方は図5に示した動作を行い、他方は図6に示した動作を行う。すなわち、駆動部20は、1フレーム期間において、これらの2つの画素11のうちの一方にのみ画素電圧Vsigの書込みを行う。これにより、画素電圧Vsigの書込みを行うための時間をより確保することができるため、画質が低下するおそれを低減することができる。すなわち、例えば、1フレーム期間において、これらの2つの画素11の両方に対して時分割的に画素電圧Vsigの書込みを行う場合には、画素電圧Vsigの書込みを行うための時間が短くなるため、画素電圧Vsigの書込みが不十分になり、画質が低下するおそれがある。特に、表示部10として高精細な表示パネルを用いた場合には、1フレーム期間（例えば16.6[msec] = 1/60[Hz]）に多くのラインを駆動する必要があるため、1水平期間（1H）に割り当てられる時間が短くなり、画素電圧Vsigの書込みが不十分になり、画質が低下するおそれがある。一方、本実施の形態に係る表示装置1では、1フレーム期間において、これらの2つの画素11のうちの一方にのみ画素電圧Vsigの書込みを行うようにしたので、画質が低下するおそれを低減することができる。

10

【0051】

図7Aは、フレーム画像F(2n-1)を表示する際の各画素11の動作を表すものであり、図7Bは、フレーム画像F(2n)を表示する際の各画素11の動作を表すものである。図7A、7Bにおいて、網掛けで表された画素11は、画素電圧Vsigに応じた表示を行う画素11を示している。一方、黒色で表された画素11は、黒表示を行う画素11を示している。図7A、7Bに示したように、表示装置1では、各フレーム期間において市松模様（Checkerboard Pattern）状に画素電圧Vsigに応じた表示が行われるとともに、それ以外の画素11で黒表示が行われる。そして、各画素11は、フレーム期間ごとに、画素電圧Vsigに応じた表示と黒表示とを切り換える。これにより、観察者は、2フレーム期間にわたり表示画像を観察することにより、表示部10の全画素11を用いた表示を観察することができる。

20

【0052】

このように、表示装置1では、各フレーム期間において市松模様状に画素電圧Vsigに応じた表示が行われる。これにより、以下に比較例と対比して説明するように、画質が低下するおそれを低減することができる。

30

【0053】

また、表示装置1では、画素電圧Vsigの書込みをしない画素11が黒表示を行うようにしたので、動画を表示する際の画質を高めることができる。すなわち、例えば、画素電圧Vsigの書込みをしない画素11が、1つ前のフレーム画像Fに係る画素電圧Vsigに基づいてそのまま表示を続ける場合には、現在のフレーム画像Fと一つ前のフレーム画像Fが混ざり合って表示されるため、画質が低下するおそれがある。一方、表示装置1では、画素電圧Vsigの書込みをしない画素11が黒表示を行うようにしたので、複数のフレーム画像Fが混ざり合って表示されることがないため、画質が低下するおそれを低減することができる。

40

【0054】

また、表示装置1では、画素電圧Vsigの書込みをしない画素11に対して、Vth補正駆動を行うことにより黒表示を行わせるようにしたので、画質が低下するおそれを低減することができる。すなわち、例えば、画素電圧Vsigの書込みをしない画素11に対して、黒を示す画素電圧Vsigを書込むように構成した場合には、上述したように、1水平期間において、行方向に隣り合う2つの画素11の両方に対して時分割的に画素電圧Vsigの書込みを行う必要があるため、画素電圧Vsigの書込みが不十分になり、画質が低下するおそれがある。一方、表示装置1では、Vth補正駆動を行うことにより黒表示を行わせ

50

るようにしたので、これらの2つの画素11に対して同時に V_{th} 補正駆動を行うことができるため、画質が低下するおそれを低減することができる。

【0055】

(比較例)

次に、比較例に係る表示装置1Rについて説明する。本比較例は、画素11と走査線WSL1, WSL2との接続が、本実施の形態の場合と異なるものである。その他の構成は、本実施の形態(図1)と同様である。

【0056】

図8は、本比較例に係る表示装置1Rにおける表示部10Rの一構成例を表すものである。表示部10Rでは、列方向(垂直方向)に隣り合う画素11が、ともに走査線WSL1または走査線WSL2に接続されている。すなわち、本実施の形態に係る表示部10では、図3に示したように、列方向に隣り合う画素11のうちの一方を走査線WSL1に接続するとともに、他方を走査線WSL2に接続したが、本比較例に係る表示部10Rでは、ともに走査線WSL1または走査線WSL2に接続している。

【0057】

図9A, 9Bは、本比較例に係る表示部10Rにおける各画素11の動作を表すものであり、図9Aは、フレーム画像 $F(2n-1)$ を表示する際の動作を示し、図9Bは、フレーム画像 $F(2n)$ を表示する際の動作を示す。この例では、各フレーム期間において、1列おきに、画素電圧 V_{sig} に応じた表示が行われるとともに、それ以外の画素11で黒表示が行われる。この場合には、観察者は、ストライプ状に画像を表示しているように感じ、画質が低下するおそれがある。

【0058】

一方、本実施の形態に係る表示装置1では、図3に示したように、列方向(垂直方向)に隣り合う画素11のうちの一方を走査線WSL1に接続するとともに、他方を走査線WSL2に接続している。これにより、図7A, 7Bに示したように、市松模様状に画素電圧 V_{sig} に応じた表示を行うことができるため、画質が低下するおそれを低減することができる。

【0059】

[効果]

以上のように本実施の形態では、行方向に隣り合う2つの画素を1本のデータ線に接続するようにしたので、額縁領域を狭めることができる。

【0060】

また、本実施の形態では、各フレーム期間において、行方向(水平方向)に隣り合う画素のうちの一方のみに対して画素電圧を書込むようにしたので、画素電圧の書込みを行うための時間を確保することができるため、画質が低下するおそれを低減することができる。

【0061】

また、本実施の形態では、表示部が、市松模様状に画素電圧に応じた表示を行うようにしたので、画質が低下するおそれを低減することができる。

【0062】

また、本実施の形態では、画素電圧の書込みを行わない画素が黒表示を行うようにしたので、複数のフレーム画像が混ざり合って表示されることがないため、動画を表示する際の画質を高めることができる。

【0063】

また、本実施の形態では、画素電圧の書込みを行わない画素に対して、 V_{th} 補正駆動を行うことにより黒表示を行わせるようにしたので、黒を示す画素電圧を書込む必要がないため、画質が低下するおそれを低減することができる。

【0064】

[変形例1-1]

上記実施の形態では、画素電圧 V_{sig} の書込みをしない画素11が黒表示を行うように

10

20

30

40

50

したが、これに限定されるものではなく、これに代えて、例えば、このような画素 11 が、1 つ前のフレーム画像 F に係る画素電圧 V_{sig} に基づいてそのまま表示を続けるようにしてもよい。本変形例について、以下に詳細に説明する。

【0065】

図 10 は、本変形例に係る表示装置 1 A の一動作例を表すものであり、(A) は N 本の走査信号 WS_1 の波形を示し、(B) は N 本の走査信号 WS_2 の波形を示し、(C) は N 本の電源信号 DS の波形を示し、(D) は信号 Sig の波形を示す。

【0066】

まず、タイミング $t_{21} \sim t_{22}$ の期間において、表示装置 1 A の走査線駆動部 23 A は、1 水平期間 (1 H) ごとに、パルス SP_1 を各走査線 WSL_1 に対して順次供給する (図 10 (A))。その際、走査線駆動部 23 A は、上記実施の形態の場合 (図 4 (B)) と異なり、各走査線 WSL_2 に対してパルス SP_2 を供給しない。また、タイミング $t_{22} \sim t_{23}$ の期間において、走査線駆動部 23 A は、1 水平期間 (1 H) ごとに、パルス SP_1 を各走査線 WSL_2 に対して順次供給する (図 10 (B))。その際、走査線駆動部 23 A は、上記実施の形態の場合 (図 4 (A)) と異なり、各走査線 WSL_1 に対してパルス SP_2 を供給しない。

【0067】

図 11 A は、フレーム画像 $F(2n-1)$ を表示する際の各画素 11 の動作を表すものであり、図 11 B は、フレーム画像 $F(2n)$ を表示する際の各画素 11 の動作を表すものである。図 11 A、11 B において、網掛けで表された画素 11 は、画素電圧 V_{sig} に応じた表示を行う画素 11 を示している。一方、網掛けされていない画素 11 は、各フレーム期間では駆動されず、一つ前のフレーム画像 F を表示する画素を示している。

【0068】

このような構成でも、例えば静止画を表示する用途や、画像が速く変化しない動画を表示する用途など、画質への影響がさほど大きくない用途に対して適用することができる。

【0069】

[変形例 1-2]

上記実施の形態では、駆動部 20 は、常に図 4 に示したような駆動を行うものとしたが、これに限定されるものではなく、これに代えて、例えば、図 4 に示したような駆動を行う駆動モードを含む複数の駆動モードを有するように構成してもよい。また、上記変形例 1-1 に示した駆動 (図 10) を行う駆動モードを有していてもよい。

【0070】

<2. 適用例>

次に、上記実施の形態および変形例で説明した表示装置の適用例について説明する。

【0071】

図 12 は、上記実施の形態等の表示装置が適用されるテレビジョン装置の外観を表すものである。このテレビジョン装置は、例えば、フロントパネル 511 およびフィルターガラス 512 を含む映像表示画面部 510 を有している。このテレビジョン装置は、上記実施の形態等に係る表示装置により構成されている。

【0072】

上記実施の形態等の表示装置は、このようなテレビジョン装置の他、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、携帯型ゲーム機、あるいはビデオカメラなどのあらゆる分野の電子機器に適用することが可能である。言い換えると、上記実施の形態等の表示装置は、映像を表示するあらゆる分野の電子機器に適用することが可能である。

【0073】

以上、いくつかの実施の形態および変形例、ならびに電子機器への適用例を挙げて本技術を説明したが、本技術はこれらの実施の形態等には限定されず、種々の変形が可能である。

【0074】

例えば、上記の各実施の形態では、表示装置は、有機ＥＬ表示素子を有するものとしたが、これに限定されるものではなく、電流駆動型の表示素子を有するものであれば、どのような表示装置であってもよい。

【００７５】

なお、本技術は以下のような構成とすることができる。

【００７６】

(１) 複数の画素と、

第１の方向に延伸する複数の第１の系列の走査線および複数の第２の系列の走査線を備え、

前記複数の画素のうちの、前記第１の方向に交差する第２の方向において隣り合う２つの画素は、互いに異なる系列の走査線にそれぞれ接続されている表示装置。 10

【００７７】

(２) 前記第２の方向に延伸する複数の画素信号線をさらに備え、

前記複数の画素のうちの、前記第１の方向において隣り合う２つの画素は、共通の画素信号線にそれぞれ接続されるとともに、互いに異なる系列の走査線にそれぞれ接続されている

前記(１)に記載の表示装置。

【００７８】

(３) 交互に供給される第１のフレーム画像および第２のフレーム画像に基づいて前記複数の画素を駆動する駆動部をさらに備え、 20

前記駆動部は、

前記第１のフレーム画像に基づいて、前記複数の画素のうちの、前記複数の第１の系列の走査線に接続された複数の第１の画素に対して書込駆動を順次行う第１の駆動を行うとともに、

前記第２のフレーム画像に基づいて、前記複数の画素のうちの、前記複数の第２の系列の走査線に接続された複数の第２の画素に対して前記書込駆動を順次行う第２の駆動を行う

前記(１)または(２)に記載の表示装置。

【００７９】

(４) 前記駆動部は、

前記第１の駆動において、前記第１の画素に対して、前記書込駆動を行う直前にリセット駆動を行うとともに、

前記第２の駆動において、前記第２の画素に対して、前記書込駆動を行う直前に前記リセット駆動を行う

前記(３)に記載の表示装置。

【００８０】

(５) 前記駆動部は、

前記第１の駆動において、前記第２の画素に対して前記リセット駆動を行うとともに、

前記第２の駆動において、前記第１の画素に対して前記リセット駆動を行う 40

前記(４)に記載の表示装置。

【００８１】

(６) 前記駆動部は、前記第１の方向に隣り合う２つの画素に対して、同時に前記リセット駆動を行う

前記(５)に記載の表示装置。

【００８２】

(７) 前記画素は、

表示素子と、

ゲートと、前記表示素子に接続されたソースを有する第１のトランジスタと、

前記第１のトランジスタのゲートとソースとの間に挿設された容量素子と、 50

前記第 1 の系列の走査線または前記第 2 の系列の走査線に接続されたゲートを有し、オン状態になることにより、前記第 1 のトランジスタのゲート電圧を設定する第 2 のトランジスタと

を含む

前記 (4) から (6) のいずれかに記載の表示装置。

【 0 0 8 3 】

(8) 前記駆動部は、前記リセット駆動において、前記第 1 のトランジスタのゲート電圧を第 1 の電圧に設定するとともに、前記第 1 のトランジスタのソース電圧を第 2 の電圧に設定し、その後に前記第 1 のトランジスタに電流を流すことにより、前記第 1 のトランジスタのソース電圧を、前記第 1 のトランジスタのしきい値電圧に対応する第 3 の電圧に設定する

10

前記 (7) に記載の表示装置。

【 0 0 8 4 】

(9) 前記第 1 のトランジスタは、前記駆動部に接続されるドレインを有し、

前記駆動部は、前記リセット駆動において、

前記第 2 のトランジスタをオン状態にすることにより、前記第 1 のトランジスタのゲート電圧を前記第 1 の電圧に設定し、

前記第 1 のトランジスタのドレインに前記第 2 の電圧を印加することにより、前記第 1 のトランジスタのソース電圧を前記第 2 の電圧に設定し、

前記第 1 のトランジスタのドレインに第 4 の電圧を印加することにより、前記第 1 のトランジスタに電流を流す

20

前記 (8) に記載の表示装置。

【 0 0 8 5 】

(1 0) 複数の画素と、第 1 の方向に延伸する複数の第 1 の系列の走査線および複数の第 2 の系列の走査線とを有し、前記複数の画素のうちの、前記第 1 の方向に交差する第 2 の方向において隣り合う 2 つの画素が、互いに異なる系列の走査線にそれぞれ接続された表示部を駆動する駆動部を備え、

前記駆動部は、

交互に供給される第 1 のフレーム画像および第 2 のフレーム画像のうちの前記第 1 のフレーム画像に基づいて、前記複数の画素のうちの、前記複数の第 1 の系列の走査線に接続された複数の第 1 の画素に対して書込駆動を順次行う第 1 の駆動を行うとともに、

30

前記第 2 のフレーム画像に基づいて、前記複数の画素のうちの、前記複数の第 2 の系列の走査線に接続された複数の第 2 の画素に対して前記書込駆動を順次行う第 2 の駆動を行う

駆動回路。

【 0 0 8 6 】

(1 1) 複数の画素と、第 1 の方向に延伸する複数の第 1 の系列の走査線および複数の第 2 の系列の走査線とを有し、前記複数の画素のうちの、前記第 1 の方向に交差する第 2 の方向において隣り合う 2 つの画素が、互いに異なる系列の走査線にそれぞれ接続された表示部に対して、

40

交互に供給される第 1 のフレーム画像および第 2 のフレーム画像のうちの前記第 1 のフレーム画像に基づいて、前記複数の画素のうちの、前記複数の第 1 の系列の走査線に接続された複数の第 1 の画素に対して書込駆動を順次行う第 1 の駆動を行うとともに、

前記第 2 のフレーム画像に基づいて、前記複数の画素のうちの、前記複数の第 2 の系列の走査線に接続された複数の第 2 の画素に対して前記書込駆動を順次行う第 2 の駆動を行う

駆動方法。

【 0 0 8 7 】

(1 2) 表示装置と

前記表示装置に対して動作制御を行う制御部と

50

を備え、
 前記表示装置は、
 複数の画素と、
 第1の方向に延伸する複数の第1の系列の走査線および複数の第2の系列の走査線と
 を有し、
 前記複数の画素のうちの、前記第1の方向に交差する第2の方向において隣り合う2つの画素は、互いに異なる系列の走査線にそれぞれ接続されている
 電子機器。

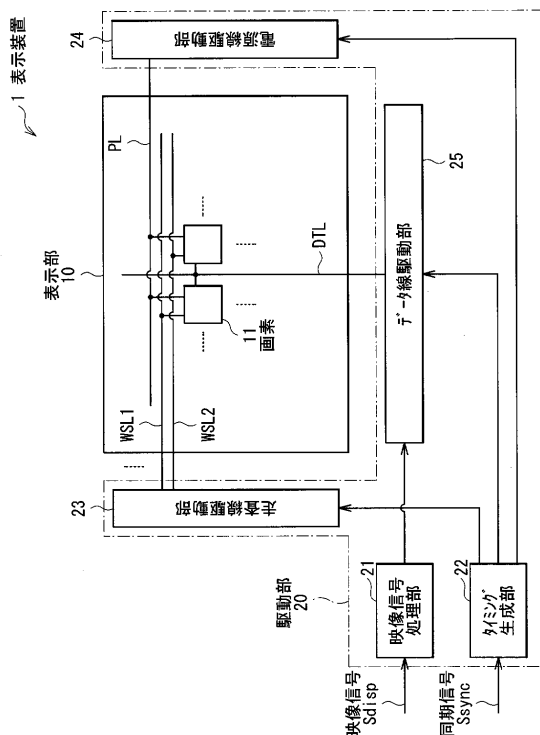
【符号の説明】

【0088】

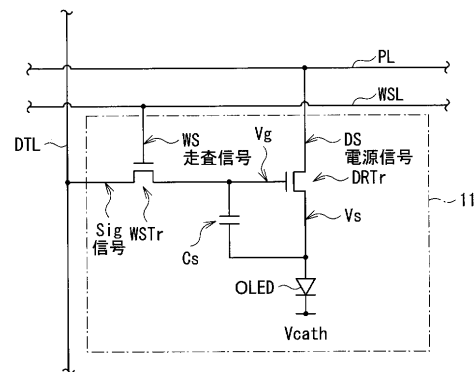
1...表示装置、10...表示部、11...画素、20...駆動部、21...映像信号処理部、22...タイミング生成部、23...走査線駆動部、24...電源線駆動部、25...データ線駆動部、Cs...容量素子、DRTTr...駆動トランジスタ、DS...電源信号、データ線DTL、OLED...有機EL素子、PL...電源線、P1...初期化期間、P2...Vth補正期間、P3...書込・ μ 補正期間、P4...発光期間、Sdisp...映像信号、Sig...信号、SP1, SP2...パルス、Sync...同期信号、Vsig...画素電圧、Vini, Vcath, Vccp, Vofs...電圧、WS, WS1, WS2...走査信号、WSL, WSL1, WSL2...走査線、WSTTr...書込トランジスタ。

10

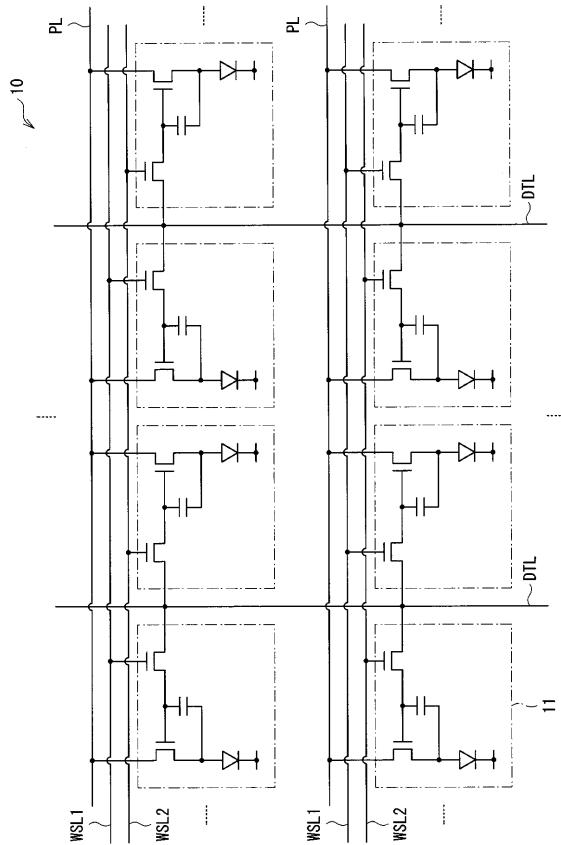
【図1】



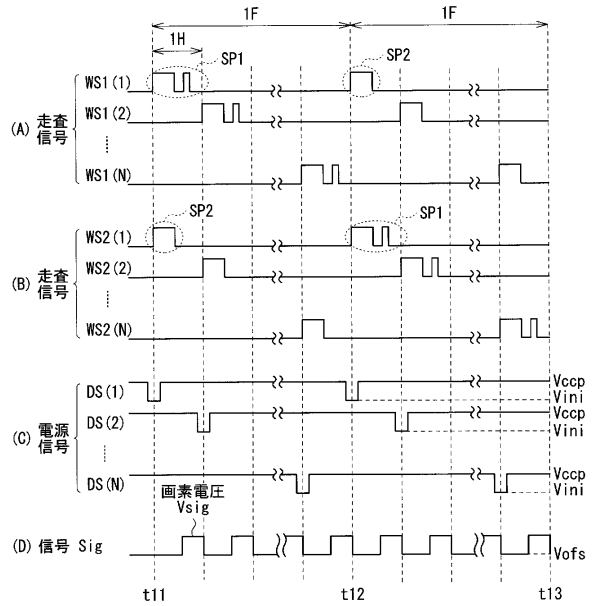
【図2】



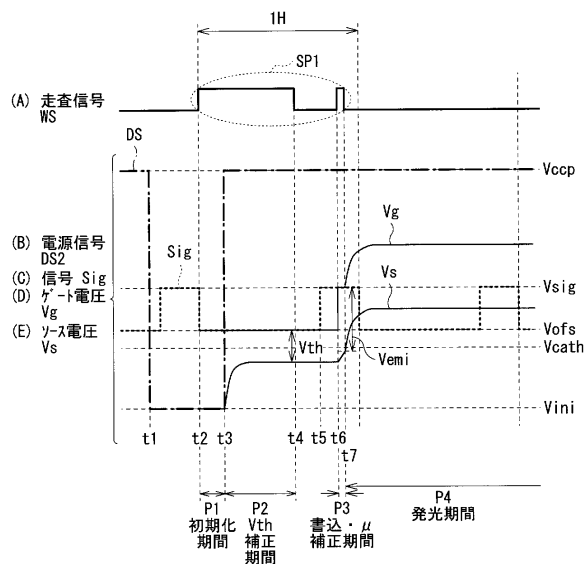
【図 3】



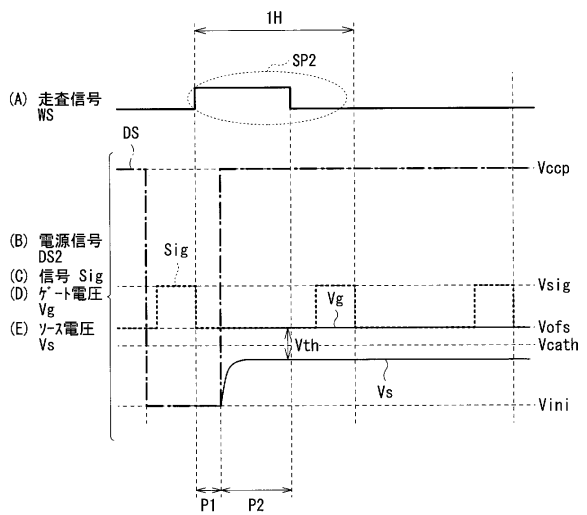
【図 4】



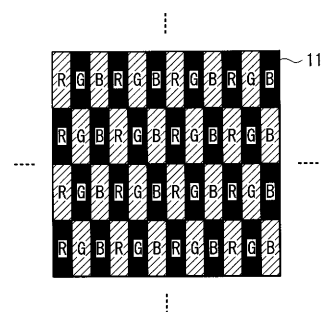
【図 5】



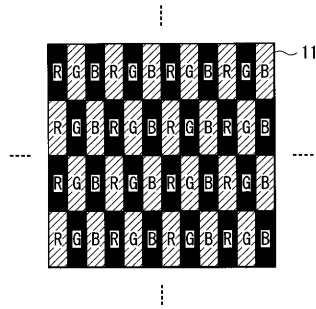
【図 6】



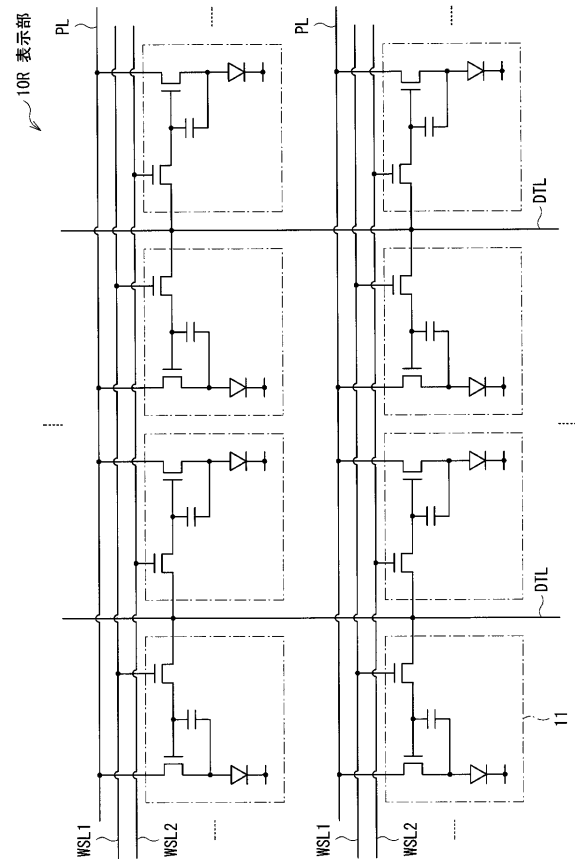
【図 7 A】



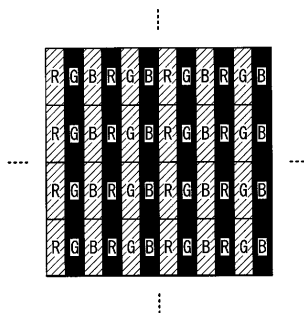
【図 7 B】



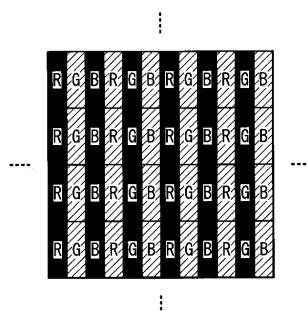
【図 8】



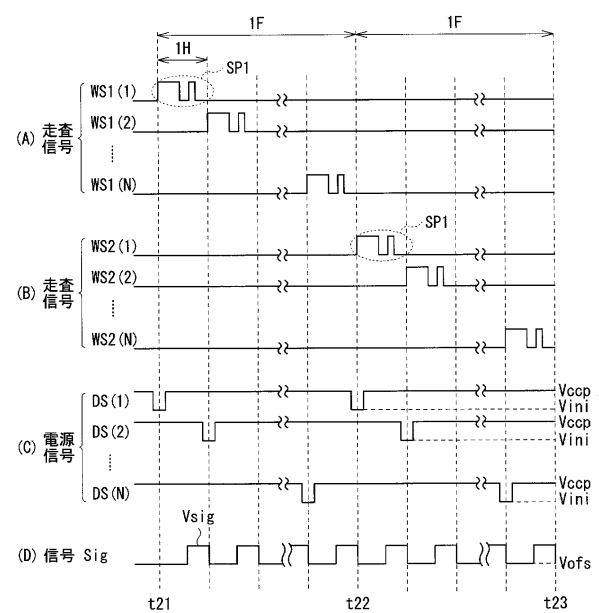
【図 9 A】



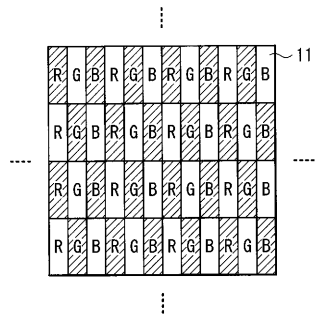
【図 9 B】



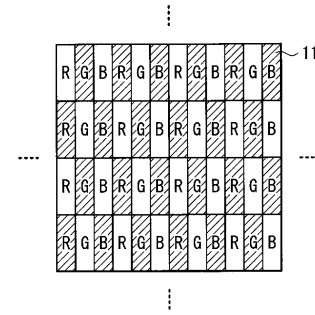
【図 10】



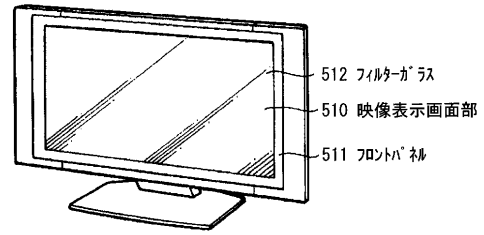
【図 1 1 A】



【図 1 1 B】



【図 1 2】



 フロントページの続き

| | | | |
|-------------|---------|-------|---------|
| (51)Int.Cl. | F I | | |
| | G 0 9 G | 3/20 | 6 2 1 A |
| | G 0 9 G | 3/20 | 6 2 2 D |
| | G 0 9 G | 3/20 | 6 2 1 C |
| | G 0 9 G | 3/20 | 6 2 2 N |
| | G 0 9 F | 9/30 | 3 3 8 |
| | H 0 5 B | 33/14 | A |

審査官 中村 直行

(56)参考文献 特開平 1 1 - 3 2 6 8 6 9 (J P , A)
 特開 2 0 0 9 - 2 0 4 6 6 4 (J P , A)
 特開平 1 1 - 0 2 4 6 0 6 (J P , A)
 特開 2 0 0 6 - 1 6 2 7 6 2 (J P , A)
 特開 2 0 0 6 - 1 4 6 2 0 1 (J P , A)
 特開 2 0 1 0 - 0 7 9 3 0 1 (J P , A)
 特開 2 0 1 1 - 2 3 2 4 4 3 (J P , A)
 特開 2 0 0 4 - 0 0 4 7 8 7 (J P , A)
 特開 2 0 0 9 - 1 5 7 1 9 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

| | | | |
|---------|-----------|---|---------|
| G 0 9 G | 3 / 0 0 | - | 3 / 3 8 |
| G 0 9 F | 9 / 3 0 | | |
| H 0 1 L | 5 1 / 5 0 | | |