[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H02H 9/02 (2006.01)

[12] 发明专利说明书

专利号 ZL 200610060516.0

[45] 授权公告日 2009 年 11 月 18 日

[11] 授权公告号 CN 100561816C

[22] 申请日 2006.4.28

[21] 申请号 200610060516.0

[73] 专利权人 鸿富锦精密工业(深圳)有限公司

地址 518109 广东省深圳市宝安区龙华镇油松第十工业区东环二路 2 号

共同专利权人 鸿海精密工业股份有限公司

[72] 发明人 王信雄 杨舜丞 江国维

[56] 参考文献

CN1149936A 1997.5.14

US5539820A 1996.7.23

CN1276641A 2000.12.13

CN1431747A 2003.7.23

审查员 李 航

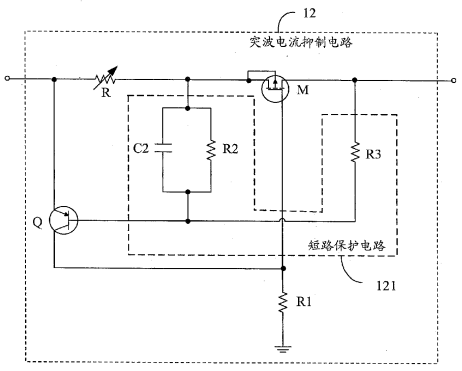
权利要求书 2 页 说明书 5 页 附图 2 页

[54] 发明名称

突波电流抑制电路及使用其的电源供应装置

[57] 摘要

一种突波电流抑制电路，包括晶体管、开关元件以及短路保护电路。 其中，晶体管的发射极作为突波电流抑制电路的输入端。 开关元件具有输入端、第一输出端及第二输出端，其中，开关元件的输入端连接于晶体管的集电极，第二输出端作为突波电流抑制电路的输出端。 短路保护电路具有第一端、第二端、第三端、第一及第二分压电阻，其中，第一端连接于开关元件的第一输出端，其第二端连接于晶体管的基极，其第三端连接于开关元件的第二输出端，第一分压电阻连接于第一端与第二端之间，第二分压电阻连接于第二端与第三端之间。 本发明采用的突波电流抑制电路，具有短路保护功能，在抑制突波电流的同时还可对负载提供短路保护，维持负载正常工作。



1.一种突波电流抑制电路，其特征在于包括:

晶体管，其发射极作为突波电流抑制电路的输入端;

开关元件，具有输入端、第一输出端及第二输出端，其中，所述开关元件的输入端连接于晶体管的集电极，其第二输出端作为突波电流抑制电路的输出端;以及

短路保护电路，具有第一端、第二端、第三端、第一分压电阻及第二分压电阻，其中，短路保护电路的第一端连接于开关元件的第一输出端，其第二端连接于晶体管的基极，其第三端连接于开关元件的第二输出端，第一分压电阻连接于第一端与第二端之间，第二分压电阻连接于第二端与第三端之间，其与第一分压电阻构成分压电路，用于加速晶体管的导通。

2.如权利要求1所述的突波电流抑制电路，其特征在于，所述短路保护电路还包括延时电容，其与第一分压电阻并行连接，且与第二分压电阻构成延迟电路。

3.如权利要求1所述的突波电流抑制电路，其特征在于，还包括可调电阻，连接于晶体管的发射极与开关元件的第一输出端之间，用于给晶体管的基极与发射极提供偏置电压。

4.如权利要求1所述的突波电流抑制电路，其特征在于，还包括偏压电阻，连接于开关元件的输入端与地之间，用于给开关元件提供偏置电压。

5.一种电源供应装置，用于将接收到的信号转换为适于负载工作的直流信号，其特征在于，所述电源供应装置包括:

变压电路，用于将接收到的信号转换为交流信号;

整流滤波电路，连接于变压电路，用于将交流信号转换为直流信号;以及

如权利要求1至4任一项所述的突波电流抑制电路，连接于整流滤波电路，用于抑制电源供应装置中所产生的突波电流，并对负载提供短路保护。

6.如权利要求5所述的电源供应装置，其特征在于，所述变压电路包括变压器，其包括一次侧绕组与二次侧绕组。

7.如权利要求6所述的电源供应装置，其特征在于，所述整流滤波电路包括:

第一二极管;

第二二极管，其阳极与第一二极管的阴极相连，且共同连接至变压器二次侧绕组的高压端；

第三二极管，其阴极与第二二极管的阴极相连；以及

第四二极管，其阴极与第三二极管的阳极相连，且共同连接至变压器二次侧绕组的低压端，其阳极与第一二极管的阳极相连。

8.如权利要求 7 所述的电源供应装置，其特征在于，所述整流滤波电路还包括滤波电容，连接于第一二极管的阳极与第二二极管的阴极之间。

9.如权利要求 5 所述的电源供应装置，其特征在于，所述整流滤波电路为全波整流滤波电路或半波整流滤波电路。

突波电流抑制电路及使用其的电源供应装置

技术领域

本发明涉及一种突波电流抑制电路，尤其涉及一种具有短路保护的突波电流抑制电路，及使用其的电源供应装置。

背景技术

随着科技的发展，各种网络设备，例如非对称数字用户环路调制解调器（ADSL Modem）、缆线调制解调器（Cable Modem）、数字机上盒（Set-top Box）应用越来越广泛。这些网络设备都需要电源供应装置，用于将市电电源交流电压（例如：中国大陆地区为 220V，北美地区为 110V。）转换为适于网络设备工作的直流电压。然，在电源供应装置最初导通时，电路中的电容效应会产生不可预期的瞬间电流，即突波电流（inrush current）。突波电流瞬间最大值可造成保险丝、开关等元件的损坏，进而降低元件的使用寿命，亦降低网络设备供电的稳定性。

发明内容

有鉴于此，需提供一种突波电流抑制电路，其具有短路保护功能，在抑制突波电流的同时还可对负载提供短路保护，维持负载正常工作。

此外，还需提供一种电源供应装置，其采用具有短路保护的突波电流抑制电路，不仅抑制电源供应装置中所产生的突波电流，还可对负载提供短路保护，提高网络设备供电的稳定性。

一种突波电流抑制电路，包括晶体管、开关元件以及短路保护电路。其中，晶体管的发射极作为突波电流抑制电路的输入端。开关元件具有输入端、第一输出端及第二输出端，其中，所述开关元件的输入端连接于晶体管的集电极，第二输出端作为突波电流抑制电路的输出端。短路保护电路，具有第一端、第二端、第三端、第一分压电阻及第二分压电阻。其中，短路保护电路的第一端连接于开关元件的第一输出端，其第二端连接于晶体管的基极，其第三端连接于开关元件的第二输出端。第一分压电阻连接于第一端与第二端之间。第二分压电阻连接于

第二端与第三端之间，并与第一分压电阻构成分压电路，用于加速晶体管的导通。

一种电源供应装置，用于将接收到的信号转换为适于负载工作的直流信号，电源供应装置包括变压电路、整流滤波电路以及突波电流抑制电路。其中，变压电路用于将接收到的信号转换为交流信号。整流滤波电路连接于变压电路，用于将交流信号转换为直流信号。突波电流抑制电路连接于整流滤波电路，用于抑制电源供应装置中所产生的突波电流，并对负载提供短路保护，突波电流抑制电路包括晶体管、开关元件以及短路保护电路。其中，晶体管的发射极作为突波电流抑制电路的输入端。开关元件具有输入端、第一输出端及第二输出端，其中，所述开关元件的输入端连接于晶体管的集电极，第二输出端作为突波电流抑制电路的输出端。短路保护电路，具有第一端、第二端、第三端、第一分压电阻及第二分压电阻。其中，短路保护电路的第一端连接于开关元件的第一输出端，其第二端连接于晶体管的基极，其第三端连接于开关元件的第二输出端。第一分压电阻连接于第一端与第二端之间。第二分压电阻，连接于第二端与第三端之间，并与第一分压电阻构成分压电路，用于加速晶体管的导通。

本发明的电源供应装置采用突波电流抑制电路，抑制电路中产生的突波电流，并对负载提供短路保护。

附图说明

图 1 为本发明电源供应装置的电路图。

图 2 为本发明图 1 中突波电流抑制电路的具体电路图。

具体实施方式

图 1 所示为本发明电源供应装置 1 的电路图。电源供应装置 1 包括变压电路 10、整流滤波电路 11 以及突波电流抑制电路 12。

变压电路 10 用于接收输入信号 V_{in}，并将输入信号 V_{in} 转换为交流信号 V_1。在本实施方式中，输入信号 V_{in} 是市电源信号。整流滤波电路 11 连接于变压电路 10，用于将变压电路 10 输出的交流信号转换为直流信号。突波电流抑制电路 12 连接于整流滤波电路 11，用于抑制电源供应装置 1 中所产生的突波电流，且输出另一种直流信号 V_{out} 至负载（图中未给出）。在本实施方式中，突波电流抑制电路 12

还具有短路保护功能，其在抑制突波电流的同时，亦可对负载提供短路保护，维持负载正常工作。其中，负载可以是非对称数字用户环路调制解调器、缆线调制解调器、数字机上盒等等。

变压电路 10 主要包括变压器 T，其包括一次侧绕组与二次侧绕组。一次侧绕组作为电源供应装置 1 的输入端，用于接收市电电源的弦波信号。二次侧绕组连接于整流滤波电路 11。在本实施方式中，变压器 T 的二次侧绕组的线圈匝数小于一次侧绕组的线圈匝数。当一次侧绕组接收市电电源的弦波信号 V_{in} 时，流通电流所产生的磁场亦会流过二次侧绕组，产生低压交流信号 V_1，并输出至整流滤波电路 11。

整流滤波电路 11 包括滤波电容 C1 与二极管 D1、D2、D3 及 D4。其中，二极管 D1 的阴极与二极管 D2 的阳极共同连接至变压器 T 的二次侧绕组的高压端。二极管 D3 的阳极与二极管 D4 的阴极共同连接至变压器 T 的二次侧绕组的低压端。且，二极管 D2 的阴极与二极管 D3 的阴极相连，二极管 D1 的阳极与二极管 D4 的阳极相连。滤波电容 C1 连接于二极管 D1 的阳极与二极管 D2 的阴极之间。这样，滤波电容 C1、二极管 D1、D2、D3 及 D4 构成桥式全波整流滤波电路。在本实施方式中，整流滤波电路 11 将变压电路 10 输出的低压交流信号 V_1 整流滤波后输出至突波电流抑制电路 12。在本发明其它实施方式中，整流滤波电路 11 亦可为半波整流滤波电路。

图 2 所示为本发明突波电流抑制电路 12 的具体电路图。突波电流抑制电路 12 包括偏压电阻 R1、可调电阻 R、PNP 晶体管 Q 及开关元件 M。其中，PNP 晶体管 Q 的发射极作为突波电流抑制电路 12 的输入端。开关元件 M 是金属氧化物半导体场效应晶体管（Metal-Oxide-Semiconductor Field Effect Transistor, MOSFET），其具有输入端、第一输出端及第二输出端。本实施方式中，MOSFET M 的输入端为栅极，其第一输出端为源极，其第二输出端为漏极。

MOSFET M 的栅极连接于 PNP 晶体管 Q 的集电极，其漏极作为突波电流抑制电路 12 的输出端。可调电阻 R 连接于 PNP 晶体管的发射极与 MOSFET M 的源极之间，用于给 PNP 晶体管 Q 的基极与发射极提供偏置电压。偏压电阻 R1 连接于 MOSFET M 的栅极与地之间，用于给 MOSFET M 提供偏置电压。

在本实施方式中，突波电流抑制电路 12 还包括短路保护电路 121，其包括延

时电容 C2、第一分压电阻 R2 以及第二分压电阻 R3。且，短路保护电路 121 具有第一端、第二端及第三端。其中，短路保护电路 121 的第一端连接于 MOSFET M 的源极，其第二端连接于 PNP 晶体管的基极，其第三端连接于 MOSFET M 的漏极。第一分压电阻 R2 连接于短路保护电路 121 的第一端与第二端之间，延时电容 C2 与第一分压电阻 R2 并行连接。第二分压电阻 R3 连接于短路保护电路 121 的第二端与第三端之间，其与第一分压电阻 R2 构成分压电路，用于加速 PNP 晶体管 Q 的导通。同时，第二分压电阻 R3 与延时电容 C2 构成延迟电路，用于在负载初接通时阻止 PNP 晶体管 Q 导通，维持负载的正常工作。

在本实施方式中，滤波电容 C1 根据公式 $i(t)=V/R' \times e^{-t/R'C}$（其中，R'为整流滤波电路 11 的等效电阻）向负载放电。当 t=0 时，即滤波电容 C1 对突波电流抑制电路 12 进行初供电的瞬间，i(0)=V/R'。此时，电阻 R'为滤波电容 C1 的等效阻抗，由于等效阻抗很小，可忽略不计。故，电源供应装置产生的电流值 i(0)无限大，这个瞬时电流 i(0)即为突波电流。

当突波电流流经突波电流抑制电路 12 时，延时电容 C2 可看做短路。同时，可调电阻 R 提供偏置电压至 PNP 晶体管 Q 的基极，例如：0.7V 时，使得 PNP 晶体管 Q 导通。当 PNP 晶体管 Q 导通后，加载在可调电阻 R 上的电压持续增大，PNP 晶体管 Q 导通后工作在饱和状态，使得 MOSFET M 截止，进而避免电源供应装置 1 的突波电流通过可调电阻 R、MOSFET M 流入负载，对负载造成损害。

当瞬时电流转化为稳态电流时，且稳态电流加载于可调电阻 R 的电压小于 PNP 晶体管 Q 的导通电压时，即小于 0.7V 时，PNP 晶体管 Q 截止，MOSFET M 导通。此时，稳态电流经由可调电阻 R 与 MOSFET M 对负载进行供电，维持负载正常工作。

此外，当负载内部真正发生短路时，电源供应装置 1 中流经突波电流抑制电路 12 的电流增大，使得电流在第一分压电阻 R2 上形成的分压亦增大，从而增大 PNP 晶体管 Q 的基极偏置电压，加速 PNP 晶体管 Q 的导通。因此，PNP 晶体管 Q 导通后会迅速工作在饱和区促使 MOSFET M 截止，限制电流流入负载。本实施方式中，第一分压电阻 R2 还可用于保护 PNP 晶体管 Q，避免过大电流流入 PNP 晶体管 Q。

当电源供应装置 1 初接通负载时，与负载并联的储能电容（未标示于图中）

可视为短路，电源供应装置 1 中流经突波电流抑制电路 12 的电流亦会增大。此时，MOSFET M 的源极与漏极之间存在压降，使得突波电流抑制电路 12 输入电流通过可调电阻 R 同时对延时电容 C2 以及储能电容充电。本实施方式中，延时电容 C2 的充电时间大于储能电容的充电时间，即当储能电容充电完成时，延时电容 C2 还处于充电状态。由于在延时电容 C2 充电期间，电流不会流经第一分压电阻 R2，使得 PNP 晶体管 Q 无法导通。因此，在电源供应装置 1 初接通负载时对储能电容充电过程中，PNP 晶体管 Q 截止，MOSFET M 导通，仍然维持负载的正常工作。

本发明的突波电流抑制电路 12 利用调节可调电阻 R 的电阻值，控制 PNP 晶体管 Q 与 MOSFET M 的导通与截止，从而抑制流入负载的突波电流；其次，本发明的突波电流抑制电路 12 利用第一分压电阻 R2 与第二分压电阻 R3 组成的分压电路，在负载短路时，通过加速 PNP 晶体管 Q 的导通以达到 MOSFET M 的迅速截止；再次，利用第二分压电阻 R3 与延时电容 C2 构成的延迟电路，用于在负载初接通时阻止 PNP 晶体管 Q 导通，维持负载的正常工作。

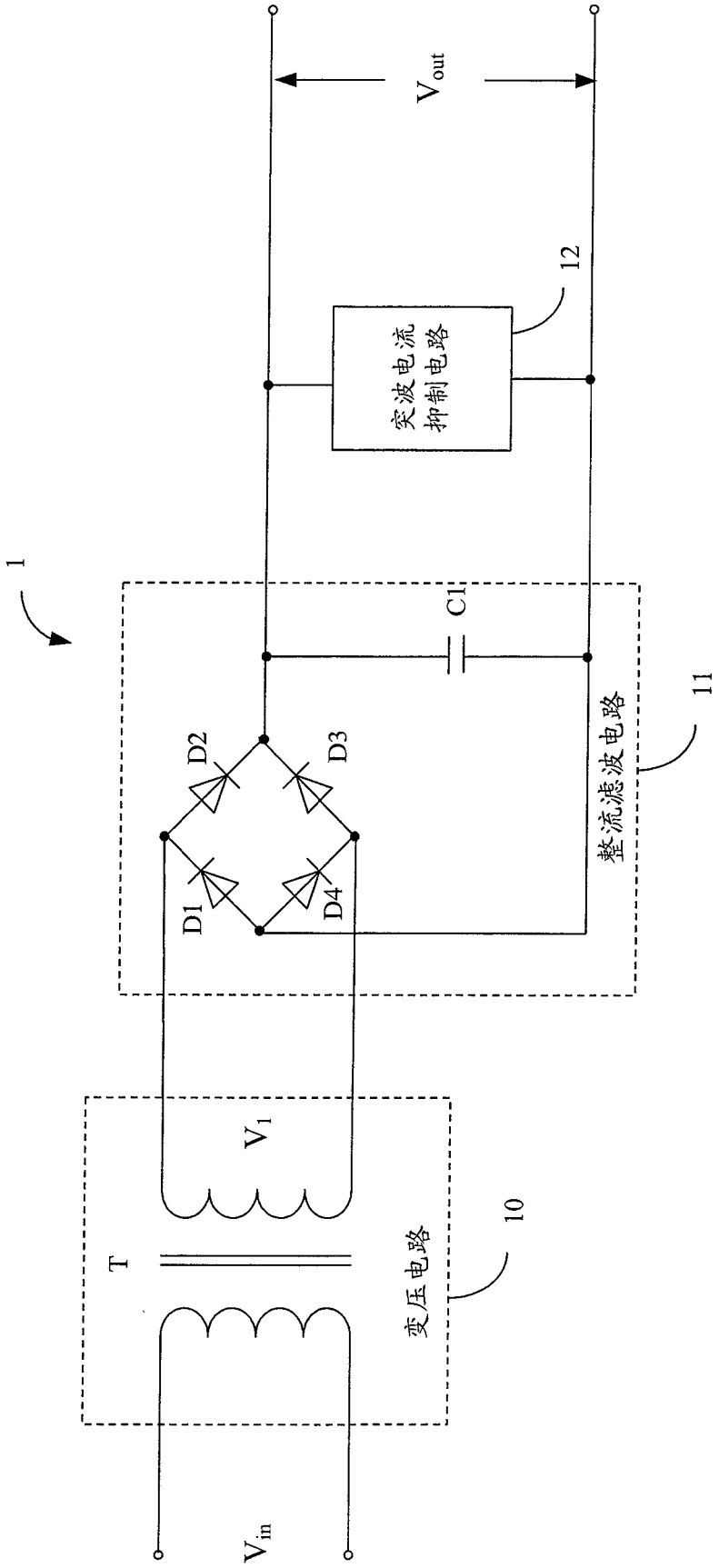


图 1

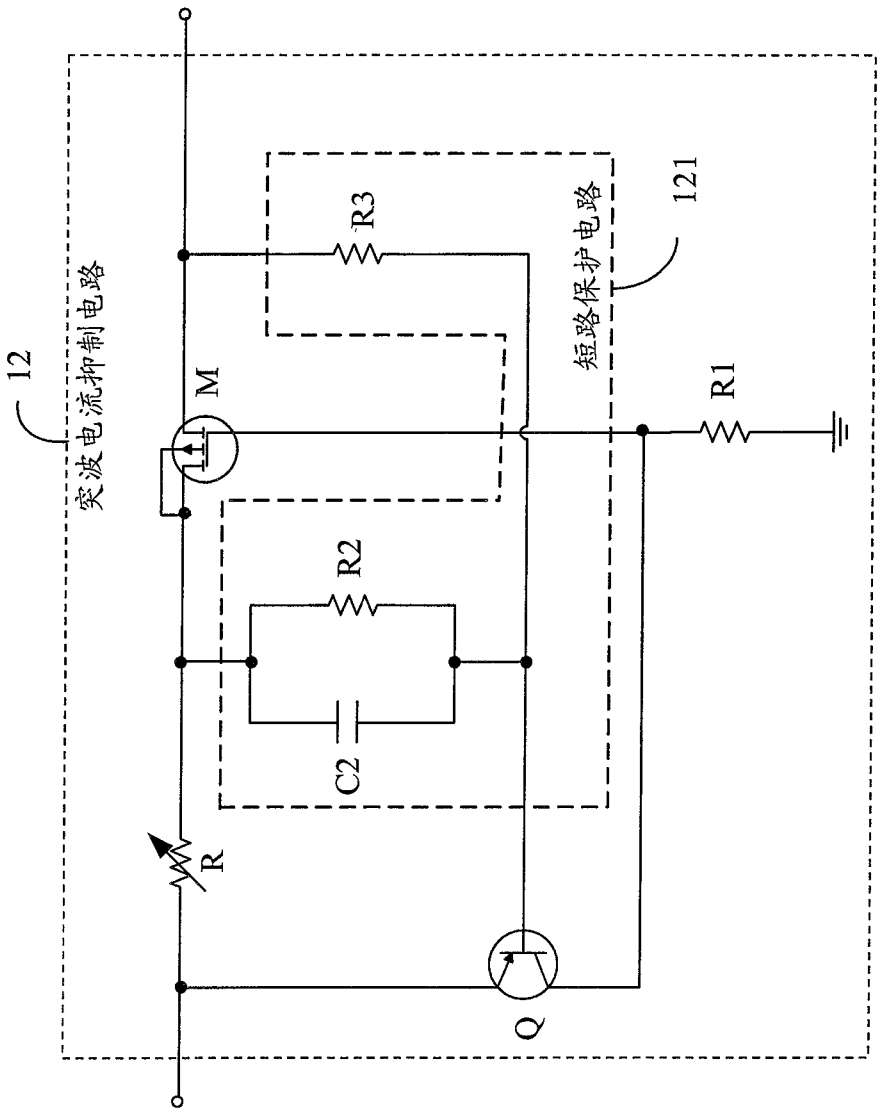


图 2