

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2011年6月30日 (30.06.2011)

PCT

(10) 国际公布号
WO 2011/075991 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
- (21) 国际申请号: PCT/CN2010/074462
- (22) 国际申请日: 2010年6月25日 (25.06.2010)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
200910243851.8 2009年12月23日 (23.12.2009) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院
微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科罗斯特街

11号, New York 12603 (US)。 骆志炯 (LUO, Zhijiong) [CN/US]; 美国纽约州波基普西市洛克科罗斯特街11号, New York 12603 (US)。 朱慧珑 (ZHU, Huilong) [US/US]; 美国纽约州波基普西市奥特姆路93号, New York 12603 (US)。

- (74) 代理人: 北京市立方律师事务所 (LIFANG & PARTNERS LAW FIRM); 中国北京市东四十条甲22号南新仓国际大厦A1105室, Beijing 100007 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV,

[见续页]

- (54) Title: HIGH PERFORMANCE SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF
- (54) 发明名称: 高性能半导体器件及其形成方法

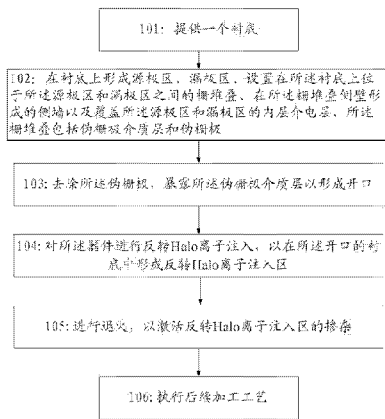


图1 /Fig.1

- 101 PROVIDING A SUBSTRATE
- 102 FORMING SOURCE/DRAIN REGIONS ON THE SUBSTRATE, DISPOSING A STACKED GATE COMPRISED OF A DUMMY GATE DIELECTRIC LAYER AND A DUMMY GATE ON THE SUBSTRATE AND BETWEEN THE SOURCE REGION AND THE DRAIN REGION, FORMING SIDEWALLS ON THE SIDE-SURFACES OF THE STACKED GATE, AND FORMING AN INTERLAYER DIELECTRIC LAYER TO COVER THE SOURCE/DRAIN REGIONS
- 103 REMOVING THE DUMMY GATE AND EXPOSING THE DUMMY GATE DIELECTRIC LAYER SO AS TO FORM AN OPENING
- 104 PERFORMING A REVERSE HALO ION IMPLANTATION TO THE DEVICE TO FORM A REVERSE HALO ION IMPLANTED REGION ON THE SUBSTRATE WITHIN THE OPENING
- 105 PERFORMING ANNEALING TREATMENT TO ACTIVATE THE DOPANTS IN THE REVERSE HALO ION IMPLANTED REGION
- 106 PERFORMING SUBSEQUENT PROCESSES

(57) Abstract: A high performance semiconductor device and the manufacturing method thereof are provided. The method, which is achieved by means of performing a reverse halo ion implantation to form a reverse halo ion implanted region after annealing source/drain regions, includes providing a substrate (101); forming source/drain regions on the substrate, disposing a stacked gate comprised of a dummy gate dielectric layer and a dummy gate on the substrate and between the source region and the drain region, forming sidewalls on the side-surfaces of the stacked gate, and forming an interlayer dielectric layer to cover the source/drain regions (102); removing the dummy gate and exposing the dummy gate dielectric layer so as to form an opening (103); performing a reverse halo ion implantation to the device to form a reverse halo ion implanted region on the substrate within the opening (104); performing annealing treatment to activate the dopants in the reverse halo ion implanted region (105); and performing subsequent processes (106). The method can avoid the deterioration of the stacked gate induced by the reverse halo ion implantation, and realize that the reverse halo ion implantation can be applied to the metal gate stacked device, meanwhile the short channel effect can be reduced and controlled, and the performance of the device can be improved.

[见续页]

WO 2011/075991 A1



SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW。

HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL,
PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD,
TG)。

- (84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(57) **摘要:**

提供了一种高性能半导体器件及其制造方法。该方法以先对源/漏极区进行热退火再进行反转 halo 离子注入以形成反转 halo 离子注入区的方式实现, 包括提供一个衬底 (101); 在衬底上形成源/漏极区, 设置在该衬底上位于所述源极区与漏极区之间的栅堆叠, 在该栅堆叠侧壁形成的侧墙以及覆盖该源/漏极区的内层介电层, 该栅堆叠包括伪栅极介质层和伪栅极 (102); 去除所述伪栅极, 暴露所述伪栅极介质层以形成开口 (103); 对所述器件进行反转 halo 离子注入, 以在该开口的衬底中形成反转 halo 离子注入区 (104); 进行退火, 以激活反转 halo 离子注入区的掺杂 (105); 以及执行后续加工工艺 (106)。该方法能够避免反转 halo 离子注入对栅堆叠的劣化, 使得反转 halo 离子注入能够应用于金属栅堆叠器件中, 同时能够降低和控制短沟道效应, 提高器件性能。

高性能半导体器件及其形成方法

技术领域

- 5 本发明通常涉及一种半导体器件及其形成方法。更具体而言，涉及一种在沟道中具有反转 Halo 离子注入区的半导体器件及其形成方法，从而能够在降低短沟道效应的同时不损害金属栅堆叠的性能。

背景技术

- 10 随着半导体行业的发展，具有更高性能和更强功能的集成电路要求更大的元件密度，而且各个部件、元件之间或各个元件自身的尺寸、大小和空间也需要进一步缩小。相应地，为了提高 MOSFET（金属氧化物半导体场效应晶体管）器件的性能需要进一步减少 MOSFET 器件的栅长。然而随着栅长持续减小，减少到接近源极和漏极的耗尽层的宽度，例如小于 40nm 时，将会产生较
- 15 严重的短沟道效应（short channel effect 或简称为 SCE），从而不利地降低器件的性能，给大规模集成电路的生产造成困难。一种短沟道效应表现在 MOSFET 的阈值电压随着栅长减少而减少，从而导致栅长短时漏电流急剧增加。如何降低短沟道效应以及有效地控制栅长缩小时引起的低阈值电压，已经成为集成电路大规模生产中的一个很关键的问题。

- 20 在 Zhu H 等人的文章中：“On the Control of Short-Channel Effect for MOSFETs With Reverse Halo Implantation”，IEEE ELECTRON DEVICE LETTERS, 卷 28 第 2 期, 第 168-170 页, 描述了一种在沟道中引入反转 Halo 离子注入区来控制 and 降低短沟道效应的方法。通过对 NMOS 器件的沟道中利用较大能量注入 N 型掺杂剂，由于较长栅长的栅堆叠对离子阻挡更多，导致
- 25 栅长较短的 NMOS 器件的沟道区的 N 型离子掺杂的量比栅长较长的 NMOS 器件的沟道区的 N 型离子掺杂的量更小，进而可以提高短栅长 NMOS 器件的阈值电压，控制和降低短沟道效应。这种方法也可通过利用较大能量注入 P 型掺杂剂来实现在 PMOS 器件上。

然而，在现有的反转 Halo 离子注入方法均采用了后反转 Halo 注入方法，

即，反转 Halo 注入是在形成栅堆叠之后进行的，而且反转 Halo 掺杂剂需穿透栅堆叠注入沟道区，这将引起栅堆叠的劣化和缺陷，并且容易导致栅极漏电流。而且，在采用金属栅的情况下，反转 Halo 掺杂剂将很难穿透金属栅，这将导致无法实现反转 Halo 离子注入。

- 5 因此，为了改进高性能半导体器件的制造，需要提供一种能够在沟道中形成反转 Halo 离子注入区的半导体器件及其形成方法，从而能够在降低短沟道效应的同时不损害金属栅堆叠的性能。

发明内容

- 10 为了解决上述技术问题，本发明提出了一种制造半导体器件的方法，所述方法包括：a) 提供一个衬底；b) 在衬底上形成源极区、漏极区、设置在所述衬底上位于所述源极区和漏极区之间的栅堆叠、在所述栅堆叠侧壁形成的侧墙以及覆盖所述源极区和漏极区的层间介电层，所述栅堆叠包括栅极介质层和伪栅极；c) 去除所述伪栅极，暴露所述栅极介质层以形成开口；d)
15 对所述器件进行反转 Halo 离子注入，对于 N 型半导体器件使用 N 型掺杂剂进行离子注入，对于 P 型半导体器件使用 P 型掺杂剂进行离子注入，以在所述开口的衬底中形成反转 Halo 离子注入区；f) 进行退火，以激活反转 Halo 离子注入区的掺杂；g) 对所述器件进行后续加工。

- 此外，也可以通过如下替代方式来制造半导体器件，所述方法包括：a)
20 提供一个衬底；b) 在衬底上形成源极区、漏极区、设置在所述衬底上位于所述源极区和漏极区之间的栅堆叠、在所述栅堆叠侧壁形成的侧墙以及覆盖所述源极区和漏极区的层间介电层，所述栅堆叠包括栅极介质层和伪栅极；c)
 去除所述栅极介质层和伪栅极，暴露所述衬底以形成开口；d) 对所述器件进行反转 Halo 离子注入，对于 N 型半导体器件使用 N 型掺杂剂进行离子注入，
25 对于 P 型半导体器件使用 P 型掺杂剂进行离子注入，以在所述开口的衬底中形成反转 Halo 离子注入区；e) 进行退火，以激活反转 Halo 离子注入区的掺杂；f) 对所述器件进行后续加工。

 特别地，对于 N 型半导体器件，使用例如 V 族元素进行离子注入，例如磷和砷，离子注入能量为 5-40keV，剂量为 $1e12-5e13$ 。对于 P 型半导体器件，

使用例如 III 族元素进行离子注入，例如硼、二氟化硼和铟，离子注入能量为 5-40keV，剂量为 $1e12-5e13$ 。可以以与垂直方向成大约 0-40 度的角度对所述器件进行两次对称反转 Halo 离子注入，在衬底的沟道中形成反转 Halo 离子注入区。

- 5 此外根据本发明的另一个方面还提供一种半导体器件，包括：衬底、在衬底上形成的源极区、漏极区、形成在衬底上位于所述源极区和所述漏极区之间的栅堆叠、在栅堆叠侧壁形成的侧墙和覆盖所述源极区和漏极区的层间介电层，其中所述栅堆叠包括栅极介质层和金属栅极，所述半导体器件还包括在所述半导体器件的沟道区形成的反转 Halo 离子注入区，对于 N
- 10 型半导体器件所述反转 Halo 离子注入区包括 N 型掺杂剂，对于 P 型半导体器件所述反转 Halo 离子注入区包括 P 型掺杂剂。

附图说明

- 图 1 示出了根据本发明的第一实施例的半导体器件的制造方法的流程图；
- 15 图 2-11 示出了根据本发明的第一实施例的半导体器件各个制造阶段的示意图；
- 图 12 示出了根据本发明的第二实施例的半导体器件的制造方法的流程图；
- 图 13-15 示出了根据本发明的第二实施例的半导体器件各个制造阶段的示意图。
- 20

具体实施方式

- 本发明通常涉及一种半导体器件的制造方法。下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开，
- 25 下文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且目的不在于限制本发明。此外，本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施例和/或设置之间的关系。此外，本发明提供了的各种特定的工艺和材料的例子，但是本领域普通技术人员可以意识到其他工艺的可应用于性和/或

其他材料的使用。另外，以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成直接接触的实施例，也可以包括另外的特征形成在第一和第二特征之间的实施例，这样第一和第二特征可能不是直接接触。

5

第一实施例

根据本发明的第一实施例，参考图 1，图 1 示出了根据本发明的实施例的半导体器件的制造方法的流程图。在步骤 101，首先提供一个半导体衬底 202，参考图 2。在本实施例中，衬底 202 包括位于晶体结构中的硅衬底（例如晶片）。根据现有技术公知的设计要求（例如 p 型衬底或者 n 型衬底），衬底 202 可以包括各种掺杂配置。其他例子的衬底 202 还可以包括其他基本半导体，例如锗和金刚石。或者，衬底 202 可以包括化合物半导体，例如碳化硅、砷化镓、砷化铟或者磷化铟。此外，衬底 202 可以可选地包括外延层，可以被应力改变以增强性能，以及可以包括绝缘体上硅（SOI）结构。

15 在步骤 102，在衬底 202 上形成源极区 204、漏极区 206、设置在所述衬底上位于所述源极区 204 和所述漏极区 206 之间的栅堆叠 30，在所述栅堆叠 30 的侧壁形成的侧墙 214。所述栅堆叠 30 包括栅极介质层 212 和伪栅极 208。

20 栅极介质层 212 可以为热氧化层，包括氧化硅、氮化硅，例如二氧化硅，也可高 K 介质。伪栅极 208 为牺牲层。伪栅极 208 可以例如为多晶硅。在一个实施例中，伪栅极 208 包括非晶硅。栅极介质层 212 和伪栅极 208 可以由 MOS 技术工艺，例如沉积、光刻、蚀刻及/或其他合适的方法形成。

25 源/漏极区 204、206 可以通过根据期望的晶体管结构，注入 p 型或 n 型掺杂物或杂质到衬底 202 中而形成。源/漏极区 204、206 可以由包括光刻、离子注入、扩散和/或其他合适工艺的方法形成。源极和漏极 204、206 可以后于栅极介质层 212 形成，利用通常的半导体加工工艺和步骤，对所述器件进行热退火，以激活源极和漏极 204、206 中的掺杂，热退火可以采用包括快速热退火、尖峰退火等本领域技术人员所知晓的工艺进行。

覆盖所述栅堆叠 30 形成侧墙 214。侧墙 214 可以由氮化硅、氧化硅、氮氧化硅、碳化硅、氟化物掺杂硅玻璃、低 k 电介质材料及其组合，和/或其他合适的材料形成。侧墙 214 可以具有多层结构。侧墙 214 可以通过包括沉积合适的电介质材料的方法形成。侧墙 214 有一段覆盖在栅堆叠 30 上，这结构可以用本领域技术人员所知晓的工艺得到。在其它实施例中，侧墙 214 也可以没有覆盖在栅堆叠 30 上。

特别地，还可以在所述衬底上沉积形成层间介电层 (ILD) 216，所述可以是但不限于例如未掺杂的氧化硅 (SiO_2)、掺杂的氧化硅 (如硼硅玻璃、硼磷硅玻璃等) 和氮化硅 (Si_3N_4)。所述层间介电层 216 可以使用例如化学气相沉积 (CVD)、物理气相沉积 (PVD)、原子层沉积 (ALD) 及/或其他合适的工艺等方法形成。层间介电层可以具有多层结构。在一个实施例中，层间介电层 216 的厚度范围为大约 30 到 90 纳米。

而后，对所述层间介质层 216 和所述侧墙 214 平坦化处理以暴露所述伪栅极 208 的上表面。例如可以通过化学机械抛光 (CMP) 方法来去除所述层间介质层 216，直至暴露所述侧墙 214 的上表面，如图 3 所示。而后 15 再对所述侧墙 214 进行化学机械抛光或反应离子刻蚀，从而去除所述侧墙 214 的上表面，从而暴露所述伪栅极 208，如图 4 所示。

而后方法进行到步骤 103，在该步骤中伪栅极 208 被移除，暴露所述栅极介质层 212 以形成开口 220。如图 5 所示。例如，选择性地蚀刻多晶硅并 20 停止在栅极介质层 212 上来除去伪栅极 208 并形成开口 220。伪栅极 208 可以使用湿蚀刻和/或干蚀刻除去。在一个实施例中，湿蚀刻工艺包括四甲基氢氧化铵 (TMAH)、KOH 或者其他合适蚀刻剂溶液。

在步骤 104，如图 6A 所示，对所述器件进行反转 Halo 离子注入，以在所述开口的衬底中形成反转 Halo 离子注入区。

25 本发明所指的反转 Halo 离子注入是指，对于 N 型半导体器件，使用 N 型掺杂剂进行离子注入，例如 V 族元素进行离子注入，例如磷和砷，离子注入能量为 5-40keV，剂量为 $1\text{e}12\text{-}5\text{e}13$ 。对于 P 型半导体器件，使用 P 型掺杂剂进行离子注入，例如使用 III 族元素进行离子注入，例如硼、二氟化硼和铟，离子注入能量为 5-40keV，剂量为 $1\text{e}12\text{-}5\text{e}13$ 。由于本发明的反转 Halo 离子通

过开口 220 注入，所需离子的能量比现有技术的反转 Halo 离子注入能量低很多。本发明可以以与垂直方向成大约 0-40 度的角度对所述器件进行两次对称反转 Halo 离子注入，在衬底的沟道中形成反转 Halo 离子注入区 228。反转 Halo 离子注入区域由开口 220 的宽度、开口 220 的高度、离子注入的能量、注入的角度及离子穿透侧墙 214 和介质层 216 能力决定。当与垂直方向的角度增大，反转 Halo 离子注入区将从沟道中间移向沟道的两侧，同时反转 Halo 离子注入区的深度变浅。所以在实施中，根据控制器件短沟道效应需要，设计反转 Halo 离子注入的能量和角度。假如在进行两次对称反转 Halo 离子注入中，与垂直方向的角度不大，沟道中的两个反转 Halo 离子注入区离沟道中间近，可能出现重叠。

由于栅长的长短决定了开口 220 的宽度，也就决定所注入反转 Halo 离子掺杂剂的量，栅长越短，注入的反转 Halo 离子掺杂剂越少，反之亦然。因此 N 型反转 Halo 离子掺杂剂对短沟道 nMOSFET 的沟道区中的 P 型掺杂剂产生的抵消作用比长沟道 nMOSFET 的沟道区中的 P 型掺杂剂产生的抵消作用要小，而 P 型反转 Halo 离子掺杂剂对短沟道 pMOSFET 的沟道区中的 N 型掺杂剂产生的抵消作用比长沟道 pMOSFET 的沟道区中的 N 型掺杂剂产生的抵消作用要小，因此短沟道 MOSFET 器件的沟道区的反转 Halo 离子掺杂量比长沟道的 MOSFET 器件的沟道区的反转 Halo 离子掺杂量更小，即进而可以提高短沟道器件的阈值电压，可以用来减少栅长缩小时引起的低阈值电压效应，控制和降低短沟道效应。例如，如图 6B-6C 所示，在栅长为 30nm 的 nMOSFET 器件中的反转 Halo 离子注入量（图 6B）将大大低于栅长为 60nm 的 nMOSFET 器件中的反转 Halo 离子注入量（图 6C）。

此后，在步骤 105，对器件进行热退火，以激活反转 Halo 离子注入区中的掺杂。例如可以采用快速热退火，在其他的实施例中可以采用其他的退火工艺。在这一步骤，还需要考虑对源漏区及源漏扩展区掺杂的激活需要和扩散影响。如果源漏区及源漏扩展区掺杂还没有激活，可以利用本步骤顺带退火，以达到激活目的。根据本发明的实施例，通常采用尖峰退火工艺对器件进行退火，例如在大约 1000℃ 以上的温度进行 0.5 到 2 秒间退火。

此后，在步骤 106，可以根据制造需要对所述器件进行进一步的加工。例

如，如图 7 所示，可以在开口中形成金属栅极 226。优选地，可以在形成栅极介质层 212 之后可以在其上沉积功函数金属栅层。功函数金属栅层可以包括在大约 10 埃到大约 100 埃范围之间的厚度。用于功函数金属栅层的材料可以包括 TiN、TiAlN、TaN 以及 TaAlN。

5 之后在所述栅极介质层 212 之上形成金属栅极 226，如图 7 所示。金属栅极材料可以包括一个或多个材料层，例如衬层，向栅极提供合适功函数的材料，栅电极材料和/或其他合适材料。对于 N 型半导体器件可以从包含下列元素的组中选择一种或多种元素进行沉积：TiN、TiAlN、TaAlN、TaN、TaSiN 及这些材料的组合；对于 P 型半导体器件可以从包含下列元素的组中选择一种或多种元素进行沉积：TiN、TiSiN、TiCN、TaAlC、TiAlN、TaN 及这
10 些材料的组合。

最后执行化学机械抛光 (CMP) 工艺，以形成金属栅极 226。

特别地，如果反转 Halo 离子注入和反转 Halo 离子注入的热退火工艺可能对栅极介质层造成不可接受的劣化。可选择地，可以在反转 Halo 离子注入后
15 去除所述栅极介质层 212，如图 8 所示，例如可以使用湿蚀刻和/或干蚀刻除去。在一个实施例中，氢氟酸 (HF) 或者其他合适蚀刻剂溶液。然后再形成新的栅极介质层。栅极介质层 212 可以在反转 Halo 离子注入后去除。在其它的实施例中，栅极介质层 212 也可以选择在下一步反转 Halo 离子注入区退火后再去除。

20 在栅极介质层 212 被去除的情况下，在对反转 Halo 离子注入区进行退火之后，则可以在开口中形成新的栅极介质层 224 和金属栅极 226，所述栅极介质层 224 覆盖所述衬底 202 和侧墙 214 的内壁。

如图 9 所示，可以沉积新的栅极介质层 224，所述栅极介质层 224 覆盖所述衬底和侧墙的内壁。栅极介质层 224 为高介电常数 (高 k) 材料。
25 在一个实施例中，高 k 材料包括二氧化铪 (HfO_2)。其他例子的高 k 材料包括 HfSiO、HfSiON、HfTaO、HfTiO、HfZrO 及其组合，以及/或者其他合适的材料。栅极介质层 224 可以包括大约 12 埃到 35 埃范围之间的厚度。栅极介质层 212 可以通过例如化学气相沉积 (CVD) 或者原子层沉积 (ALD) 的工艺来形成。栅极介质层 224 还可以具有多层结构，包括具有上述材料的一

个以上的层。

优选地，在形成栅极介质层 224 之后可以在其上沉积功函数金属栅层。功函数金属栅层可以包括在大约 10 埃到大约 100 埃范围之间的厚度。用于功函数金属栅层的材料可以包括 TiN、TiAlN、TaN 以及 TaAlN。

- 5 优选地，在新的栅极介质层 224 形成后，可以增加一步退火处理，以提高栅极介质层 224 质量，退火的温度范围为 600 至 800 度。

之后在所述栅极介质层 224 之上形成金属栅极 226，如图 10 所示。金属栅极材料可以包括一个或多个材料层，例如衬层，向栅极提供合适功函数的材料，栅电极材料和/或其他合适材料。对于 N 型半导体器件可以从包含下列元素的组中选择一种或多种元素进行沉积：TiN、TiAlN、TaAlN、TaN、TaSiN 及这些材料的组合；对于 P 型半导体器件可以从包含下列元素的组中选择一种或多种元素进行沉积：TiN、TiSiN、TiCN、TaAlC、TiAlN、TaN 及这些材料的组合。

15 最后执行化学机械抛光 (CMP) 工艺，以形成金属栅极 226，如图 11 所示。

也就是说，如果栅极介质受反转 Halo 离子注入和反转 Halo 离子注入的热退火工艺影响不大时，上述第一实施例中的栅极介质可以作为器件的栅极介质，因此可以保留器件的栅极介质层，即，不去除栅极介质，在进行退火激活后，形成金属栅极，所以在侧墙 214 的侧壁上没有栅极介质层。如果栅极介质受反转 Halo 离子注入和反转 Halo 离子注入的热退火工艺影响变得不可接受时，比如影响器件的可靠性，可选择地在对反转 Halo 离子注入区退火之前或者之后去除所述栅极介质层 212，在对器件进行退火之后，再形成新的栅极介质层和金属栅极，这样在侧墙 214 的侧壁上将形成有栅极介质层。

25 第二实施例

下面将仅就第二实施例区别于第一实施例的方面进行阐述。未描述的部分应当认为与第一实施例采用了相同的步骤、方法或者工艺来进行，因此再次不再赘述。在根据本发明的第二实施例中，如图 12 所示，在所述步骤 203 中，可以将栅极介质层 212 与伪栅极 208 一并去除，从而暴露所述

衬底 202, 以形成开口 220, 如图 13 所示。可以使用湿蚀刻和/或干蚀刻除去所述伪栅极 208 和栅极介质层 212。

而后与第一实施例的步骤相同, 在步骤 204, 如图 14 所示, 对所述器件进行反转 Halo 离子注入, 以在所述开口的衬底中形成反转 Halo 离子注入区 228。对于 N 型半导体器件, 使用 N 型掺杂剂进行离子注入, 例如 V 族元素进行离子注入, 例如磷和砷, 离子注入能量为 5-40keV, 剂量为 $1e12-5e13$ 。对于 P 型半导体器件, 使用 P 型掺杂剂进行离子注入, 例如使用 III 族元素进行离子注入, 例如硼、二氟化硼和铟, 离子注入能量为 5-40keV, 剂量为 $1e12-5e13$ 。由于本发明的反转 Halo 离子通过开口 220 注入, 所需离子的能量比现有技术的反转 Halo 离子注入能量低很多。本发明可以以与垂直方向成大约 0-40 度的角度对所述器件进行两次对称反转 Halo 离子注入, 在衬底的沟道中形成反转 Halo 离子注入区 228。反转 Halo 离子注入区域由开口 220 的宽度、开口 220 的高度、离子注入的能量、注入的角度及离子穿透侧墙 214 和介质层 216 能力决定。当与垂直方向的角度增大, 反转 Halo 离子注入区将从沟道中间移向沟道的两侧, 同时反转 Halo 离子注入区的深度变浅。所以在实施中, 根据控制器件短沟道效应需要, 设计反转 Halo 离子注入的能量和角度。假如在进行两次对称反转 Halo 离子注入中, 与垂直方向的角度不大, 沟道中的两个反转 Halo 离子注入区离沟道中间近, 可能出现重叠。

由于栅长的长短决定了开口 220 的宽度, 也就决定所注入反转 Halo 离子掺杂剂的量, 栅长越短, 注入的反转 Halo 离子掺杂剂越少, 反之亦然, 因此 N 型反转 Halo 掺杂剂对短沟道 nMOSFET 的沟道区中的 P 型掺杂剂产生的抵消作用比长沟道 nMOSFET 的沟道区中的 P 型掺杂剂产生的抵消作用要小, 而 P 型反转 Halo 掺杂剂对短沟道 pMOSFET 的沟道区中的 N 型掺杂剂产生的抵消作用比长沟道 pMOSFET 的沟道区中的 N 型掺杂剂产生的抵消作用要小, 因此短沟道 MOSFET 器件的沟道区的反转 Halo 离子掺杂量比长沟道的 MOSFET 器件的沟道区的反转 Halo 离子掺杂量更小, 即进而可以提高短沟道器件的阈值电压, 可以用来减少栅长缩小时引起的低阈值电压效应, 控制和降低短沟道效应。

由于栅极介质层 212 已经在步骤 203 中被去除, 因此, 直接进入步骤

205, 对器件进行退火, 以激活反转 Halo 离子注入区的杂质。例如可以采用快速热退火, 在其他的实施例中可以采用其他的退火工艺。如果源漏区及源漏扩展区参杂还没有激活, 可以利用本步骤顺带退火, 以达到激活目的。根据本发明的实施例, 通常采用尖峰退火工艺对器件进行退火, 例如在大约 1000°C 5 以上的温度进行 0.5 到 2 秒间退火

随后在开口 222 中形成新的栅极介质层 224 和金属栅极 226, 所述栅极介质层 224 覆盖所述衬底 202 和侧墙 214 的内壁。

上面已经根据第一和第二实施例阐述了在沟道中形成具有反转 Halo 离子注入区的半导体器件的方法, 从而能够在降低短沟道效应的同时不损害金属栅堆叠的性能。 10

本发明的实施例利用去除伪栅极形成的开口进行反转 Halo 离子注入, 从而减少了反转 Halo 离子注入区对栅堆叠的劣化避免导致栅极漏电流。而且也提供了对于金属栅情况下, 实现反转 Halo 离子注入的方法, 减少了反转 Halo 离子注入区与源极区和漏极区主体部分的重叠, 能够减少 MOSFET 器件中的带-带泄漏电流。 15

同时由于对于沟道区采用反转 Halo 离子注入的方式, 即对于 N 型半导体器件, 使用 N 型掺杂剂进行离子注入, 例如 V 族元素进行离子注入, 例如磷和砷。对于 P 型半导体器件, 使用 P 型掺杂剂进行离子注入, 例如使用 III 族元素进行离子注入, 例如硼、二氟化硼和镧, 使得对于栅长较短的 MOSFET 器件的沟道区获得的反转 Halo 离子掺杂量比栅长较长的 MOSFET 器件的沟道区的反转 Halo 离子掺杂量更小, 进而可以提高阈值电压、控制和降低短沟道效应。 20

此外, 对于本发明技术中反转 Halo 离子注入, 本发明也可因需要来选择先进行源/漏及其延伸区退火、进行反转 Halo 离子注入、再进行反转 Halo 掺杂退火的方式, 避免了源/漏及其延伸区退火对反转 Halo 掺杂的影响; 可考虑对源/漏及其延伸区掺杂影响上分开优化反转 Halo 离子注入退火, 以满足反转 Halo 掺杂的激活和扩散控制需要。 25

此外, 由于现有技术的反转 Halo 离子注入通常在栅极介质形成后进行, 离子注入可能使栅极介质劣化, 也会不利地降低器件的性能。而本发明可采用

先进行反转 Halo 的离子注入，再形成栅极介质和金属栅极的方式，可以避免上述栅极介质劣化的问题。

虽然关于示例实施例及其优点已经详细说明，应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下，可以对这些实施例进行各种变化、替换和修改。对于其他例子，本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时，工艺步骤的次序可以变化。

此外，本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容，作为本领域的普通技术人员将容易地理解，对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤，其中它们执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果，依照本发明可以对它们进行应用。因此，本发明所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。

15

20

25

权利要求书

1、一种制造半导体器件的方法，所述方法包括：

a) 提供一个衬底；

5 b) 在衬底上形成源极区、漏极区、设置在所述衬底上位于所述源极区和漏极区之间的栅堆叠、在所述栅堆叠侧壁形成的侧墙以及覆盖所述源极区和漏极区的层间介电层，所述栅堆叠包括栅极介质层和伪栅极；

c) 去除所述伪栅极，暴露所述栅极介质层以形成开口；

10 d) 对所述器件进行反转 Halo 离子注入，对于 N 型半导体器件使用 N 型掺杂剂进行离子注入，对于 P 型半导体器件使用 P 型掺杂剂进行离子注入，以在所述开口的衬底中形成反转 Halo 离子注入区；

f) 进行退火，以激活反转 Halo 离子注入区的掺杂；

g) 对所述器件进行后续加工。

15 2、根据权利要求 1 所述的方法，其中所述步骤 g) 包括：在所述开口中形成金属栅极。

3、根据权利要求 1 所述的方法，其中在步骤 d) 和 f) 之间或者步骤 f) 之后还包括：去除所述栅极介质层。

20 4、根据权利要求 3 所述的方法，其中所述步骤 g) 包括：在所述开口中形成新的栅极介质层和金属栅极，其中所述新的栅极介质层覆盖所述侧墙的内壁。

5、根据权利要求 1 所述的方法，其中在执行所述 d) 前进行退火，以激活源/漏极区的掺杂。

6、根据权利要求 1 所述的方法，其中所述步骤 d) 包括：对于 N 型半导体器件，使用 V 族元素进行离子注入。

25 7、根据权利要求 6 所述的方法，其中，所述 V 族元素包括磷和砷，离子注入能量为 5-40keV，剂量为 $1e12-5e13$ 。

8、根据权利要求 1 所述的方法，其中所述步骤 d) 包括：对于 P 型半导体器件，使用 III 族元素进行离子注入。

9、根据权利要求 8 所述的方法，其中，所述 III 族元素包括硼、二氟化硼

和铟，离子注入能量为 5-40keV，剂量为 $1e12-5e13$ 。

10、根据权利要求 1 所述的方法，其中所述进行反转 Halo 离子注入的步骤包括：以与垂直方向成 0-40 度的角度对所述器件进行两次对称反转 Halo 离子注入。

5 11、一种制造半导体器件的方法，所述方法包括：

a) 提供一个衬底；

b) 在衬底上形成源极区、漏极区、设置在所述衬底上位于所述源极区和漏极区之间的栅堆叠、在所述栅堆叠侧壁形成的侧墙以及覆盖所述源极区和漏极区的层间介电层，所述栅堆叠包括栅极介质层和伪栅极；

10 c) 去除所述栅极介质层和伪栅极，暴露所述衬底以形成开口；

d) 对所述器件进行反转 Halo 离子注入，对于 N 型半导体器件使用 N 型掺杂剂进行离子注入，对于 P 型半导体器件使用 P 型掺杂剂进行离子注入，以在所述开口的衬底中形成反转 Halo 离子注入区；

e) 进行退火，以激活反转 Halo 离子注入区的掺杂；

15 f) 对所述器件进行后续加工。

12、根据权利要求 11 所述的方法，其中所述步骤 f) 包括：在所述开口中形成新的栅极介质层和金属栅极，其中所述新的栅极介质层覆盖所述侧墙的内壁。

20 13、根据权利要求 11 所述的方法，其中在执行所述 d) 前进行退火，以激活源/漏极区的掺杂。

14、根据权利要求 11 所述的方法，其中所述步骤 d) 包括：对于 N 型半导体器件，使用 V 族元素进行离子注入。

15、根据权利要求 14 所述的方法，其中，所述 V 族元素包括磷和砷，离子注入能量为 5-40keV，剂量为 $1e12-5e13$ 。

25 16、根据权利要求 11 所述的方法，其中所述步骤 d) 包括：对于 P 型半导体器件，使用 III 族元素进行离子注入。

17、根据权利要求 16 所述的方法，其中，所述 III 族元素包括硼、二氟化硼和铟，离子注入能量为 5-40keV，剂量为 $1e12-5e13$ 。

18、根据权利要求 11 所述的方法，其中所述进行反转 Halo 离子注入的步

骤包括：以与垂直方向成 0-40 度的角度对所述器件进行两次对称反转 Halo 离子注入。

19、一种半导体器件，包括：衬底、在衬底上形成的源极区、漏极区、形成在衬底上位于所述源极区和所述漏极区之间的栅堆叠、在栅堆叠侧壁形成的侧墙和覆盖所述源极区和漏极区的层间介电层，其中所述栅堆叠包括栅极介质层和金属栅极，所述半导体器件还包括在所述半导体器件的沟道区形成的反转 Halo 离子注入区，对于 N 型半导体器件所述反转 Halo 离子注入区包括 N 型掺杂剂，对于 P 型半导体器件所述反转 Halo 离子注入区包括 P 型掺杂剂。

10 20、根据权利要求 19 所述的器件，其中所述 N 型掺杂剂包括 V 族元素，所述 P 型掺杂剂包括 III 族元素。

21、根据权利要求 20 所述的器件，其中所述 V 族元素包括磷和砷，所述反转 Halo 离子注入能量为 5-40keV，剂量为 $1e12-5e13$ ；所述 III 族元素包括硼、二氟化硼和铟，所述反转 Halo 离子注入能量为 5-40keV，剂量为 $1e12-5e13$ 。

15

20

25

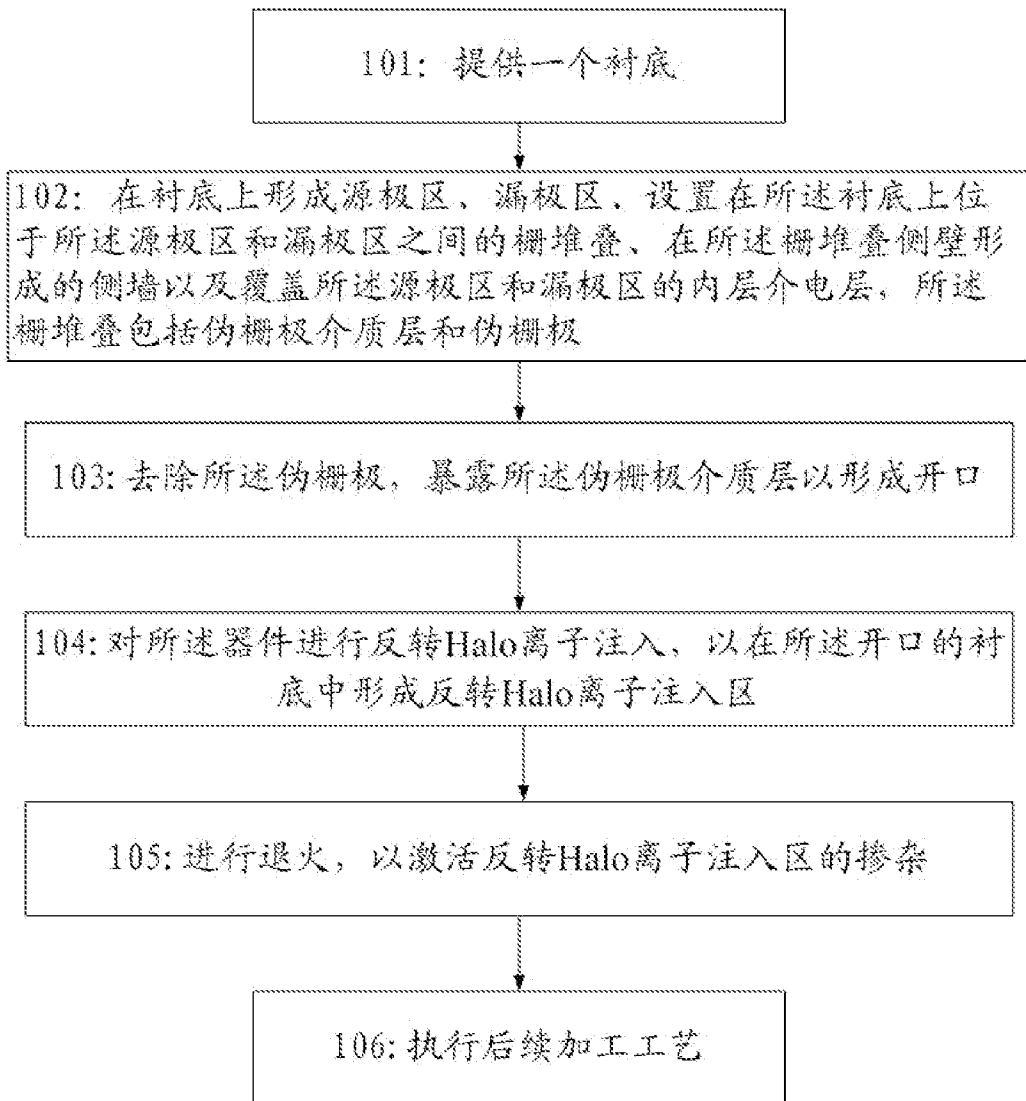


图 1

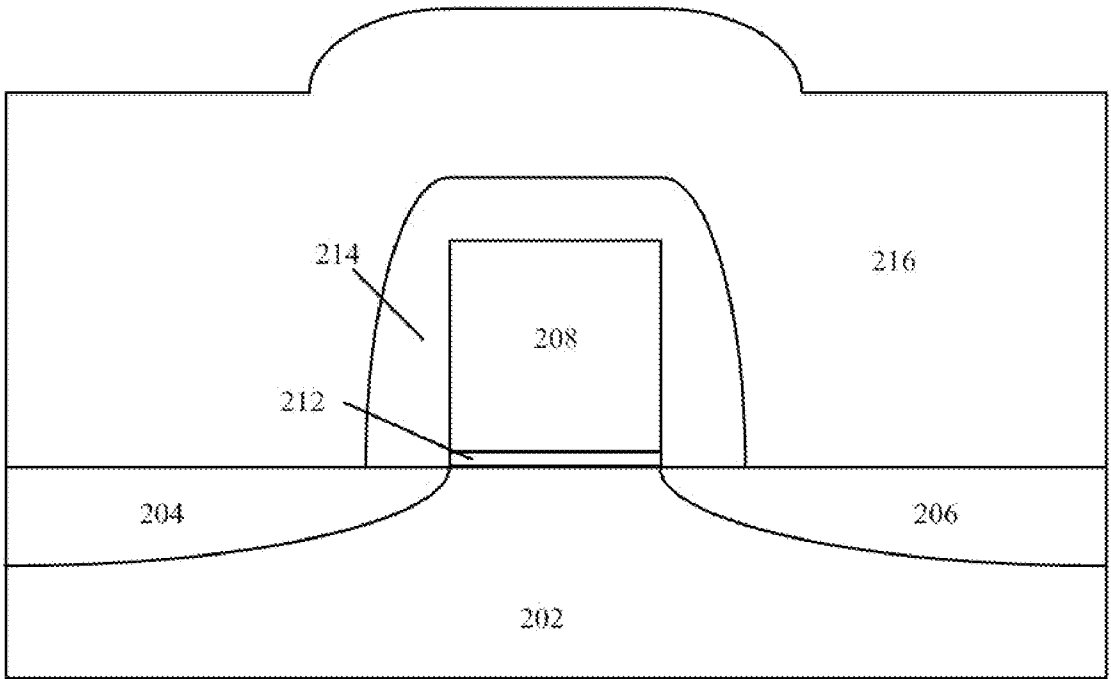


图 2

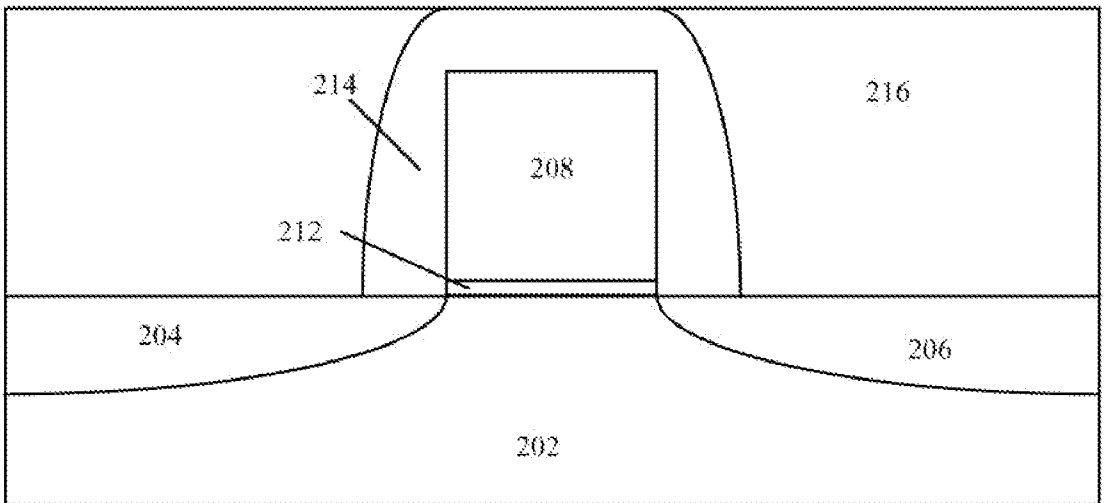


图 3

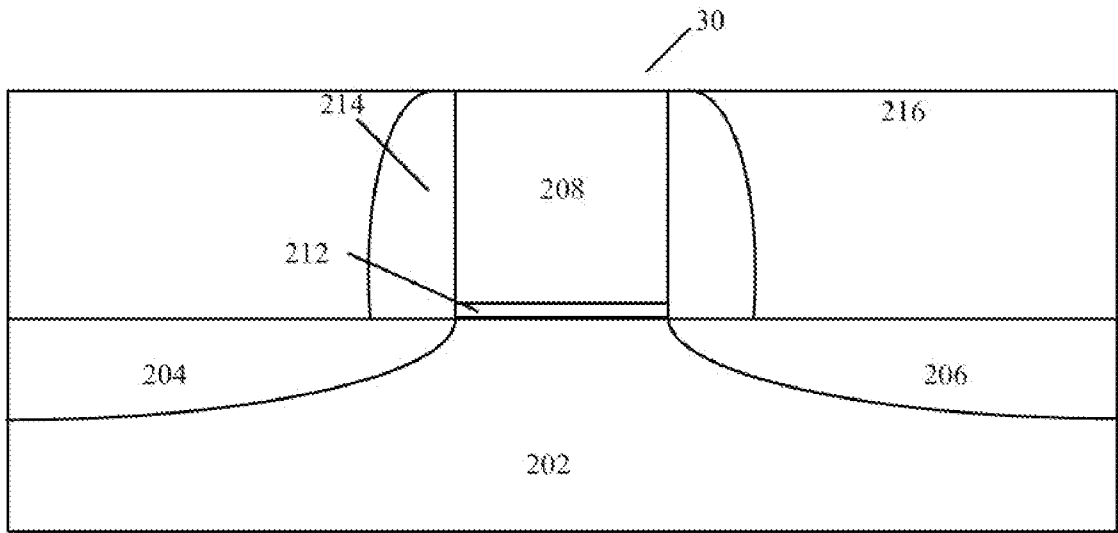


图 4

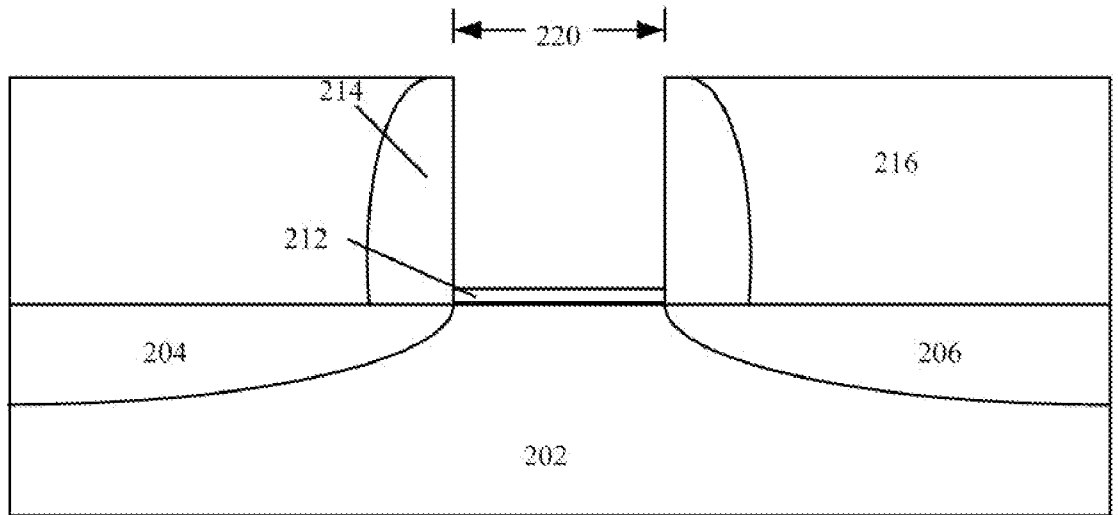


图 5

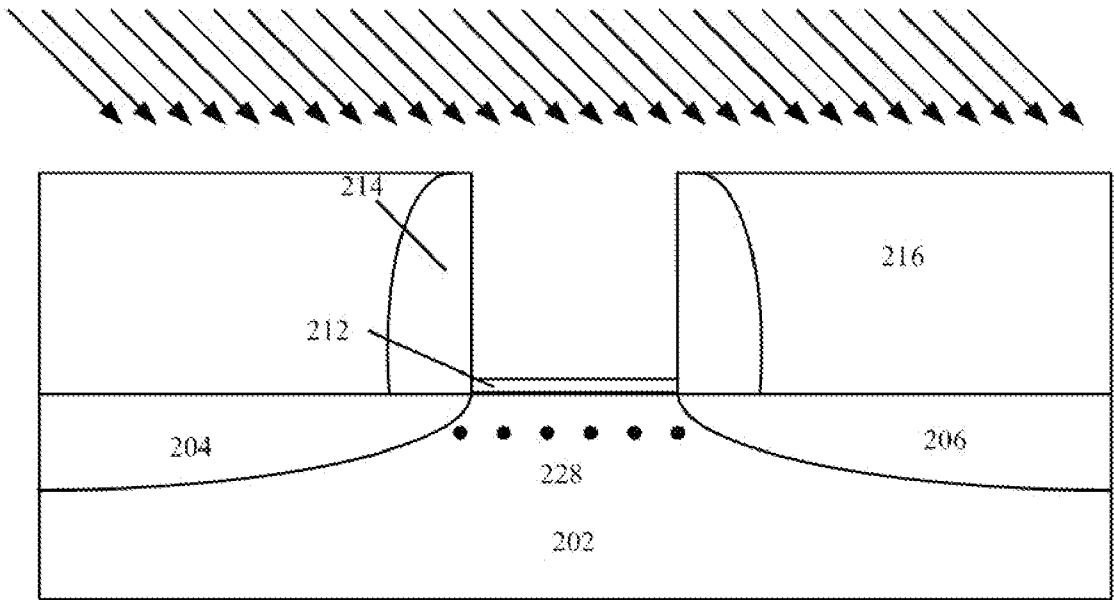


图 6A

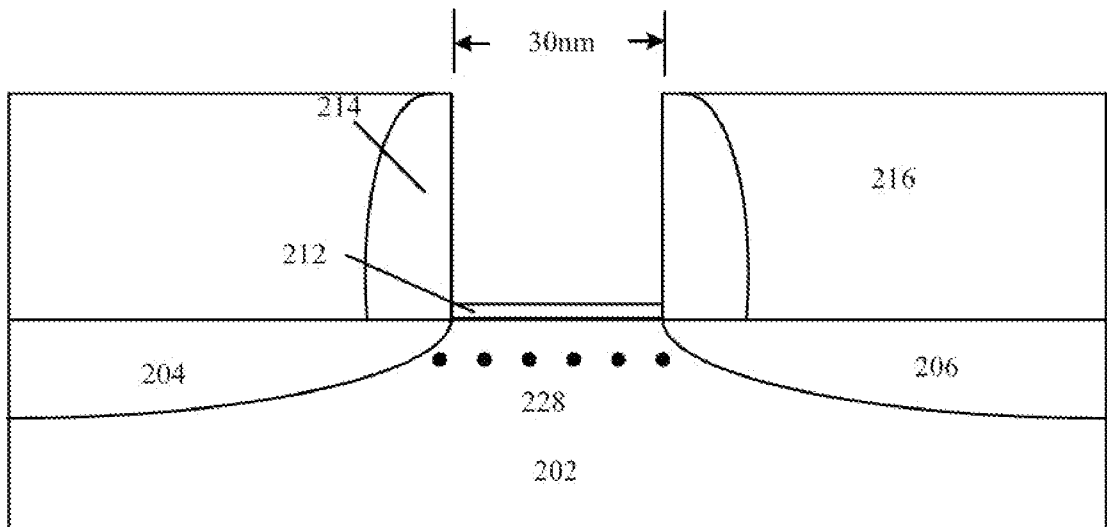


图 6B

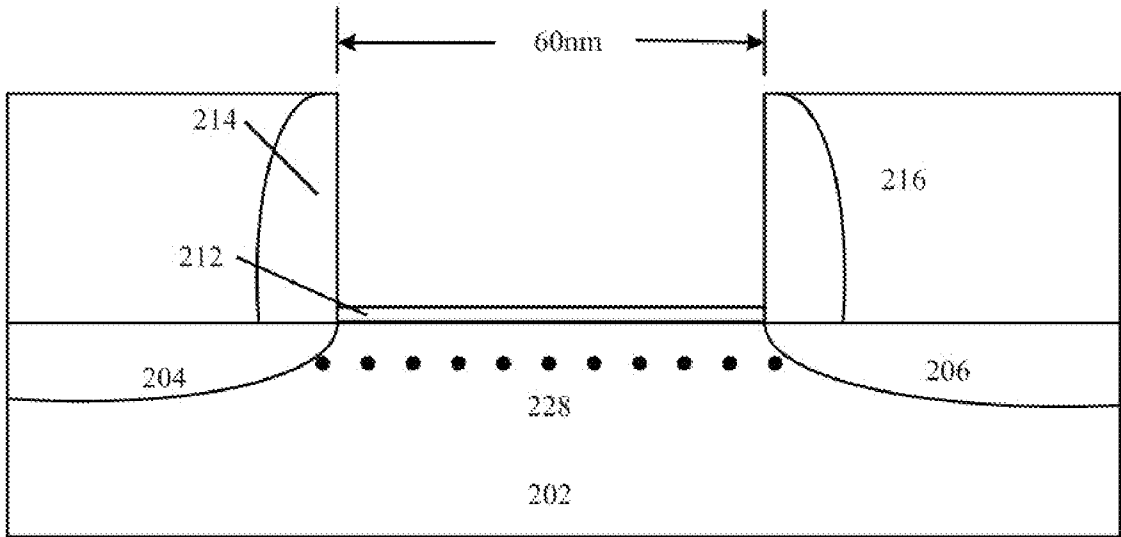


图 6C

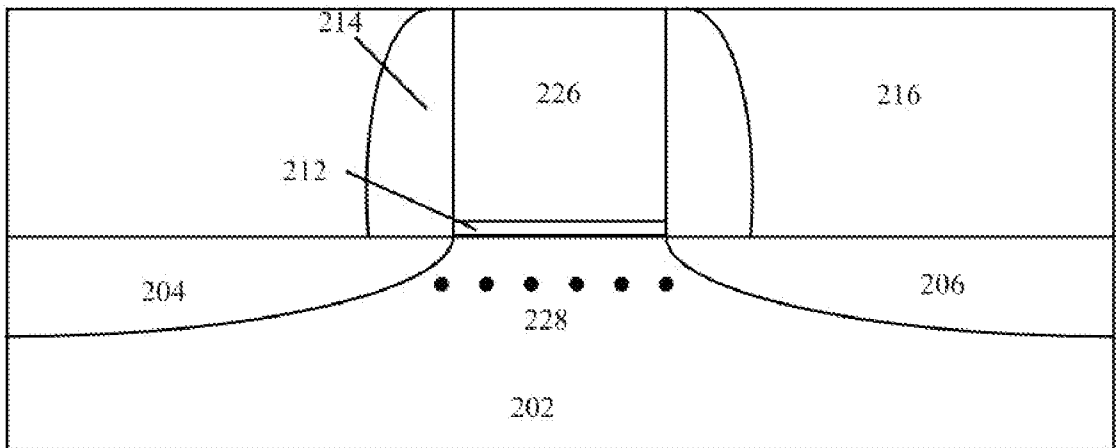


图 7

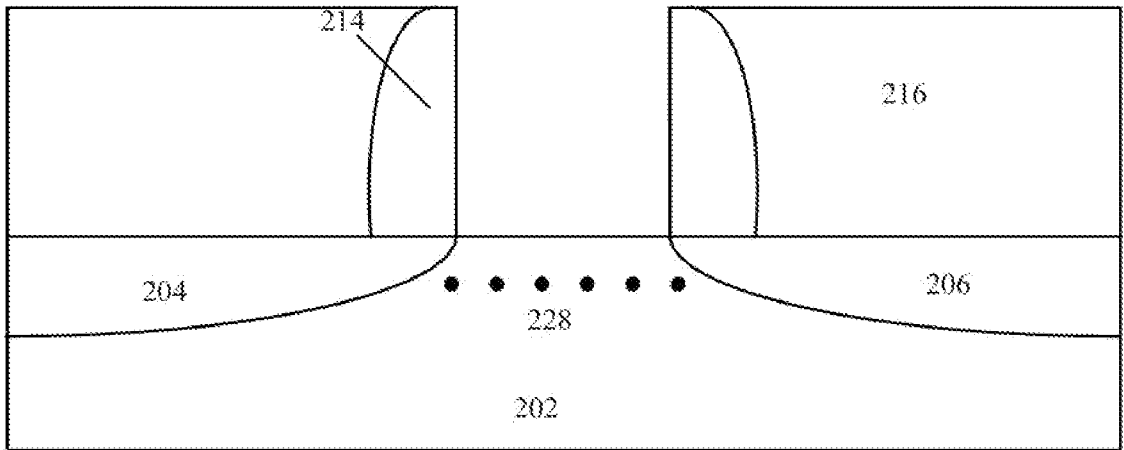


图 8

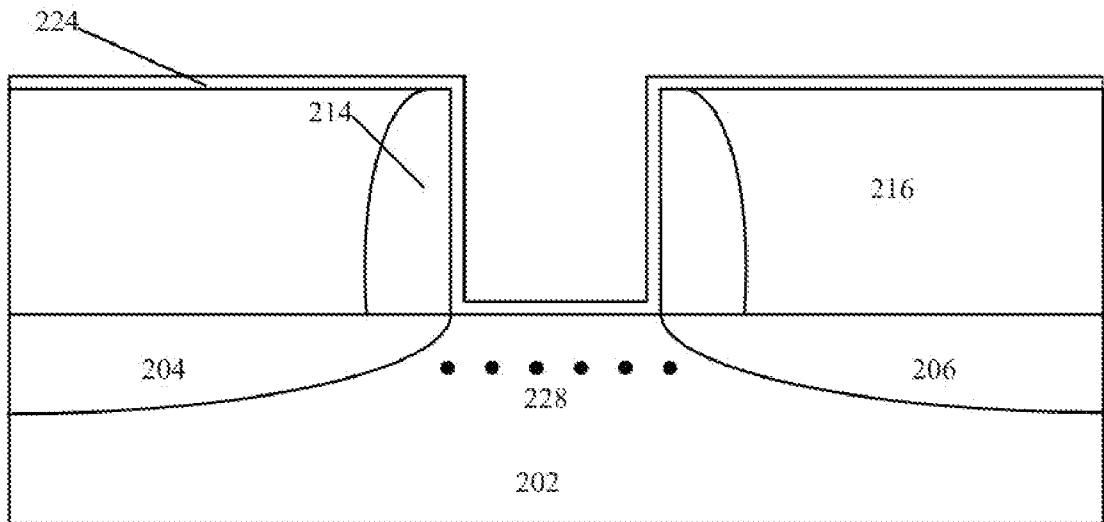


图 9

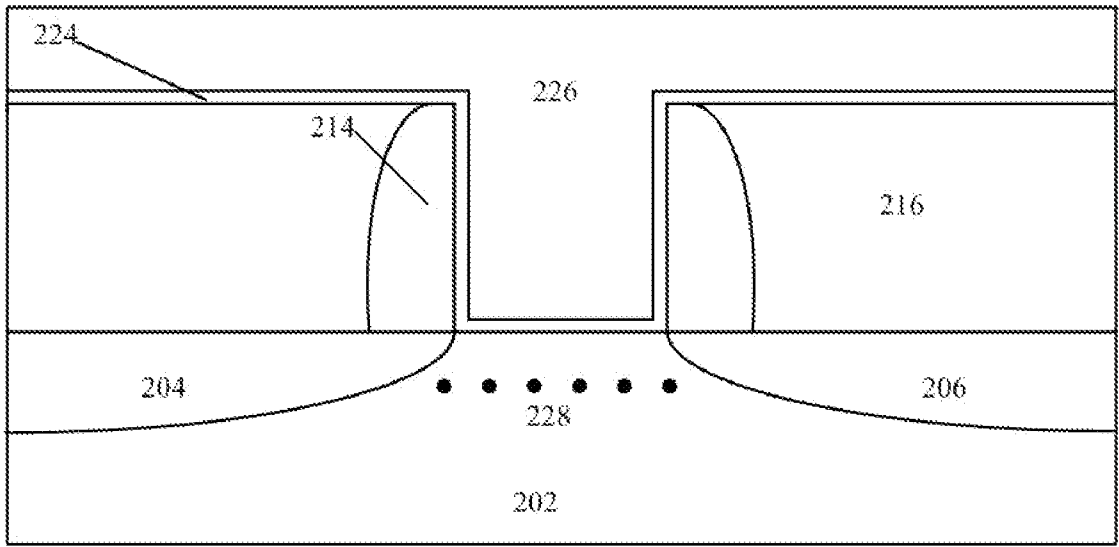


图 10

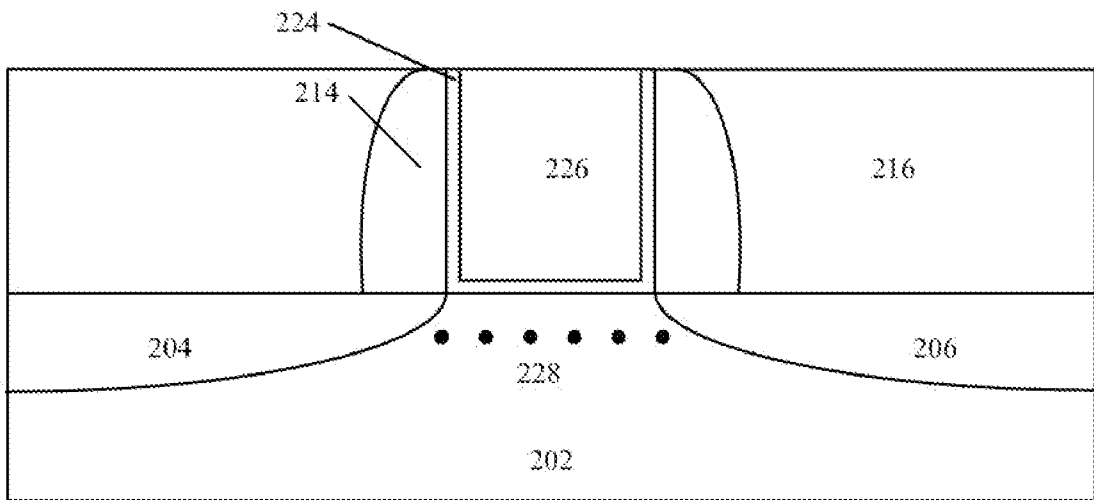


图 11

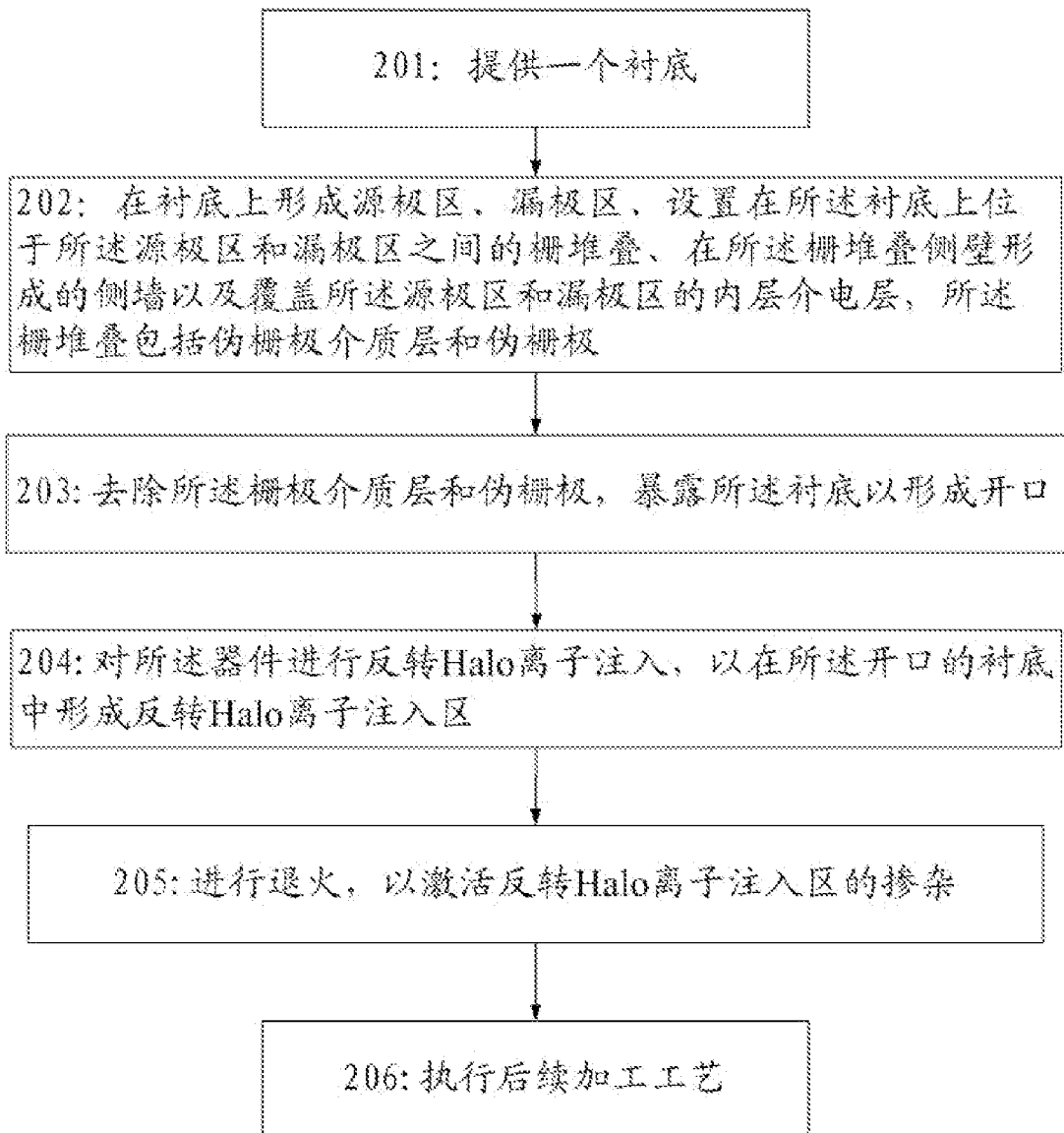


图 12

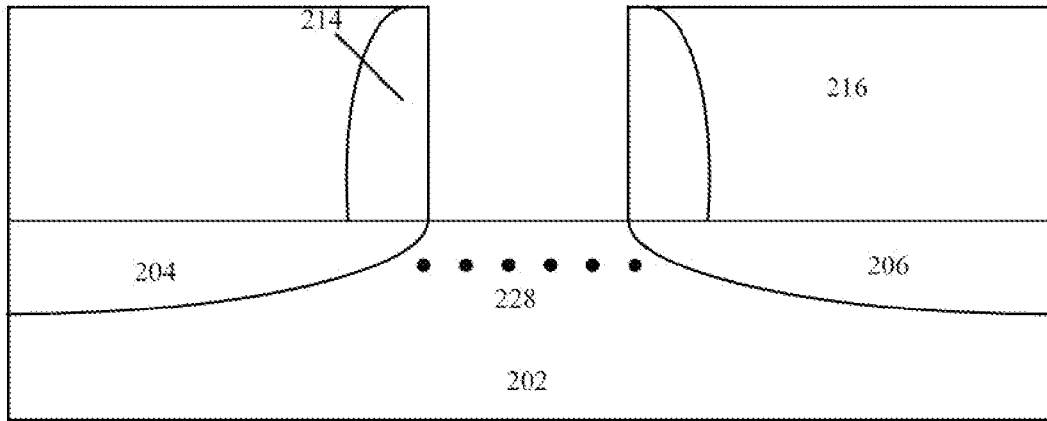


图 13

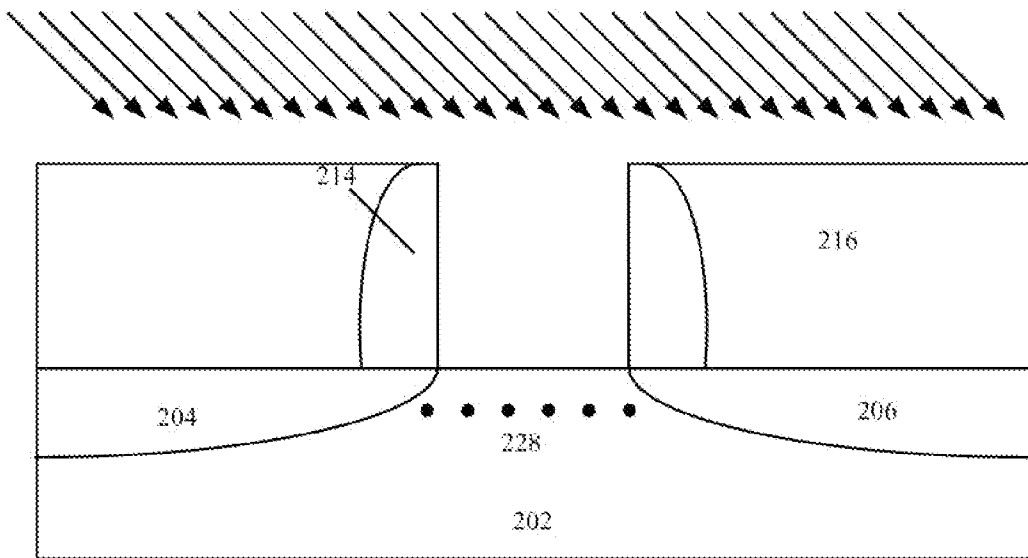


图 14

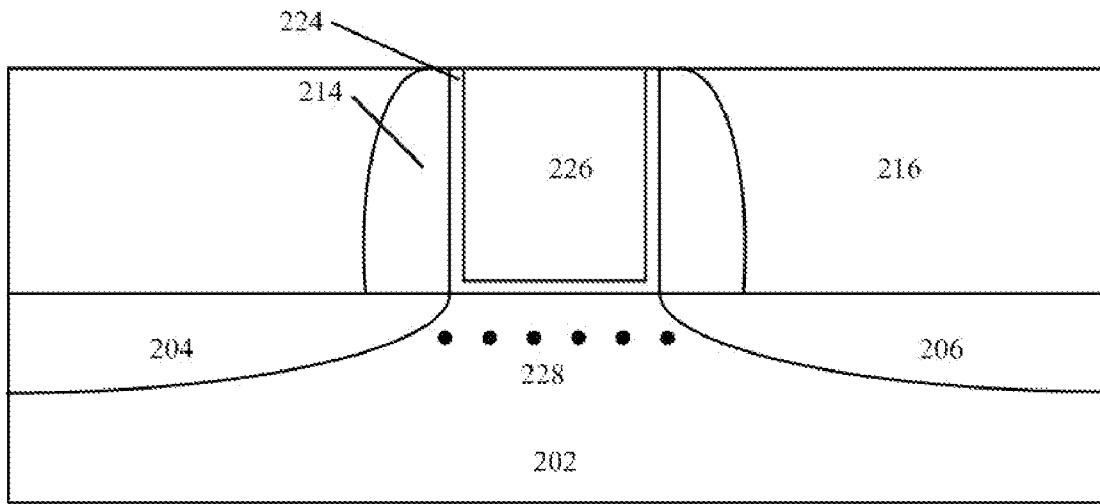


图 15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/074462

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L21/-, H01L29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI,EPODOC,CNPAT,CNKI: halo implant+ short-channel SCE reverse tilt angle channel

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	Huilong Zhu et al., On the Control of Short-Channel Effect for MOSFETs With Reverse Halo Implantation, IEEE ELECTRON DEVICE LETTERS, VOL. 28, NO.2, Feb. 2007, pages 168-170, figure 1	19-20
A		1-18,21
A	US6121096A (National Semiconductor Corporation) 19 Sep. 2000 (19.09.2000) The whole document	1-21

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&”document member of the same patent family</p>
--	--

Date of the actual completion of the international search

09 Sep. 2010 (09.09.2010)

Date of mailing of the international search report

30 Sep. 2010 (30.09.2010)

Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451

Authorized officer

YANG, Yong

Telephone No. (86-10)62411777

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/074462

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN1499588A (IBM CORP.) 26 May 2004 (26.05.2004) the whole document	1-21
A	CN1319884A (IBM CORP.) 31 Oct. 2001 (31.10.2001) the whole document	1-21

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2010/074462

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US6121096A	19.09.2000	NONE	
CN1499588A	26.05.2004	CN1256759C	17.05.2006
		US6656824B1	02.12.2003
CN1319884A	31.10.2001	US6245619B1	12.06.2001
		JP2001244460A	07.09.2001
		KR20010086315A	10.09.2001
		TW472325A	11.01.2002
		KR100354119B	28.09.2002
		JP3670969B2	13.07.2005
		CN1162897C	18.08.2004

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/074462

CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) i

国际检索报告

国际申请号
PCT/CN2010/074462

A. 主题的分类		
参见附加页		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
IPC: H01L21/-, H01L29/-		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNPAT, CNKI: halo 袋环注植布短沟道 SCE 反转 倾斜 沟道 信道 通道		
WPI, EPODOC: halo implant+ short-channel SCE reverse tilt angle channel		
C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	Huilong Zhu 等, On the Control of Short-Channel Effect for MOSFETs With Reverse Halo Implantation, IEEE ELECTRON DEVICE LETTERS, VOL. 28, NO.2, 2月 2007,第 168 页-170 页,图 1	19-20
A		1-18, 21
A	US6121096A (National Semiconductor Corporation) 19.9 月 2000 (19.09.2000) 全文	1-21
A	CN1499588A (国际商业机器公司) 26.5 月 2004 (26.05.2004) 全文	1-21
A	CN1319884A (国际商业机器公司) 31.10 月 2001 (31.10.2001) 全文	1-21
<input type="checkbox"/> 其余文件在 C 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件		“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件
国际检索实际完成的日期 09.9 月 2010 (09.09.2010)		国际检索报告邮寄日期 30.9 月 2010 (30.09.2010)
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451		受权官员 杨永 电话号码: (86-10) 62411777

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2010/074462

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US6121096A	19.09.2000	无	
CN1499588A	26.05.2004	CN1256759C	17.05.2006
		US6656824B1	02.12.2003
CN1319884A	31.10.2001	US6245619B1	12.06.2001
		JP2001244460A	07.09.2001
		KR20010086315A	10.09.2001
		TW472325A	11.01.2002
		KR100354119B	28.09.2002
		JP3670969B2	13.07.2005
		CN1162897C	18.08.2004

主题的分类:

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) i