



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I590454 B

(45)公告日：中華民國 106 (2017) 年 07 月 01 日

(21)申請案號：102107482

(22)申請日：中華民國 102 (2013) 年 03 月 04 日

(51)Int. Cl. : H01L29/78 (2006.01) H01L29/40 (2006.01)

(30)優先權：2012/03/12 日本 2012-054170

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本

(72)發明人：佐山弘和 SAYAMA, HIROKAZU (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200301560

審查人員：蕭允政

申請專利範圍項數：11 項 圖式數：18 共 54 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

(57)摘要

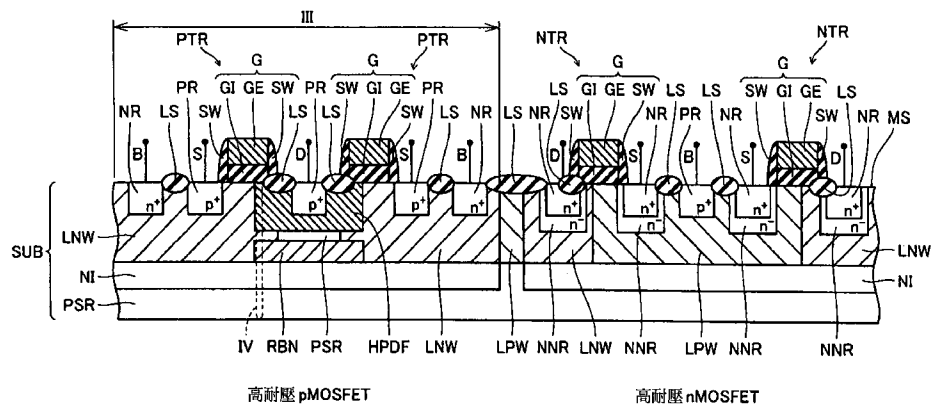
本發明之課題在於提供一種抑制寄生雙極電晶體之動作、高耐壓的半導體裝置及其製造方法。

本發明之解決手段在於半導體裝置所包含之高耐壓 p 通道型電晶體(PTR)係具備：被配置於半導體基板(SUB)內之 p 型區域(PSR)的主表面 MS 側(上側)之第 1n 型半導體層(NI)，與被配置於第 1p 型不純物區域(PR)的正下面、以跟第 1n 型半導體層(NI)相接之方式配置之局部 n 型埋入區域(RBN)。

Provided are a semiconductor device having a high breakdown voltage and attaining the restraint of the action of a parasite bipolar transistor, and a method for producing the device. A high-breakdown-voltage p-channel-type transistor included in the semiconductor device has a first n-type semiconductor layer arranged in a semiconductor substrate and at a main-surface-side (upside) of a p-type region in the semiconductor substrate, and a local n-type buried region arranged just below a first p-type dopant region to contact the first n-type semiconductor layer.

指定代表圖：

圖 2



- 符號簡單說明：
- SUB . . . 半導體基板
 - LNW . . . p 型井區域
 - NI . . . n 型埋入層
 - PSR . . . p 型區域
 - NR . . . n 型不純物區域
 - B . . . 基極電位
 - LS . . . 元件分離絕緣膜
 - PR . . . p 型不純物區域
 - S . . . 源極電極
 - SW . . . 側壁絕緣膜
 - PTR . . . p 型電晶體
 - G . . . 閘極電極
 - GI . . . 閘極絕緣膜
 - GE . . . 閘極電壓施加部
 - D . . . 汲極電極
 - NTR . . . n 型電晶體
 - NNR . . . 低濃度 n 型區域
 - LPW . . . p 型井區域
 - HPDF . . . 高耐壓用 p 型漂移(drift)層
 - RBN . . . 局部 n 型埋入區域
 - IV . . . 不純物濃度之濃度剖面圖

發明摘要

公告本

※申請案號：102107482

※申請日：102 年 03 月 04 日

※IPC 分類：

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and method for producing the same

H01L28/178 (2006.01)

H01L28/140 (2006.01)

【中文】

本發明之課題在於提供一種抑制寄生雙極電晶體之動作、高耐壓的半導體裝置及其製造方法。

本發明之解決手段在於半導體裝置所包含之高耐壓 p 通道型電晶體 (PTR) 係具備：被配置於半導體基板 (SUB) 內之 p 型區域 (PSR) 的主表面 MS 側 (上側) 之第 1n 型半導體層 (NI)，與被配置於第 1p 型不純物區域 (PR) 的正下面、以跟第 1n 型半導體層 (NI) 相接之方式配置之局部 n 型埋入區域 (RBN)。

【英文】

Provided are a semiconductor device having a high breakdown voltage and attaining the restraint of the action of a parasite bipolar transistor, and a method for producing the device. A high-breakdown-voltage p-channel-type transistor included in the semiconductor device has a first n-type semiconductor layer arranged in a semiconductor substrate and at a main-surface-side (upside) of a p-type region in the semiconductor substrate, and a local n-type buried region arranged just below a first p-type dopant region to contact the first n-type semiconductor layer.

【代表圖】

【本案指定代表圖】：第(2)圖。

【本代表圖之符號簡單說明】：

SUB：半導體基板，LNW：p型井區域，

NI：n型埋入層，PSR：p型區域，

NR：n型不純物區域，B：基極電位，

LS：元件分離絕緣膜，PR：p型不純物區域，

S：源極電極，SW：側壁絕緣膜，

PTR：p型電晶體，G：閘極電極，

GI：閘極絕緣膜，GE：閘極電壓施加部，

D：汲極電極，NTR：n型電晶體，

NNR：低濃度n型區域，LPW：p型井區域，

HPDF：高耐壓用p型漂移(drift)層，

RBN：局部n型埋入區域，

IV：不純物濃度之濃度剖面圖

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and method for producing the same

【技術領域】

[0001] 本發明係有關半導體裝置及其製造方法，特別是，能合適地利用在具有高耐壓電晶體之半導體裝置者。

【先前技術】

[0002] 例如使用將數十伏特 (volt) 以上的高電壓施加到汲極區域之 MOSFET (Metal Oxide Semiconductor Field Effect Transistor)，係被揭示於日本專利特開 2008-4649 號公報 (專利文獻 1)。在上述公報，係在半導體基板與其上的半導體層之間形成埋入層。上述埋入層，爲了抑制縱方向 (上下方向) 所發生之寄生雙極電晶體 (parasitic bipolar transistor) 的動作，而將上述寄生雙極電晶體之相當於基極之埋入層的濃度做成非常濃。

[先前技術文獻]

[專利文獻]

[0003] [專利文獻 1] 日本特開 2008-4649 號公報

【發明內容】**[發明所欲解決之課題]**

[0004] 可是，在上述公報，供形成埋入層用之光罩（加工用遮罩）和供形成其他區域用之光罩必須是不同 1 枚，此外，由於利用磊晶成長而形成半導體層，而有可能因這些步驟致使成本增加。然而，要抑制寄生雙極電晶體之動作、製造高耐壓的 MOSFET 時，就需要考慮削減成本。

[0005] 本發明之其他課題與新穎的特徵，應可藉由本說明書之記載以及附圖而清楚說明。

[供解決課題之手段]

[0006] 根據一實施型態，半導體裝置所包含之高耐壓 p 通道型電晶體係具備：被配置於半導體基板內之 p 型區域的主表面側（上側）之第 1n 型半導體層，與被配置於供取出汲極區域用之第 1p 型不純物區域的正下面、以跟第 1n 型半導體層相偕之方式配置之局部 n 型埋入區域。

[0007] 根據另一實施型態，具有高耐壓 p 通道型電晶體之半導體裝置之製造方法，係具備：在半導體基板內的 p 型區域的主表面側（上側）形成第 1n 型半導體層之步驟，與在供取出汲極區域用之第 1p 型不純物區域的正下面，以跟第 1n 型半導體層相偕之方式形成局部 n 型埋

入區域之步驟。形成第 1p 型不純物區域之步驟與形成局部 n 型埋入區域之步驟被設為採用同一遮罩。

[發明之效果]

[0008] 根據一實施型態，能夠利用局部 n 型埋入區域，使寄生雙極電晶體之相當於基極之區域變厚，因而提高抑制寄生雙極電晶體之動作之效果。

[0009] 根據另一實施型態，可不需要供形成局部 n 型埋入區域用之追加光罩，而消滅該半導體裝置之製造成本。

[0010]

【圖式簡單說明】

[圖 1]關於本實施型態 1 之半導體裝置之概略平面圖。

[圖 2]顯示關於本實施型態 1 之、圖 1 的高耐壓類比 I/O 電路形成區域之 MOSFET 配置及其構成之概略剖面圖。

[圖 3]顯示圖 2 的「III」所示區域之構成的一部份（除了作為第 1p 型不純物區域之 p 型不純物區域 PR 外之）概略平面圖。

[圖 4]顯示圖 2 的「IV」所示區域之不純物濃度之濃度剖面圖。

[圖 5]顯示本實施型態 1 之製造方法的第 1 步驟之、圖 2 所示區域之概略剖面圖。

[圖 6]顯示本實施型態 1 之製造方法的第 2 步驟之、圖 2 所示區域之概略剖面圖。

[圖 7]顯示本實施型態 1 之製造方法的第 3 步驟之、圖 2 所示區域之概略剖面圖。

[圖 8]顯示本實施型態 1 之製造方法的第 4 步驟之、圖 2 所示區域之概略剖面圖。

[圖 9]顯示本實施型態 1 之製造方法的第 5 步驟之、圖 2 所示區域之概略剖面圖。

[圖 10]顯示本實施型態 1 之製造方法的第 6 步驟之、圖 2 所示區域之概略剖面圖。

[圖 11]顯示本實施型態 1 之製造方法的第 7 步驟之、圖 2 所示區域之概略剖面圖。

[圖 12]顯示本實施型態 1 之製造方法的第 8 步驟之、圖 2 所示區域之概略剖面圖。

[圖 13]顯示本實施型態 1 之製造方法的第 9 步驟之、圖 2 所示區域之概略剖面圖。

[圖 14]顯示本實施型態 1 之製造方法的第 10 步驟之、圖 2 所示區域之概略剖面圖。

[圖 15]顯示對於本實施型態 1 之關連技術之、高耐壓類比 I/O 電路形成區域之 MOSFET 配置及其構成之概略剖面圖。

[圖 16]顯示供形成局部 n 型埋入區域用之離子注入能量和基板漏電流比例以及和耐壓之關係圖 (A)、與顯示供形成局部 n 型埋入區域用之離子注入量和基板漏電流比

例以及和耐壓之關係圖（B）。

[圖 17]顯示關於本實施型態 3 之、高耐壓類比 I/O 電路形成區域之 MOSFET 配置及其構成之概略剖面圖。

[圖 18]顯示關於本實施型態 4 之、高耐壓類比 I/O 電路形成區域之 MOSFET 配置及其構成之概略剖面圖。

【實施方式】

[0011] 以下，針對本實施型態基於圖面加以說明。
（實施型態 1）首先，針對半導體基板 SUB 的主表面之各元件形成區域的配置採用圖 1 加以說明。

[0012] 參照圖 1，本實施型態之半導體裝置 DEV 係在半導體基板 SUB 的主表面具有例如高耐壓類比 I/O 電路形成區域、低電壓邏輯電路形成區域、低電壓類比電路形成區域、與所謂之 SRAM（Static Random Access Memory）形成區域等。

[0013] 上述高耐壓類比 I/O 電路，係一種可以使用施加比通常還要高的驅動電壓之、於電源電路與低電壓邏輯電路等之間進行輸出輸入電性訊號之電路。低電壓邏輯電路，係一種具有利用例如複數之 MIS 電晶體等所構成之邏輯電路等之控制電路，採用數位訊號進行演算之電路。低電壓類比電路，係一種在跟低電壓邏輯電路同樣低電壓下進行驅動，使用類比訊號進行演算之電路。在 SRAM 係包含複數個 MIS 電晶體，且用作該半導體裝置內之資料的記憶元件。其他並未圖示，但是在該半導體裝置

也具有例如電源電路的形成區域等。該電源電路，係一種用以供給讓上述各電路起動用之電源電壓之電路。

[0014] 圖 2 係圖 1 中沿著 II-II 線的區域之概略剖面圖。在圖 1 之高耐壓類比 I/O 電路，係有著例如圖 2 的剖面圖所示之類的所謂的高耐壓 pMOSFET（高耐壓 p 通道型電晶體）。在此，高耐壓 pMOSFET 係意味具有例如 10V 以上的高汲極電壓的耐壓之、p 通道型 MOS 電晶體。

[0015] 參照圖 2，在圖 1 的高耐壓類比 I/O 電路的形成區域，係具有高耐壓 pMOSFET 與高耐壓 nMOSFET（高耐壓 n 通道型電晶體）。高耐壓 nMOSFET，與高耐壓 pMOSFET 同樣地，意味具有例如 10V 以上的高汲極電壓的耐壓之、n 通道型 MOS 電晶體。

[0016] 高耐壓 pMOSFET，主要具有：n 型埋入層 NI（第 1n 型半導體層）、局部 n 型埋入區域 RBN、n 型井區域 LNW、高耐壓用 p 型漂移層 HPDF（第 1p 型不純物區域）、n 型不純物區域 NR、p 型不純物區域 PR、閘極電極 G、與元件分離絕緣膜 LS 等。這些例如由矽的單晶所形成、被形成在具有包含 p 型不純物之 p 型區域 PSR 之半導體基板 SUB。參照圖 3，這些的各區域基本上是延伸在圖 2 的紙面進深方向。

[0017] p 型區域 PSR，係一種在矽的單晶的內部被導入例如硼（B）等的 p 型不純物離子而形成之不純物區域。n 型埋入層 NI，係一種被配置成埋入半導體基板 SUB 的內部之、例如包含磷（P）等之 n 型不純物離子之不純

物區域。n 型埋入層 NI，係對著 p 型區域 PSR 被配置在半導體基板 SUB 的主表面 MS 側（亦即 p 型區域 PSR 的上側）。n 型埋入層 NI 係被配置成例如接在 p 型區域 PSR 的上側。n 型埋入層 NI，係一種用以在半導體基板 SUB 的內部將 p 型區域 PSR、與對著 p 型區域 PSR 在半導體基板 SUB 的主表面 MS 側之 p 型不純物區域（高耐壓用 p 型漂移層 HPDF 等）予以電性地分離之 n 型半導體層。

[0018] p 型不純物區域 PR 及高耐壓用 p 型漂移層 HPDF，與 p 型區域 PSR 同樣地，係被導入 p 型不純物離子而形成。p 型不純物區域 PR 及被形成環繞其周圍之高耐壓用 p 型漂移層 HPDF，任一種都是被形成在半導體基板 SUB 的主表面 MS 之、供取出汲極電極 D 用之區域（第 1p 型不純物區域）。p 型漂移層 HPDF 之 p 型不純物的濃度，最好是比 p 型區域 PSR 之 p 型不純物的濃度還要高，比 p 型漂移層 HPDF 所環繞之（供取出汲極電極 D 用之）p 型不純物區域 PR 之 p 型不純物的濃度還要低。

[0019] 高耐壓用 p 型漂移層 HPDF，係一種爲了將此所環繞之 p 型不純物區域 PR 與 p 型區域 PSR 之間之電性的接續做成更加通暢而在主表面 MS 被形成之區域。藉由高耐壓用 p 型漂移層 HPDF 的配置，即使對汲極電極 D 施加高電壓，也能夠抑制高耐壓用 p 型漂移層 HPDF 及其附近之電場極度地提高伴隨而來之不良情形的發生。

[0020] 此外，在半導體基板 SUB 的主表面 MS，合

併形成作為供取出源極電極 S 用的區域（第 2p 型不純物區域）之 p 型不純物區域 PR。利用這些汲極電極 D、取出源極電極 S 之不純物區域以及閘極電極 G，形成作為高耐壓 pMOSFET 之 p 型電晶體 PTR。從而，在圖 2 係圖示 2 台 p 型電晶體 PTR，2 台 p 型電晶體 PTR 係共有汲極電極 D 和取出汲極電極 D 之 p 型不純物區域 PR 以及高耐壓用 p 型漂移層 HPDF。

[0021] 又，2 台 p 型電晶體 PTR 之閘極電極 G，係利用例如由矽氧化膜所形成之閘極絕緣膜 GI、施加電壓之閘極電壓施加部 GE、例如由矽氧化膜所形成之側壁絕緣膜 SW 等而被構成。

[0022] 在半導體基板 SUB 之主表面 MS，形成 n 型井區域 LNW，在主表面 MS 被形成 n 型井區域 LNW 之區域的一部份，形成供取出源極電極 S 用之 p 型不純物區域 PR 以及取出基極電位 B 之 n 型不純物區域 NR。換言之，n 型井區域 LNW 係以環繞取出源極電極 S 之 p 型不純物區域 PR 以及取出基極電位 B 之 n 型不純物區域 NR 之周圍之方式，被形成在主表面 MS。又，n 型井區域 LNW 以及 n 型不純物區域 NR，係與 n 型埋入層 NI 同樣地做成被導入 n 型不純物離子。

[0023] 取出基極電位 B 之 n 型不純物區域 NR，係藉由將基極電位 B 與 n 型井區域 LNW 電性地接續，而具有固定 n 型井區域 LNW 之電位之功能。參照圖 3，取出基極電位 B 之 n 型不純物區域 NR，最好是被配置成平面俯

視例如環繞（1對之）p型電晶體PTR。

[0024] n型井區域LNW，最好是被配置成包含閘極電極G的正下面之至少一部份的區域。如此作法，就會在主表面MS及其附近之n型井區域LNW之中，特別是在被夾在汲極電極D與源極電極S之區域的至少一部份，形成引起p型電晶體PTR的電場效果之通道區域。此電場效果，係利用被施加到該通道區域的正上面的閘極電極G（閘極電壓施加部GE）之電壓而被引起。

[0025] 元件分離絕緣膜LS，係爲了將鄰接的複數個p型電晶體PTR彼此電性地予以分離，而在例如主表面MS之中被夾在基極電位B與源極電極S之間之區域的至少一部份，由例如矽氧化膜所形成之絕緣膜。元件分離絕緣膜LS係利用例如所謂之LOCOS（LOCAl Oxidation of Silicon）法或STI（Shallow Trench Isolation）法而被形成。

[0026] 此外，元件分離絕緣膜LS，在例如主表面MS，最好是被形成在夾在p型電晶體PTR之閘極電極G與汲極電極D之間之區域的至少一部份（例如側壁絕緣膜SW之正下面）。被形成在此區域之元件分離絕緣膜LS，係抑制例如在n型井區域LNW的主表面MS及其附近利用離子注入法被形成之p型電晶體PTR的通道區域發生不純物濃度極度低的區域。該不純物濃度低的區域，有可能會誘發使電場效果降低、閘極電極G的閾值電壓變得非常高等之不良情況。因此，藉由在該不純物濃度變低的區

域之可能性高的區域形成元件分離絕緣膜 LS，能夠在閘極電極 G 的正下面使閾值電壓高的區域實質地消滅、抑制高耐壓 pMOSFET 的汲極電流或可信賴性降低等不良情況之發生。

[0027] 另一方面，高耐壓 nMOSFET 主要具有：n 型埋入層 NI（第 2n 型半導體層）、n 型井區域 LNW、p 型井區域 LPW、低濃度 n 型區域 NNR、n 型不純物區域 NR、p 型不純物區域 PR、閘極電極 G、與元件分離絕緣膜 LS。這些係被形成在具有跟高耐壓 pMOSFET 被形成的半導體基板 SUB 相同之 p 型區域 PSR 之半導體基板 SUB。p 型井區域 LPW 係跟 p 型區域 PSR 等同樣地做成被導入 p 型不純物離子，低濃度 n 型區域 NNR 則是跟 n 型不純物區域 NR 等同樣地做成被導入 n 型不純物離子。

[0028] 高耐壓 nMOSFET 之 p 型區域 PSR 以及 n 型埋入層 NI，係做成與高耐壓 pMOSFET 之 p 型區域 PSR 以及 n 型埋入層 NI 共通之物。亦即，高耐壓 nMOSFET 之 p 型區域 PSR 係做成跟高耐壓 pMOSFET 之 p 型區域 PSR 同一層而存在，高耐壓 nMOSFET 之 n 型埋入層 NI 則做成跟高耐壓 pMOSFET 之 n 型埋入層 NI 同一層而存在。

[0029] 供取出汲極電極 D 用之區域，係以環繞被形成在半導體基板 SUB 的主表面 MS 之 n 型不純物區域 NR 及其周圍之方式被形成之低濃度 n 型區域 NNR。低濃度 n 型區域 NNR 之 n 型不純物濃度，最好是比 n 型井區域

LNW 之 n 型不純物濃度還高、比 n 型不純物區域 NR 之 n 型不純物濃度還低。利用這樣的構成，即使對汲極電極 D 施加高電壓，也能夠抑制 n 型不純物區域 NR 及其附近電場變得極度高所伴隨而來之不良情況之發生。又，在供取出源極電極 S 用之區域，也最好是具有以環繞 n 型不純物區域 NR 及其周圍之方式被形成之低濃度 n 型區域 NNR。

[0030] 利用這些汲極電極 D、取出源極電極 S 之不純物區域以及閘極電極 G，形成作為高耐壓 nMOSFET 之 n 型電晶體 NTR。

[0031] 再者，取出基極電位 B 之 p 型不純物區域 PR，係藉由將基極電位 B 與 p 型井區域 LPW 電性地接續，而具有固定 p 型井區域 LPW 之電位之功能。

[0032] 局部 n 型埋入區域 RBN，係在高耐壓 pMOSFET，被配置在供取出汲極電極 D 用之第 1p 型不純物區域的正下面、亦即第 1p 型不純物區域的 p 型區域 PSR 側之區域。此局部 n 型埋入區域 RBN，雖在第 1p 型不純物區域之中特別最好是被配置在 p 型不純物區域 PR 的正下面，但也可以被配置在構成第 1p 型不純物區域之 p 型不純物區域 PR 與高耐壓用 p 型漂移層 HPDF 等雙方之正下面。

[0033] 局部 n 型埋入區域 RBN，可以如上述方式配置成包含供取出汲極電極 D 用之第 1p 型不純物區域的正下面，也可以配置成平面俯視是與該第 1p 型不純物區域重疊（例如以做成與第 1p 型不純物區域同一平面形狀而

跟第 1p 型不純物區域幾乎完全地重疊之方式)。局部 n 型埋入區域 RBN，可以是在第 1p 型不純物區域之中特別是配置做成跟 p 型不純物區域 PR 同一平面形狀，也可以配置做成跟構成第 1p 型不純物區域之 p 型不純物區域 PR 與高耐壓用 p 型漂移層 HPDF 等雙方合起來的區域（換言之，等於平面俯視之高耐壓用 p 型漂移層 HPDF）同一平面形狀。

[0034] 圖 4 之圖的橫軸（深度）係顯示有關圖 2 的半導體基板 SUB 內部之、從半導體基板 SUB 的主表面 MS 起的圖 2 上下方向之距離的相對量，圖 4 之圖的縱軸（濃度）係顯示該深度的區域之不純物（p 型不純物區域之硼或者 n 型不純物區域之磷）之濃度的相對量。

[0035] 圖 2 的局部 n 型埋入區域 RBN，係指爲了形成局部 n 型埋入區域 RBN 而被導入之不純物磷之濃度，會比爲了形成其他區域而被導入之不純物（例如爲了形成 n 型埋入層 NI 之磷，或者，爲了形成高耐壓用 p 型漂移層 HPDF 之硼）以及 p 型區域 PSR 之 p 型不純物的濃度還要高之區域。同樣地，圖 2 的高耐壓用 p 型漂移層 HPDF，係指用以形成此之硼的濃度會比構成其他任何區域（包含 p 型區域 PSR）之不純物的濃度還要高的區域：圖 2 的 n 型埋入層 NI，係指用以形成此之磷的濃度會比構成其他任何區域（包含 p 型區域 PSR）之不純物的濃度還要高的區域。針對圖 2 所示之其他任何區域也同樣的，是指爲了形成該區域而被導入之不純物的濃度會做成比其

他任何區域用的不純物的濃度還要高之區域。

[0036] 參照圖 2 以及圖 4，在本實施型態，局部 n 型埋入區域 RBN 係被配置於 n 型埋入層 NI 所對的主表面 MS 側、亦即圖 2 之上側（圖 4 之左側）。特別是，在本實施型態，局部 n 型埋入區域 RBN 的磷的濃度成為最大之位置，被配置在比 n 型埋入層 NI 的磷的濃度成為最大之位置還要近主表面 MS 側（圖 2 之上側）、比高耐壓用 p 型漂移層 HPDF 的硼的濃度成為最大之位置還要近 p 型區域 PSR 側（圖 2 之下側）。圖 4 係將局部 n 型埋入區域 RBN 與 n 型埋入層 NI 之最大不純物濃度做成幾乎相等，但也可以做成局部 n 型埋入區域 RBN 的最大不純物濃度高於 n 型埋入層 NI 的最大不純物濃度。

[0037] 此外，局部 n 型埋入區域 RBN 係被配置成跟 n 型埋入層 NI 互為相接之方式。亦即，如圖 4 所示，局部 n 型埋入區域 RBN 的濃度剖面圖與 n 型埋入層 NI 之濃度剖面圖相交，並且，如圖 2 所示，在局部 n 型埋入區域 RBN 與 n 型埋入層 NI 之間不包含 p 型區域 PSR 等其他區域。

[0038] 在圖 2 之剖面圖，局部 n 型埋入區域 RBN 關於沿著主表面 MS 之方向最好是被形成與配置在局部 n 型埋入區域 RBN 的兩側之 n 型井區域 LNW 相接。換言之，在圖 2 之剖面圖，局部 n 型埋入區域 RBN 最好是被形成有關沿著主表面 MS 之方向與鄰接之 n 型井區域 LNW 接續（以做成橋接 n 型井區域 LNW 之方式）。局部 n 型埋

入區域 RBN，係有關沿著主表面 MS 之方向將中介第 1p 型不純物區域（高耐壓用 p 型漂移層 HPDF）被對向配置（在圖 2 之高耐壓用 p 型漂移層 HPDF 的左側與右側）之 n 型井區域 LNW 彼此加以接續。再者，換言之，n 型井區域 LNW 最好是以與局部 n 型埋入區域 RBN 相接之方式環繞局部 n 型埋入區域 RBN。此外，n 型井區域 LNW 也可以與第 1p 型不純物區域（高耐壓用 p 型漂移層 HPDF）相接之方式環繞局部 n 型埋入區域 RBN。

[0039] 其次，針對本實施型態之半導體裝置之製造方法，採用圖 5～圖 14 加以說明。

[0040] 參照圖 5，首先準備在內部具有例如包含 p 型不純物之 p 型區域 PSR 之、由矽的單晶所形成之半導體基板 SUB。在半導體基板 SUB 的一方的主表面 MS 上，利用通常的照相製版技術（曝光技術及顯像技術），形成平面俯視元件分離絕緣膜 LS 形成之區域被開口之光阻層 PHR 的圖案。

[0041] 參照圖 6，例如利用通常的 LOCOS 法或 STI 法，在主表面 MS 之中相當於光阻層 PHR 的開口部之區域，形成例如由矽氧化膜所形成之元件分離絕緣膜 LS。

[0042] 其次，雖未圖示，但在除去上述光阻層 PHR 之後，在主表面 MS 幾乎全面，形成厚度例如 10nm 以上 50nm 以下的矽氧化膜。其次，再度參照圖 6，利用通常的照相製版技術，形成平面俯視高耐壓 p 型漂移層 HPDF 形成之區域被開口之光阻層 PHR 之圖案。

[0043] 參照圖 7，利用通常的離子注入法，將例如硼（B）之不純物離子用 50keV 以上 300keV 以下之能量從主表面 MS 的上方注入複數回。結果，形成高耐壓 p 型漂移層 HPDF。再者，然後利用離子注入法，將例如磷（P）之不純物離子用 500keV 以上 2MeV 以下之能量從主表面 MS 的上方注入。結果，形成局部 n 型埋入區域 RBN。

[0044] 其次，在上述之（爲了形成高耐壓 p 型漂移層 HPDF 以及局部 n 型埋入區域 RBN 而採用之）光阻層 PHR 被除去之後，利用通常的照相製版技術，形成平面俯視 n 型埋入層 NI 形成之區域被開口之光阻層 PHR 的圖案。

[0045] 參照圖 8，利用離子注入法，將例如磷（P）之不純物離子用 1MeV 以上 5MeV 以下之能量從主表面 MS 的上方注入。結果，在半導體基板 SUB 內之 p 型區域 PSR 的主表面 MS 側（上側），形成 n 型埋入層 NI。在此，高耐壓 pMOSFET 的區域之 n 型埋入層 NI（第 1n 型半導體層）、與高耐壓 nMOSFET 的區域之 n 型埋入層 NI（第 2n 型半導體層）是同時地被形成。

[0046] 其次，在上述之（爲了形成 n 型埋入層 NI 而採用之）光阻層 PHR 被除去之後，利用通常的照相製版技術，形成平面俯視 n 型井區域 LNW 形成之區域被開口之光阻層 PHR 的圖案。

[0047] 參照圖 9，利用離子注入法，將例如磷（P）

之不純物離子用 150keV 以上 2000keV 以下之能量、進而將硼 (B) 之不純物離子用 20keV 以上 50keV 以下之能量，從主表面 MS 的上方注入。結果，形成 n 型井區域 LNW。

[0048] 其次，在上述之（爲了形成 n 型井區域 LNW 而採用之）光阻層 PHR 被除去之後，利用通常的照相製版技術，形成平面俯視 p 型井區域 LPW 形成之區域被開口之光阻層 PHR 的圖案。

[0049] 參照圖 10，利用離子注入法，將例如硼 (B) 之不純物離子用 20KeV 以上 1000keV 以下之能量從主表面 MS 的上方注入。結果，形成 p 型井區域 LPW。

[0050] 其次，在上述之（爲了形成 p 型井區域 LPW 而採用之）光阻層 PHR 被除去之後，先將主表面 MS 幾乎全面形成之矽氧化膜除去。其次，在主表面 MS 的幾乎全面，利用通常的熱氧化法，形成供閘極絕緣膜 GI 形成用之絕緣膜（10nm 以上 50nm 以下的矽氧化膜），以覆蓋該絕緣膜 GI 的幾乎全面之方式，利用通常的 CVD（Chemical Vapor Deposition）法，形成閘極電壓施加部 GE 形成用之多晶矽膜。

[0051] 再者，在多晶矽膜 GE 上，利用通常的照相製版技術，形成平面俯視絕緣膜 GI 以及多晶矽膜 GE 被除去之區域被開口之光阻層 PHR 的圖案。

[0052] 參照圖 11，以圖 10 的光阻層 PHR 的圖案作爲光罩並對於上述之絕緣膜 GI 以及多晶矽膜 GE 執行通

常的蝕刻，形成閘極絕緣膜 GI 以及閘極電壓施加部 GE。

[0053] 其次，在上述之（爲了形成閘極絕緣膜 GI 等而採用之）光阻層 PHR 被除去之後，利用通常的照相製版技術，形成平面俯視低濃度 n 型區域 NNR 被形成之區域以及平面俯視跟閘極電壓施加部 GE 重疊之區域被開口之光阻層 PHR 的圖案。

[0054] 參照圖 12，利用離子注入法，將例如磷（P）之不純物離子用 50keV 以上 200keV 以下之能量從主表面 MS 的上方注入。結果，形成低濃度 n 型區域 NNR。

[0055] 其次，在上述之（爲了形成低濃度 n 型區域 NNR 而採用之）光阻層 PHR 被除去之後，在主表面 MS 的幾乎全面，以覆蓋閘極電壓施加部 GE 等的上側面之方式，利用例如 CVD 法堆積矽氧化膜。此矽氧化膜的厚度最好是 30nm 以上 300nm 以下。之後，藉由蝕刻該矽氧化膜，以覆蓋閘極電壓施加部 GE 以及閘極絕緣膜 GI 的側面之方式形成側壁絕緣膜 SW。利用以上形成閘極電極 G。

[0056] 參照圖 13，利用通常的照相製版技術，形成平面俯視 n 型不純物區域 NR 形成之區域被開口之光阻層 PHR 的圖案。

[0057] 參照圖 14，利用離子注入法，將例如砷（As）之不純物離子用 30KeV 以上 70keV 以下之能量從主表面 MS 的上方注入。結果，形成 n 型不純物區域 NR。利用以上，形成取出高耐壓 nMOSFET 的汲極電極 D

及源極電極 S 之（n 型）不純物區域，和取出高耐壓 pMOSFET 的基極電位 B 之（n 型）不純物區域。

[0058] 再者，在上述之（爲了形成 n 型不純物區域 NR 而採用之）光阻層 PHR 被除去之後，利用通常的照相製版技術，形成平面俯視 p 型不純物區域 PR 形成之區域被開口之光阻層 PHR 的圖案。之後，利用離子注入法，將例如氟化硼（ BF_2 ）不純物離子用 20keV 以上 60keV 以下的能量從主表面 MS 的上方注入。結果，再度參照圖 2，形成 p 型不純物區域 PR。利用以上，形成取出高耐壓 pMOSFET 的汲極電極 D 及源極電極 S 之（p 型）不純物區域、和取出高耐壓 nMOSFET 的基極（base）電位 B 之（p 型）不純物區域，形成 p 型電晶體 PTR 以及 n 型電晶體 NTR。

[0059] 又，在利用上述之離子注入法注入不純物、形成各區域之後，立刻藉由執行通常的熱處理，使被形成的各區域成爲安定的狀態。此外，各圖雖未圖示，利用上述的各步驟，不僅形成高耐壓 pMOSFET 及高耐壓 nMOSFET，也同時形成構成圖 1 的低電壓邏輯電路等之 MOSFET 之各構成要素。

[0060] 其次，邊參照本實施型態之關聯技術之圖 15，邊針對本實施型態之作用效果加以說明。

[0061] 參照圖 15，在本實施型態之關聯技術之圖 15 之高耐壓類比 I/O 電路的形成區域，係與圖 2 同樣地具有高耐壓 pMOSFET 與高耐壓 nMOSFET。但是，圖 15，就

取出 p 型電晶體 PTR 的汲極電極 D 之 p 型不純物區域 PR 之正下面並未配置局部 n 型埋入區域 RBN 之點而言，圖 15 之構成並不同於圖 2 之構成。但是，在其他點而言，圖 15 之構成係與圖 2 之構成同樣，因而，針對在圖 15 與圖 2 同樣的構成要素附以同樣的參照圖號，而不重複其說明。

[0062] 圖 15 之構成，與上述之本實施型態同樣地，n 型埋入層 NI、局部 n 型埋入區域 RBN、n 型井區域 LNW、高耐壓用 p 型漂移層 HPDF 等全部利用離子注入法而被形成。因此，相較於例如以上述公報（專利文獻 1）之方式利用磊晶成長形成半導體層之場合，更能夠減低製造成本。

[0063] 不過，如圖 15 所示方式，該構成在並列於圖的上下方向之高耐壓用 p 型漂移層 HPDF 與其正下面的 n 型埋入層 NI 與其正下面的 p 型區域 PSR 之間會有寄生 pnp 雙極電晶體發生之疑慮。特別是，在從馬達等往取出汲極電極 D 之區域讓逆再生電流一直流入之場合下，如果此寄生 pnp 雙極電晶體進行動作，上述逆再生電流的一部份會往相當於該雙極電晶體的集極（collector）之 p 型區域 PSR（半導體基板 SUB）一方流動形成漏電流，結果，有可能使該 MOSFET 周邊的元件誤動作、或讓 p 型電晶體 PTR 熱破壞。

[0064] 爲了抑制上述之往 p 型區域 PSR 一方（往圖的下方）流動之漏電流，最好是將作爲該雙極電晶體的基

極進行動作之 n 型埋入層 NI 予以高濃度化，或增加 n 型埋入層 NI 的（圖的上下方向的）厚度。這些係能夠藉由增加 n 型埋入層 NI 的離子注入量、或將 n 型埋入層 NI 做成多段注入而實現。但是，如果在圖 15 之構成做成上述之處置，反而替代 p 型電晶體 PTR 的寄生電晶體的影響減少，而促進供取出 n 型電晶體 NTR 的源極電極 S 用之 n 型不純物區域 NR 及低濃度 n 型區域 NNR、與其正下面的 p 型井區域 LPW、進而與其正下面的 n 型埋入層 NI 之間所發生之寄生 npn 雙極電晶體的動作。這是作為該 npn 雙極電晶體的射極之 n 型埋入層 NI 之 n 型不純物的濃度變高或 n 型埋入層 NI 變厚的緣故。由於 n 型電晶體 NTR 之寄生雙極電晶體變得容易進行動作，所以，與上述同樣地，有可能使元件誤動作。

[0065] 上述之問題，雖然能夠藉由例如僅將 p 型電晶體 PTR 的 n 型埋入層 NI 增加厚度或增加不純物濃度而消除，但為了該方式，有必要追加準備 1 枚光罩，故而有可能是製造成本增加。

[0066] 在此，如本實施型態（圖 2），藉由以與 n 型埋入層 NI 相接之方式配置局部 n 型埋入區域 RBN，在圖 15 之寄生 pnp 雙極電晶體容易進行動作之區域，使作為基極之 n 型不純物區域實質地增加厚度。因此，使該區域變得不易引起作為寄生 pnp 雙極電晶體之動作。從而，本實施型態之半導體裝置，能夠抑制起因於寄生雙極電晶體之動作所造成之周邊電路的誤動作以及 p 型電晶體 PTR

之熱破壞。該效果，在局部 n 型埋入區域 RBN 是在取出高耐壓 p 型電晶體 PTR 的汲極電極 D 之區域（p 型不純物區域 PR 以及高耐壓用 p 型漂移層 HPDF）的正下面（在與取出汲極電極 D 之區域平面俯視重疊之位置），以具有與取出汲極電極 D 之區域相同平面形狀之方式被配置之場合，會變得更加大。這是寄生雙極電晶體是藉由沿著圖 2 的上下方向依序配列 p 型區域、n 型區域以及 p 型區域而被形成的緣故。

[0067] 本實施型態之局部 n 型埋入區域 RBN，尤其是在半導體裝置為具備高耐壓 pMOSFET 與高耐壓 nMOSFET，並且，高耐壓 pMOSFET 與高耐壓 nMOSFET 為共有同一層（在此為 n 型埋入層 NI）之構成之場合下特別得以有助於利用。這是以上述方式，為了藉由增加高耐壓 nMOSFET 的 n 型埋入層 NI 之 n 型不純物的濃度以及 n 型埋入層 NI 的厚度以迴避在高耐壓 nMOSFET 有可能引起之不良情況（促進寄生 npn 雙極電晶體的動作）而採用本實施型態的緣故。

[0068] 此外，本實施型態之局部 n 型埋入區域 RBN，係有關沿著主表面 MS 之方向中介高耐壓用 p 型漂移層 HPDF（在圖 2 之高耐壓用 p 型漂移層 HPDF 的左側與右側）而被相對向配置著。以與 n 型井區域 LNW 接續之方式被配置。因此，例如在圖 2 的高耐壓用 p 型漂移層 HPDF 的下側所相接之 p 型區域 PSR，並未將高耐壓用 p 型漂移層 HPDF 與 n 型埋入層 NI 相互接續。從而，能夠

抑制在高耐壓用 p 型漂移層 HPDF 與其正下面的 n 型埋入層 NI 之間讓漏電流（逆再生電流在往汲極區域流入時從高耐壓用 p 型漂移層 HPDF 往 n 型埋入層 NI 一方流動之電流）流動，且能夠抑制 p 型電晶體 PTR 的熱破壞、或抑制周邊電路的誤動作。

[0069] 此外，以本實施型態之方式，藉由局部 n 型埋入區域 RBN 是存在於比 n 型埋入層 NI 還要近主表面 MS 側，能夠讓高耐壓用 p 型漂移層 HPDF 與其正下面的 n 型埋入層 NI 之間的距離更加縮短。結果，能夠抑制在高耐壓用 p 型漂移層 HPDF 與其正下面的 n 型埋入層 NI 之間讓漏電流（逆再生電流在往汲極區域流入時從高耐壓用 p 型漂移層 HPDF 往 n 型埋入層 NI 一方流動之電流）流動，且能夠抑制 p 型電晶體 PTR 的熱破壞、或抑制周邊電路的誤動作。

[0070] 再者，在本實施型態之製造方法，能夠藉由高耐壓用 p 型漂移層 HPDF 與局部 n 型埋入區域 RBN 是採用同一光罩（時間上連續）而被形成，而削減該製造步驟所需要之時間與成本。此外，由於如上述方式局部 n 型埋入區域 RBN 與高耐壓用 p 型漂移層 HPDF 兩者之平面形狀為相同，並且，以平面俯視幾乎完全重疊之方式讓局部 n 型埋入區域 RBN 被配置在高耐壓用 p 型漂移層 HPDF 的正下面，所以，局部 n 型埋入區域 RBN 係能夠採用與高耐壓用 p 型漂移層 HPDF 同一光罩而容易地形成。

[0071] 在此，如果與本實施型態相比較，例如上述

之公報，有必要準備另外 1 枚供形成埋入層用之專用的光罩，再以覆蓋埋入層之方式形成利用磊晶成長所形成之薄膜，因而，在製造步驟上需要較多的時間與成本。但是，在本實施型態，局部 n 型埋入區域 RBN 係能夠採用供形成高耐壓用 p 型漂移層 HPDF 用之光罩而形成。因此，由於並不需要上述公報之類的準備另外的光罩而大大地削減該製造步驟所需要之時間與成本。

[0072] 如此方式將局部 n 型埋入區域 RBN 採用與高耐壓用 p 型漂移層 HPDF 同一之光罩而形成之技術，讓局部 n 型埋入區域 RBN 欲在高耐壓用 p 型漂移層 HPDF 的正下面，在與高耐壓用 p 型漂移層 HPDF 平面俯視重疊之位置（以兩者成為同一平面形狀之方式）被形成成為可以實現。

[0073] （實施型態 2）在圖 7 所示之步驟利用離子注入法形成之局部 n 型埋入區域 RBN，係能夠藉由改變該形成之條件，更加確實地抑制高耐壓 pMOSFET（p 型電晶體 PTR）之寄生雙極電晶體的動作，以及伴隨此之往 p 型區域 PSR 的漏電流（基板漏電流）。

[0074] 具體而言，藉由例如使供形成局部 n 型埋入區域 RBN 用之離子注入之能量降低、或增加離子注入量，能夠更加確實地抑制寄生雙極電晶體的動作以及往 p 型區域 PSR 的基板漏電流。

[0075] 圖 16（A）的橫軸係表示（例如供形成局部 n 型埋入區域 RBN 用之）離子注入之能量大小，縱軸表示 p

型電晶體 PTR 之基板漏電流比例以及耐壓大小。在此，基板漏電流，係表示在馬達等成為逆再生狀態之場合下流入取出汲極電極 D 的 p 型不純物區域 RP 之電流之中、中介 p 型電晶體 PTR 的寄生雙極電晶體往半導體基板 SUB 的 p 型區域 PSR 一方漏洩之電流成分。

[0076] 參照圖 16 (A)，如果離子注入之能量降低，則 p 型電晶體 PTR 之局部 n 型埋入區域 RBN 變厚。這時，由於作用為 p 型電晶體 PTR 之寄生雙極電晶體的基極之區域會變厚，所以能夠讓 p 型電晶體 PTR 作為雙極電晶體之功能降低，結果，使基板漏電流之比例降低。

[0077] 圖 16 (B) 的橫軸係表示（例如供形成局部 n 型埋入區域 RBN 用之）離子注入量，縱軸表示 p 型電晶體 PTR 之基板漏電流比例以及耐壓大小。

[0078] 參照圖 16 (B)，如果離子注入量增加，則 p 型電晶體 PTR 之局部 n 型埋入區域 RBN 之不純物濃度提高。這時，由於作用為 p 型電晶體 PTR 之寄生雙極電晶體的基極之區域之不純物濃度提高，所以能夠讓 p 型電晶體 PTR 作為雙極電晶體之功能降低，結果，使基板漏電流之比例降低。

[0079] 參照圖 16 (A)、(B)，在離子注入之能量降低之場合以及離子注入量增加之場合任一場合下都是 p 型電晶體 PTR 的耐壓降低。因此，可以期望因應該 p 型電晶體 PTR 被要求之做法而調整離子注入能量以及離子注入量。

[0080] 又，也可以將本實施型態、與於實施型態 1 已說明之各構成上的特徵適宜地組合。

[0081] (實施型態 3) 參照圖 17，本實施型態之高耐壓類比 I/O 電路之形成區域，係與圖 2 所示之實施型態 1 之高耐壓類比 I/O 電路之形成區域基本上具有同樣的構成。但是，在本實施型態，局部 n 型埋入區域 RBN 係在跟 n 型埋入層 NI 所對之主表面 MS 相反側、亦即圖 2 之下側（圖 4 之右側），以與 n 型埋入層 NI 相接之方式被配置。從而，本實施型態之局部 n 型埋入區域 RBN，係以被環繞在半導體基板 SUB 的 p 型區域 PSR 之方式（以被埋入之方式）配置著。

[0082] 在本實施型態，也是利用與實施型態 1 基本上同樣的製造方法（參照圖 5～圖 14）形成所期望的半導體裝置。但是，在本實施型態，在實施型態 1 之圖 7 所示之步驟，最好是在形成局部 n 型埋入區域 RBN 時將注入磷（P）之不純物離子之能量設定為例如 2.6MeV 以上 5MeV 以下。這樣一來，就會在比實施型態 1 的圖 7 還要深的區域形成局部 n 型埋入區域 RBN。

[0083] 就以上之點而言，圖 17 之構成係異於圖 2 之構成。但是，在其他點而言，圖 17 之構成係與圖 2 之構成同樣，因而，針對在圖 17 與圖 2 同樣的構成要素附以同樣的參照圖號，而不重複其說明。

[0084] 其次，針對本實施型態之作用效果加以說明。本實施型態，除了實施型態 1 之作用效果，還發揮以

下之作用效果。

[0085] 在本實施型態，相較於實施型態 1，局部 n 型埋入區域 RBN 被配置在離開主表面 MS 之（更深的）區域。因此，本實施型態之局部 n 型埋入區域 RBN，形成時之圖 16（A）之離子注入能量會比實施型態 1 之局部 n 型埋入區域 RBN 還要高。從而，如圖 16（A）之圖表所示，本實施型態之 p 型電晶體 PTR，比實施型態 1 之 p 型電晶體 PTR，前者耐壓提升之效果更加增大。

[0086] 又，也可以將本實施型態、與於實施型態 1～2 已說明之各構成上的特徵適宜地組合。

[0087] （實施型態 4）參照圖 18，本實施型態之高耐壓類比 I/O 電路之形成區域，係與圖 2 所示之實施型態 1 之高耐壓類比 I/O 電路之形成區域基本上具有同樣的構成。但是，在本實施型態，局部 n 型埋入區域 RBN 被配置於 n 型埋入層 NI 之內部。從而，本實施型態之局部 n 型埋入區域 RBN，係在汲極電極 D 之 p 型不純物區域 PR（以及高耐壓 p 型漂移層 HPDF）的正下面，被配置在跟 n 型埋入層 NI 同一區域。

[0088] 此場合下，由局部 n 型埋入區域 RBN 所形成之不純物濃度成為最大之區域，變成是在 n 型埋入層 NI 的內部，再換言之，該不純物濃度成為最大之區域，係變成在有關圖的上下方向而跟 n 型埋入層 NI 相同位置（相同座標）。

[0089] 在本實施型態，也是利用與實施型態 1 基本

上同樣的製造方法（參照圖 5～圖 14）形成所期望的半導體裝置。但是，在本實施型態，在實施型態 1 之圖 7 所示之步驟，最好是在形成局部 n 型埋入區域 RBN 時將注入磷（P）之不純物離子之能量設定為例如與形成 n 型埋入層 NI 時之離子注入的能量同等之 2MeV 以上 3.5MeV 以下。這樣一來，就會在比實施型態 1 的圖 7 還要深、比實施型態 3 的圖 17 還要淺的區域形成局部 n 型埋入區域 RBN。

[0090] 就以上之點而言，圖 18 之構成係異於圖 2 之構成。但是，在其他點而言，圖 18 之構成係與圖 2 之構成同樣，因而，針對在圖 18 與圖 2 同樣的構成要素附以同樣的參照圖號，而不重複其說明。

[0091] 其次，針對本實施型態之作用效果加以說明。如以上方式，在本實施型態，局部 n 型埋入區域 RBN 是被形成在與 n 型埋入層 NI 同一位置。但是，就不純物濃度剖面圖來考慮，藉由局部 n 型埋入區域 RBN 之形成，相較於例如該局部 n 型埋入區域 RBN 並不存在之場合，取出汲極電極 D 之區域的正下面之 n 型不純物區域的厚度增加，或 n 型不純物的濃度提高。因此，本實施型態之局部 n 型埋入區域 RBN 也會發揮與其他實施型態同樣的上述效果。

[0092] 又，也可以將本實施型態、與於實施型態 1～3 已說明之各構成上的特徵適宜地組合。

[0093] 以上根據實施型態具體說明根據本案發明人

所進行的發明，但本發明並不以上述實施型態為限，在不逸脫其要旨的範圍內當然可進行種種的變更。

【符號說明】

[0094]

B：基極電位

D：汲極電極

DEV：半導體裝置

G：閘極電極

GE：閘極電壓施加部

GI：閘極絕緣膜

HPDF：高耐壓用 p 型漂移（drift）層

LNW：n 型井（well）區域

LNW：p 型井區域

LS：元件分離絕緣膜

NI：n 型埋入層

NNR：低濃度 n 型區域

NR：n 型不純物區域

NTR：n 型電晶體

PHR：光阻層

PR：p 型不純物區域

PSR：p 型區域

PTR：p 型電晶體

RBN：局部 n 型埋入區域

S：源極電極

SUB：半導體基板

SW：側壁絕緣膜

申請專利範圍

1.一種半導體裝置，在具有主表面、並且內部具有 p 型區域之半導體基板，具有高耐壓 p 通道型電晶體之半導體裝置，其特徵係：

前述高耐壓 p 通道型電晶體為具備：前述半導體基板內之被配置在前述 p 型區域的前述主表面側之 n 型埋入層，前述 p 型區域上之被形成在前述主表面之、供取出汲極電極用之第 1p 型不純物區域，前述 p 型區域上之被形成在前述主表面之、供取出源極電極用之第 2p 型不純物區域，與被配置在前述第 1p 型不純物區域之正下面、被配置成跟前述 n 型埋入層相接之局部 n 型埋入區域；

前述高耐壓 p 通道型電晶體係在前述半導體基板被形成複數個；

前述高耐壓 p 通道型電晶體，係包含以環繞前述第 2p 型不純物區域之方式被形成在前述主表面之 n 型井區域；

前述局部 n 型埋入區域，係將關於沿著前述主表面之方向中介著前述第 1p 型不純物區域而被相對配置著的前述 n 型井區域彼此加以接續。

2.如申請專利範圍第 1 項記載之半導體裝置，其中，在前述半導體基板進而具有高耐壓 n 通道型電晶體；前述高耐壓 n 通道型電晶體係包含做成跟前述高耐壓 p 通道型電晶體的前述 n 型埋入層同一層之 n 型半導體層。

3.如申請專利範圍第 1 項記載之半導體裝置，其中，

前述局部 n 型埋入區域，係具有平面俯視與前述第 1p 型不純物區域重疊且具有相同平面形狀。

4.如申請專利範圍第 1 項記載之半導體裝置，其中，前述第 1p 型不純物區域及前述局部 n 型埋入區域，係以關於沿著前述主表面之方向，局部埋入而接續中介著前述第 1p 型不純物區域被相對配置著的前述 n 型井區域內的方式使前述 n 型井區域彼此接續。

5.如申請專利範圍第 1 項記載之半導體裝置，其中，前述局部 n 型埋入區域係存在於比前述 n 型埋入層還要接近前述主表面側。

6.一種半導體裝置之製造方法，在具有主表面、並且內部具有 p 型區域之半導體基板，具有高耐壓 p 通道型電晶體之半導體裝置之製造方法，其特徵係形成前述高耐壓 p 通道型電晶體之步驟為具備：準備具有主表面、並且內部具有 p 型區域之半導體基板之步驟，在前述半導體基板內之前述 p 型區域之前述主表面側，形成 n 型埋入層之步驟，在前述 p 型區域上之前述主表面，形成供取出汲極電極用之第 1p 型不純物區域之步驟，在前述 p 型區域上之前述主表面，形成供取出源極電極用之第 2p 型不純物區域之步驟，與在前述第 1p 型不純物區域的正下面，以跟前述 n 型埋入層相接之方式形成局部 n 型埋入區域之步驟等；形成前述第 1p 型不純物區域之步驟與形成前述局部 n 型埋入區域之步驟係被做成採用同一遮罩；

前述高耐壓 p 通道型電晶體係在前述半導體基板被形

成複數個；

前述高耐壓 p 通道型電晶體，係以包含以環繞前述第 2p 型不純物區域之方式被形成在前述主表面之 n 型井區域的方式被形成；

前述局部 n 型埋入區域，係以關於沿著前述主表面之方向中介著前述第 1p 型不純物區域而被相對配置著的前述 n 型井區域彼此接續的方式被形成。

7.如申請專利範圍第 6 項記載之半導體裝置之製造方法，其中，在前述半導體基板進而具有包含跟前述高耐壓 p 通道型電晶體的前述 n 型埋入層做成同一層之 n 型半導體層之高耐壓 n 通道型電晶體；形成前述高耐壓 n 通道型電晶體之前述 n 型半導體層之步驟係與形成前述高耐壓 p 通道型電晶體之前述 n 型埋入層之步驟被設為同時。

8.如申請專利範圍第 7 項記載之半導體裝置之製造方法，其中，前述局部 n 型埋入區域係利用離子注入法而被形成。

9.如申請專利範圍第 7 項記載之半導體裝置之製造方法，其中，前述第 1p 型不純物區域係利用離子注入法而被形成。

10.如申請專利範圍第 7 項記載之半導體裝置之製造方法，其中，前述 n 型埋入層係利用離子注入法而被形成。

11.如申請專利範圍第 6 項記載之半導體裝置之製造方法，其中，前述第 1p 型不純物區域及前述局部 n 型

埋入區域，係以關於沿著前述主表面之方向，局部埋入而接續中介著前述第 1p 型不純物區域被相對配置著的前述 n 型井區域內的方式使前述 n 型井區域彼此接續。

圖 式

圖 1

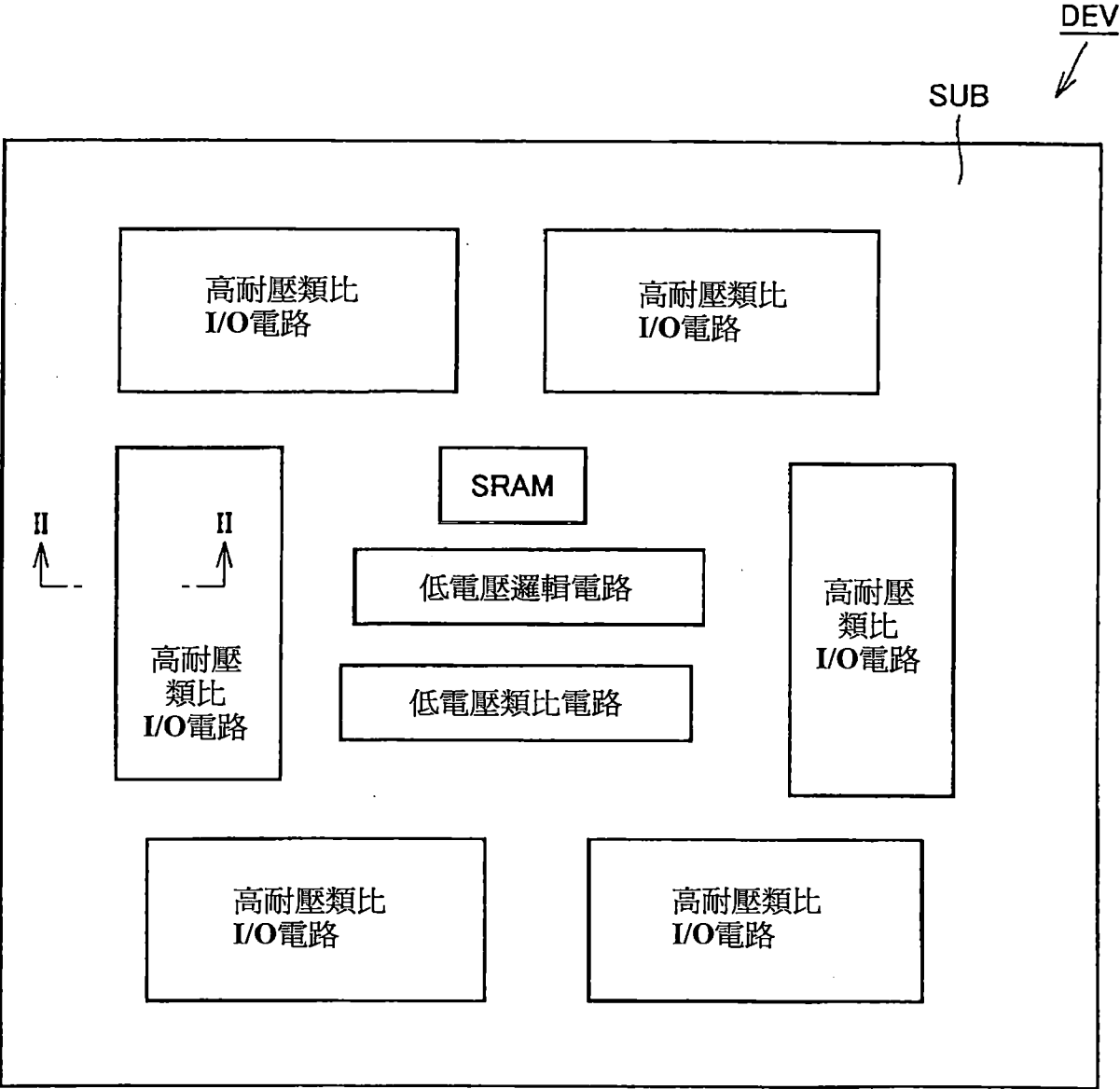


圖 2

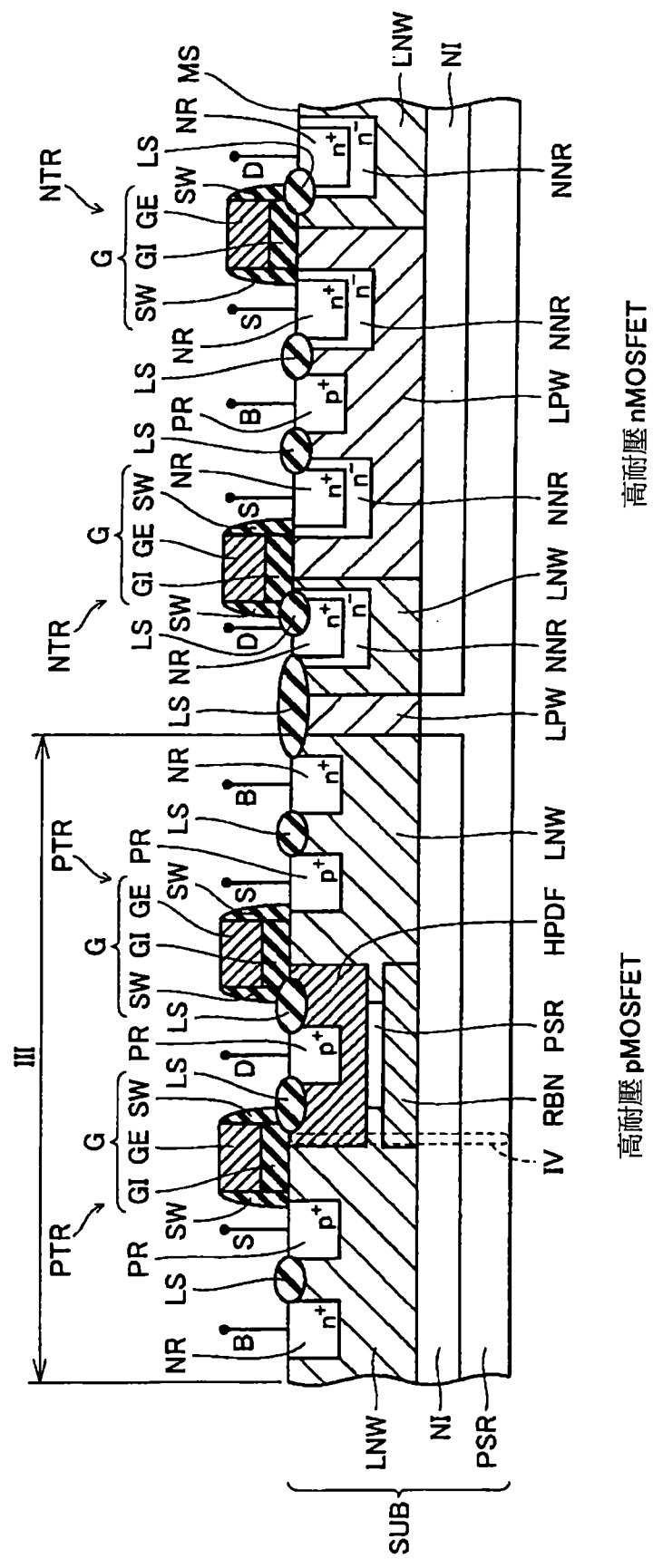


圖 3

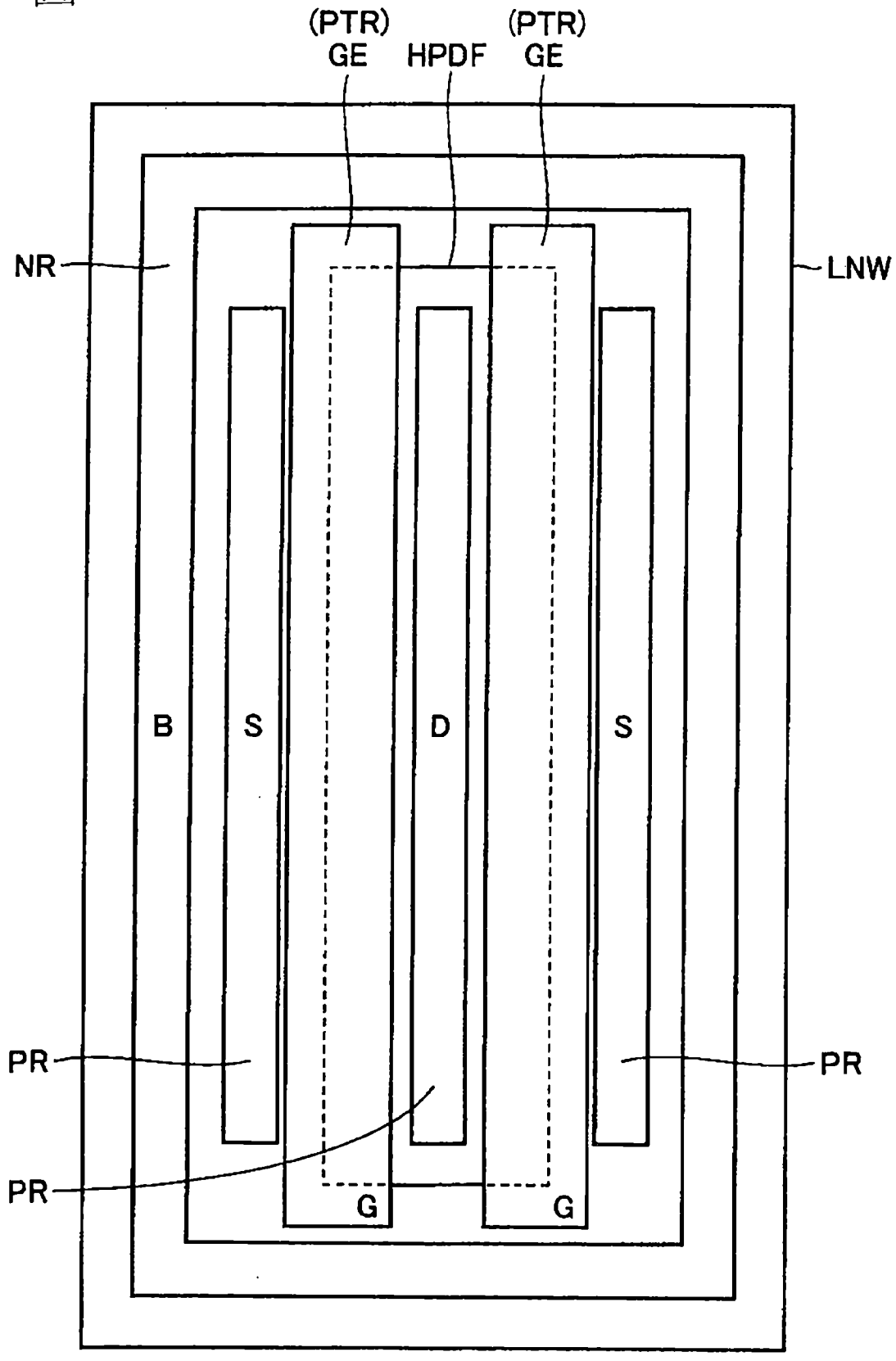


圖 4

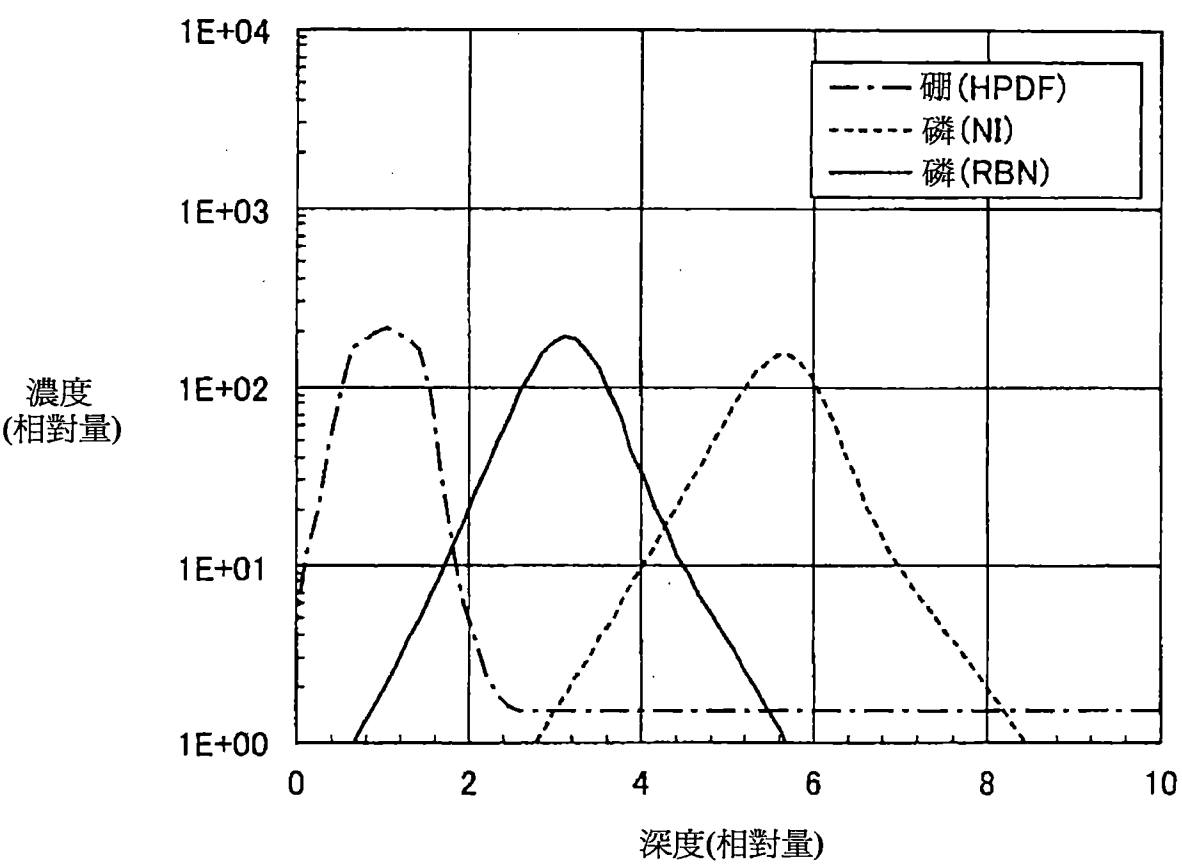


圖 5

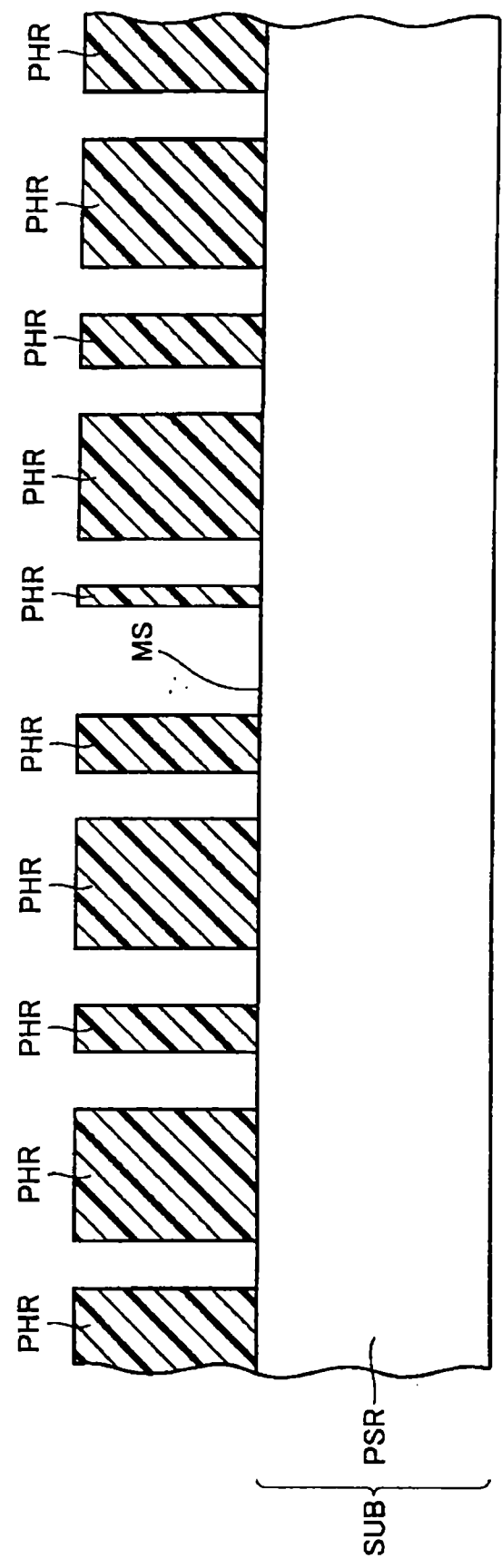


圖 6

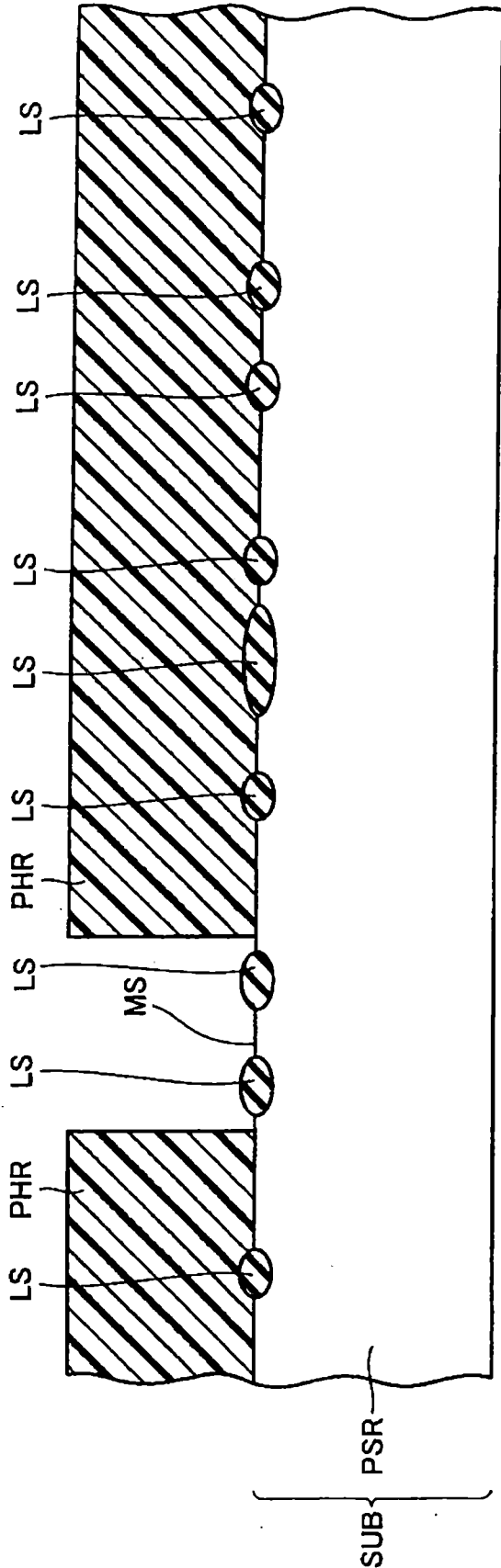
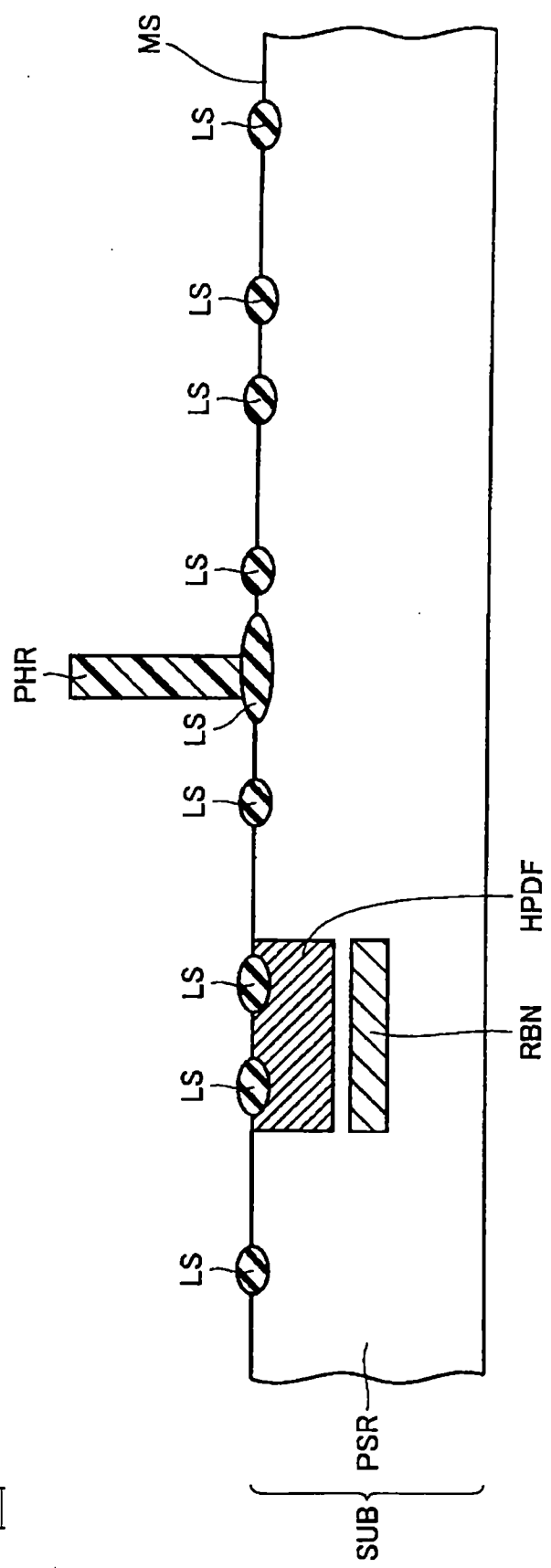


圖 7



$$\infty$$

∞

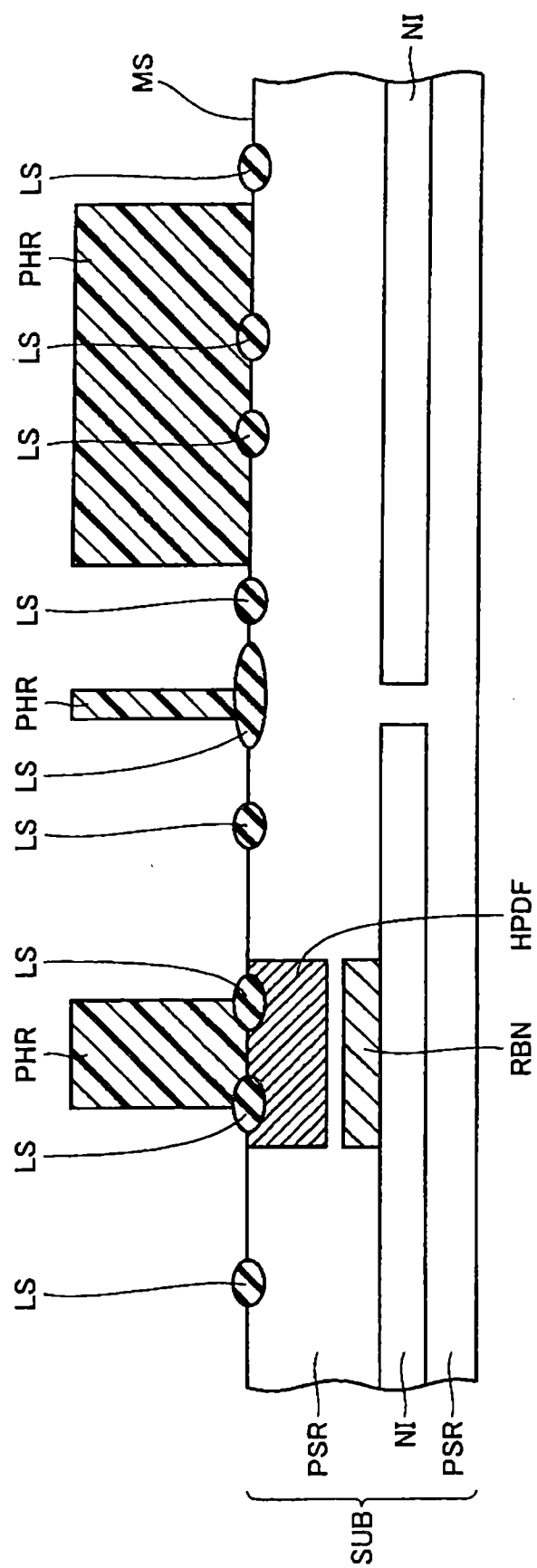


圖 9

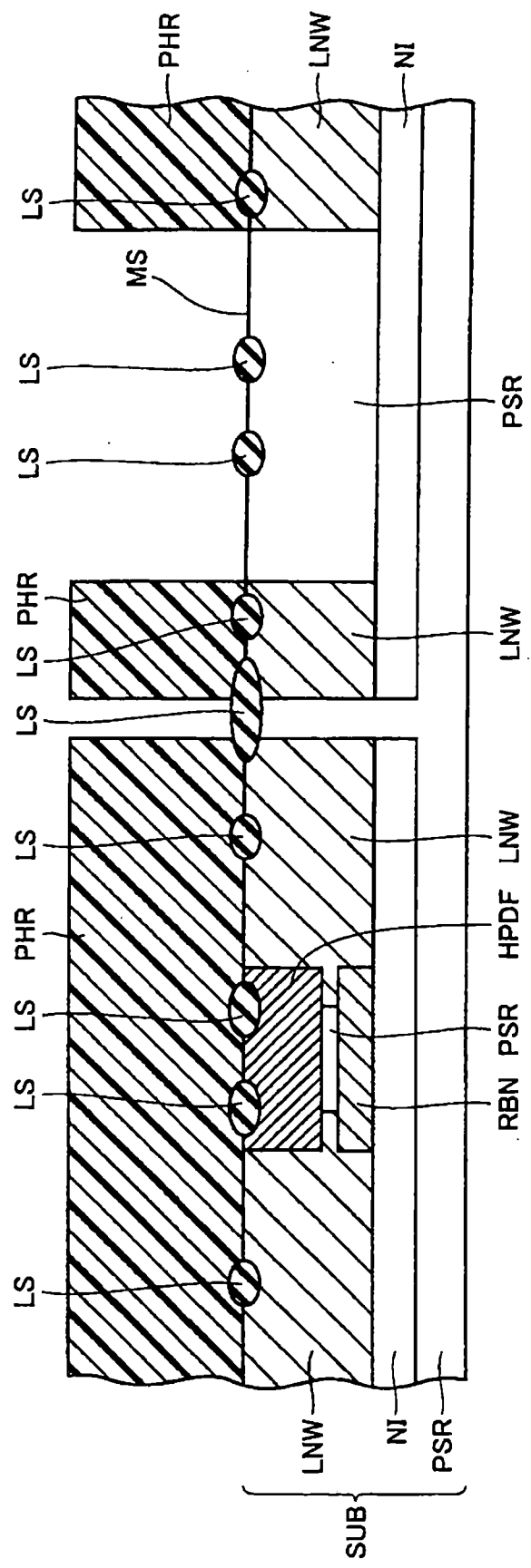


圖 11

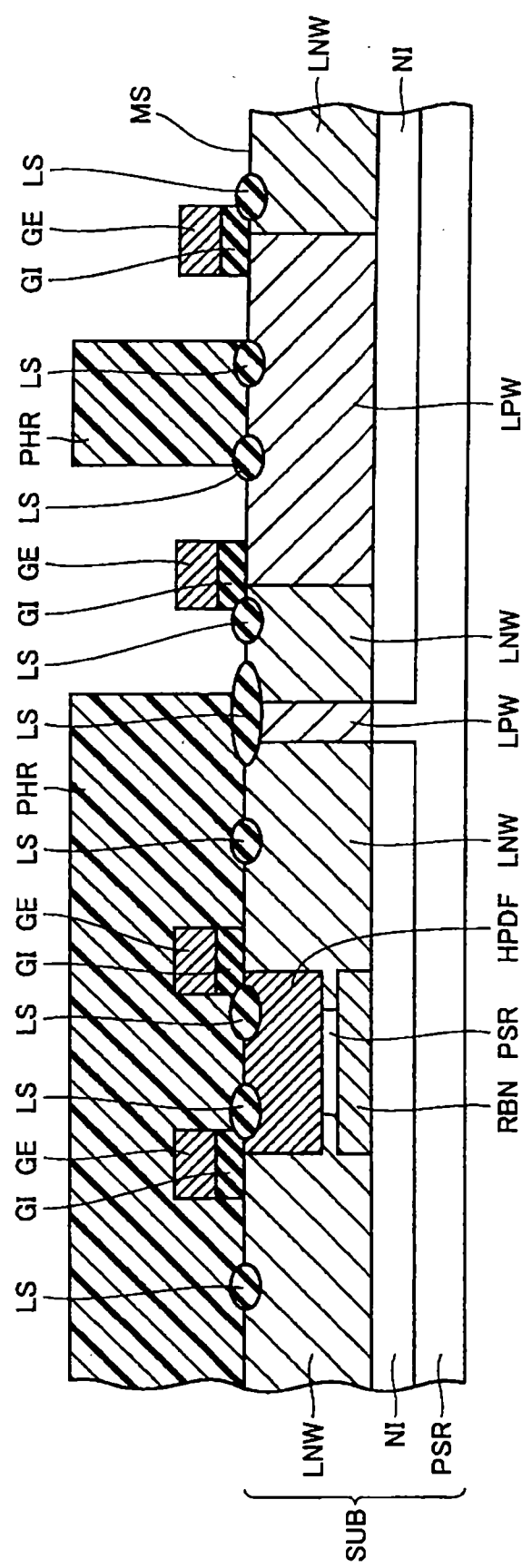


圖 12

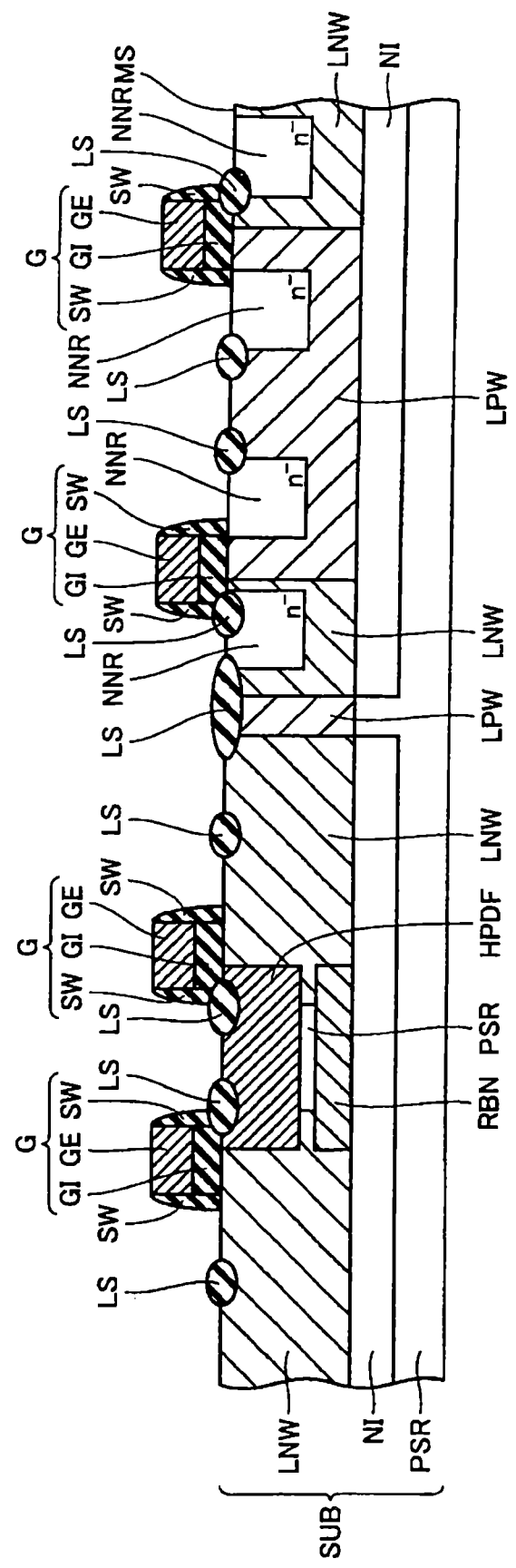
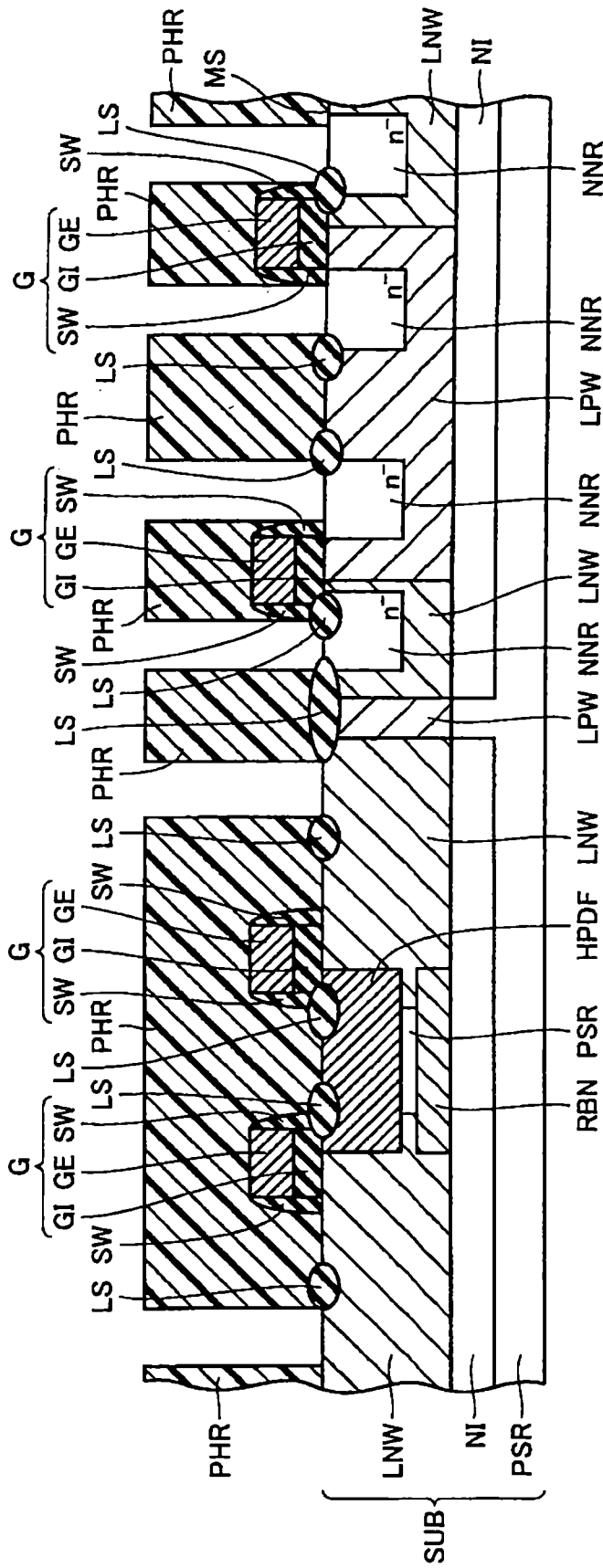
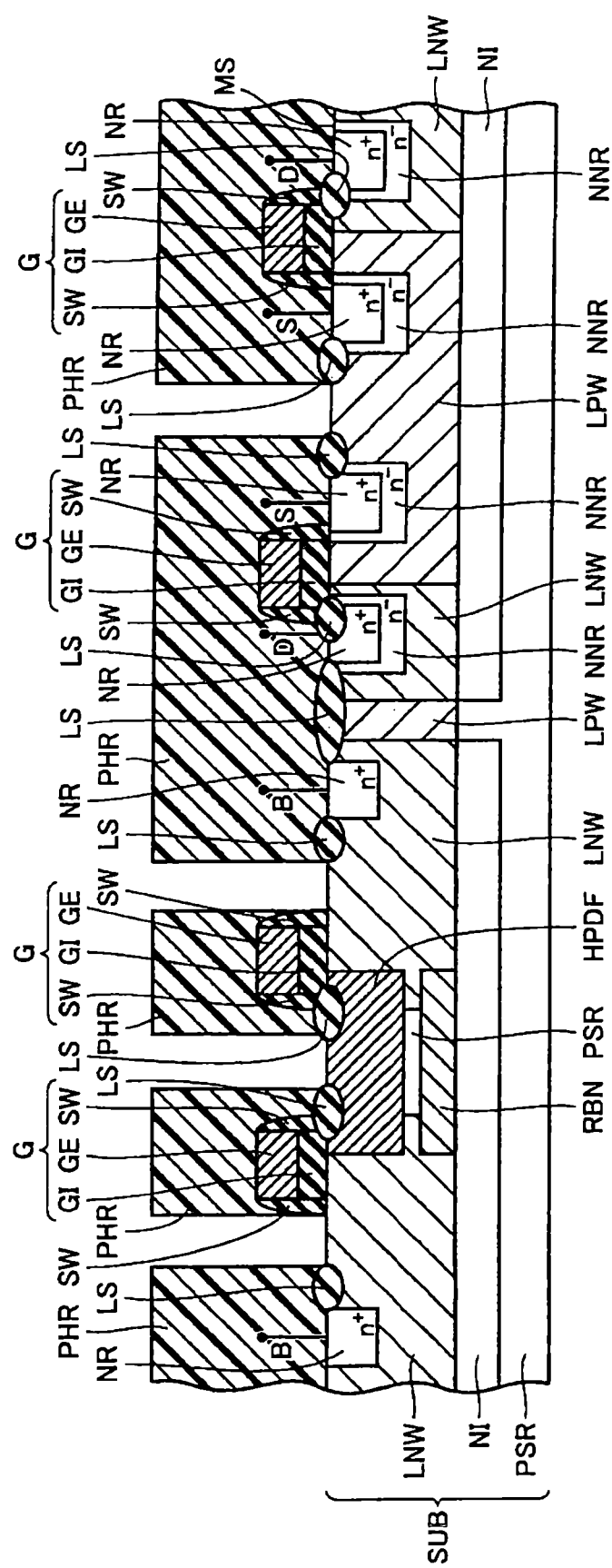


圖 13



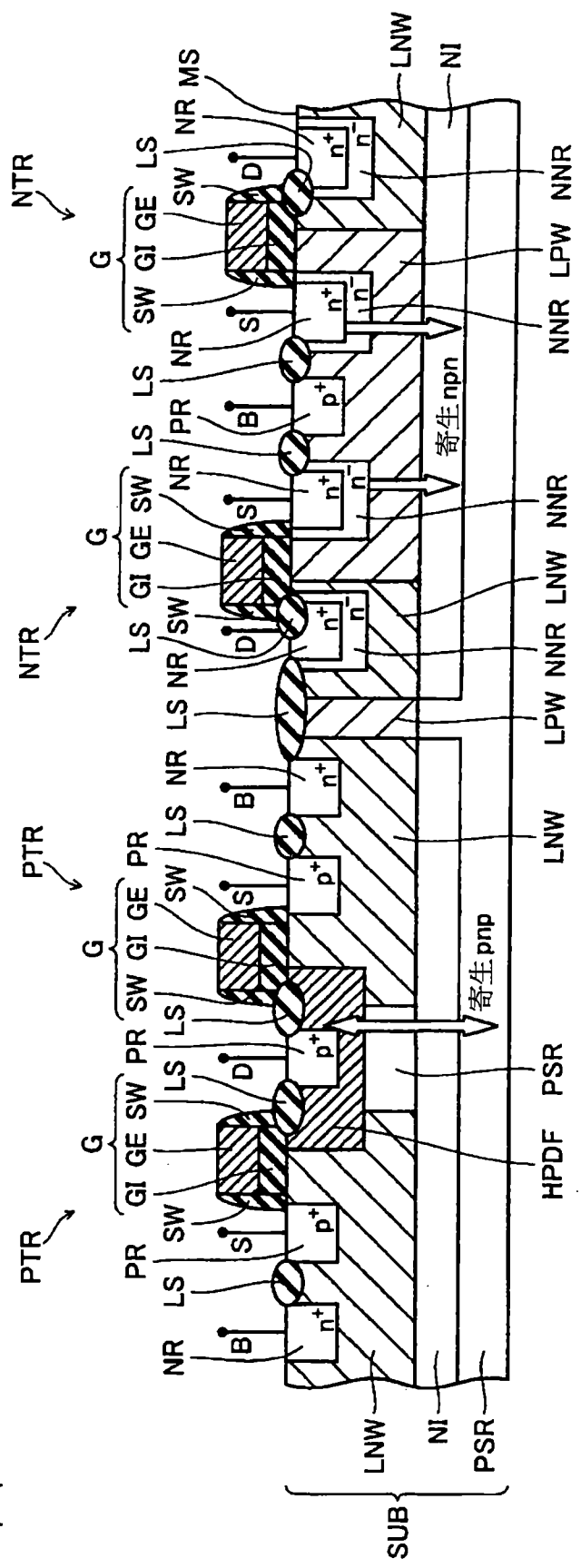
14回



高耐壓 pMOSFET

高耐压 nMOSFET

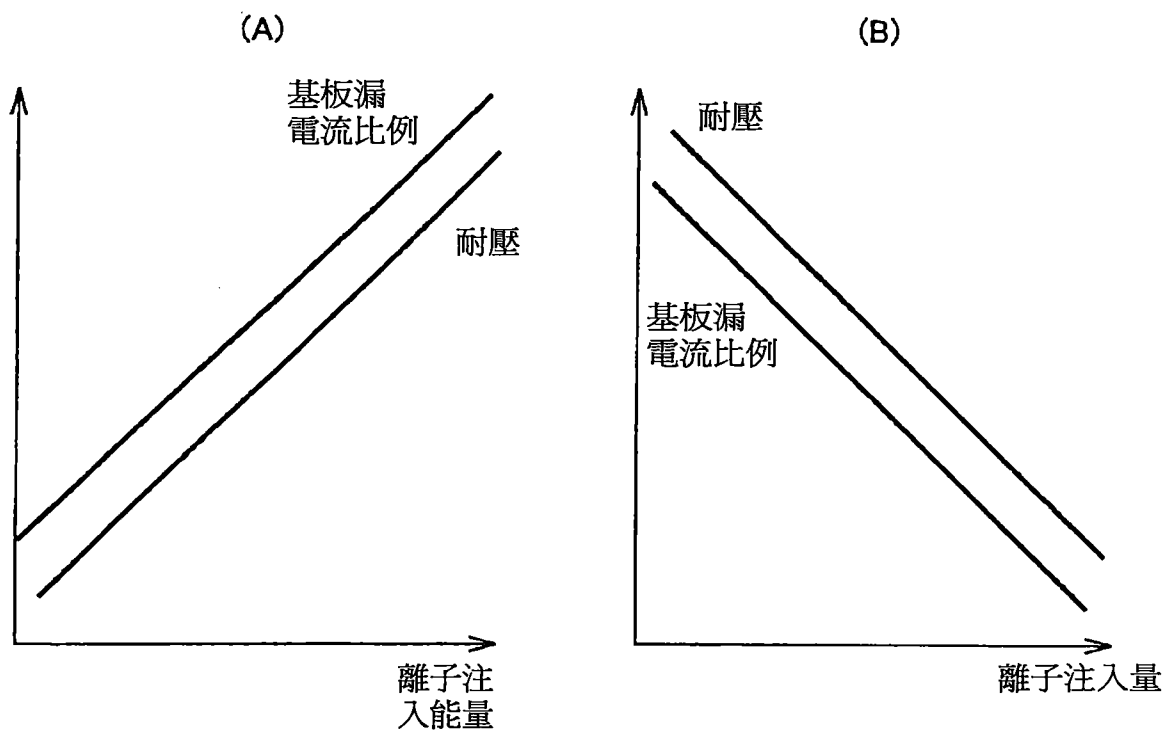
圖 15

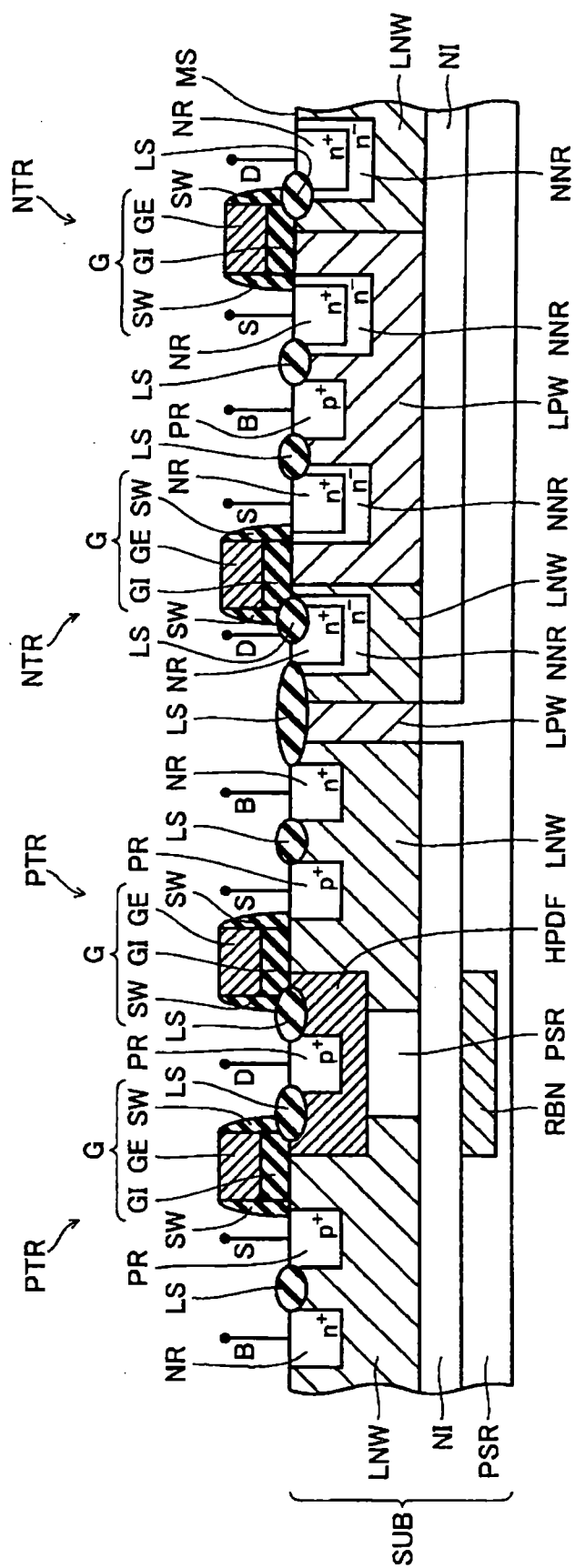


高耐壓 pMOSFET

高耐壓 nMOSFET

圖 16





高耐壓 pMOSFET

高耐壓 nMOSFET

18

