

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 18 日(18.10.2012)



(10) 国際公開番号

WO 2012/141003 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H01L 23/522 (2006.01)
H01L 21/768 (2006.01)
- (21) 国際出願番号: PCT/JP2012/057867
- (22) 国際出願日: 2012 年 3 月 27 日(27.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-089055 2011 年 4 月 13 日(13.04.2011) JP
- (71) 出願人(米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社 (RENESAS ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 飯塚 康治 (IIZUKA, Koji) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).
- (74) 代理人: 特許業務法人深見特許事務所 (Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中

之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

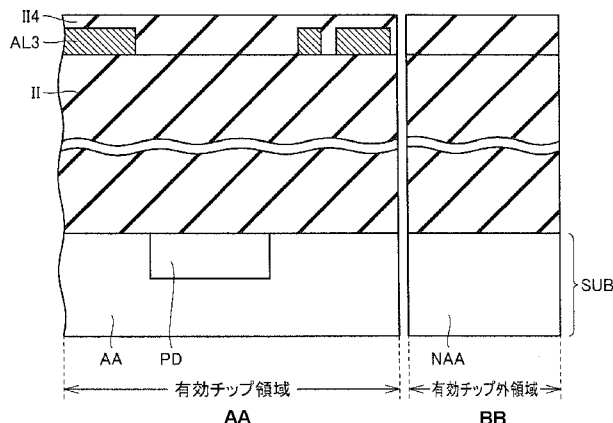
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法

【図12】



AA - Effective chip region
BB - Effective chip outside region

(57) Abstract: In this method for manufacturing a semiconductor device having an optical conversion element (PD), which has the topmost surface thereof planarized without making a step complicated, and improved optical characteristics, such as suppressed color unevenness, a topmost layer metal layer (AL3) is formed in both the effective chip region (AA) having the photoelectric conversion element (PD) formed therein, and the effective chip outside region (NAA), said effective chip region and effective chip outside region being on the main surface of a semiconductor substrate (SUB). The topmost layer metal layer (AL3) in the effective chip region (AA) is patterned, and the topmost layer metal layer (AL3) in the whole effective chip outside region (NAA) is removed. An interlayer insulating layer (II4) is formed in both the effective chip region (AA) and the effective chip outside region (NAA) such that the patterned topmost layer metal layer (AL3) in the effective chip region (AA) is covered. After removing a part of the upper surface of the interlayer insulating layer (II4) by selective etching, said part being positioned directly above the topmost layer metal layer (AL3) that has been patterned in the effective chip region (AA), the upper surface of the interlayer insulating layer (II4) is planarized.

(57) 要約:

[続葉有]

WO 2012/141003 A1



工程を煩雑にすることなく最上面が平坦化され、かつ色ムラを抑制するなど光学特性を向上することが可能な光学変換素子（PD）を有する半導体装置の製造方法は、半導体基板（SUB）の主表面の、光電変換素子（PD）が形成された有効チップ領域（AA）と、有効チップ外領域（NAA）との双方において最上層金属層（AL3）が形成される。有効チップ領域（AA）内の最上層金属層（AL3）がパターニングされ、かつ有効チップ外領域（NAA）全体の最上層金属層（AL3）が除去される。有効チップ領域（AA）においてパターニングされた最上層金属層（AL3）を覆うように有効チップ領域（AA）と有効チップ外領域（NAA）との双方に層間絶縁層（II4）が形成される。有効チップ領域（AA）内においてパターニングされた最上層金属層（AL3）の真上に位置する層間絶縁層（II4）の上面の一部が選択的にエッチングされることにより除去された上で、層間絶縁層（II4）の上面が平坦化される。

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は、半導体装置およびその製造方法に関し、特に、フォトダイオードなどの光電変換素子を含む半導体装置およびその製造方法に関するものである。

背景技術

[0002] デジタルカメラの特にデジタル一眼レフに使われるイメージセンサは、たとえばシリコンなどの半導体基板からなるチップの主表面上に形成される。イメージセンサを構成する半導体基板とマイクロレンズとの距離が、チップの主表面上の位置（チップの主表面の中央部または外縁の近傍）に応じて変化することがある。この変化により、半導体基板の主表面の中央部のうち、イメージセンサを構成するフォトダイオードなどの光学変換素子が多数配置されるセンサエリア（フォトダイオード部）と、センサエリアの外側であり周辺回路が配置される領域（周辺回路部）との間で、回路を構成する積層構造の最上面に段差が生じる。この段差は、フォトダイオード部と周辺回路部との間で、積層構造の最上層として形成される金属配線の、平面視における占有率が異なることに起因する。

[0003] 具体的には、上記フォトダイオード部よりも周辺回路部の方が、一般に最上層の金属配線の占有率が高い。これは特に周辺回路部における最上層の金属配線は、入射される光がフォトダイオード部の光電変換素子へ進入することを抑制する遮光効果を有するためである。

[0004] 上記のように、半導体基板とマイクロレンズとの距離がばらつけば、イメージセンサが形成する画像にムラが発生する可能性がある。したがって、当該ムラを抑制するためには、半導体基板とマイクロレンズとの距離を、チップの主表面上の位置にかかわらず、ほぼ一定にすることが好ましい。言い換えれば、フォトダイオード部と周辺回路部との間における最上面の段差を小

さくして、最上面をより平坦にすることが好ましい。

- [0005] たとえば特開2009-130318号公報（特許文献1）においては、センサエリアの周辺部（外側）において、層間絶縁層に溝を形成して溝に金属配線を埋め込み、その金属配線の上に最上層の遮光用の金属配線を形成している。このような構成とすることにより、周辺部における最上層の金属配線をより低い位置に配置し、周辺部とセンサエリアとの積層構造の最上面の段差を小さくしている。

先行技術文献

特許文献

- [0006] 特許文献1：特開2009-130318号公報

発明の概要

発明が解決しようとする課題

- [0007] 特開2009-130318号公報に開示される方法を用いても、当該段差を小さくし、画像のムラを小さくするなどの光学特性を向上することは可能である。しかしながら上記の方法においては、層間絶縁層に、配線を埋め込むための溝を形成する工程がなされる。このため当該溝を形成する工程がなされない場合に比べて、工程が煩雑となる可能性がある。
- [0008] 本発明は、以上の問題に鑑みなされたものである。その目的は、工程を煩雑にすることなく最上面が平坦化され、かつ色ムラを抑制するなど光学特性を向上することが可能な光学変換素子を有する半導体装置、およびその製造方法を提供することである。

課題を解決するための手段

- [0009] 本発明の一実施例による半導体装置の製造方法は以下の構成を備えている。

まず有効チップ領域と、有効チップ外領域とを有するウエハ状態の半導体基板の少なくとも有効チップ領域内の主表面に光電変換素子が形成される。上記光電変換素子が形成された半導体基板の主表面の上方において、有効チ

ップ領域と有効チップ外領域との双方に最上層金属層が形成される。上記有効チップ領域内の最上層金属層がパターニングされ、かつ有効チップ外領域全体の最上層金属層が除去される。上記有効チップ領域においてパターニングされた最上層金属層を覆うように有効チップ領域と有効チップ外領域との双方に層間絶縁層が形成される。上記有効チップ領域内においてパターニングされた最上層金属層の真上に位置する層間絶縁層の上面の一部が選択的にエッチングされることにより除去される。上記エッチングにより選択的に除去された層間絶縁層の上面が平坦化される。

[0010] 本発明の他の実施例による半導体装置の製造方法は以下の構成を備えている。

まず有効チップ領域と、有効チップ外領域とを有するウエハ状態の半導体基板の少なくとも有効チップ領域内の主表面に光電変換素子が形成される。上記光電変換素子が形成された半導体基板の主表面の上方において、有効チップ領域と有効チップ外領域との双方に最上層金属層が形成される。上記有効チップ領域内および有効チップ外領域の双方の最上層金属層がパターニングされる。上記有効チップ領域と有効チップ外領域とにおいてパターニングされた最上層金属層を覆うように層間絶縁層が形成される。上記層間絶縁層上にネガ型のプリエッチング用フォトリジストを形成し、上記プリエッチング用フォトリジストの有効チップ領域および有効チップ外領域が選択的に露光され、かつプリエッチング用フォトリジストの半導体基板の外縁部を周辺露光した後にプリエッチング用フォトリジストが現像されパターニングされる。パターニングされたプリエッチング用フォトリジストをマスクとして、有効チップ領域内および有効チップ外領域の双方において、パターニングされた最上層金属層の真上に位置する層間絶縁層の上面の一部が選択的にエッチングされることにより除去される。上記エッチングにより選択的に除去された層間絶縁層の上面が平坦化される。

[0011] 本発明のさらに他の実施例による半導体装置の製造方法は以下の構成を備えている。

まず有効チップ領域と、有効チップ外領域とを有するウエハ状態の半導体基板の少なくとも有効チップ領域内の主表面に光電変換素子が形成される。上記光電変換素子が形成された半導体基板の主表面の上方において、有効チップ領域と有効チップ外領域との双方に最上層金属層が形成される。上記有効チップ領域内および有効チップ外領域の双方の最上層金属層がパターニングされる。上記有効チップ領域と有効チップ外領域とにおいてパターニングされた最上層金属層を覆うように層間絶縁層が形成される。上記層間絶縁層上にポジ型のプリエッチング用フォトリソを形成し、プリエッチング用フォトリソの有効チップ領域および有効チップ外領域が選択的に露光される。上記有効チップ外領域の選択的露光の際には、ステッパのブラインドにより半導体基板の外縁から有効チップ外領域の所定の部分までを遮光して露光を行なうことにより、有効チップ外領域内の最上層金属層であって有効チップ領域に隣り合うよう位置する最上層金属層の真上に位置するプリエッチング用フォトリソが露光される。さらに露光されたプリエッチング用フォトリソが現像されパターニングされる。パターニングされたプリエッチング用フォトリソをマスクとして層間絶縁層がエッチングされる。上記有効チップ領域内においてパターニングされた最上層金属層の真上に位置する層間絶縁層の上面の一部、および有効チップ外領域内の最上層金属層であって有効チップ領域に隣り合うよう位置する最上層金属層の真上に位置する層間絶縁層の上面の一部が選択的にエッチングされることにより除去される。上記エッチングにより選択的に除去された層間絶縁層の上面が平坦化される。

[0012] 本発明の一実施例による半導体装置は以下の構成を備えている。

上記半導体装置は、主表面を有する半導体基板と、半導体基板の主表面に形成された光電変換素子と、半導体基板の主表面の上方に配置された最上層金属配線とを備える。上記光電変換素子を含む有効チップ領域と、有効チップ領域とは別の領域に配置された有効チップ外領域とを有する。上記最上層金属配線は、有効チップ領域に形成されており、かつ有効チップ外領域に形

成されていない。

発明の効果

- [0013] 本発明の一実施例の製造方法においては、有効チップ外領域における最上層金属層が除去される。このため、最上層金属層の上に位置する層間絶縁層の上面を平坦化するために、当該層間絶縁層の一部がプリエッチングされても、有効チップ外領域の最上層金属層がエッチングされることがない。したがって、工程を煩雑にしたり、有効チップ外領域の最上層金属層から異物を発生させることなく、最上層の層間絶縁層の上面が平坦化される。その結果、光学特性が向上された光学変換素子を有する半導体装置を提供することができる。
- [0014] 本発明の他の実施例の製造方法においては、ネガ型のフォトレジストをマスクとして、最上層の層間絶縁層上の、外縁部のネガ型フォトレジストが露光されるため、最上層の層間絶縁層は外縁部においてプリエッチングされない。このため、有効チップ外領域の最上層金属層が外縁部においてエッチングされ、異物を発生することが抑制される。したがって、工程を煩雑にしたり、有効チップ外領域の最上層金属層から異物を発生させることなく、最上層の層間絶縁層の上面が平坦化される。その結果、光学特性が向上された光学変換素子を有する半導体装置を提供することができる。
- [0015] 本発明のさらに他の実施例の製造方法においては、最上層の層間絶縁層上のポジ型のプリエッチング用フォトレジストを現像する際に、有効チップ外領域のうち、有効チップ領域に隣り合う位置のみが露光され、有効チップ外領域の外縁部における層間絶縁層はプリエッチングされない。このため有効チップ外領域の特に外縁部の層間絶縁層のエッチングに伴い、有効チップ外領域の最上層金属層がエッチングされることが抑制される。また有効チップ外領域のうち有効チップ領域に隣り合う位置の層間絶縁層はプリエッチング時に除去される。このため有効チップ外領域の最上層の層間絶縁層がまったくプリエッチングされない場合に比べて、層間絶縁層の上面を平坦化した後に、有効チップ領域における層間絶縁層の上面に段差が形成されることが抑

制される。

[0016] 本実施例によれば、有効チップ外領域に最上層金属層が形成されない半導体装置が形成される。このため、最上層金属層の上に層間絶縁層が形成され、当該層間絶縁層の上面の一部がエッチングにより除去されても、有効チップ外領域の最上層金属層がエッチングされることがない。したがって、工程を煩雑にしたり、有効チップ外領域の最上層金属層から異物を発生させることなく、最上層の層間絶縁層の上面が平坦化される。その結果、光学特性が向上された光学変換素子を有する半導体装置を提供することができる。

図面の簡単な説明

[0017] [図1]本実施の形態1に係る半導体装置であってウエハの状態を示す概略平面図である。

[図2]図1中の丸点線「ⅠⅠ」で囲まれた領域の概略拡大平面図である。

[図3]図1中の丸点線「ⅠⅠⅠ」で囲まれた領域に対応した、本実施の形態1に係る有効チップ領域と有効チップ外領域との半導体装置の構成を示す概略断面図である。

[図4]本発明の実施の形態1における半導体装置の製造方法の第1工程を示す概略断面図である。

[図5]本発明の実施の形態1における半導体装置の製造方法の第2工程を示す概略断面図である。

[図6]本発明の実施の形態1における半導体装置の製造方法の第3工程を示す概略断面図である。

[図7]本発明の実施の形態1における半導体装置の製造方法の第4工程を示す概略断面図である。

[図8]本発明の実施の形態1における半導体装置の製造方法の第5工程を示す概略断面図である。

[図9]本発明の実施の形態1における半導体装置の製造方法の第6工程を示す概略断面図である。

[図10]本発明の実施の形態1における半導体装置の製造方法の第7工程を示

す概略断面図である。

[図11]本発明の実施の形態1における半導体装置の製造方法の第8工程を示す概略断面図である。

[図12]本発明の実施の形態1における半導体装置の製造方法の第9工程を示す概略断面図である。

[図13]本発明の実施の形態1の第1の比較例における半導体装置の製造方法の、図5に相当する工程を示す概略断面図である。

[図14]本発明の実施の形態1の第1の比較例における半導体装置の製造方法の、図6に相当する工程を示す概略断面図である。

[図15]本発明の実施の形態1の第1の比較例における半導体装置の製造方法の、図7に相当する工程を示す概略断面図である。

[図16]本発明の実施の形態1の第1の比較例における半導体装置の製造方法の、図8に相当する工程を示す概略断面図である。

[図17]本発明の実施の形態1の第1の比較例における半導体装置の製造方法の、図9に相当する工程を示す概略断面図である。

[図18]本発明の実施の形態1の第1の比較例における半導体装置の製造方法の、図10および図11に相当する工程を示す概略断面図である。

[図19]本発明の実施の形態1の第1の比較例における半導体装置の製造方法の、図12に相当する工程を示す概略断面図である。

[図20]本発明の実施の形態1の第2の比較例における半導体装置の製造方法の、図8に相当する工程を示す概略断面図である。

[図21]本発明の実施の形態1の第2の比較例における半導体装置の製造方法の、図9に相当する工程を示す概略断面図である。

[図22]本発明の実施の形態1の第2の比較例における半導体装置の製造方法の、図10および図11に相当する工程を示す概略断面図である。

[図23]本発明の実施の形態1の第2の比較例における半導体装置の製造方法の、図12に相当する工程を示す概略断面図である。

[図24]本発明の実施の形態2における半導体装置の製造方法の、図4に続く

工程を示す概略断面図である。

[図25]本発明の実施の形態2における半導体装置の製造方法の、図24に続く工程を示す概略断面図である。

[図26]本発明の実施の形態2における半導体装置の製造方法の、図25に続く工程を示す概略断面図である。

[図27]本発明の実施の形態3において用いられる露光装置の平面図である。

[図28]本発明の実施の形態3において用いられる露光装置が半導体ウエハを露光する態様を示す概略断面図である。

[図29]本発明の実施の形態3における半導体装置の製造方法の、図4に相当する工程を示す概略断面図である。

[図30]本発明の実施の形態3における半導体装置の製造方法の、図5に相当する工程を示す概略断面図である。

[図31]本発明の実施の形態3における半導体装置の製造方法の、図25に相当する工程を示す概略断面図である。

[図32]本実施の形態4に係る有効チップ領域と有効チップ外領域との半導体装置の構成を示す概略断面図である。

[図33]本発明の実施の形態4における半導体装置の製造方法の、図8に相当する工程を示す概略断面図である。

[図34]本発明の実施の形態4における半導体装置の製造方法の、図33に続く工程を示す概略断面図である。

[図35]本発明の実施の形態4において、半導体ウエハを周辺露光する態様を示す概略断面図である。

[図36]本発明の実施の形態4における半導体装置の製造方法の、図34に続く工程を示す概略断面図である。

[図37]本発明の実施の形態4における半導体装置の製造方法の、図35に続く工程を示す概略断面図である。

[図38]本実施の形態5に係る半導体装置であってウエハの状態を示す概略平面図である。

[図39]本発明の実施の形態5における半導体装置の製造方法の、図8に相当する工程を示す概略断面図である。

[図40]本発明の実施の形態5における半導体装置の製造方法の、図39に続く工程を示す概略断面図である。

[図41]本発明の実施の形態5における半導体装置の製造方法の、図40に続く工程を示す概略断面図である。

[図42]本発明の実施の形態5における半導体装置の製造方法の、図41に続く工程を示す概略断面図である。

発明を実施するための形態

[0018] 以下、本発明の実施の形態について図に基づいて説明する。

(実施の形態1)

まず、本実施の形態としてウエハ状態の半導体装置について説明する。

[0019] 図1を参照して、半導体ウエハSWには、有効チップ領域AAと有効チップ外領域NAAとを有している。有効チップ領域AAは半導体ウエハSWの中央部に配置され、複数のイメージセンサ用のチップ領域IMCが形成されている。複数のチップ領域IMCの各々は矩形の平面形状を有し、行列状に配置されている。有効チップ領域AAの外部に配置された有効チップ外領域NAAには、チップ領域IMCと同等の構成を有する領域（破線で示す領域）が形成されているが、その領域は、半導体ウエハSWの外周縁により矩形の一部が切り取られた平面形状を有している。

[0020] 図2を参照して、有効チップ領域AAに配置される複数のチップ領域IMCの各々は、光電変換素子としてたとえばフォトダイオードの形成領域PDRと、フォトダイオードを制御するための周辺回路の形成領域PCRとを有している。形成領域PCRは、形成領域PDRのたとえば両側に形成されている。また複数のチップ領域IMCの間には、ダイシングライン領域DLRが形成されている。このダイシングライン領域DLRに、アライメントマークが配置されている。このダイシングライン領域DLRで半導体ウエハSWがダイシングされることにより、半導体ウエハSWは複数個の半導体チップ

に分割されている。

[0021] 次に、有効チップ領域A Aおよび有効チップ外領域N A Aのそれぞれにおける半導体装置の構成について説明する。

[0022] 図3を参照して、本実施の形態のイメージセンサは、有効チップ領域A Aの形成領域P D R（フォトダイオード部）のフォトダイオードP D（光電変換素子）と、形成領域P C R（周辺回路部）の制御用トランジスタC T Rとを有する構成である。

[0023] 具体的には、本イメージセンサは、たとえばシリコンからなる半導体基板S U Bのn⁻領域N T Rに形成されている。フォトダイオード部と周辺回路部とは、半導体基板S U Bの表面に形成されたフィールド酸化膜F Oにより互いに平面視において分離されている。また有効チップ領域A Aと有効チップ外領域N A Aとは、半導体基板S U Bの表面に形成されたフィールド酸化膜F Oにより互いに平面視において分離されている。

[0024] フォトダイオードP Dは、p型ウェル領域P W R 1とn型不純物領域N P Rとにより構成されている。p型ウェル領域P W R 1はフォトダイオード部内の半導体基板S U Bの表面に形成されている。n型不純物領域N P Rはp型ウェル領域P W R 1内の半導体基板S U Bの表面に形成されており、p型ウェル領域P W R 1とp n接合を構成している。

[0025] フォトダイオード部には、転送用トランジスタS W T RなどのM I S（Metal Insulator Semiconductor）トランジスタも形成されている。特に転送用トランジスタS W T Rは、1対のソース／ドレイン領域N P R、N N R、N Rと、ゲート絶縁膜G Iと、ゲート電極G Eとを有している。1対のn型ソース／ドレイン領域N P RとN N R、N Rとの各々は、p型ウェル領域P W R 1内の半導体基板S U Bの表面に互いに間隔をおいて配置されている。1対のn型ソース／ドレイン領域N P R、N N R、N Rの一方の領域は、フォトダイオードP Dのn型不純物領域N P Rと一体となっており、互いに電氣的に接続されている。1対のソース／ドレイン領域N P R、N N R、N Rの他方の領域は、高濃度領域としてのn⁺不純物領域N RとL D D（Lightly

Doped Drain) としての n 型不純物領域 NNR とを有している。1 対のソース／ドレイン領域 NPR と NNR 、 NR とに挟まれる半導体基板 SUB の表面の上にはゲート絶縁膜 GI を挟んでゲート電極 GE が形成されている。

[0026] また、 p 型ウェル領域 $PWR1$ 内の半導体基板 SUB の表面には、上層配線と接続するため p^+ 不純物領域 PR が形成されている。

[0027] フォトダイオード PD を覆うように半導体基板 SUB の表面上には絶縁層が形成されている。この絶縁層の一方端はゲート電極 GE の一方上に乗り上げている。また上記絶縁層の残渣としてゲート電極 GE の他方の側壁には側壁絶縁層が形成されている。

[0028] 周辺回路部における、半導体基板 SUB の表面には、たとえば p 型ウェル領域 $PWR2$ が形成されている。この p 型ウェル領域 $PWR2$ には、複数のフォトダイオード PD の動作を制御するための制御素子が形成されており、この制御素子はたとえば MIS トランジスタ CTR を含んでいる。

[0029] この MIS トランジスタ CTR は、1 対の n 型ソース／ドレイン領域 NNR 、 NR と、ゲート絶縁膜 GI と、ゲート電極 GE とを有している。1 対の n 型ソース／ドレイン領域 NNR 、 NR の各々は、互いに間隔をあけて半導体基板 SUB の表面に形成されている。1 対の n 型ソース／ドレイン領域 NNR 、 NR の各々は、たとえば高濃度領域としての n 型不純物領域 NR と LDD としての n 型不純物領域 NNR とを有している。

[0030] 1 対の n 型ソース／ドレイン領域 NNR 、 NR に挟まれる半導体基板 SUB の表面の上にはゲート絶縁膜 GI を挟んでゲート電極 GE が形成されている。ゲート電極 GE の側壁には、側壁絶縁層が形成されている。

[0031] フォトダイオード部と周辺回路部との各 MIS トランジスタのゲート電極 GE の材質はたとえば不純物がドーピングされた多結晶シリコンからなっているもよく、またたとえば TiN などの金属からなっているもよい。

[0032] 有効チップ領域 AA (フォトダイオード部 PDR 、周辺回路部 PCR) および有効チップ外領域 NAA の各々において、半導体基板 SUB の表面上には、上記の素子 (フォトダイオード PD 、 MIS トランジスタ $SWTR$ 、 C

TR)上を覆うように層間絶縁層111が形成されている。有効チップ領域AAのフォトダイオード部、周辺回路部、および有効チップ外領域NAAにおいては、層間絶縁層111上に、パターニングされた1層目の金属配線AL1が形成されている。この1層目の金属配線AL1は、特に有効チップ領域AAにおいて、層間絶縁層111のコンタクトホール内を埋め込む導電層C1を通じて、たとえばp⁺不純物領域PRまたはn⁺不純物領域NRに電氣的に接続されている。

[0033] 金属配線AL1を覆うように層間絶縁層111上には層間絶縁層112が形成されている。有効チップ領域AAのフォトダイオード部、周辺回路部、および有効チップ外領域NAAにおいては、層間絶縁層112上に、パターニングされた2層目の金属配線AL2が形成されている。この2層目の金属配線AL2は、特に有効チップ領域AAにおいて、層間絶縁層112のスルーホール内を埋め込む導電層T1を通じて1層目の金属配線AL1と電氣的に接続されている。

[0034] 図3においては有効チップ領域AAにおける金属配線AL1, AL2と有効チップ外領域NAAにおける金属配線AL1, AL2とは同一のパターンが形成されている。すなわち有効チップ外領域NAAにおいても有効チップ領域AAのフォトダイオード部および周辺回路部と同様の金属配線AL1, AL2のパターンが周期的に形成されている。また有効チップ外領域NAAにおいても有効チップ領域(周辺回路部)と同様の制御用トランジスタCTRが形成されている。しかし有効チップ外領域NAAにおいては、金属配線AL1と金属配線AL2とが導電層T1を通じて電氣的に接続されていなくてもよい。そもそも図3においては有効チップ外領域NAAにおいても金属配線AL1, AL2が形成されているが、金属配線AL1, AL2は有効チップ外領域NAAには形成されていなくてもよい。

[0035] 金属配線AL2を覆うように層間絶縁層112上には層間絶縁層113が形成されている。有効チップ領域AAにおいては、層間絶縁層113上に、パターニングされた3層目の金属配線AL3が形成されている。この3層目

の金属配線A L 3は、層間絶縁層I I 3のスルーホール内を埋め込む導電層T 2を通じて2層目の金属配線A L 2と電氣的に接続されている。

[0036] 本実施の形態においては金属配線A L 3は、複数形成される金属配線のうち最上層に形成されている。最上層金属配線としての金属配線A L 3は、有効チップ領域A Aには形成されているが、有効チップ外領域N A Aには形成されていない。つまり有効チップ外領域N A Aにおいても層間絶縁層I I 2上には層間絶縁層I I 3が形成されているが、有効チップ外領域N A Aにおいては、層間絶縁層I I 3上に金属配線A L 3が形成されていない。

[0037] 有効チップ領域の金属配線A L 3を覆うように、層間絶縁層I I 3上には層間絶縁層I I 4が形成されている。層間絶縁層I I 4は、有効チップ領域A A、有効チップ外領域N A Aともに形成されている。この層間絶縁層I I 4上にはパッシベーション膜P A S Fが形成されている。このパッシベーション膜P A S F上であって、フォトダイオードP Dの真上には集光レンズL Sが配置されている。この集光レンズL Sは光を集めてフォトダイオードP Dに照射するためのものである。

[0038] 上記において、金属配線A L 1～A L 3はアルミニウムなどの金属材料からなることが好ましいが、アルミニウムの代わりに銅などの金属材料からなってもよい。層間絶縁層I I 1, I I 2, I I 3, I I 4はたとえばシリコン酸化膜よりなっており、金属材料よりなる金属配線A L 1～A L 3とはエッチング選択比（たとえば導電層T 1, T 2などを形成するための層間絶縁層I I 2, I I 3のエッチング時におけるエッチング選択比）の異なる材料からなっている。さらに導電層C 1, T 1, T 2は、層間絶縁層に形成されたスルーホールがタングステンなどの金属材料により充填された構成を有することが好ましい。また図示されないが、導電層C 1, T 1, T 2を形成する上記スルーホールの側壁や底壁にはバリアメタルが形成されてもよい。

[0039] また図3にはフォトダイオード部のフォトダイオードP Dやスイッチング素子S W T R、周辺回路部の制御用トランジスタC T Rなどが1つずつ図示されている。しかし実際にはたとえば図1および図2に示す、区分された個

々のチップ領域IMC中に複数のフォトダイオードPDやスイッチング素子SWTRなどが、互いに間隔をおいて配置されている。

[0040] 次に図3に示す、本実施の形態の半導体装置の製造方法について図4～図11を用いて説明する。なお以下においては、図3に示す層間絶縁層113および、層間絶縁層113よりも下側の各層の形成方法についての詳細な説明は省略するため、図4～図11において上記各層は図3に比べて図示が簡略化されている。また以下においてはフォトダイオード部と周辺回路部とをまとめて有効チップ領域と記載している。

[0041] 図4を参照して、シリコンやゲルマニウムなど、使用時に照射する光の波長に応じて異なる半導体材料からなる半導体基板SUBの表面に、図3に示すフォトダイオードPDや層間絶縁層111～113（図4中ではこれらをまとめて層間絶縁層11と図示）、金属配線AL1、AL2、導電層T1、T2などが形成された後、有効チップ領域と有効チップ外領域との双方の全体において、層間絶縁層113の上面を覆うように金属膜AL3が形成される。金属膜AL3は、後述するパターニングにより図3の最上層金属配線AL3となる最上層金属層であり、たとえばスパッタリングにより形成される。なお最上層金属配線である金属配線AL3は、金属配線AL1、AL2よりも厚く、たとえば600nm以上となるように形成されることが好ましい。

[0042] 有効チップ領域、有効チップ外領域ともに、最上層金属層AL3の上に金属層用フォトレジストRSP1、RSP2が形成される。ここで形成されるフォトレジストは、露光時に光が照射された領域が現像により溶解される、いわゆるポジ型のフォトレジストである。

[0043] 次にフォトマスクMK1a（第1のフォトマスク）を通して、有効チップ領域におけるポジ型フォトレジスト（金属層用フォトレジスト）が露光される。フォトマスクMK1aは、たとえばガラス製のベース体BS1aの表面上に、たとえばクロムからなる遮光用のパターンPTaが形成された、パターニング用の製品マスクである。図4においてはフォトマスクMK1aのパ

ターンPTaにより光の照射を受けない領域のポジ型フォトレジストをRSP1により、フォトマスクMK1aのパターンPTaの影響を受けずに光が照射される領域のポジ型フォトレジストをRSP2により、それぞれ表記している。なおこのとき、有効チップ外領域は露光されないことが好ましい。

[0044] 図5を参照して、次にフォトマスクMK2a（第2のフォトマスク）を用いて、有効チップ外領域におけるポジ型フォトレジストが露光される。フォトマスクMK2aはたとえばガラス製のベース体BS2aのみからなり、クロムなどからなる遮光用のパターンは形成されていない特殊マスクである。このため有効チップ外領域のフォトレジストはその全体が光の照射を受け、ポジ型フォトレジストRSP2となる。なおこのとき、有効チップ領域は露光されないことが好ましい。

[0045] 以上においては有効チップ領域のフォトレジストが露光された後、有効チップ外領域のフォトレジストが露光されている。しかし有効チップ外領域のフォトレジストが露光された後、有効チップ領域のフォトレジストが露光されてもよい。

[0046] 図6を参照して、有効チップ領域内と有効チップ外領域内とのポジ型フォトレジストが露光された後に、ポジ型フォトレジストの有効チップ領域内の部分と有効チップ外領域内の部分とが同時に現像される。この処理により有効チップ領域および有効チップ外領域において、ポジ型フォトレジストRSP2が溶解し、ポジ型フォトレジストRSP1が残存する。つまり有効チップ外領域のポジ型フォトレジストはすべて除去され、ポジ型フォトレジストRSP1のパターンが形成される。

[0047] 図7を参照して、パターニングされたポジ型フォトレジストRSP1をマスクとして、最上層金属層AL3がパターニングされる。この処理により、有効チップ領域内の最上層金属層AL3がパターニングされ、最上層金属配線AL3が形成され、かつ有効チップ外領域全体の最上層金属層AL3が除去される。その後フォトレジストRSP1が除去される。

[0048] 図8を参照して、層間絶縁層II3および最上層金属配線AL3を覆うよ

うに、有効チップ領域と有効チップ外領域との双方の全体に層間絶縁層 114 が形成される。層間絶縁層 114 はたとえばシリコン酸化膜からなり、たとえば CVD (Chemical Vapor Deposition) 法を用いて形成される。層間絶縁層 114 の最上面は、金属配線 AL3 上の領域においてそれ以外の領域に比べて上方に盛り上がるように形成される。層間絶縁層 114 は、たとえば 600 nm 以上の厚みを有することが好ましい。

[0049] 有効チップ領域、有効チップ外領域ともに、層間絶縁層 114 上にポジ型フォトレジストが形成される。ここでのポジ型フォトレジスト RSP1, RSP2 は、層間絶縁層 114 の上面を平坦化する工程を行なう前に、当該上面の一部を選択的にエッチングすることにより除去する、いわゆるプリエッチングのために形成されるフォトレジストである。

[0050] 次にフォトマスク MK1b を用いて、有効チップ領域におけるポジ型フォトレジストが選択的に露光される。フォトマスク MK1b は、たとえばガラス製のベース体 BS1b の表面上に、たとえばクロムからなる遮光用のパターン PTb が形成された、パターニング用の製品マスクである。フォトマスク MK1b のパターン PTb は、概ね有効チップ領域の金属配線 AL3 と平面視において重ならない領域に形成されることが好ましい。言い換えれば、概ね金属配線 AL3 と平面視において重なる領域（金属配線 AL3 の真上に位置する領域）のポジ型フォトレジストは露光を受けてフォトレジスト RSP2 となるように設計されることが好ましい。

[0051] なおこのとき、有効チップ外領域のポジ型フォトレジストは露光されないことが好ましい。このため図 8 においては有効チップ外領域のポジ型フォトレジストはその全体が RSP1 となっている。

[0052] 図 9 を参照して、有効チップ領域内と有効チップ外領域内との双方においてポジ型フォトレジストが現像され、ポジ型フォトレジスト RSP2 は溶解し、ポジ型フォトレジスト RSP1 が残存する。このとき有効チップ外領域の全体においてポジ型フォトレジスト RSP1 が残存する。

[0053] 図 10 を参照して、パターニングされたポジ型フォトレジスト RSP1 (

プリエッチング用フォトレジスト)のパターンをマスクとして、有効チップ領域内において層間絶縁層 114 がパターニングされる。するとポジ型フォトレジスト R S P 1 が残存しない領域において層間絶縁層 114 の上面の一部が選択的にエッチングされ、その上面がより深い 114 a に形成される。この処理が上記のいわゆるプリエッチングと呼ばれるものである。

[0054] プリエッチングにより層間絶縁層 114 の上面がエッチングされるのは、有効チップ領域内においてパターニングされた金属配線 A L 3 の真上に位置する領域の層間絶縁層 114 であることが好ましい。これは上記のように、有効チップ領域内において金属配線 A L 3 がパターニングされた領域の真上において概ねフォトレジスト R S P 2 が露光されるように設計されるためである。

[0055] 層間絶縁層 114 の上面は、金属配線 A L 3 の真上に位置する領域において、他の領域よりも上方に盛り上がるように形成される。したがって金属配線 A L 3 の真上に位置する層間絶縁層 114 の上面の一部が選択的にプリエッチングされることにより、層間絶縁層 114 の上面の段差を少なくすることができる。このため後工程において層間絶縁層 114 の上面をより平坦に加工することができる。ただし金属配線 A L 3 の真上に位置する層間絶縁層 114 の上面の一部に、選択的にプリエッチングされない領域を含んでもよい。

[0056] 一方、有効チップ外領域においては層間絶縁層 114 の全体がフォトレジスト R S P 1 で覆われている。このため層間絶縁層 114 はプリエッチングされない。図 11 を参照して、その後フォトレジスト R S P 1 が除去される。

[0057] 図 12 を参照して、有効チップ領域および有効チップ外領域の全体において、図 10 のプリエッチングにより層間絶縁層 114 の上面がたとえば C M P (Chemical Mechanical Polishing) により研磨され、平坦化される。以後、パッシベーション膜 P A S F およびレンズ L S (図 3 参照) が形成されることにより、図 3 に示すイメージセンサを有する半導体ウエハ S W (半導

体装置)が形成される。パッシベーション膜P A S FおよびレンズL Sの形成方法については、詳細な説明を省略する。

[0058] 次に、本実施の形態の比較例である図13～図23を参照しながら、本実施の形態の作用効果を説明する。

[0059] 図13を参照して、本実施の形態の第1の比較例においては、図3に示すイメージセンサを有する半導体装置を形成するにあたり、図4と同様の工程がなされた後、フォトマスクMK2aを用いて、有効チップ外領域におけるポジ型フォトレジストが露光される。ただし第1の比較例においては、フォトマスクMK2aはフォトマスクMK1aと同様に、たとえばガラス製のベース体BS2aの表面上に、たとえばクロムからなる遮光用のパターンPTaが形成された、パターニング用の製品マスクである。なお図13の工程は、図4の工程の前になされてもよいし、図4の工程と同時に成されてもよい。

[0060] 図14を参照して、図6の工程と同様に有効チップ領域内と有効チップ外領域内とのポジ型フォトレジストRSP1、RSP2が同時に現像される。すると有効チップ領域内と有効チップ外領域内との双方において、ポジ型フォトレジストRSP1のパターンが形成される。図15を参照して、図7の工程と同様に、図14のポジ型フォトレジストRSP1のパターンをマスクとして、最上層金属層AL3がパターニングされ、その後フォトレジストRSP1が除去される。

[0061] ここで半導体ウエハの外縁(平面視において半導体基板SUBの最も外側の縁)の近傍に金属配線AL3のパターンが残存すれば、たとえば当該部分に半導体ウエハを固定するための部材が装着されることにより金属配線AL3が削れ、異物を発生する可能性がある。このため、半導体ウエハの外縁から一定距離(たとえば1.5mm以上)の範囲の領域のフォトレジストは除去される。

[0062] 図16を参照して、図8の工程と同様に層間絶縁層II4が形成される。有効チップ領域、有効チップ外領域ともに、層間絶縁層II4上に、層間絶

縁層 114 の上面をプリエッチングするためのポジ型フォトレジストが形成される。

[0063] 次にフォトマスク MK 1 b を用いて、有効チップ領域におけるポジ型フォトレジストが選択的に露光される。またフォトマスク MK 2 b を用いて、有効チップ外領域におけるポジ型フォトレジストが選択的に露光される。フォトマスク MK 2 b は、たとえばガラス製のベース体 BS 2 b の表面上に、たとえばクロムからなる遮光用のパターン PT b が形成された、パターニング用の製品マスクである。なお有効チップ領域と有効チップ外領域との露光の順序は任意である。

[0064] 図 17 を参照して、図 9 の工程と同様に有効チップ領域内と有効チップ外領域内とのポジ型フォトレジスト RSP 1, RSP 2 が現像される。図 18 を参照して、フォトレジスト RSP 2 が溶解した領域において図 10 の工程と同様に層間絶縁層 114 の一部がパターニング（プリエッチング）され、その上面が 114 a まで深くなる。図 11 の工程と同様にフォトレジスト RSP 1 が除去された後、図 19 を参照して、図 12 の工程と同様に CMP により層間絶縁層 114 の上面が平坦化される。

[0065] このように有効チップ領域と有効チップ外領域との境界近傍においては、最上層の層間絶縁層 114 の一部において、最上面から一定の厚み分の領域を予備的にエッチング（プリエッチング）した後に、CMP により当該上面が平坦化される。以上の処理により、層間絶縁層 114 の最上面における平坦化がなされ、有効チップ領域と有効チップ外領域との境界近傍における層間絶縁層 114 の最上面の段差を小さくすることができる。有効チップ領域において隣接するチップ領域 IMC（図 2 参照）の間においても同様の処理を行なうことにより、各チップ領域の層間絶縁層 114 の最上面の平坦性を保つことにより、イメージセンサの画像のムラなどを抑制することができる。

[0066] ところが第 1 の比較例においては上記のように、有効チップ外領域においても層間絶縁層 114 のプリエッチングがなされる。このため図 18 に示す

ように、半導体ウエハの最外縁の近傍において層間絶縁層 114 の上面 114 a が他の領域より深くに達する。この状態で図 19 に示す CMP がなされると、上記外縁の近傍においては層間絶縁層 114 の上面がさらに深くまで研磨されその最上面が 114 b に達する。すると層間絶縁層 114 の下の金属配線 AL 3 は、その最外部において最上面に露出するように研磨され、金属配線 AL 3 の異物を発生する可能性がある。

[0067] 上記の不具合を抑制するためには、以下に示す本実施の形態の第 2 の比較例のように、有効チップ外領域におけるリエッチングを中止することにより、有効チップ外領域の最上面がリエッチングにより深く研磨されることを抑制することが好ましい。このようにすれば、CMP の際に有効チップ外領域の最外部において層間絶縁層 114 の上部が過剰に研磨されないようにすることが。

[0068] 図 20 を参照して、本実施の形態の第 2 の比較例においては、第 1 の比較例と同様に、有効チップ領域と有効チップ外領域との双方に金属配線 AL 3 のパターンが形成される。その後、図 8 の工程と同様に層間絶縁層 114 が形成される。ポジ型フォトリソが形成された後、有効チップ領域のみフォトリソマスク MK 1 b によりポジ型フォトリソが露光される。有効チップ外領域のポジ型フォトリソは露光されない。

[0069] 図 21 を参照して、図 9 の工程と同様に有効チップ領域内と有効チップ外領域内とのポジ型フォトリソ RSP 1, RSP 2 が現像される。ここで有効チップ外領域の全体においてフォトリソ RSP 1 が残存する。

[0070] 図 22 を参照して、図 10 の工程と同様に層間絶縁層 114 の一部がパターニング（リエッチング）された後、図 11 の工程と同様にポジ型フォトリソ RSP 1 が除去される。

[0071] 図 23 を参照して、図 12 の工程と同様に CMP により層間絶縁層 114 の上面が平坦化される。このとき有効チップ領域部と有効チップ外領域部との境界近傍において、層間絶縁層 114 の上面に段差 LDF が生じる。これは有効チップ外領域においては図 22 において層間絶縁層 114 がまったく

プリエッチングされないため、有効チップ外領域において有効チップ領域よりも層間絶縁層 114 を CMP で削るべき厚み（領域）が増加するためである。有効チップ外領域において有効チップ領域よりも層間絶縁層 114 を削るべき量が多いため、図 23 に示すように有効チップ外領域の層間絶縁層 114 の最上面が有効チップ領域の層間絶縁層 114 の最上面よりも高くなるように、段差 LDF が生じる。このため特に有効チップ領域と有効チップ外領域との境界近傍において、有効チップ領域のイメージセンサに画像のムラなどが発生する可能性がある。

[0072] そこで本実施の形態のように、有効チップ領域のみに最上層金属配線 AL3 を形成した上に最上層層間絶縁層 114 を形成し、有効チップ領域の層間絶縁層 114 のみプリエッチングを施す。このようにすれば、有効チップ外領域においては最上層金属配線 AL3 がまったく配置されないため、たとえば図 9 に示すように、有効チップ外領域においては、相対的に有効チップ領域より層間絶縁層 114 の最上面が低い位置に形成される。その後図 10 に示すように有効チップ領域の層間絶縁層 114 のみプリエッチングを施しても、図 11 に示すように有効チップ領域と有効チップ外領域との、CMP において削るべき層間絶縁層 114 の量（厚み）の差が（たとえば図 22 の場合に比べて）小さくなる。このため図 12 の工程において有効チップ領域と有効チップ外領域との層間絶縁層 114 を CMP 処理することにより、有効チップ領域と有効チップ外領域との間の段差を少なくすることができる。

[0073] また有効チップ外領域には金属配線 AL3 がまったく形成されないため、有効チップ外領域の層間絶縁層 114 は（プリエッチングしなくても）その最上面は概ね平坦であり、その上下方向の高さはプリエッチングがなされた後の有効チップ領域の最上面 114a とほぼ同じである。このため有効チップ領域の層間絶縁層 114 のみ選択的にプリエッチングすることにより、続く CMP 工程において、有効チップ領域と有効チップ外領域との間に段差を生じることなく、より平坦に加工することができる。

[0074] さらに有効チップ外領域には金属配線 AL3 がまったく形成されないため

、CMPなどの後工程において有効チップ外領域の外縁の近傍における、金属配線AL3に起因する異物の発生が抑制される。

[0075] 以上より本実施の形態によれば、有効チップ外領域の外縁の近傍における金属配線AL3に起因する異物を生じることなく、最上層層間絶縁層の最上面を平坦化することができる。その結果、有効チップ領域の最外部のイメージセンサの光学特性の劣化を抑制することができる。

[0076] (実施の形態2)

本実施の形態は、実施の形態1と比較して、最上層金属配線AL3をパターンニングする手順において異なっている。以下、本実施の形態の半導体装置の製造方法について、図24～図26を用いて説明する。なおここでは、実施の形態1の製造方法と異なる点においてのみ説明する。

[0077] 図24を参照して、本実施の形態の製造方法においては、図4の工程と同様に、有効チップ領域における金属配線AL3上のポジ型フォトリソが、製品マスクであるフォトマスクMK1aを通して露光された後、直ちに現像され、有効チップ領域の金属配線AL3がパターンニングされる。なおこのとき、有効チップ外領域は露光されないことが好ましい。

[0078] 図25を参照して、次に、図5の工程と同様に、有効チップ外領域における金属配線AL3上のポジ型フォトリソの全体が、特殊マスクであるフォトマスクMK2aを通じて露光される。このとき有効チップ領域は露光されないことが好ましい。

[0079] 図26を参照して、その後、有効チップ外領域のポジ型フォトリソが現像により溶解される。その後は、図7と同様に有効チップ外領域全体の最上層金属層AL3が除去され、以後は実施の形態1と同様に、図8～図12と同様の工程がなされる。すなわち本実施の形態においては、ポジ型フォトリソの有効チップ領域内の部分を現像する工程と、ポジ型フォトリソの有効チップ外領域内の部分を現像する工程とは互いに別工程で行なわれる。

[0080] なお以上においては、有効チップ領域が露光、現像された後に、有効チッ

プ外領域が露光、現像されている。しかし有効チップ外領域を露光、現像した後には有効チップ領域が露光、現像されてもよい。パッシベーション膜 P A S F やレンズ L S などを形成することにより、図 3 に示す、実施の形態 1 と同様の態様を有する半導体装置が形成される。

[0081] 本実施の形態においては、上記以外は実施の形態 1 とほぼ同じであるため、図 2 4 ～図 2 6 において実施の形態 1 と同一の要素については同一の符号を付し、その説明を繰り返さない。

[0082] 次に本実施の形態の作用効果について説明する。

実施の形態 1 においては、最上層金属層 A L 3 をパターニングする際には、最上層金属層 A L 3 上に形成したポジ型フォトリソレジストを、有効チップ領域内または有効チップ外領域のいずれか一方において露光した後、これを現像する前に、有効チップ領域内または有効チップ外領域のいずれか他方において露光する。そしてその後、有効チップ領域内と有効チップ外領域内との双方のポジ型フォトリソレジストを同時に現像する。

[0083] これに対して実施の形態 2 においては、当該ポジ型フォトリソレジストを、有効チップ領域内または有効チップ外領域のいずれか一方において露光および現像し、下部の配線層 A L 3 がパターニングされた後、有効チップ領域内または有効チップ外領域のいずれか他方において露光および現像する。つまり実施の形態 1 と比較して実施の形態 2 においては、露光から現像、パターニングまでの時間が短くなる。

[0084] 最上層金属層 A L 3 をパターニングする際に、実施の形態 1 においては、有効チップ領域および有効チップ外領域を先に露光した上で、有効チップ領域および有効チップ外領域をまとめて現像するため、実施の形態 2 に比べて作業効率が高くなる。しかし実施の形態 1 のように有効チップ領域の露光から有効チップ領域の金属層 A L 3 のパターニングまでの時間が長いと、平面視において金属層 A L 3 がパターニングにより除去される領域にばらつきが発生する可能性がある。そこで本実施の形態のように各領域に露光から金属層 A L 3 のパターニングまでの時間を短くすることにより、平面視において

金属層 A L 3 がパターニングにより除去される領域の、たとえば形状および寸法のばらつきを抑制することができる。

[0085] 本発明の実施の形態 2 は、以上に述べた各点についてのみ、本発明の実施の形態 1 と異なる。すなわち、本発明の実施の形態 2 について、上述しなかった構成や条件、手順や効果などは、全て本発明の実施の形態 1 に順ずる。

[0086] (実施の形態 3)

本実施の形態は、実施の形態 1 と比較して、有効チップ外領域のポジ型フォトレジストを露光する領域を調整する方法において異なっている。

[0087] 図 27 を参照して、本実施の形態においては、ポジ型フォトレジストが露光される領域が、たとえば露光装置に内蔵されるステップ（縮小投影型露光装置）のブラインド機能により調整される。具体的には、図 27 および図 28 を参照して、ブラインド B L D と呼ばれる遮光板と平面視において重なる非露光領域 N E P においては、たとえ露光エリアであっても、光源からの光がブラインド B L D により遮られ、フォトマスク M K や半導体ウエハ S W に届かない。一方、ブラインド B L D と平面視において重ならない露光領域 E X P においては、光源からの光がフォトマスク M K に届き、さらにパターン P T と平面視において重ならないければ、当該光が半導体ウエハ S W に届く。

[0088] なお上記において、ガラス製のベース体 B S とクロムなどのパターン P T とからなるフォトマスク M K は、フォトマスク M K 1 a とフォトマスク M K 2 a とをまとめて説明するためのものである。

[0089] 以下、本実施の形態の半導体装置の製造方法について、図 29 ～図 31 を用いて説明する。なおここでは、実施の形態 1 および実施の形態 2 の製造方法と異なる点においてのみ説明する。

[0090] 図 29 を参照して、最上層金属層 A L 3 をパターニングする際に、実施の形態 1 における図 4 の工程と同様に、フォトマスク M K 1 a を通して、有効チップ領域における最上層金属層 A L 3 上のポジ型フォトレジスト（金属層用フォトレジスト）が露光される。ただしここでは、光が供給される露光エリアがブラインド B L D によって、有効チップ領域のフォトマスク M K 1 a

全体に光が供給され、有効チップ外領域にはまったく光が供給されないように調製されてもよい。

[0091] 図30を参照して、実施の形態1における図5の工程と同様に、有効チップ外領域におけるポジ型フォトレジストの全体が露光される。ただしフォトマスクMK2aを用いず、ブラインドBLDにより、有効チップ外領域の全体が露光され、有効チップ外領域以外の部分（たとえば有効チップ領域）は遮光されるように調整される。以後は実施の形態1と同様に、図6～図12と同様の工程がなされる。

[0092] 図31を参照して、実施の形態2における図25の工程と同様に、有効チップ領域の金属配線AL3がパターニングされた後に、ブラインドBLDにより有効チップ外領域全体のフォトレジストが露光されるように調整され、露光処理がなされる。以後は実施の形態2と同様に、図26および図8～図12と同様の工程がなされる。パッシベーション膜PASFやレンズLSなどを形成することにより、図3に示す、実施の形態1と同様の態様を有する半導体装置が形成される。

[0093] 本実施の形態においては、上記以外は実施の形態1とほぼ同じであるため、図29～図31において実施の形態1と同一の要素については同一の符号を付し、その説明を繰り返さない。

[0094] 次に、本実施の形態の作用効果について説明する。

実施の形態1および実施の形態2においては、専らフォトマスクにより、半導体ウエハSW上において露光される領域が制御される。これに対して本実施の形態においては、フォトマスクおよびブラインドBLDを併用することにより、半導体ウエハSW上において露光される領域が制御される。特に有効チップ外領域においては、金属配線AL3上のポジ型フォトレジストの全体が露光される。そのためブラインドBLDを用いることにより、フォトマスクMK2aを用いることなく、有効チップ外領域の全体のフォトレジストを露光し、有効チップ領域のフォトレジストを露光しないように、露光領域を制御することができる。したがって有効チップ外領域の最上層金属層A

L 3 をパターニング（除去）するためのフォトマスク MK 2 a が不要となる分だけ、半導体ウエハ SW の製造コストが削減される。

[0095] 本発明の実施の形態 3 は、以上に述べた各点についてのみ、本発明の実施の形態 1 と異なる。すなわち、本発明の実施の形態 3 について、上述しなかった構成や条件、手順や効果などは、全て本発明の実施の形態 1 に順ずる。

[0096] （実施の形態 4）

本実施の形態は、実施の形態 1 と比較して、最上層の金属配線の構成および、用いられるフォトレジストならびにパターニング方法において異なっている。以下、本実施の形態の半導体装置の構成について、図 3 2 を用いて説明する。なおここでは、実施の形態 1 の半導体装置と異なる点についてのみ説明する。

[0097] 図 3 2 を参照して、本実施の形態の半導体装置としてのイメージセンサは、図 3 に示す実施の形態 1 の半導体装置と大筋で同様の構成を備えている。ただし図 3 2 においては、有効チップ外領域 N A A においても、有効チップ領域 A A と同様に、最上層の金属配線 A L 3 が配置されている点において、図 3 と異なる。なお図 3 2 においては最上層の金属配線 A L 3 とその下側の金属配線 A L 2 および金属配線 A L 1 とが導電層 T 1 を通じて電氣的に接続されていないが、これらは導電層 T 1, T 2 を通じて電氣的に接続されてもよい。

[0098] 次に、本実施の形態の半導体装置の製造方法について、図 3 3 ～図 3 7 を用いて説明する。なおここでは、実施の形態 1 の製造方法と異なる点においてのみ説明する。

[0099] 図 3 3 を参照して、本実施の形態においては、有効チップ領域と有効チップ外領域との双方において、最上層金属層がパターニングされ、最上層金属配線 A L 3 が形成される。したがって図示されないが、本実施の形態においては、有効チップ外領域の最上層金属層 A L 3 をパターニングするフォトマスク MK 2 a（図 5 参照）は、有効チップ領域の最上層金属層 A L 3 をパターニングするフォトマスク MK 1 a（図 4 参照）と同様に、たとえばガラス

製のベース体BS1aの表面上に、たとえばクロムからなる遮光用のパターンが形成された製品マスクである。有効チップ領域のフォトマスクMK1aと有効チップ外領域のフォトマスクMK2aとが一体であり、有効チップ領域の最上層金属層AL3と有効チップ外領域の最上層金属層AL3との上に形成される、最上層金属層AL3のパターニング用のポジ型フォトレジストが同時に露光、現像されてもよい。また、有効チップ領域の最上層金属層AL3と有効チップ外領域の最上層金属層AL3とが同時にパターニングされてもよい。

[0100] 次に、図8の工程と同様に層間絶縁層114が形成され、有効チップ領域、有効チップ外領域ともに、層間絶縁層114上に、層間絶縁層114の上面をプリエッチングするためのネガ型フォトレジストが形成される。

[0101] 次にフォトマスクMK1cを用いて、有効チップ領域におけるネガ型フォトレジストが選択的に露光される。フォトマスクMK1cは、たとえばガラス製のベース体BS1cの表面上に、たとえばクロムからなる遮光用のパターンPTcが形成された、パターニング用の製品マスクである。フォトマスクMK1cのパターンPTcは、概ね有効チップ領域の金属配線AL3と平面視において重なる領域（金属配線AL3の真上に位置する領域）に形成されることが好ましい。言い換えれば、概ね金属配線AL3と平面視において重ならない領域のネガ型フォトレジストは露光を受けてフォトレジストRSN2となるように設計されることが好ましい。

[0102] またフォトマスクMK2cを用いて、有効チップ外領域におけるネガ型フォトレジストが選択的に露光される。フォトマスクMK2cは、たとえばガラス製のベース体BS2cの表面上に、たとえばクロムからなる遮光用のパターンPTcが形成された、パターニング用の製品マスクである。なお有効チップ領域と有効チップ外領域との露光の順序は任意である。

[0103] ここで層間絶縁層114上のフォトレジストはネガ型フォトレジストであるため、ポジ型フォトレジストとは逆に、光が照射される領域においてネガ型フォトレジストRSN1となり、光の照射を受けない領域においてネガ型

フォトレジスト R S N 2 となる。

[0104] 図 3 4 を参照して、有効チップ外領域の外縁部のネガ型フォトレジストが露光（周辺露光）される。この周辺露光は実施の形態 3 と同様の、露光装置に内蔵されるステッパ（縮小投影型露光装置）のブラインド B L D により、有効チップ外領域の外縁部以外の領域を遮光することにより行われることが好ましい。ここで有効チップ外領域の外縁部以外の領域とは、平面視において有効チップ外領域のうち外縁部よりも半導体基板 S U B の外縁から内側に離れた領域を意味する。図 3 4 においては、有効チップ外領域の外縁側が露光エリアとなっており、露光エリアのうち有効チップ外領域の外縁部以外が遮光され、有効チップ外領域のなかでも最も外縁に近い外縁部のみが露光される態様となっている。

[0105] 半導体基板 S U B が周辺露光される領域（外縁部）のうち、半導体基板 S U B の最外部である外縁から最も離れた位置は、有効チップ外領域内の最上層金属配線 A L 3 であって半導体基板 S U B の外縁の最も近くに位置する最上層金属配線 A L 3 より 0.5 mm 以上、外縁から離れていることが好ましい。言い換えれば周辺露光される領域（外縁部）は、半導体基板 S U B の外縁から、有効チップ外領域において最も外側に配置される（最も半導体基板 S U B の外縁に近い）最上層金属配線 A L 3 の最も外側の位置 E A よりも平面視において半導体基板 S U B の内側に 0.5 mm 以上の距離までの領域までを、占めることが好ましい。また半導体基板 S U B の外縁から、有効チップ外領域における最上層金属配線 A L 3 の最も外側の位置 E A までの距離は 1.5 mm 以上であることが好ましい。したがって半導体基板 S U B の外縁からの距離が 2.0 mm 以上の位置よりも、半導体基板 S U B の外縁に近い領域において周辺露光がなされることが好ましい。

[0106] 図 3 5 を参照して、図 3 4 のように露光装置のブラインド B L D を利用して、有効チップ外領域の外縁部のみ露光する際には、たとえば平面視において円形を有する回転台の上に半導体ウエハ S W が載置されることが好ましい。

- [0107] 回転台は、下部の回転軸を中心にして図35の矢印の方向に回転する。回転台の上に載置された半導体ウエハSWの上に、たとえば図33および図34に示すようにネガ型フォトリソレジストRSN1, RSN2が形成される。図35においては半導体ウエハSW上のネガ型フォトリソレジストRSN1, RSN2をまとめてネガ型フォトリソレジストRS1, RS2と図示する。
- [0108] 回転台の回転に伴い半導体ウエハSWが回転すれば、半導体ウエハSWの外縁部の真上に固定するように設置された露光装置の光源およびブラインドBLDにより、半導体ウエハSWの外縁部（周辺露光領域）のみが露光される。ここでは上記光源により露光されるフォトリソレジストをRS1、露光されないフォトリソレジストをRS2と表記する。
- [0109] 図36を参照して、図34に示す周辺露光の後に、有効チップ領域内と有効チップ外領域内との双方においてネガ型フォトリソレジストが現像され、ネガ型フォトリソレジストRSN2は溶解し、ネガ型フォトリソレジストRSN1が残存する。
- [0110] 図37を参照して、パターニングされたネガ用フォトリソレジストRSN1（プリエッチング用フォトリソレジスト）のパターンをマスクとして、有効チップ領域および有効チップ外領域の双方において層間絶縁層114の上面が選択的にパターニングされる。するとネガ型フォトリソレジストRSN1が残存しない領域において層間絶縁層114の上面の一部が選択的にエッチング（プリエッチング）され、その上面がより深い114aに形成される。
- [0111] プリエッチングにより層間絶縁層114の上面がエッチングされるのは、有効チップ領域および有効チップ外領域の双方において、パターニングされた金属配線AL3の真上に位置する領域の層間絶縁層114であることが好ましい。これは上記のように、有効チップ領域において金属配線AL3がパターニングされた領域の真上において概ねフォトリソレジストRSN2が露光されないように設計されるためである。ただし金属配線AL3の真上に位置する層間絶縁層114の上面の一部に、選択的にプリエッチングされない領域を含んでもよい。

[0112] 以後は実施の形態 1 と同様にフォトリソスト R S N 1 の除去および図 1 2 と同様の工程がなされる。パッシベーション膜 P A S F およびレンズ L S (図 3 2 参照) が形成されることにより、図 3 2 に示すイメージセンサを有する半導体ウエハ S W (半導体装置) が形成される。

[0113] 本実施の形態においては、上記以外は実施の形態 1 とほぼ同じであるため、図 3 2 ～図 3 7 において実施の形態 1 と同一の要素については同一の符号を付し、その説明を繰り返さない。

[0114] 次に本実施の形態の作用効果について説明する。

本実施の形態においては、有効チップ領域と有効チップ外領域との双方に最上層金属配線 A L 3 のパターンが形成される。しかし最上層金属配線 A L 3 を覆う層間絶縁層 I I 4 が、ネガ型のフォトリソスト R S N 1 , R S N 2 によりエッチングされる。

[0115] ネガ型のフォトリソストは露光された領域において残存する性質を有する。このため、ネガ型のフォトリソストが形成された半導体基板 S U B の外縁部が露光されれば、層間絶縁層 I I 4 をパターニングするフォトマスク M K 2 c の有するパターンにかかわらず、外縁部の層間絶縁層 I I 4 上のフォトリソストは露光され、エッチング後にフォトリソストのパターンとして残存する。したがって、外縁部の層間絶縁層 I I 4 はネガ型フォトリソスト R S N 1 のパターンに保護され、有効チップ外領域の層間絶縁層 I I 4 がプリエッチングされても、最上層金属配線 A L 3 の最外部 E A 近傍がエッチングされることが抑制される。

[0116] 以上より本実施の形態は、層間絶縁層のパターニングにネガ型フォトリソストを用いて有効チップ外領域の最外部が露光されることにより、チップ外領域において最上層金属配線が形成されかつ最上層の層間絶縁層がプリエッチングされたとしても、最上層金属配線のエッチングを抑制することができる。したがって、本実施の形態によれば、層間絶縁層のプリエッチングにより、C M P 処理後の層間絶縁層の最上面の段差の発生を抑制しつつ、金属配線に起因する異物の発生を抑制しながら、最上層の層間絶縁層の最上面を平

坦化することができる。

[0117] また本実施の形態においては、周辺露光の際にステップのブラインド B L D を用いて有効チップ外領域の外縁部以外の領域を遮光（外縁部のみを露光）することにより、周辺露光の際に露光すべき領域を高精度に制御することができる。周辺露光すべき領域は、最上層金属配線 A L 3 の最外部 E A より 0.5 mm 以上、半導体基板 S U B の内側まで設けられるため、最上層金属配線 A L 3 を保護するための層間絶縁層 I I 4 を、半導体基板 S U B の外縁から十分に内側の領域まで広がるように形成することができる。

[0118] また本実施の形態においては、ベース体のみを有する特殊マスクを用いなくため、特殊マスクの製造コストの発生を抑制することができる。さらに特殊マスクを用いず最上層金属層 A L 3 がパターンニングされることにより、最上層金属層 A L 3 の寸法精度が向上する。

[0119] 本発明の実施の形態 4 は、以上に述べた各点についてのみ、本発明の実施の形態 1 と異なる。すなわち、本発明の実施の形態 4 について、上述しなかった構成や条件、手順や効果などは、全て本発明の実施の形態 1 に順ずる。

[0120] （実施の形態 5）

本実施の形態は、実施の形態 1 と比較して、最上層の金属配線の構成およびパターンニング方法において異なっている。まず、本実施の形態としてのウエハ状態の半導体装置の構成について説明する。

[0121] 図 38 を参照して、本実施の形態の半導体ウエハ S W は、図 1 に示す実施の形態 1 の半導体ウエハ S W と大筋で同様の構成を有している。ただし本実施の形態においては、有効チップ領域 A A と有効チップ外領域 N A A との境界の近傍に特別露光領域 L L が形成されている。具体的には特別露光領域 L L とは、有効チップ外領域のうち有効チップ領域と隣り合う領域であり、有効チップ外領域のうち有効チップ領域に最も近い領域である。

[0122] 特別露光領域 L L は、最上層の層間絶縁層 I I 4 をパターンニングする際に、有効チップ外領域において選択的に露光される領域である。本実施の形態において形成されるイメージセンサは、図 32 に示すように有効チップ外領

域においても最上層の金属配線A L 3のパターンが配置された構成を有する。以下、本実施の形態の半導体装置の製造方法について、図39～図42を用いて説明する。なおここでは、実施の形態1の半導体装置と異なる点についてのみ説明する。

[0123] 図39を参照して、本実施の形態においては、実施の形態4の図33と同様に、有効チップ領域と有効チップ外領域との双方において、最上層金属層がパターニングされ、最上層金属配線A L 3が形成される。次に、図8の工程と同様に層間絶縁層114が形成され、有効チップ領域、有効チップ外領域ともに、層間絶縁層114上に、層間絶縁層114の上面をプリエッチングするためのポジ型フォトレジストが形成される。

[0124] 次にフォトマスクMK1bを用いて、有効チップ領域におけるポジ型フォトレジストが選択的に露光される。またフォトマスクMK2bを用いて、有効チップ外領域におけるポジ型フォトレジストが選択的に露光される。なお有効チップ領域と有効チップ外領域との露光の順序は任意である。

[0125] ここで有効チップ外領域におけるポジ型フォトレジストを選択的に露光する際には、実施の形態3と同様の、露光装置に内蔵されるステッパ（縮小投影型露光装置）のブラインドB L Dにより、有効チップ外領域におけるポジ型フォトレジストが露光される領域が特定されることが好ましい。ここでは半導体基板S U Bの外縁から有効チップ外領域の所定の部分まで（半導体基板S U Bの外縁から所定の距離の範囲内の領域）を遮光して露光することが好ましい。すなわち、ブラインドB L Dにより、有効チップ外領域のうち有効チップ領域と隣り合うよう位置する領域の真上に位置するポジ型フォトレジストのみ露光されることが好ましい。具体的には、有効チップ外領域のうち、有効チップ領域との境界からの距離が1mm以内の領域のみ選択的に露光されるように、ブラインドB L Dが調整されることが好ましい。

[0126] 図40を参照して、図9に示す工程と同様に、有効チップ領域内と有効チップ外領域内との双方においてポジ型フォトレジストが現像され、ポジ型フォトレジストR S P 2は溶解し、ポジ型フォトレジストR S P 1が残存する

。ポジ型フォトレジスト R S P 1 のパターンは、有効チップ外領域においては、有効チップ領域と隣り合うよう位置する（有効チップ領域との距離が 1 m m 以内の）領域の一部のみにおいてポジ型フォトレジスト R S P 2 が溶解し、それ以外の領域においてはポジ型フォトレジスト R S P 1 が残存する。

[0127] 図 4 1 を参照して、パターニングされたポジ型フォトレジスト R S P 1 （プリエッチング用フォトレジスト）のパターンをマスクとして、有効チップ領域内と有効チップ外領域内との双方において層間絶縁層 1 1 4 がパターニングされる。このとき有効チップ領域においてパターニングされた金属配線 A L 3 の真上に位置する領域の層間絶縁層 1 1 4 がエッチングされることが好ましい。また有効チップ外領域においては、有効チップ領域に隣り合うよう位置する金属配線 A L 3 の真上に位置する層間絶縁層 1 1 4 の上面の一部が選択的にエッチングされることが好ましい。したがって有効チップ外領域においては、有効チップ領域に隣り合うよう位置する領域のみにおいて、層間絶縁層 1 1 4 の上面の一部がプリエッチングされることが好ましい。当該プリエッチングされた層間絶縁層 1 1 4 の上面は 1 1 4 a となる。その後フォトレジスト R S P 1 が除去される。

[0128] 図 4 2 を参照して、図 1 2 に示す工程と同様に、有効チップ領域および有効チップ外領域の全体において、たとえば C M P により層間絶縁層 1 1 4 の上面が平坦化される。パッシベーション膜 P A S F やレンズ L S などを形成することにより、図 3 2 に示す、実施の形態 4 と同様の態様を有する半導体装置が形成される。

[0129] 本実施の形態においては、上記以外は実施の形態 1 とほぼ同じであるため、図 3 9 ～図 4 2 において実施の形態 1 と同一の要素については同一の符号を付し、その説明を繰り返さない。

[0130] 次に、本実施の形態の作用効果について説明する。

本実施の形態においては、有効チップ領域と有効チップ外領域との双方に最上層金属配線 A L 3 のパターンが形成される。しかし有効チップ外領域においては、有効チップ領域と隣り合うよう位置する金属配線 A L 3 の真上に

位置するポジ型フォトレジストRSP2のみ露光され、他の領域のポジ型フォトレジストRSP1は露光されない。このため有効チップ外領域の層間絶縁層114は、有効チップ領域と隣り合うよう位置する金属配線AL3の真上の領域においてのみエッチングされ、有効チップ外領域の他の領域の層間絶縁層114はエッチングされず残存する。

[0131] このため、有効チップ外領域の一部の層間絶縁層114がプリエッチングされる際に、有効チップ外領域の外縁の近傍における層間絶縁層114は、その上のポジ型フォトレジストRSP1に保護される。したがって、有効チップ外領域の一部の層間絶縁層114がプリエッチングされる際に、その下の金属配線AL3の一部がエッチングされ、異物が発生する不具合を抑制することができる。

[0132] また本実施の形態においては、有効チップ外領域においても、有効チップ領域に近い一部の領域において、層間絶縁層114の上面がプリエッチングされる。このため図42に示すCMPの際に、有効チップ外領域のうち有効チップ領域に近い領域において、層間絶縁層114を削るべき厚み（領域）が、たとえば図23に示す本実施の形態の第2の比較例のように有効チップ外領域において層間絶縁層114がまったくプリエッチングされない場合に比べて減少する。なお本実施の形態においても、有効チップ外領域のうち、有効チップ領域に近い領域の一部以外の領域においては、たとえば図22に示す本実施の形態の第2の比較例と同様に、層間絶縁層114の上面はまったくプリエッチングされない。

[0133] したがって本実施の形態においては、図42に示すCMPの際に、たとえば図23のように有効チップ外領域において層間絶縁層114がまったくプリエッチングされない場合に比べて、段差LDFが形成される位置が半導体基板SUBの外縁に近い側に移動する。以上より、本実施の形態においては、少なくとも有効チップ領域の全体において、層間絶縁層114の上面を平坦化处理した後の平坦度を高めることができ、フォトダイオードPDの光学特性を向上することができる。有効チップ外領域には段差LDFが形成され

たとしても、フォトダイオードPDが存在しないため、有効チップ外領域の段差LDFはイメージセンサの光学特性に大きな影響を及ぼさない。

[0134] 以上より本実施の形態は、半導体基板SUBの外縁の近傍において層間絶縁層114の保護により最上層金属配線のエッチングが抑制されるとともに、有効チップ外領域においても有効チップ領域に近い層間絶縁層114がブリエッチングされることにより、少なくとも有効チップ領域における層間絶縁層の最上面の平坦度を高めることができる。

[0135] また本実施の形態においては、ベース体のみを有する特殊マスクを用いないため、特殊マスクの製造コストの発生を抑制することができる。さらに特殊マスクを用いず最上層金属層AL3がパターニングされることにより、最上層金属層AL3の寸法精度が向上する。

[0136] 本発明の実施の形態5は、以上に述べた各点についてのみ、本発明の実施の形態1と異なる。すなわち、本発明の実施の形態5について、上述しなかった構成や条件、手順や効果などは、全て本発明の実施の形態1に順ずる。

[0137] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

[0138] 本発明は、光学変換素子を有する半導体装置およびその製造方法に特に有利に適用され得る。

符号の説明

[0139] AA 有効チップ領域、AL1 金属配線、BS, BS1a, BS2a, BS1b, BS2b, BS1c, BS2c ベース体、C1, T1, T2 導電層、CTR 制御用トランジスタ、DLR ダイシングライン領域、EA 最上層金属配線最外部、EXP 露光領域、FO フィールド酸化膜、GE ゲート電極、GI ゲート絶縁膜、111, 112, 113, 114 層間絶縁層、IMC チップ領域、LDF 段差、LL 特別露光領域、

MK1a, MK2a, MK1b, MK2b, MK1c, MK2c フォトマスク、NAA 有効チップ外領域、NEP 非露光領域、NNR, NR n型領域、NPR n型不純物領域、NTR n⁻領域、PASF パッシベーション膜、PCR, PDR 形成領域、PD フォトダイオード、PR p型領域、PT, PTa, PTb, PTc パターン、PWR1, PWR2 p型ウェル領域、RSN1, RSN2 ネガ型フォトレジスト、RSP1, RSP2 ポジ型フォトレジスト、SW 半導体ウエハ、SUB 半導体基板、SWTR 転送用トランジスタ。

請求の範囲

[請求項1]

有効チップ領域（ＡＡ）と、有効チップ外領域（ＮＡＡ）とを有するウエハ状態の半導体基板（ＳＵＢ）の少なくとも前記有効チップ領域（ＡＡ）内の主表面に光電変換素子（ＰＤ）を形成する工程と、

前記光電変換素子（ＰＤ）が形成された前記半導体基板（ＳＵＢ）の前記主表面の上方において、前記有効チップ領域（ＡＡ）と前記有効チップ外領域（ＮＡＡ）との双方に最上層金属層（ＡＬ３）を形成する工程と、

前記有効チップ領域（ＡＡ）内の前記最上層金属層（ＡＬ３）をパターニングし、かつ前記有効チップ外領域（ＮＡＡ）全体の前記最上層金属層（ＡＬ３）を除去する工程と、

前記有効チップ領域（ＡＡ）においてパターニングされた前記最上層金属層（ＡＬ３）を覆うように前記有効チップ領域（ＡＡ）と前記有効チップ外領域（ＮＡＡ）との双方に層間絶縁層（ＩＩ４）を形成する工程と、

前記有効チップ領域（ＡＡ）内においてパターニングされた前記最上層金属層（ＡＬ３）の真上に位置する前記層間絶縁層（ＩＩ４）の上面の一部を選択的にエッチングすることにより除去する工程と、

前記エッチングにより選択的に除去された前記層間絶縁層（ＩＩ４）の上面を平坦化する工程とを備えた、半導体装置の製造方法。

[請求項2]

前記層間絶縁層（ＩＩ４）の上面の一部を選択的にエッチングすることにより除去する工程は、前記層間絶縁層（ＩＩ４）上にポジ型のプリエッチング用フォトリソのパターン（ＲＳＰ１）を形成し、前記プリエッチング用フォトリソの前記パターン（ＲＳＰ１）をマスクとして、前記有効チップ領域（ＡＡ）内においてパターニングされた前記最上層金属層（ＡＬ３）の真上に位置する前記層間絶縁層（ＩＩ４）の上面の一部を選択的にエッチングすることにより行なわれる、請求項１に記載の半導体装置の製造方法。

[請求項3] 前記有効チップ領域（AA）内の前記最上層金属層（AL3）をパターニングし、かつ前記有効チップ外領域（NAA）全体の前記最上層金属層（AL3）を除去する工程は、

前記最上層金属層（AL3）の上に金属層用フォトレジスト（RSP1, RSP2）を形成する工程と、

前記金属層用フォトレジスト（RSP1, RSP2）の前記有効チップ領域（AA）内の部分を露光する工程と、

前記金属層用フォトレジスト（RSP1, RSP2）の前記有効チップ外領域（NAA）内の部分を露光する工程と、

前記有効チップ領域（AA）内と前記有効チップ外領域（NAA）内との前記金属層用フォトレジスト（RSP1, RSP2）が露光された後に、前記金属層用フォトレジスト（RSP1, RSP2）の前記有効チップ領域（AA）内の部分と前記有効チップ外領域（NAA）内の部分とを同時に現像する工程とを含む、請求項1に記載の半導体装置の製造方法。

[請求項4] 前記有効チップ領域（AA）内の前記最上層金属層（AL3）をパターニングし、かつ前記有効チップ外領域（NAA）全体の前記最上層金属層（AL3）を除去する工程は、

前記最上層金属層（AL3）の上に金属層用フォトレジスト（RSP1, RSP2）を形成する工程と、

前記金属層用フォトレジスト（RSP1, RSP2）の前記有効チップ領域（AA）内の部分を露光する工程と、

前記有効チップ領域（AA）内の前記金属層用フォトレジスト（RSP1, RSP2）が露光された後に、前記金属層用フォトレジスト（RSP1, RSP2）の前記有効チップ領域（AA）内の部分を現像する工程と、

前記金属層用フォトレジスト（RSP1, RSP2）の前記有効チップ外領域（NAA）内の部分を露光する工程と、

前記有効チップ外領域（N A A）内の前記金属層用フォトレジスト（R S P 1, R S P 2）が露光された後に、前記金属層用フォトレジスト（R S P 1, R S P 2）の前記有効チップ外領域（N A A）内の部分を現像する工程とを含み、

前記金属層用フォトレジスト（R S P 1, R S P 2）の前記有効チップ領域（A A）内の部分を現像する工程と、前記金属層用フォトレジスト（R S P 1, R S P 2）の前記有効チップ外領域（N A A）内の部分を現像する工程とは互いに別工程で行なわれる、請求項 1 に記載の半導体装置の製造方法。

[請求項5] 前記金属層用フォトレジスト（R S P 1, R S P 2）の前記有効チップ領域（A A）内の部分を露光する工程は、前記有効チップ領域（A A）内の前記金属層用フォトレジスト（R S P 1, R S P 2）の一部を露光する第 1 のフォトマスク（M K 1 a）を用いて行なわれ、

前記金属層用フォトレジスト（R S P 1, R S P 2）の前記有効チップ外領域（N A A）内の部分を露光する工程は、前記有効チップ外領域（N A A）内の前記金属層用フォトレジスト（R S P 1, R S P 2）の全部を露光する第 2 のフォトマスク（M K 2 a）を用いて行なわれる、請求項 3 に記載の半導体装置の製造方法。

[請求項6] 前記金属層用フォトレジスト（R S P 1, R S P 2）の前記有効チップ外領域（N A A）内の部分を露光する工程は、ステッパのブラインド（B L D）により前記有効チップ外領域（N A A）以外の部分を遮光して露光を行なうことにより、前記有効チップ外領域（N A A）全体の前記金属層用フォトレジスト（R S P 1, R S P 2）を露光する工程を含む、請求項 3 に記載の半導体装置の製造方法。

[請求項7] 有効チップ領域（A A）と、有効チップ外領域（N A A）とを有するウエハ状態の半導体基板（S U B）の少なくとも前記有効チップ領域（A A）内の主表面に光電変換素子（P D）を形成する工程と、

前記光電変換素子（P D）が形成された前記半導体基板（S U B）

の前記主表面の上方において、前記有効チップ領域（ＡＡ）と前記有効チップ外領域（ＮＡＡ）との双方に最上層金属層（ＡＬ３）を形成する工程と、

前記有効チップ領域（ＡＡ）内および前記有効チップ外領域（ＮＡＡ）の双方の前記最上層金属層（ＡＬ３）をパターニングする工程と、

前記有効チップ領域（ＡＡ）と前記有効チップ外領域（ＮＡＡ）とにおいてパターニングされた前記最上層金属層（ＡＬ３）を覆うように層間絶縁層（ＩＩ４）を形成する工程と、

前記層間絶縁層（ＩＩ４）上にネガ型のプリエッチング用フォトリジスト（ＲＳＮ１，ＲＳＮ２）を形成し、前記プリエッチング用フォトリジスト（ＲＳＮ１，ＲＳＮ２）の前記有効チップ領域（ＡＡ）および前記有効チップ外領域（ＮＡＡ）を選択的に露光し、かつ前記プリエッチング用フォトリジスト（ＲＳＮ１，ＲＳＮ２）の前記半導体基板（ＳＵＢ）の外縁部を周辺露光した後に前記プリエッチング用フォトリジスト（ＲＳＮ１，ＲＳＮ２）を現像してパターニングする工程と、

パターニングされた前記プリエッチング用フォトリジスト（ＲＳＮ１）をマスクとして、前記有効チップ領域（ＡＡ）内および前記有効チップ外領域（ＮＡＡ）の双方において、パターニングされた前記最上層金属層（ＡＬ３）の真上に位置する前記層間絶縁層（ＩＩ４）の上面の一部を、選択的にエッチングすることにより除去する工程と、

前記エッチングにより選択的に除去された前記層間絶縁層（ＩＩ４）の上面を平坦化する工程とを備えた、半導体装置の製造方法。

[請求項8] 前記周辺露光は、ステッパのブラインド（ＢＬＤ）により前記外縁部以外を遮光して行なわれる、請求項7に記載の半導体装置の製造方法。

[請求項9] 前記外縁部のうち最外部である外縁から最も離れた位置は、前記有

効チップ外領域（N A A）内の前記最上層金属層（A L 3）であって前記半導体基板（S U B）の前記外縁の最も近くに位置する前記最上層金属層（A L 3）より0.5 mm以上、前記外縁から離れている、請求項7に記載の半導体装置の製造方法。

[請求項10]

有効チップ領域（A A）と、有効チップ外領域（N A A）とを有するウエハ状態の半導体基板（S U B）の少なくとも前記有効チップ領域（A A）内の主表面に光電変換素子（P D）を形成する工程と、

前記光電変換素子（P D）が形成された前記半導体基板（S U B）の前記主表面の上方において、前記有効チップ領域（A A）と前記有効チップ外領域（N A A）との双方に最上層金属層（A L 3）を形成する工程と、

前記有効チップ領域（A A）内および前記有効チップ外領域（N A A）の双方の前記最上層金属層（A L 3）をパターニングする工程と、

前記有効チップ領域（A A）と前記有効チップ外領域（N A A）とにおいてパターニングされた前記最上層金属層（A L 3）を覆うように層間絶縁層（I I 4）を形成する工程と、

前記層間絶縁層（I I 4）上にポジ型のプリエッチング用フォトリジスト（R S P 1, R S P 2）を形成し、前記プリエッチング用フォトリジスト（R S P 1, R S P 2）の前記有効チップ領域（A A）および前記有効チップ外領域（N A A）を選択的に露光する工程とを備え、

前記有効チップ外領域（N A A）の前記選択的露光の際には、ステップのブラインド（B L D）により前記半導体基板（S U B）の外縁から前記有効チップ外領域（N A A）の所定の部分までを遮光して露光を行なうことにより、前記有効チップ外領域（N A A）内の前記最上層金属層（A L 3）であって前記有効チップ領域（A A）に隣り合うよう位置する前記最上層金属層（A L 3）の真上に位置する前記プ

リエッチング用フォトレジスト（RSP1，RSP2）が露光され、さらに

露光された前記リエッチング用フォトレジスト（RSP1，RSP2）を現像してパターンニングする工程と、

パターンニングされた前記リエッチング用フォトレジスト（RSP1）をマスクとして前記層間絶縁層（I14）をエッチングすることにより、前記有効チップ領域（AA）内においてパターンニングされた前記最上層金属層（AL3）の真上に位置する前記層間絶縁層（I14）の上面の一部、および前記有効チップ外領域（NAA）内の前記最上層金属層（AL3）であって前記有効チップ領域（AA）に隣り合うよう位置する前記最上層金属層（AL3）の真上に位置する前記層間絶縁層（I14）の上面の一部を選択的にエッチングすることにより除去する工程と、

前記エッチングにより選択的に除去された前記層間絶縁層（I14）の上面を平坦化する工程とを備えた、半導体装置の製造方法。

[請求項11]

主表面を有する半導体基板（SUB）と、

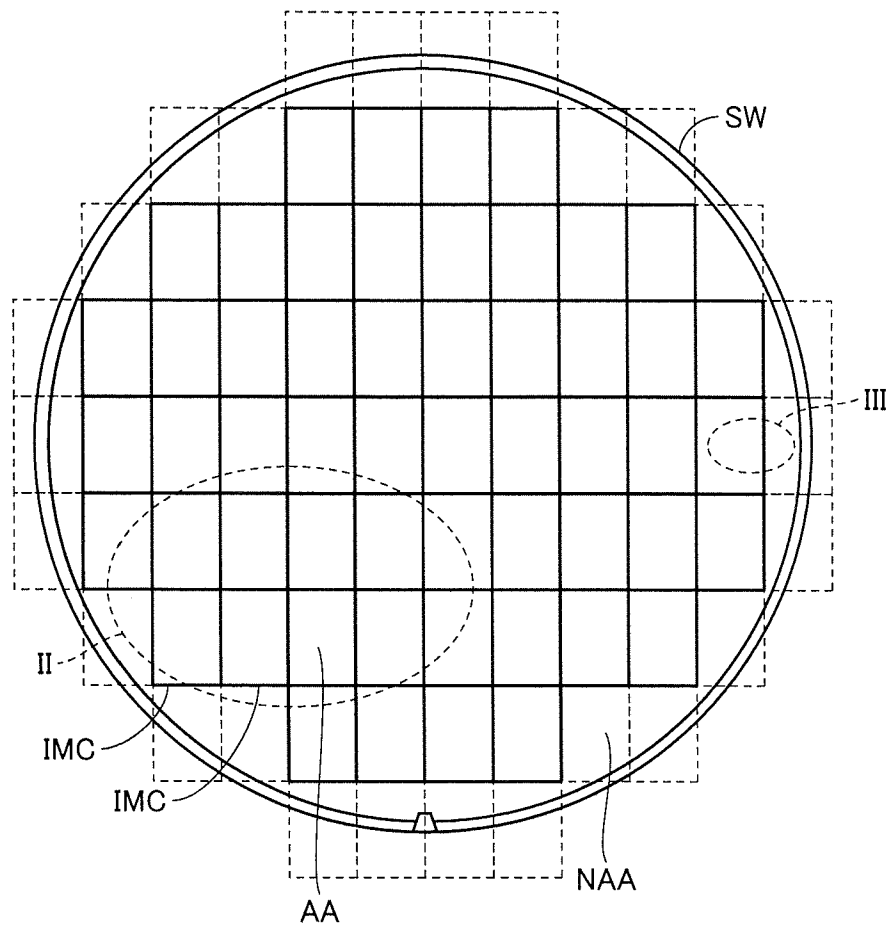
前記半導体基板（SUB）の前記主表面に形成された光電変換素子（PD）と、

前記半導体基板（SUB）の主表面の上方に配置された最上層金属配線（AL3）とを備え、

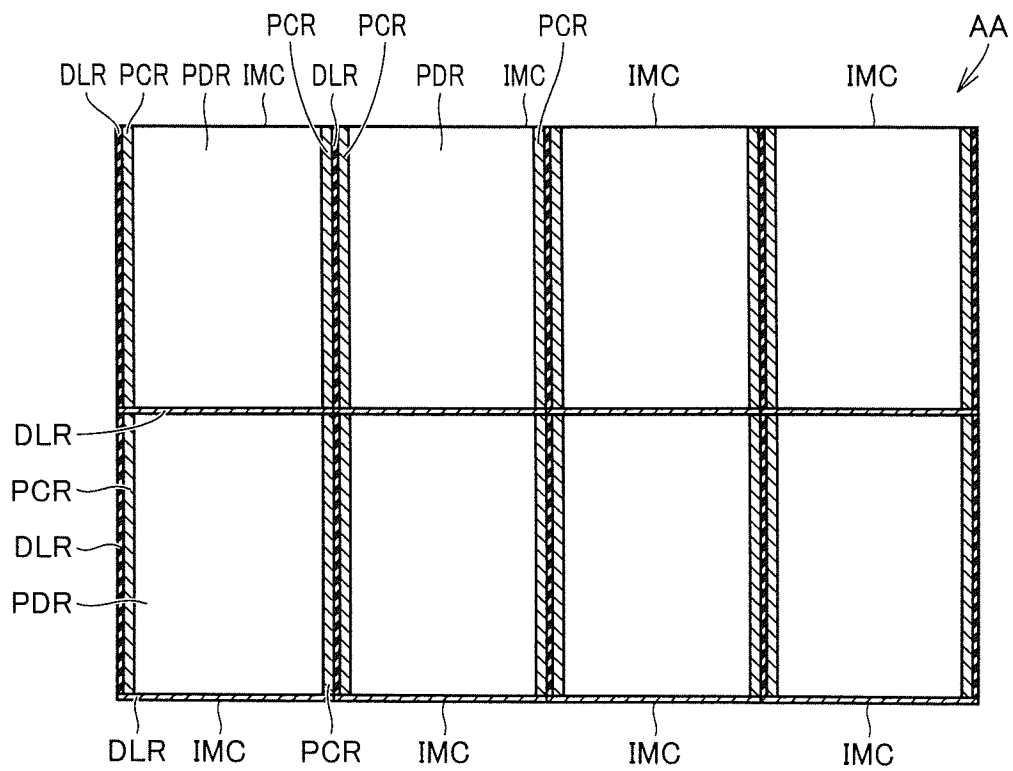
前記光電変換素子（PD）を含む有効チップ領域（AA）と、前記有効チップ領域（AA）とは別の領域に配置された有効チップ外領域（NAA）とを有し、

前記最上層金属配線（AL3）は、前記有効チップ領域（AA）に形成されており、かつ前記有効チップ外領域（NAA）に形成されていない、半導体装置。

[図1]

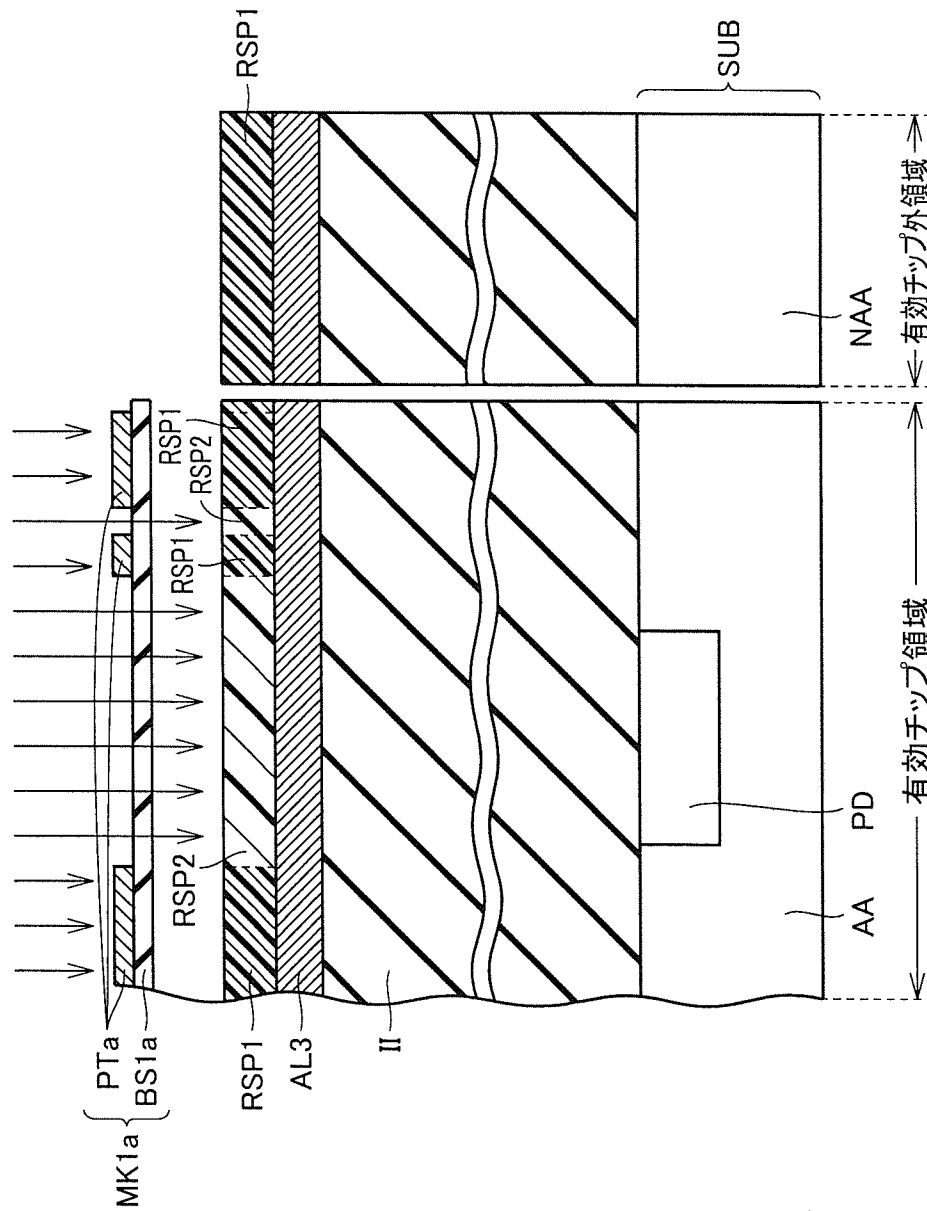


[図2]

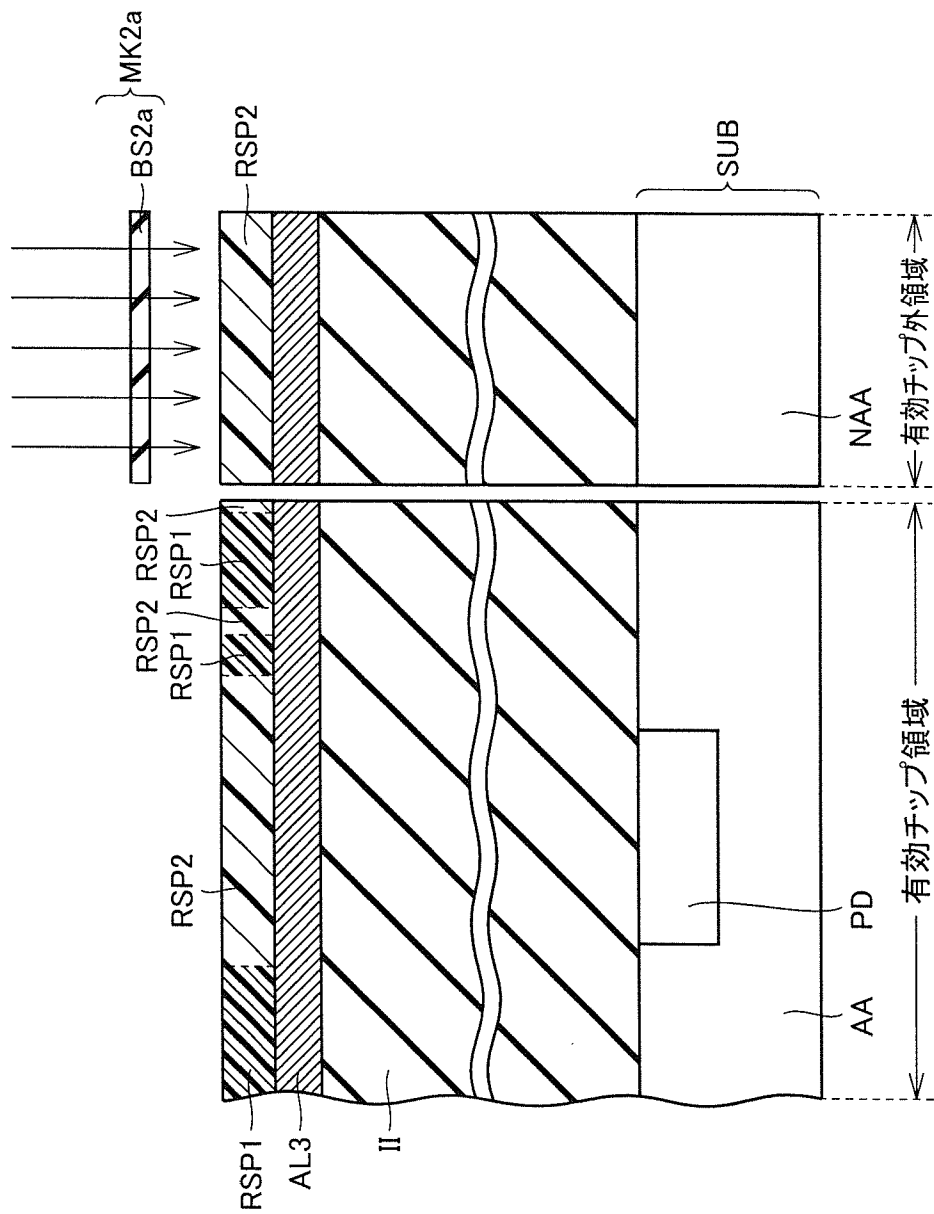


[illegible]

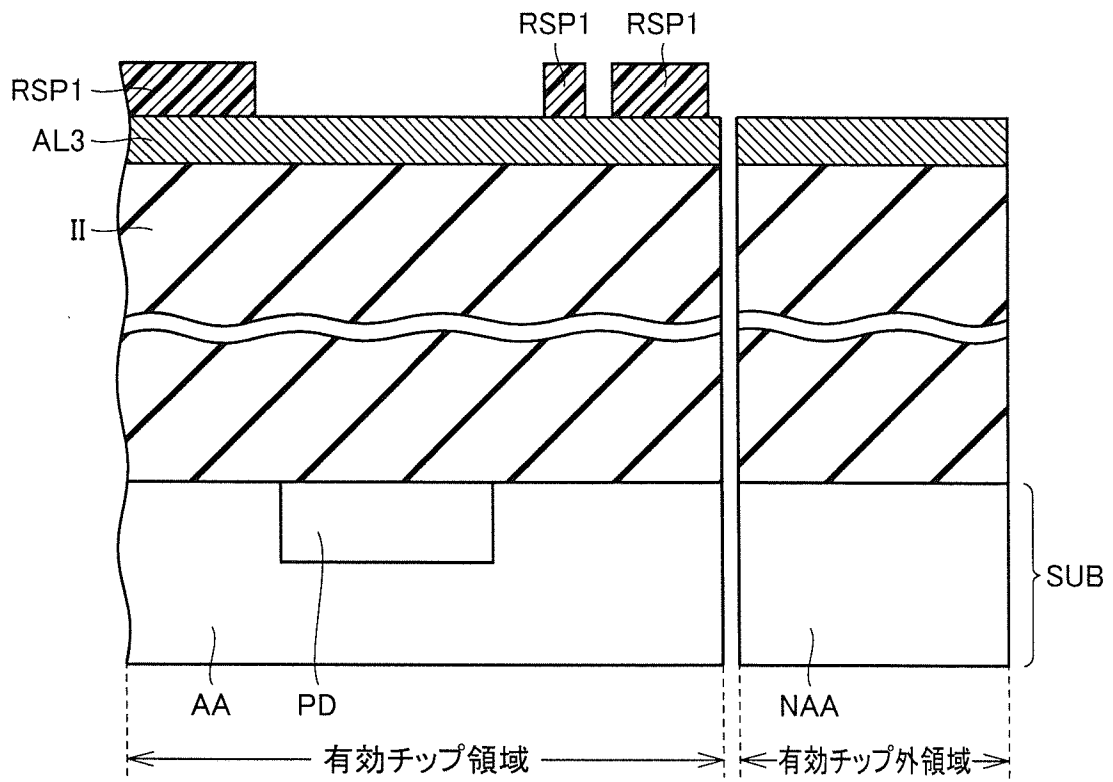
[図4]



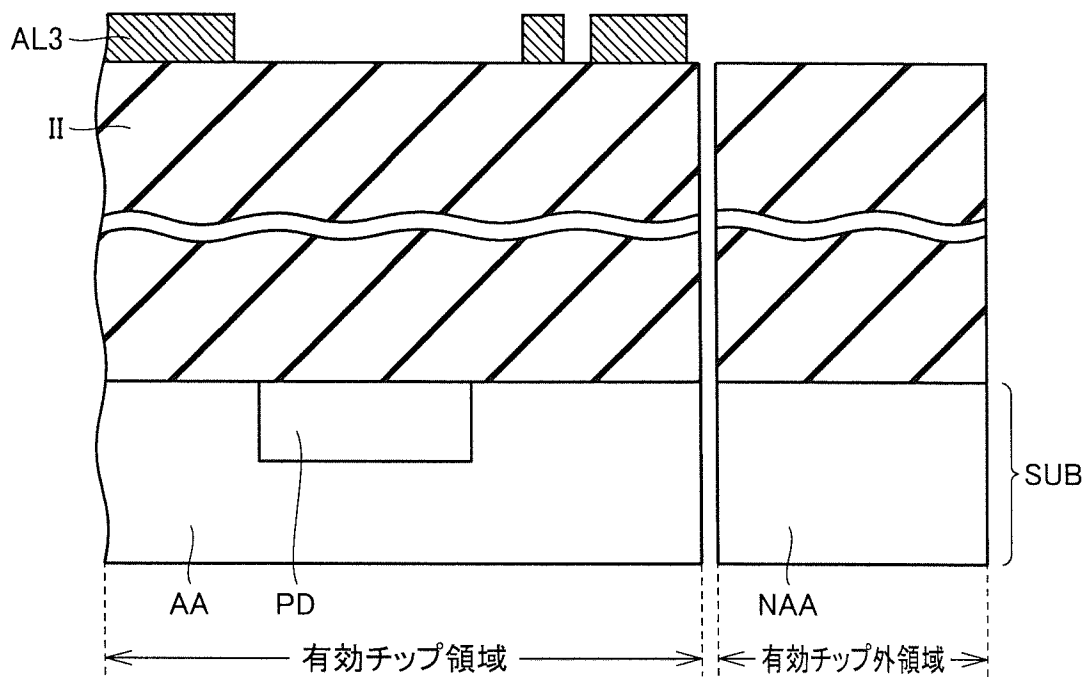
[図5]



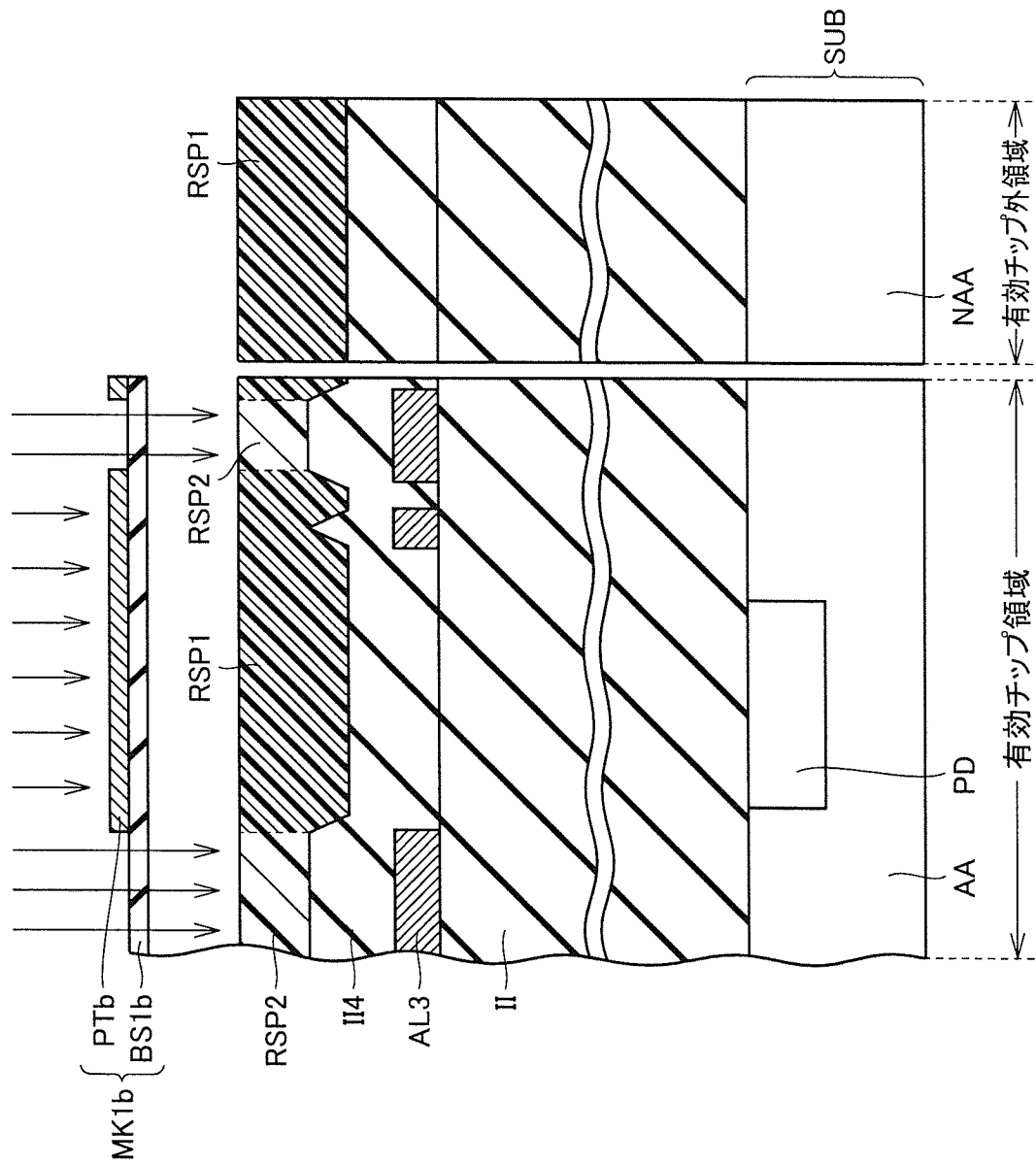
[図6]



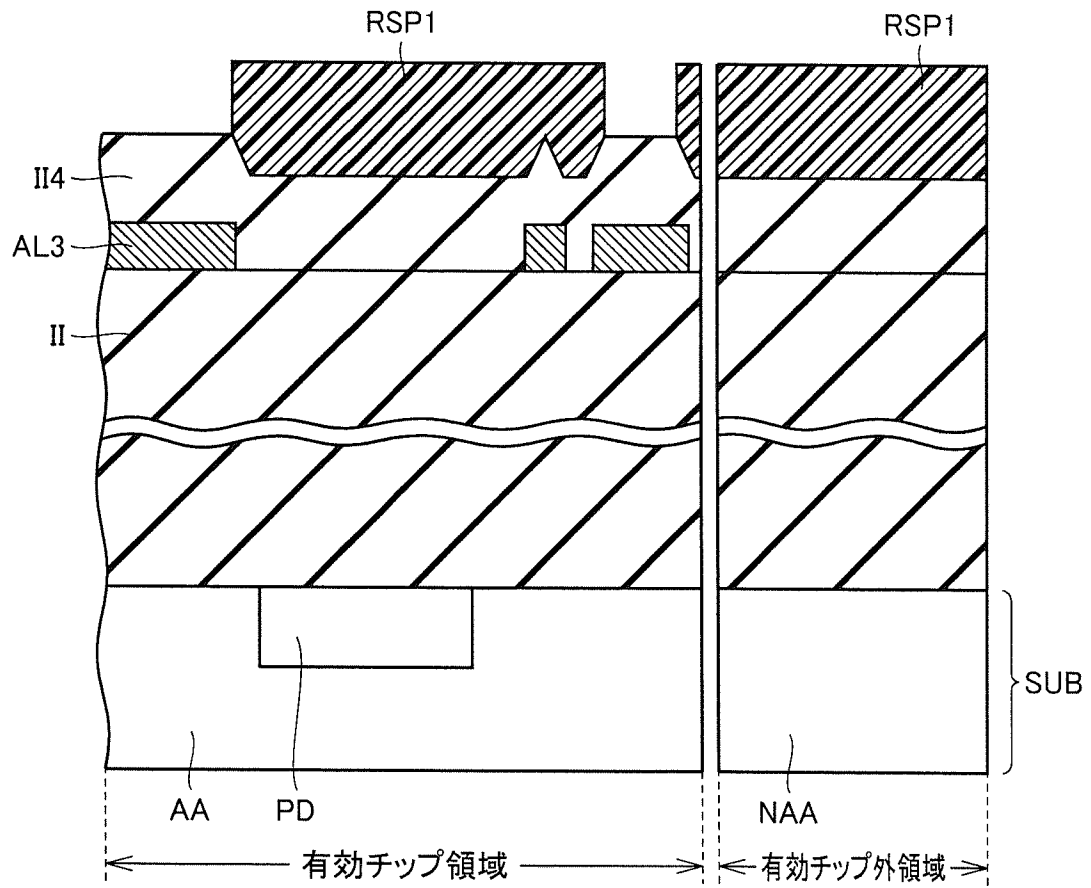
[図7]



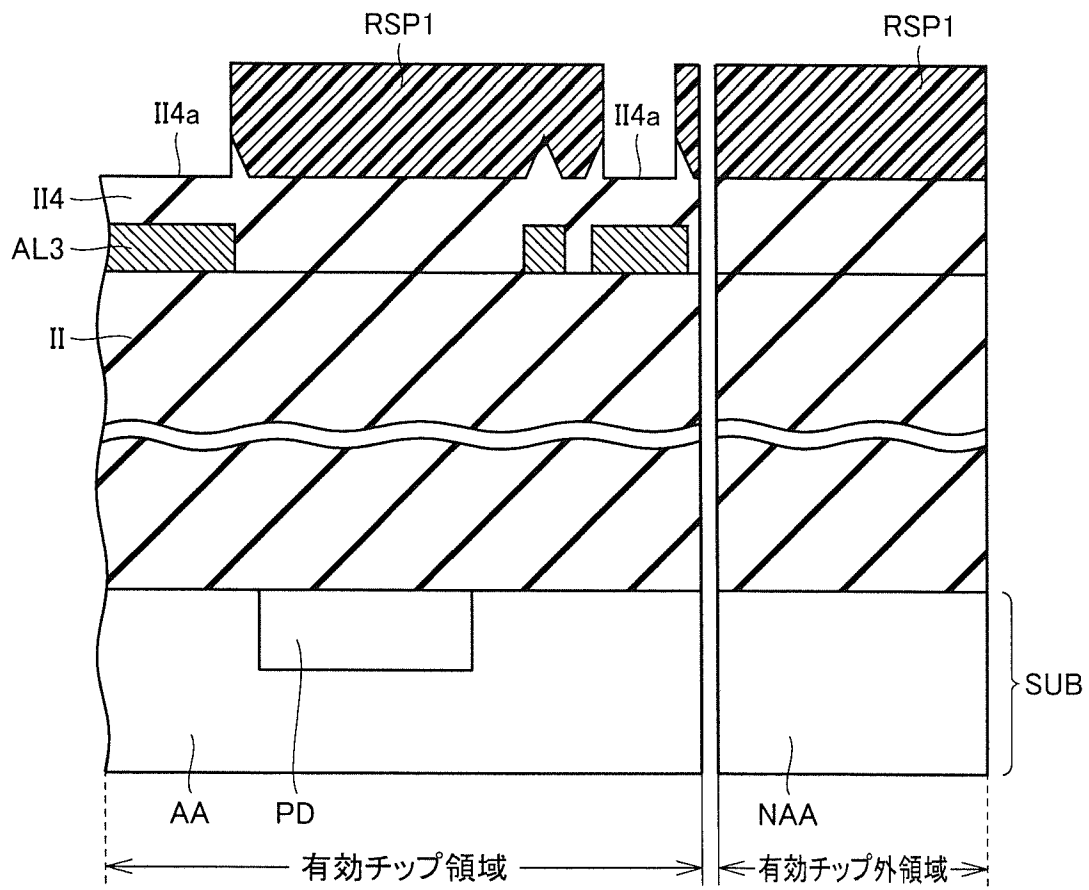
[図8]



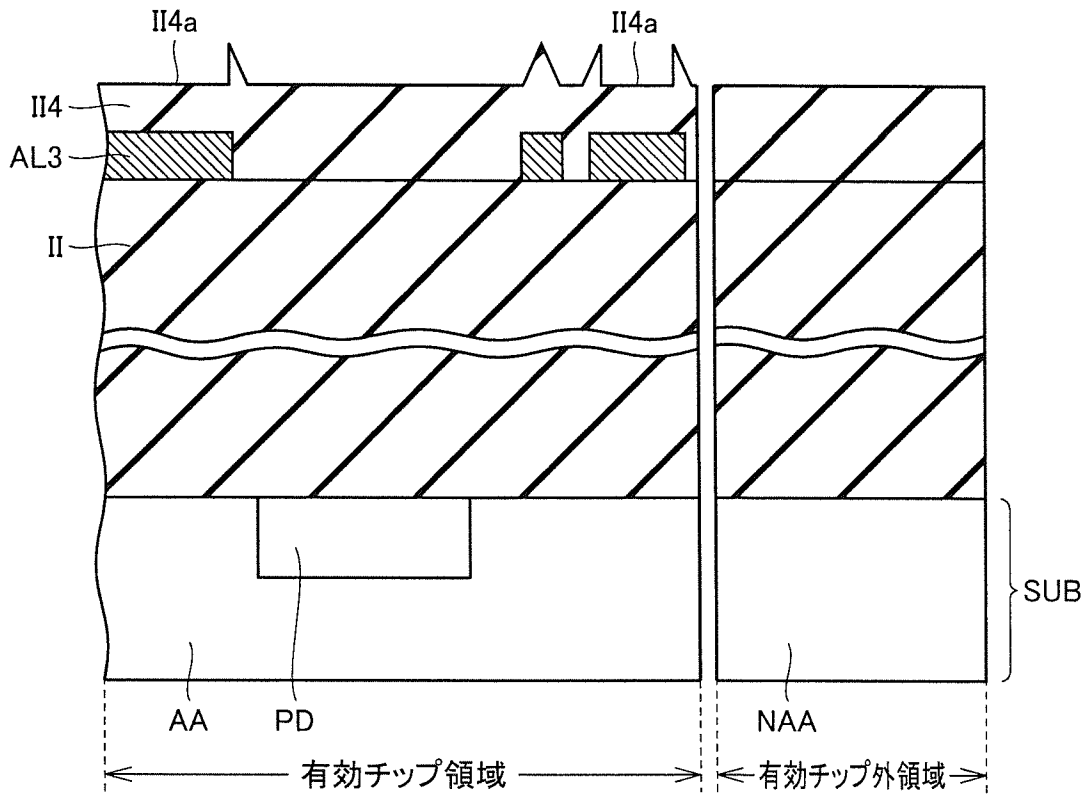
[図9]



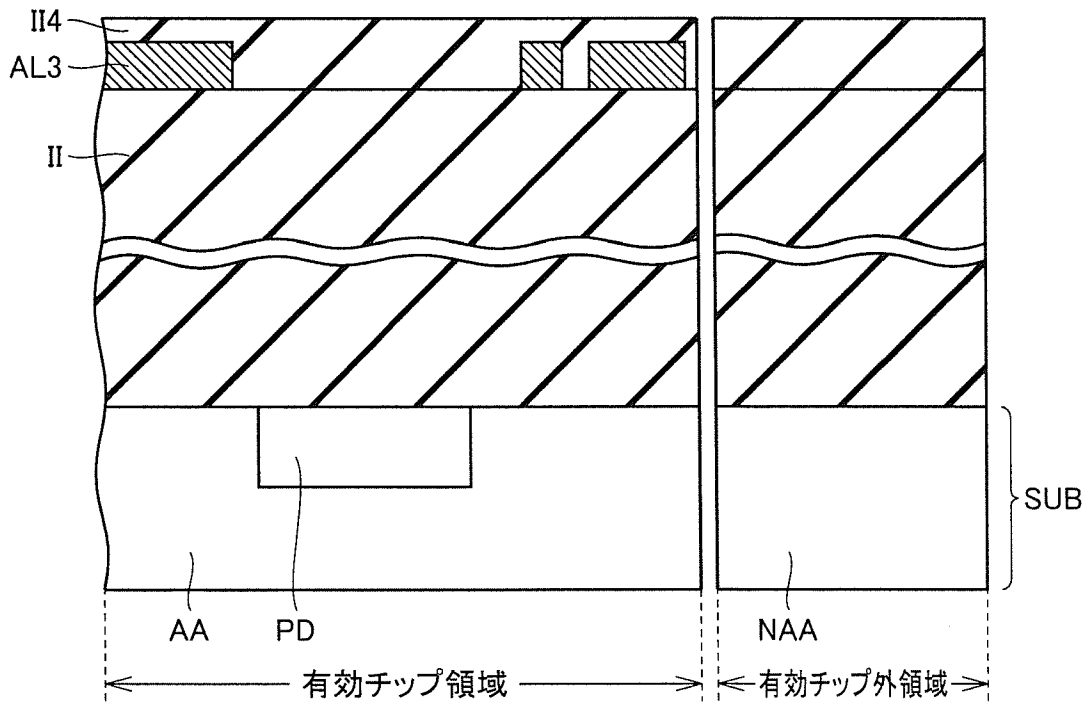
[図10]



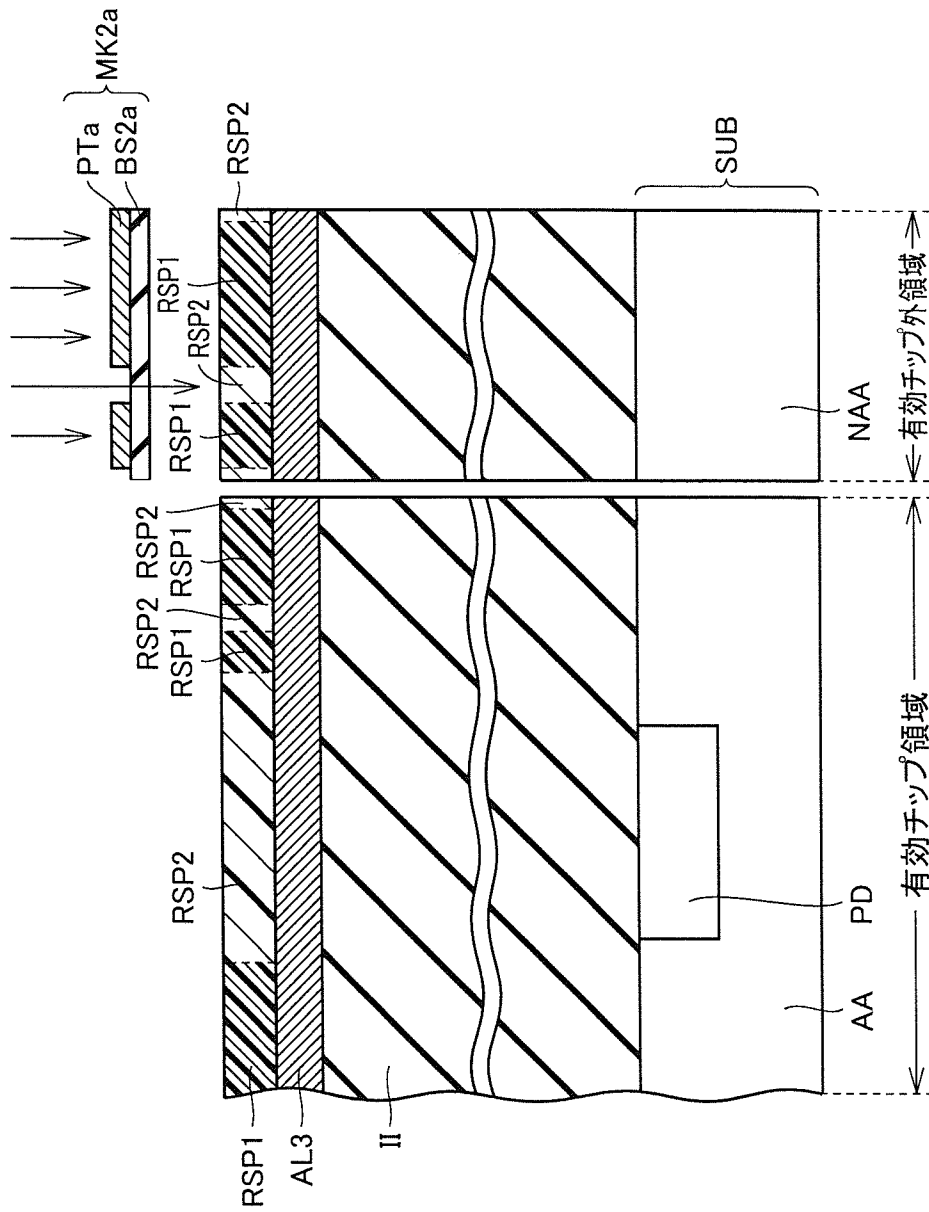
[図11]



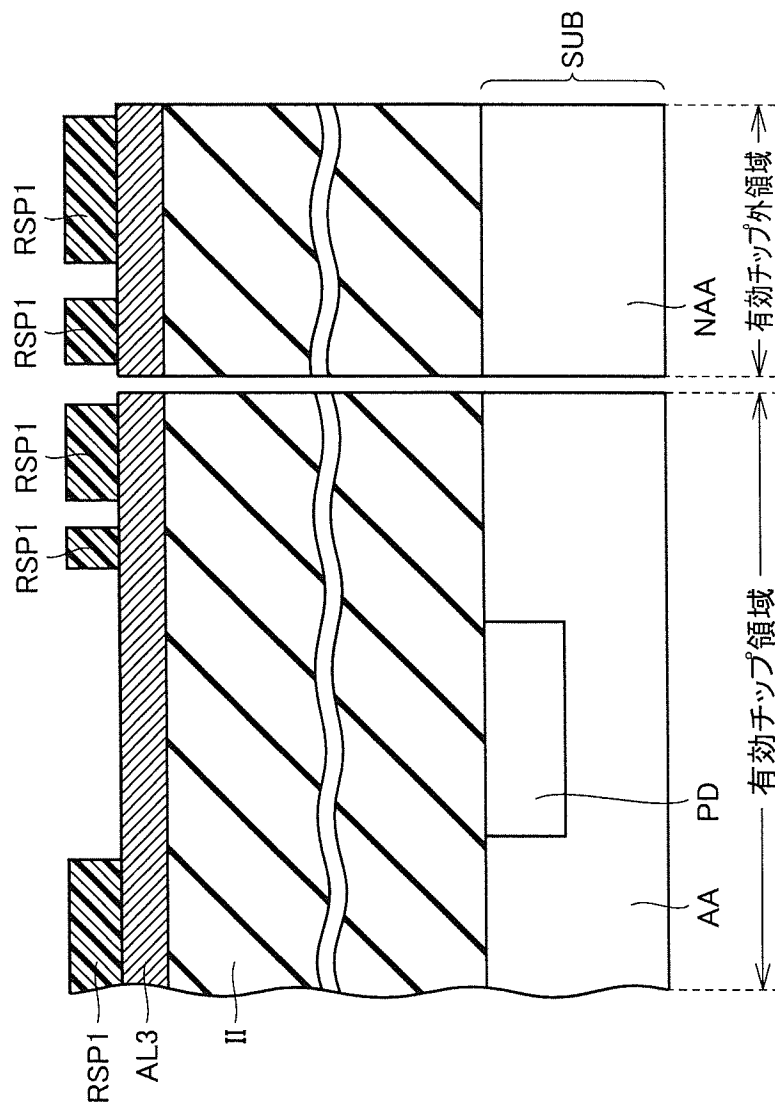
[図12]



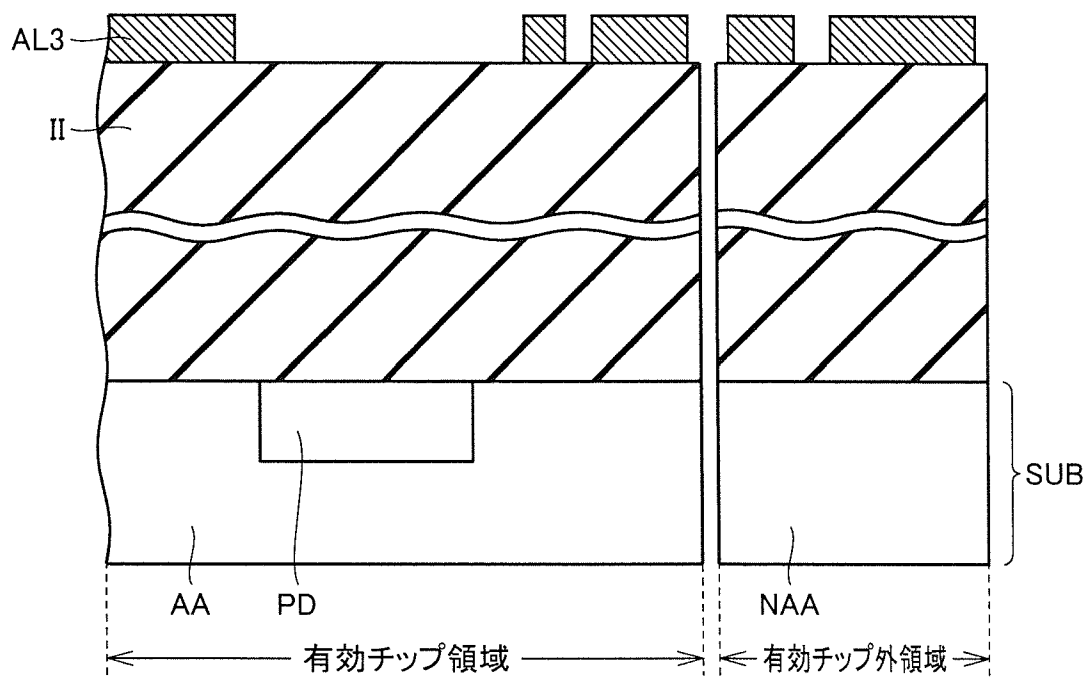
[図13]



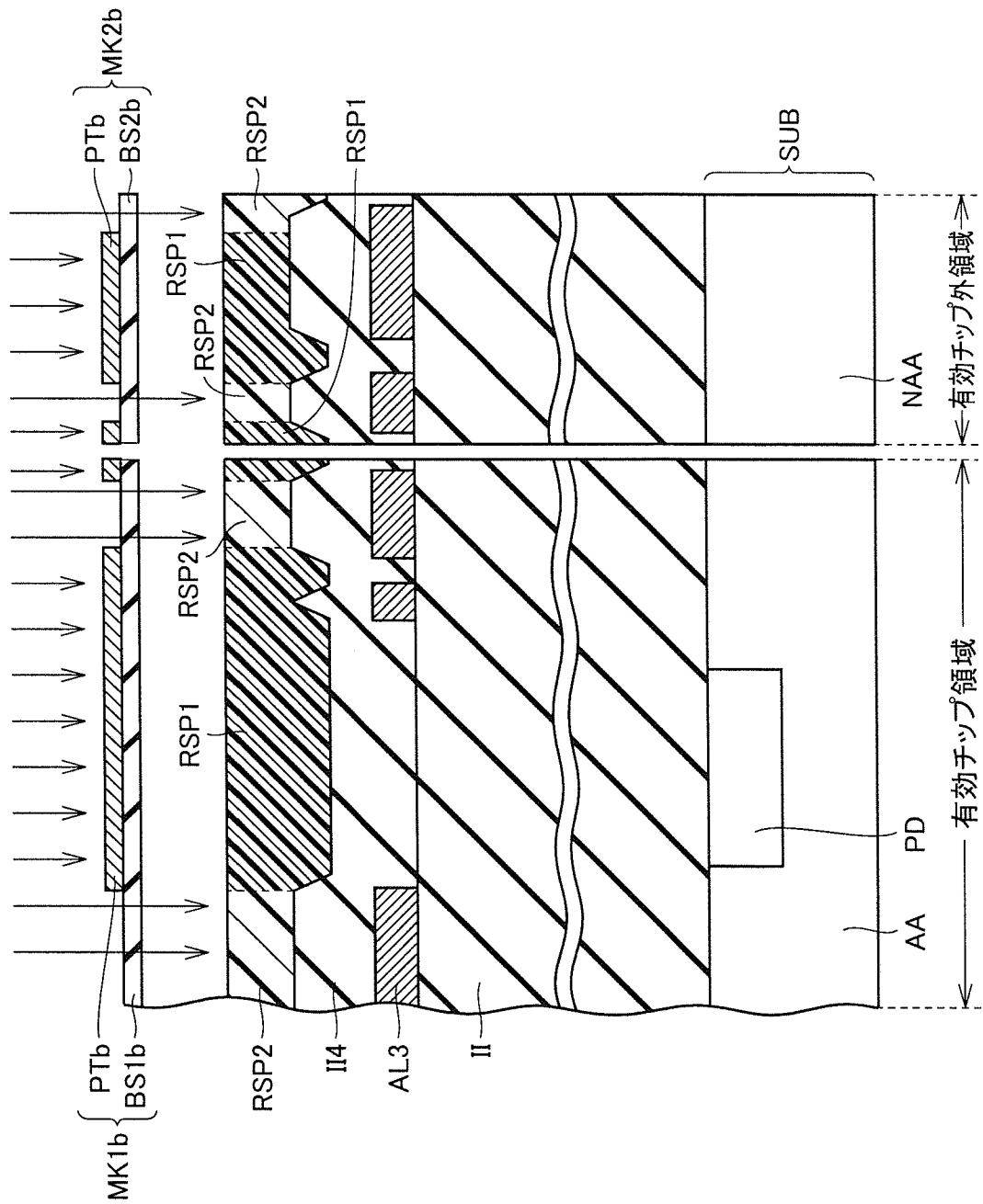
[図14]



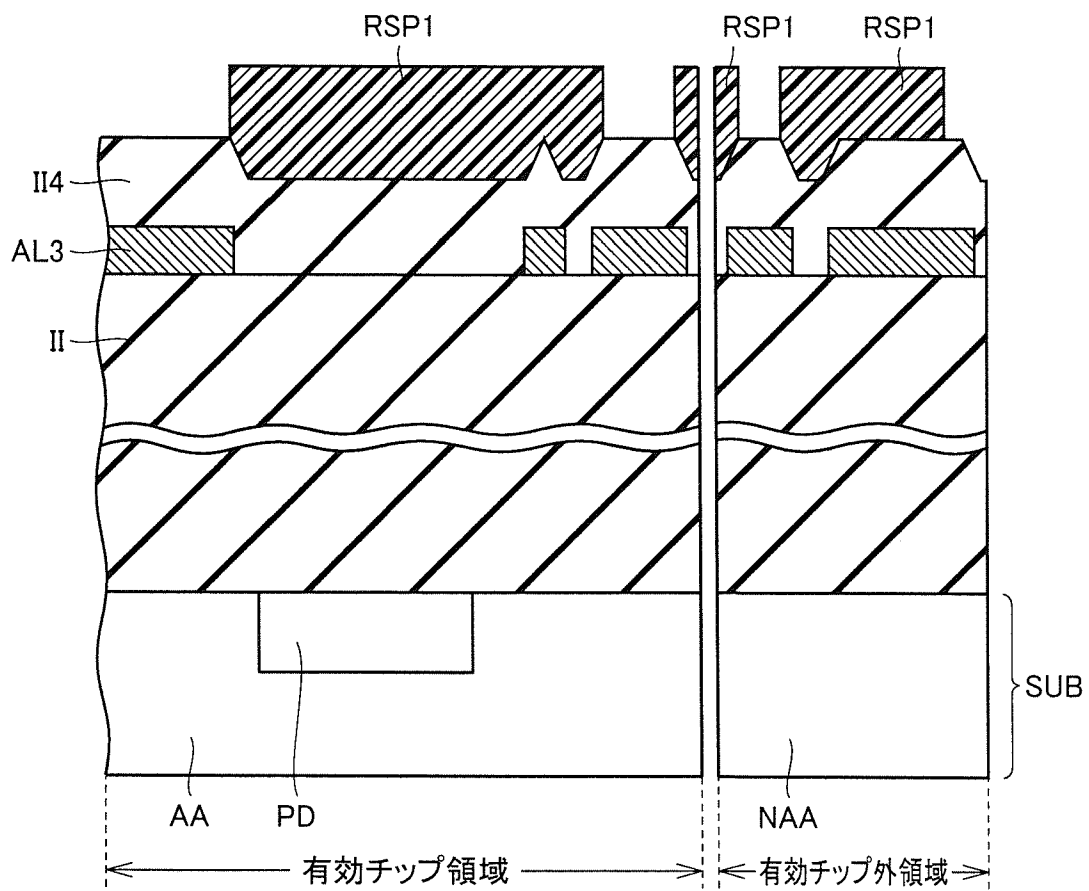
[図15]



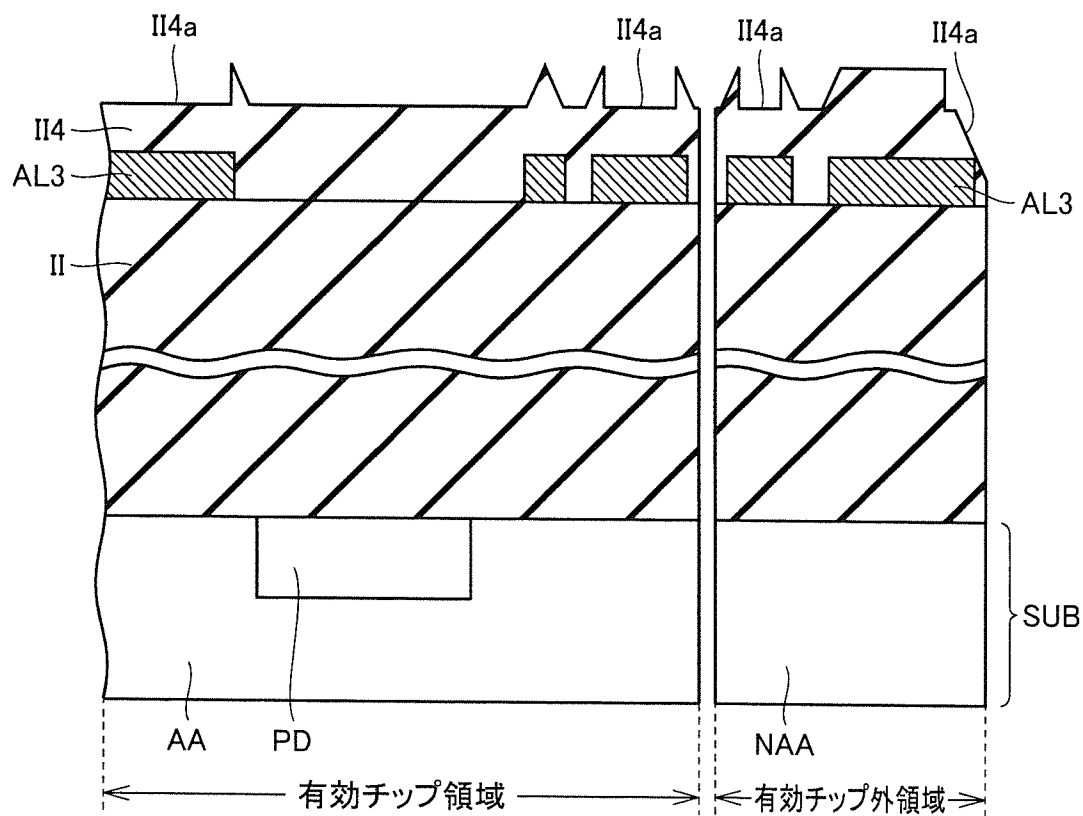
[図16]



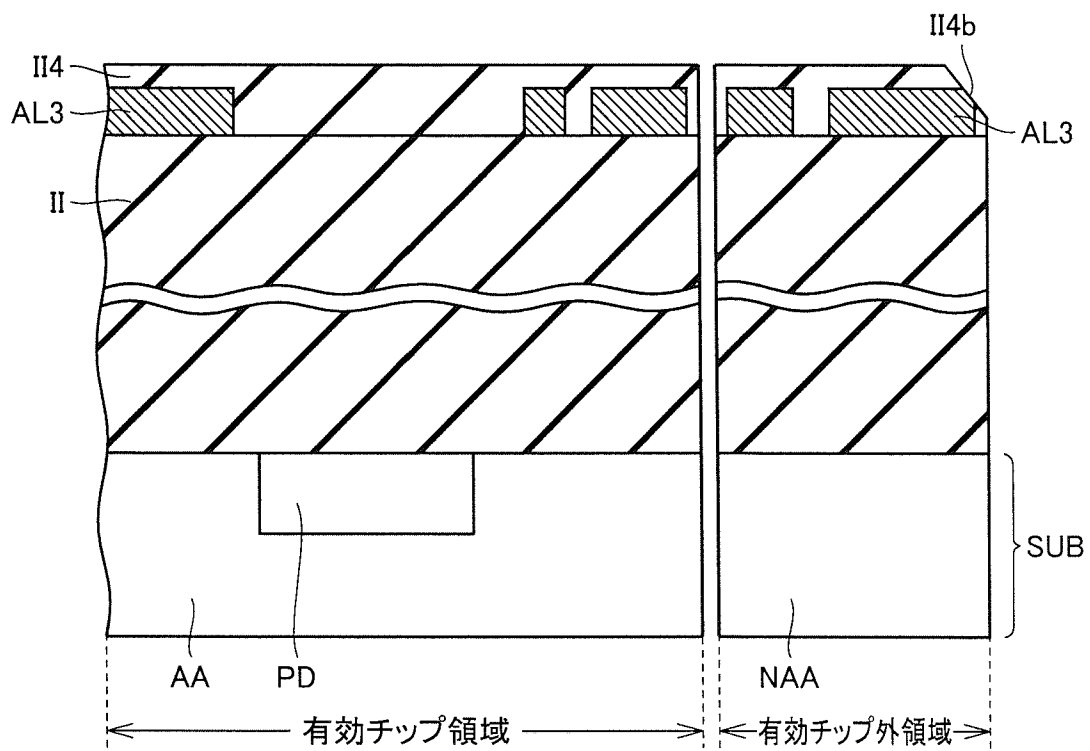
[図17]



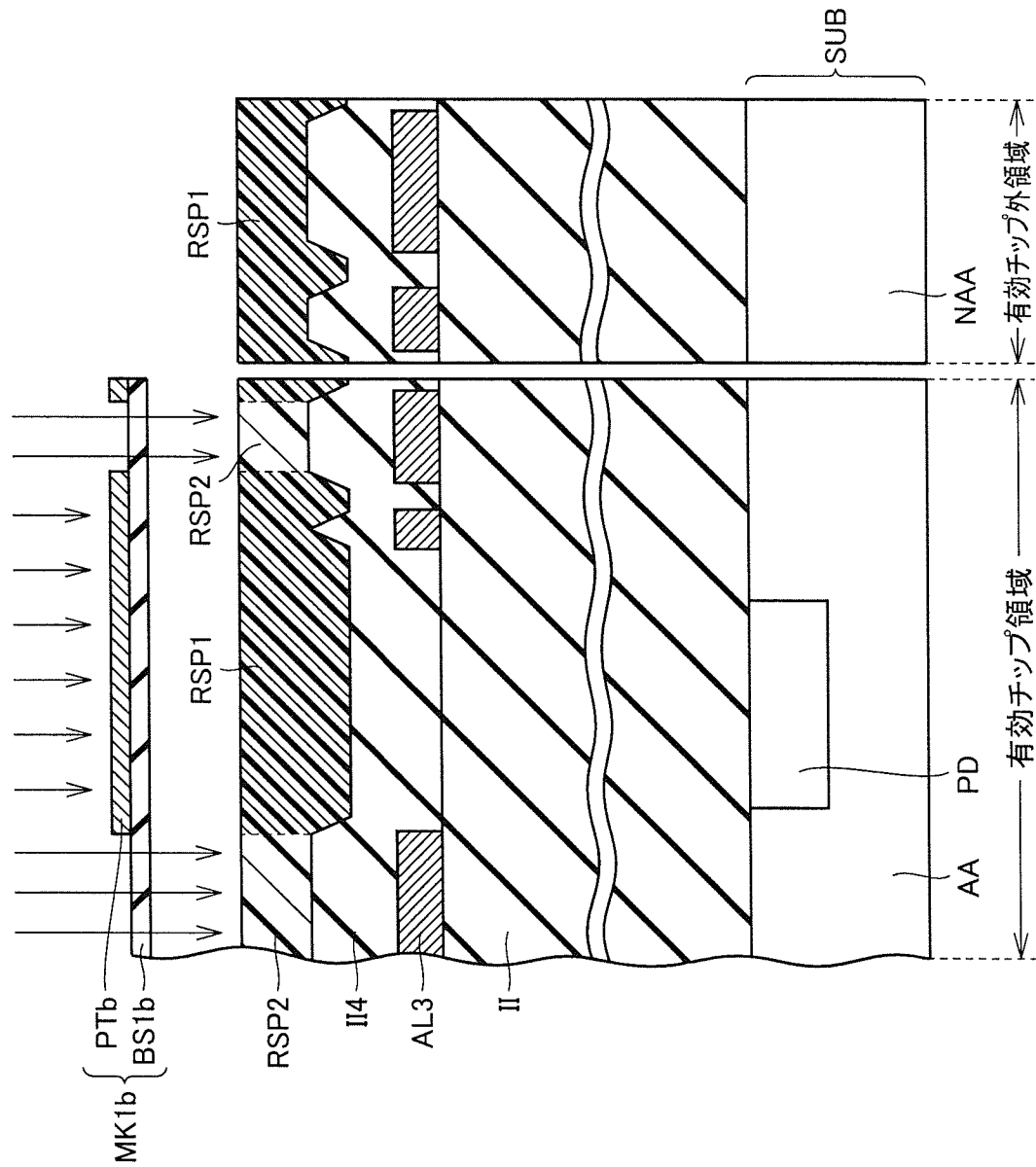
[図18]



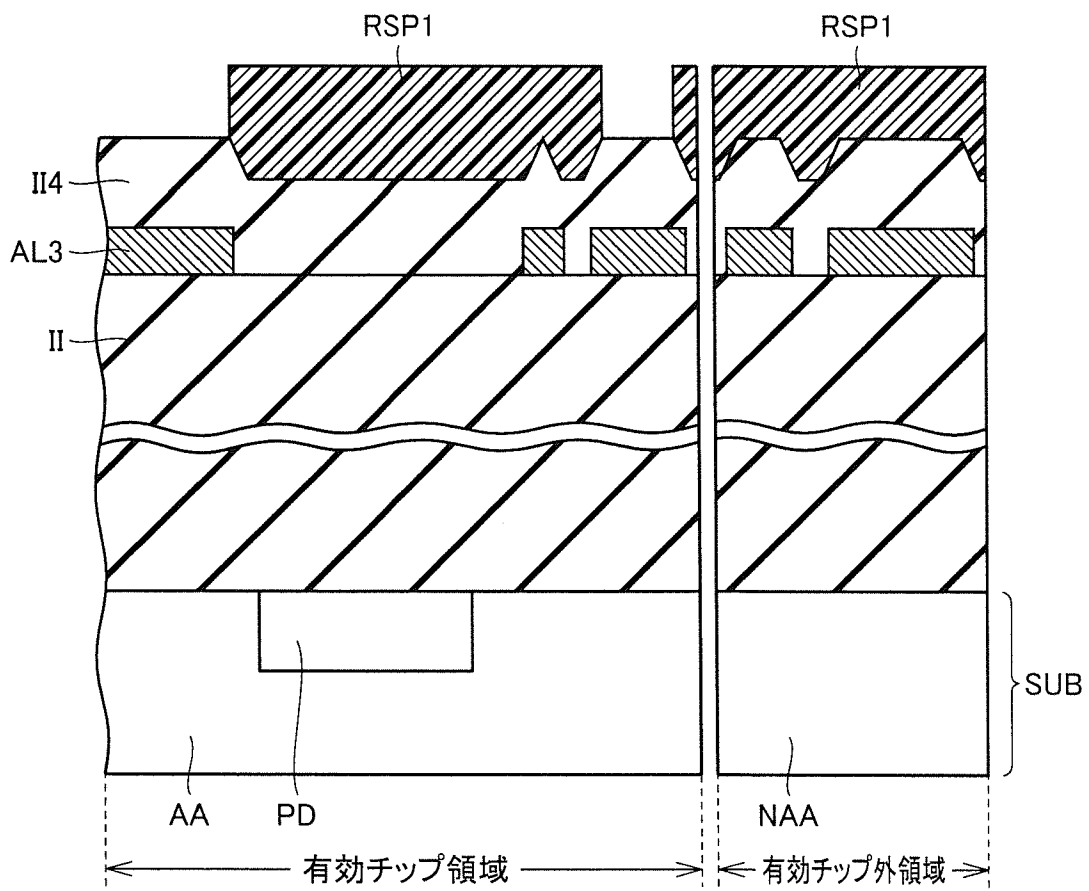
[図19]



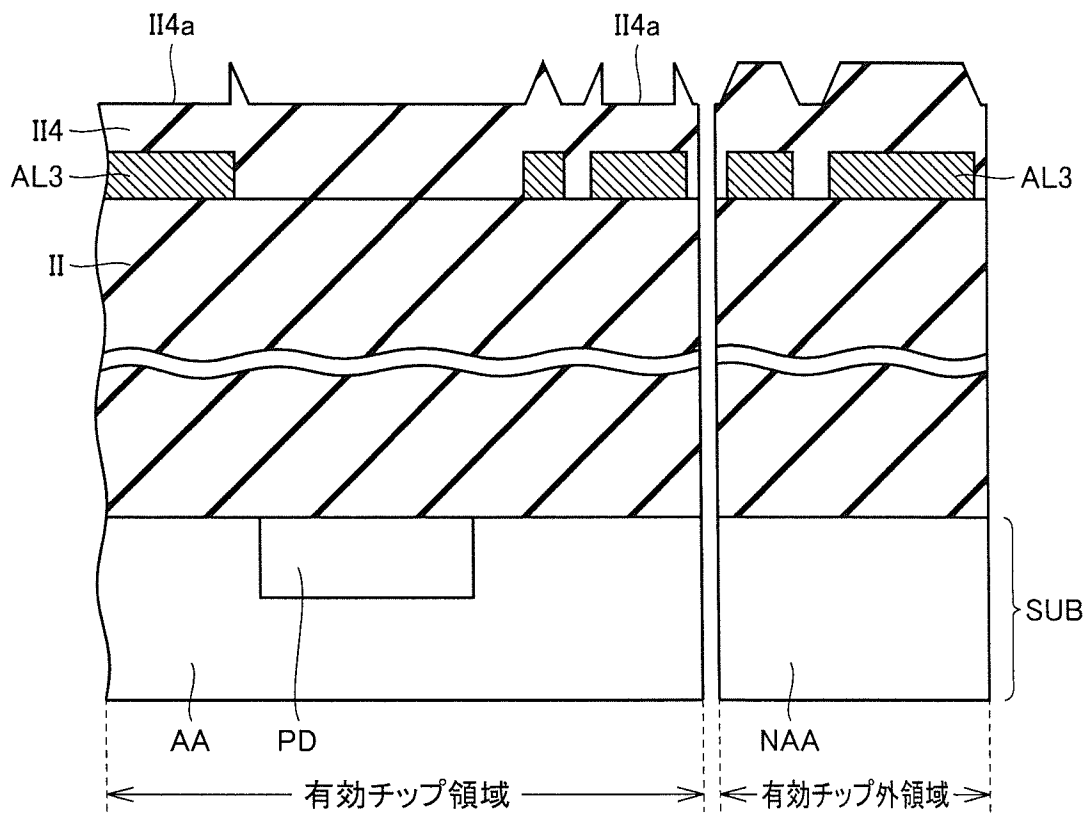
[図20]



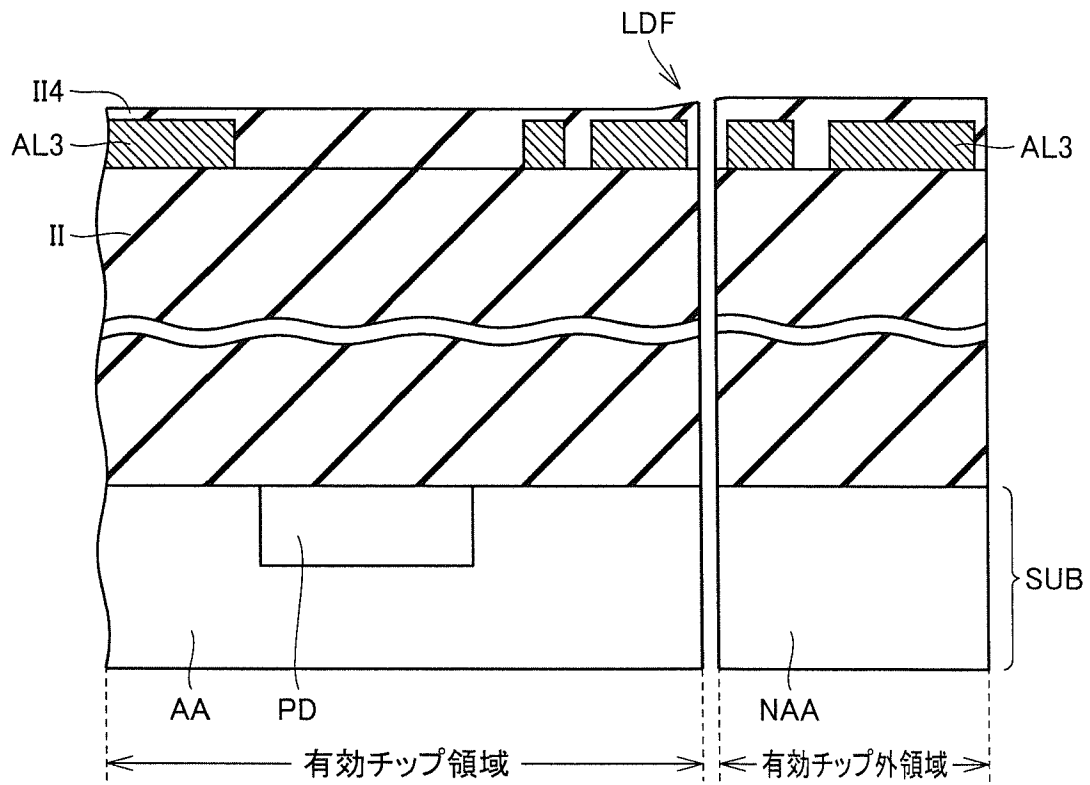
[図21]



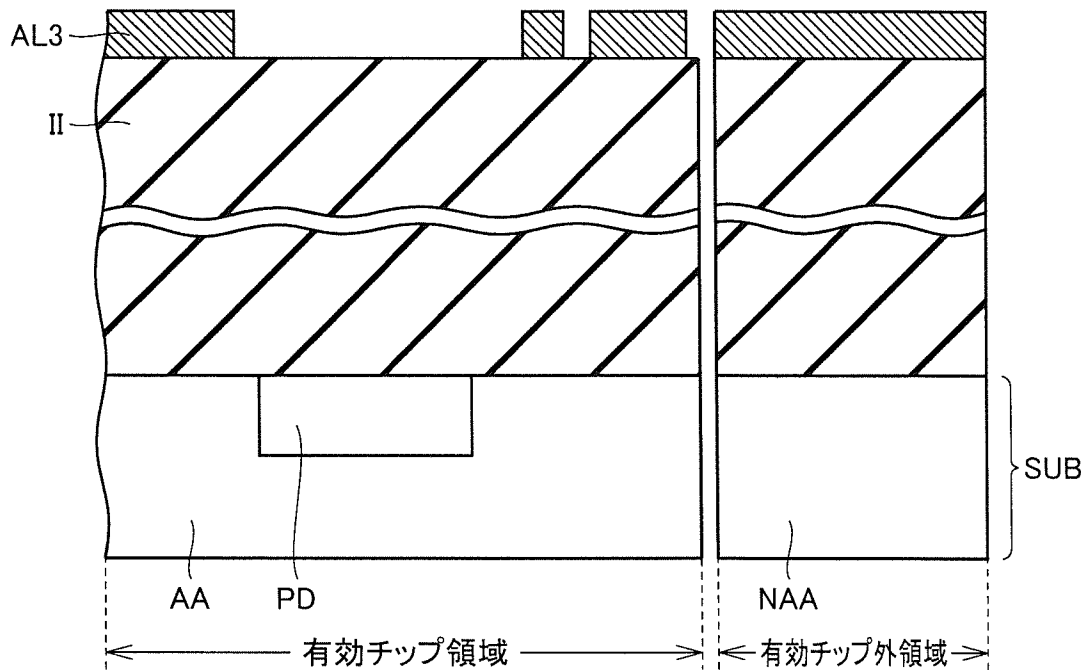
[図22]



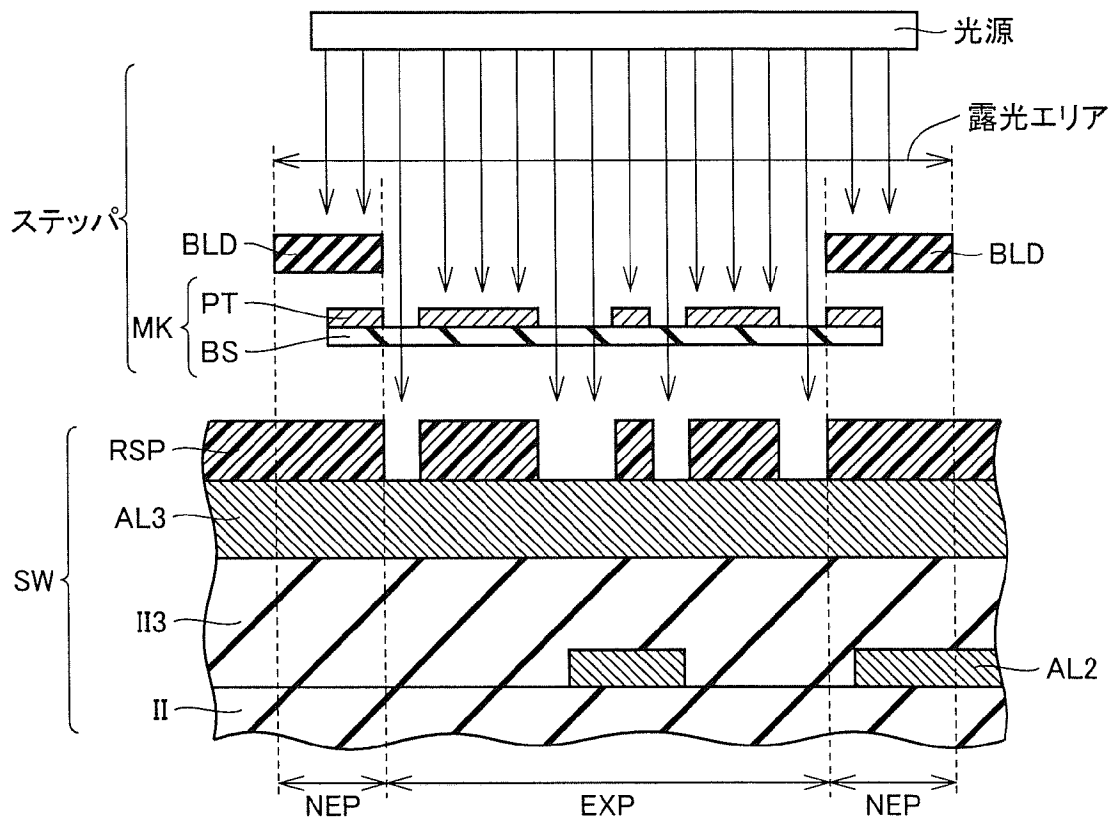
[図23]



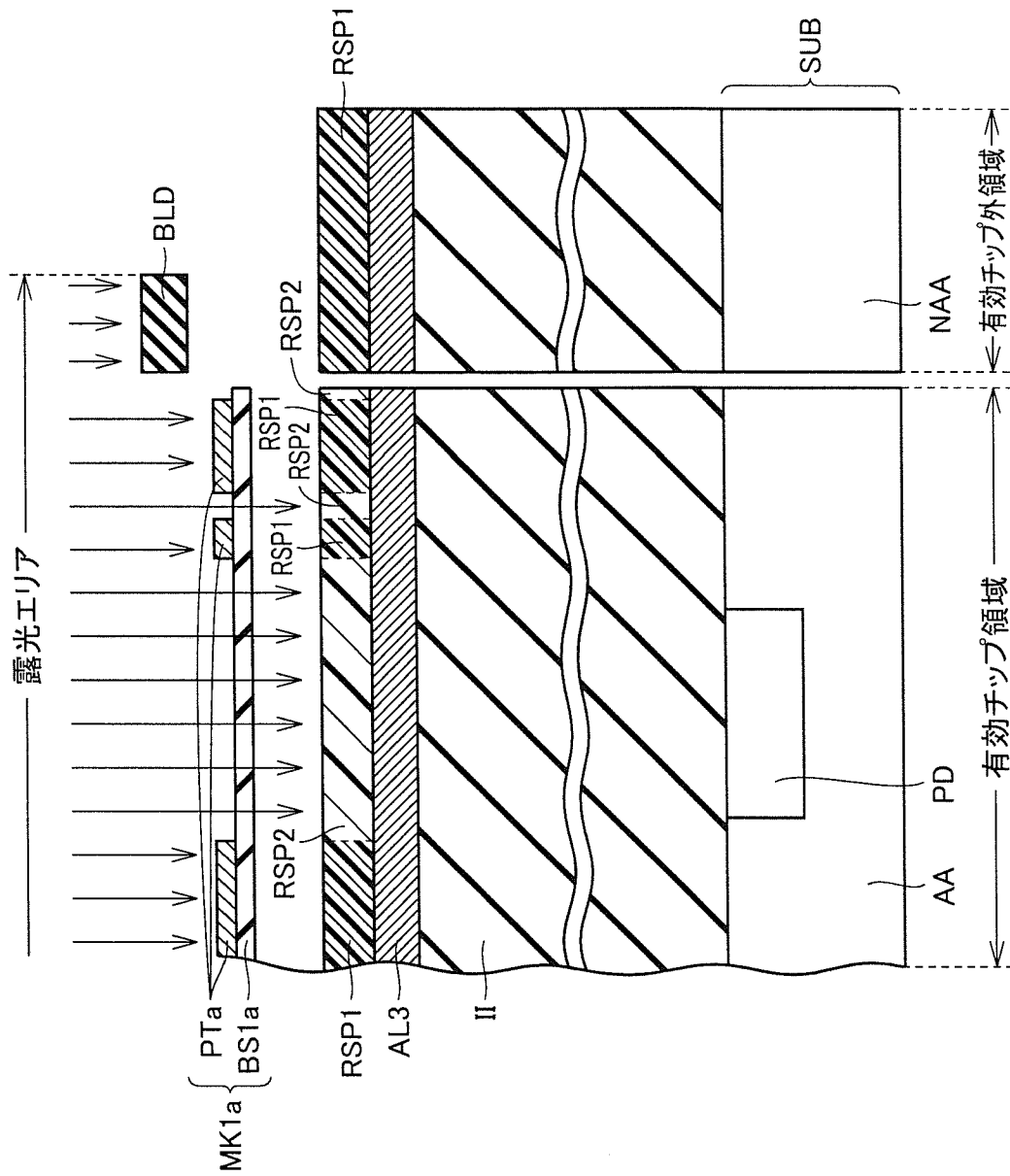
[図24]

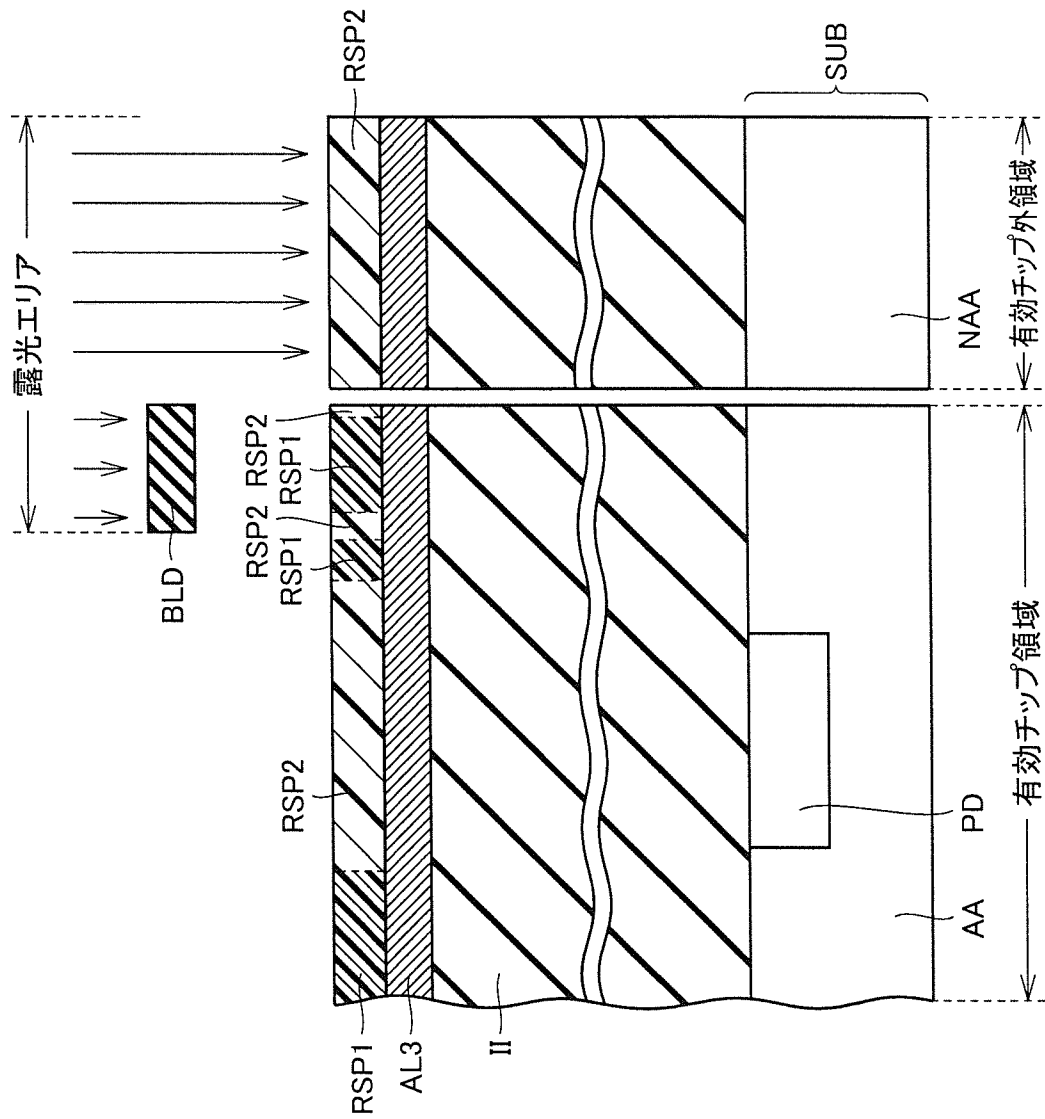


The diagram shows a cross-section of a structure with a central white rectangular region. This central region is surrounded by a thick, hatched layer. The hatching consists of parallel diagonal lines sloping downwards from left to right. A vertical dashed line runs through the center of the structure, passing through the middle of the central white region. Labels with arrows point to various parts of the structure: 'BLD' (Boundary Layer) points to the top and bottom horizontal boundaries of the central white region; 'NEP' (Neutral Elastic Plane) points to the vertical boundaries of the central white region and the vertical dashed line; 'EXP' (Expansion) points to the hatched area on the right side.

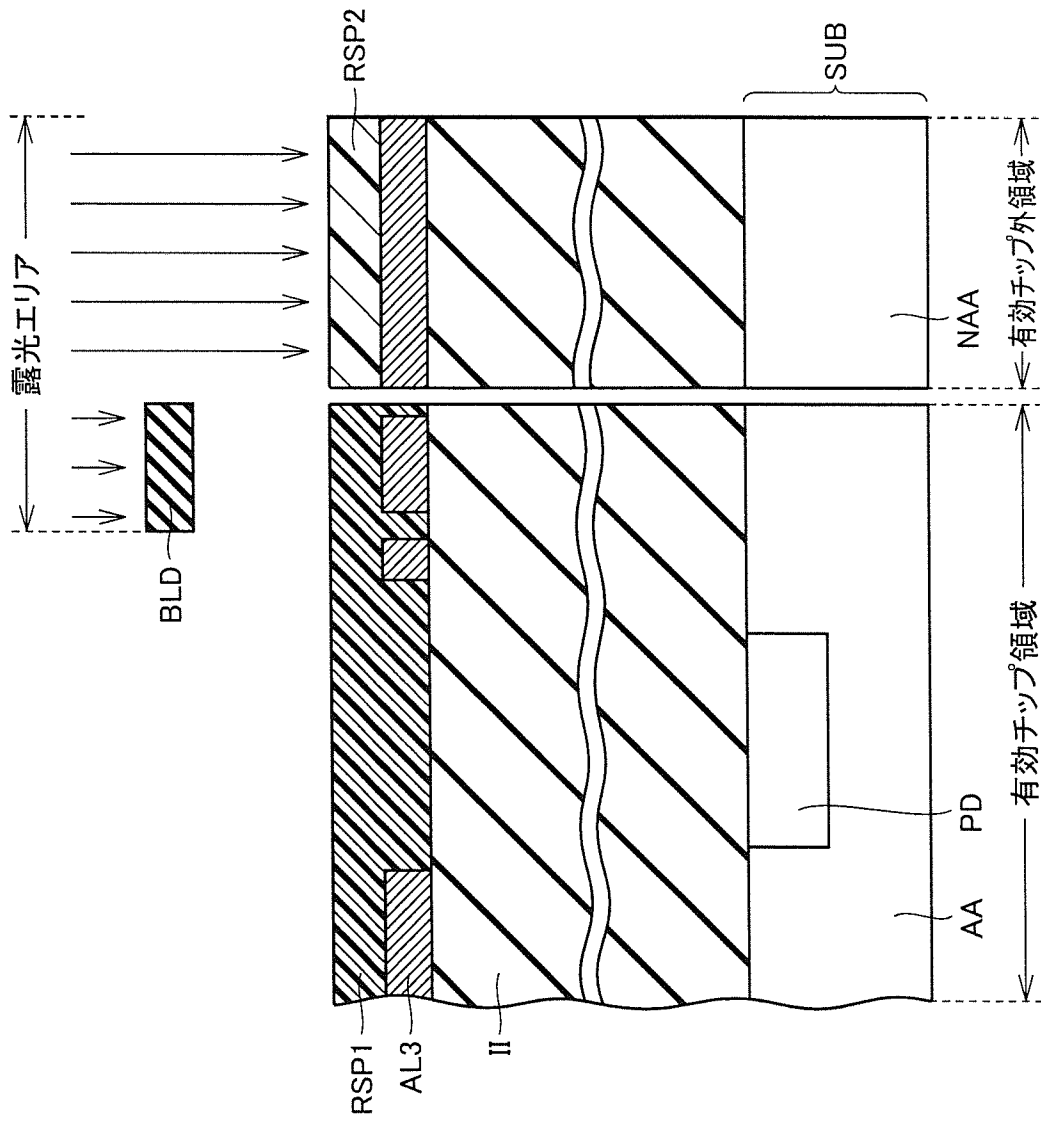


[図29]

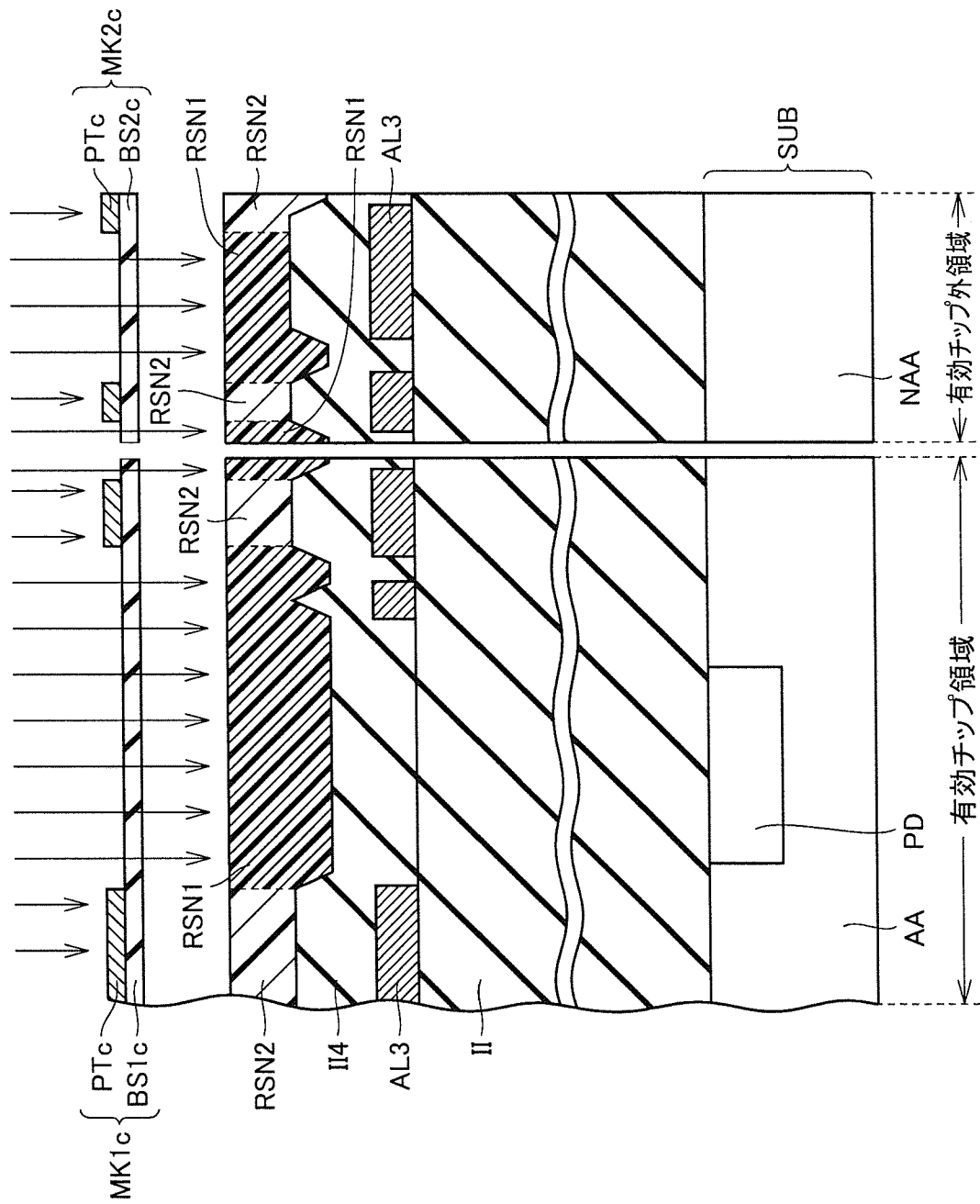




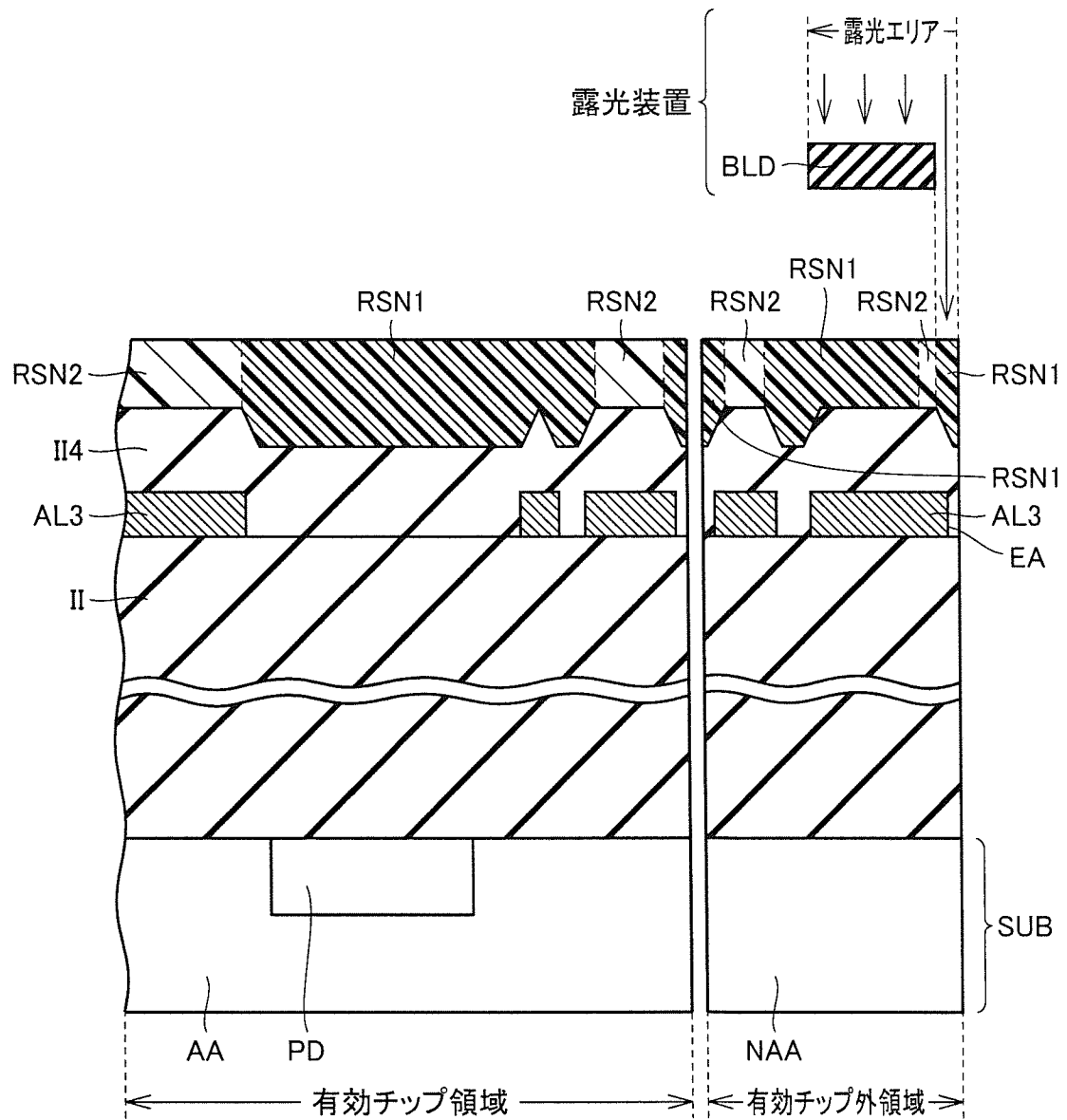
[図31]



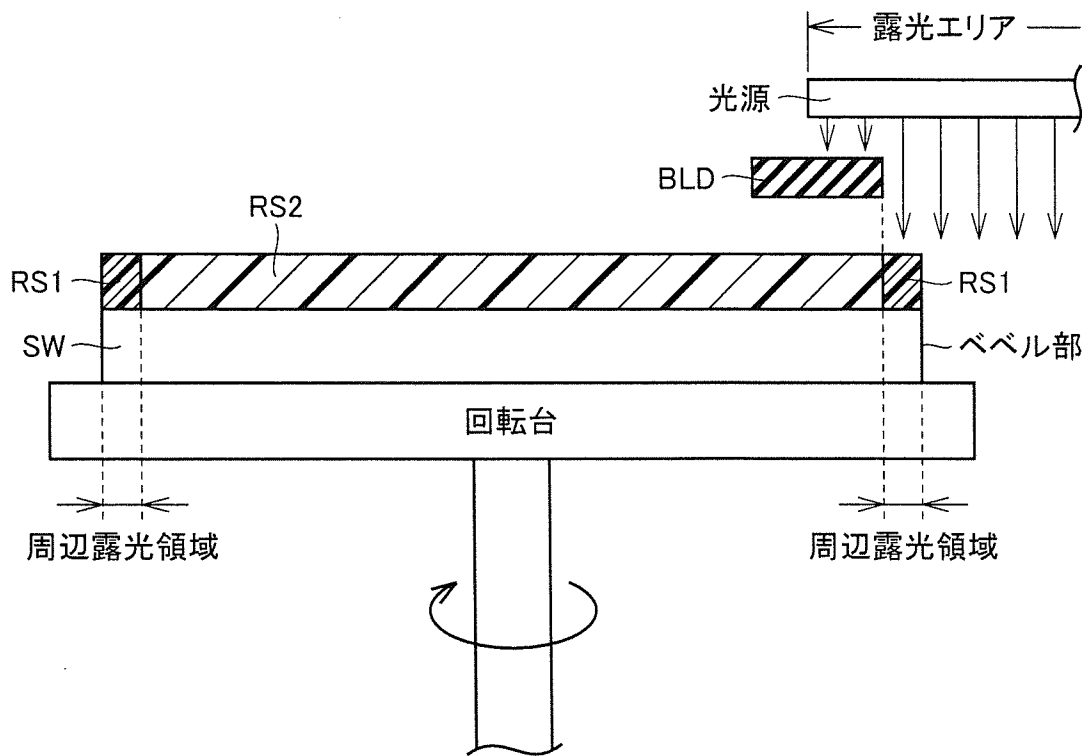
[図33]



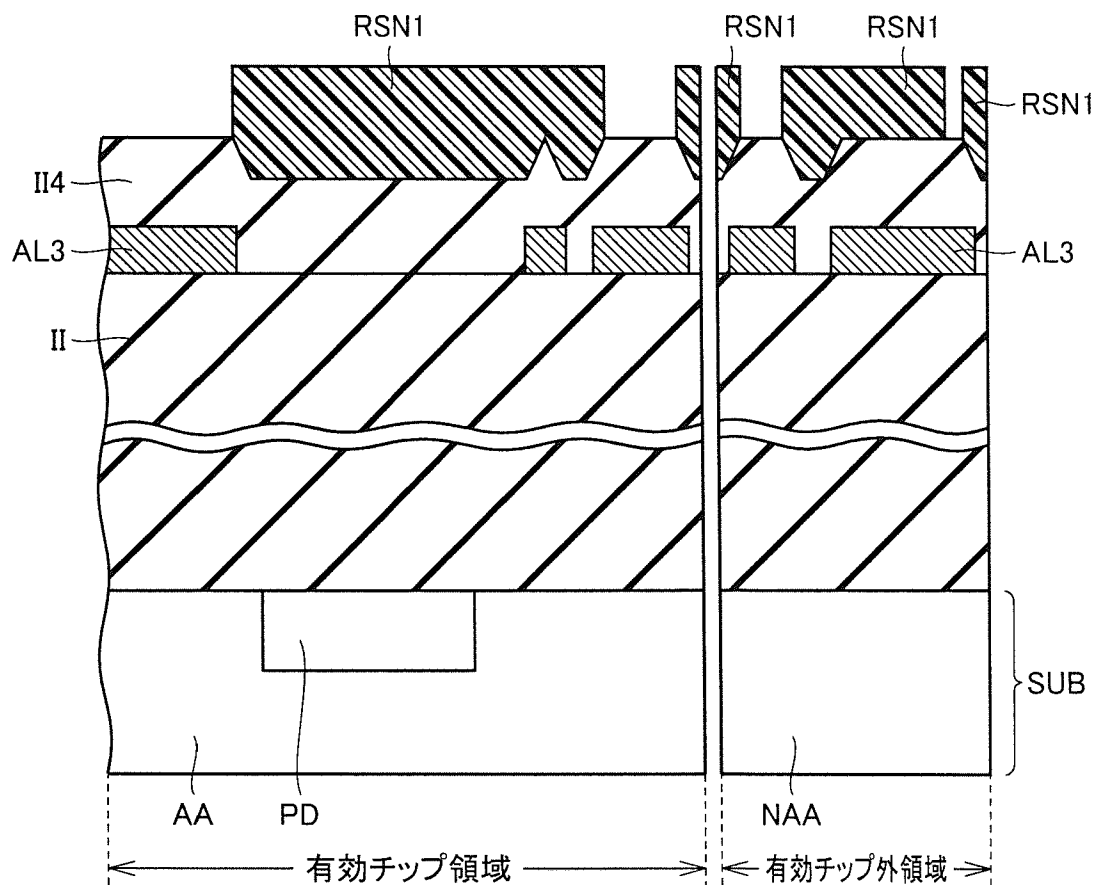
[図34]



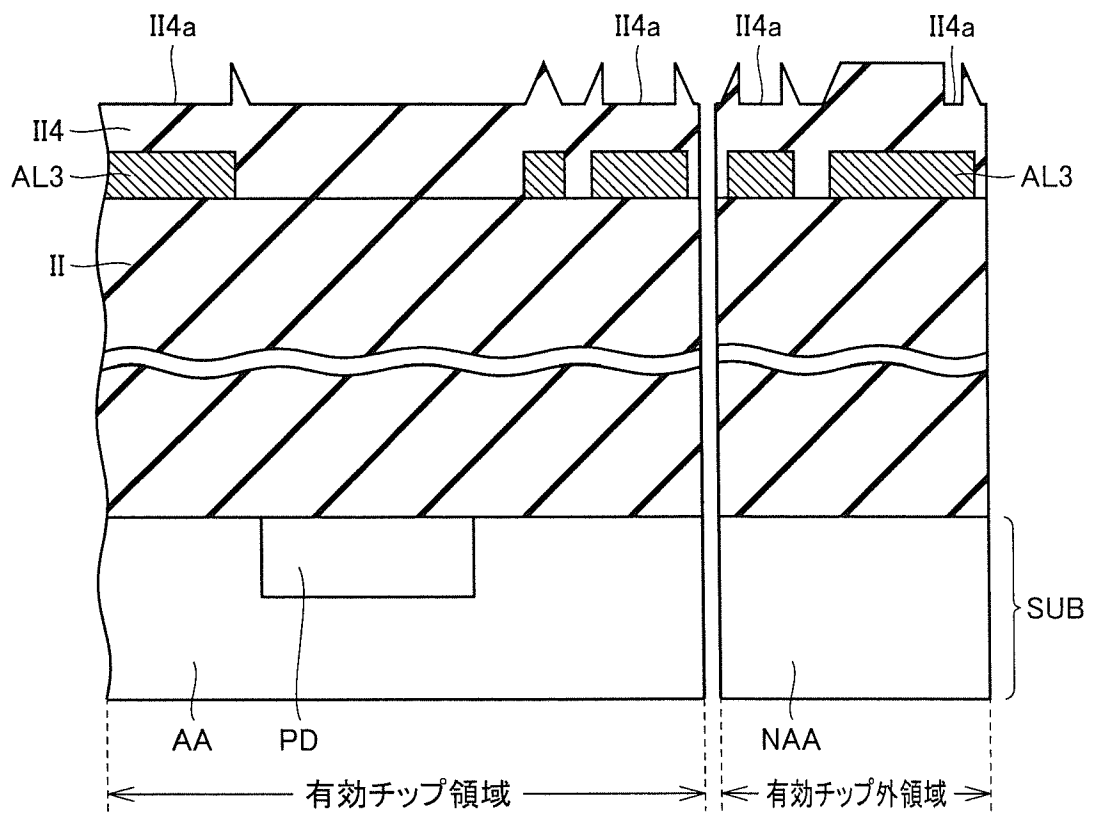
[図35]



[図36]



[図37]



[図38]

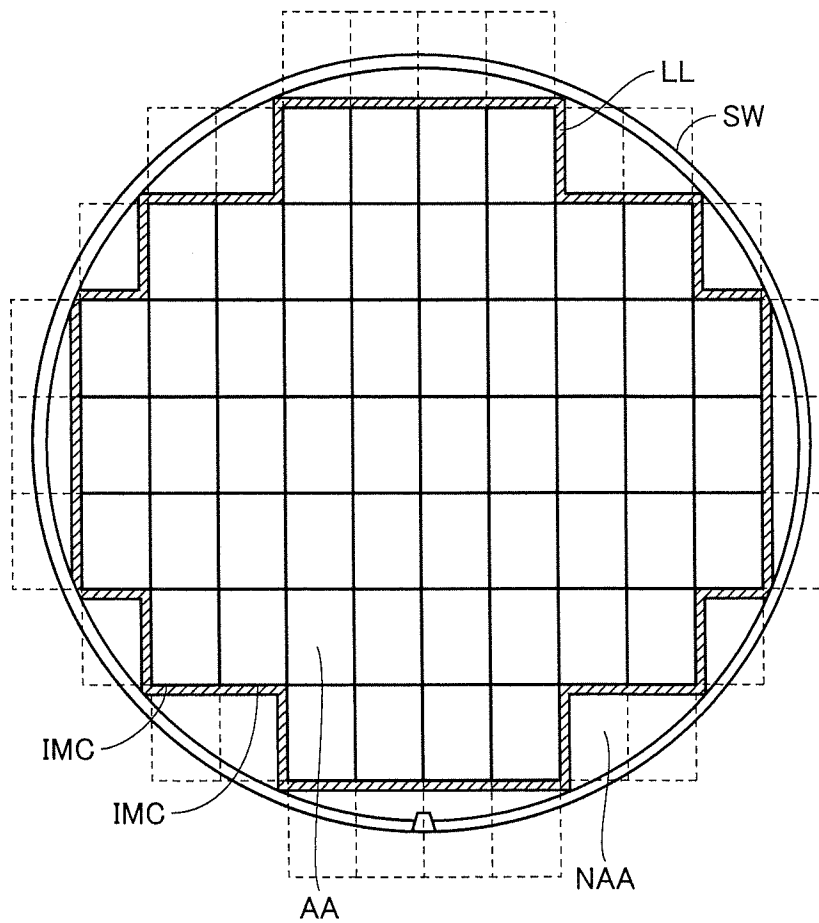
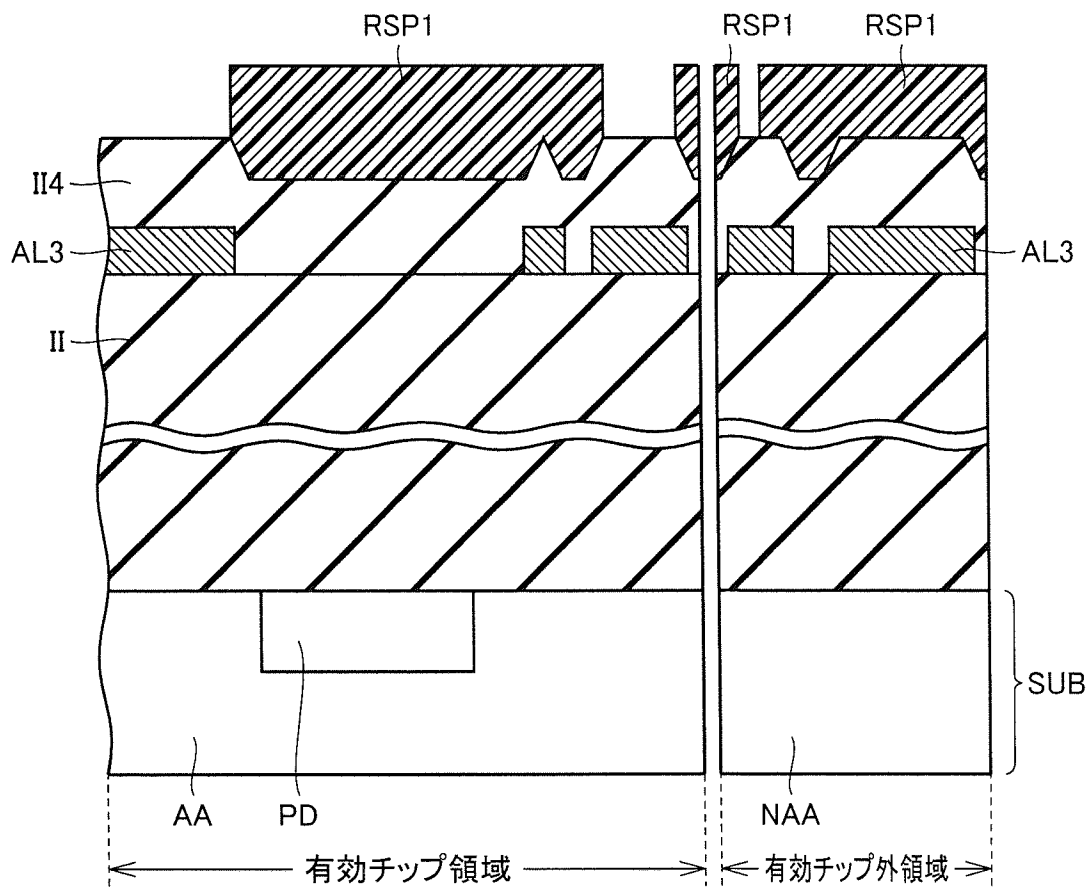
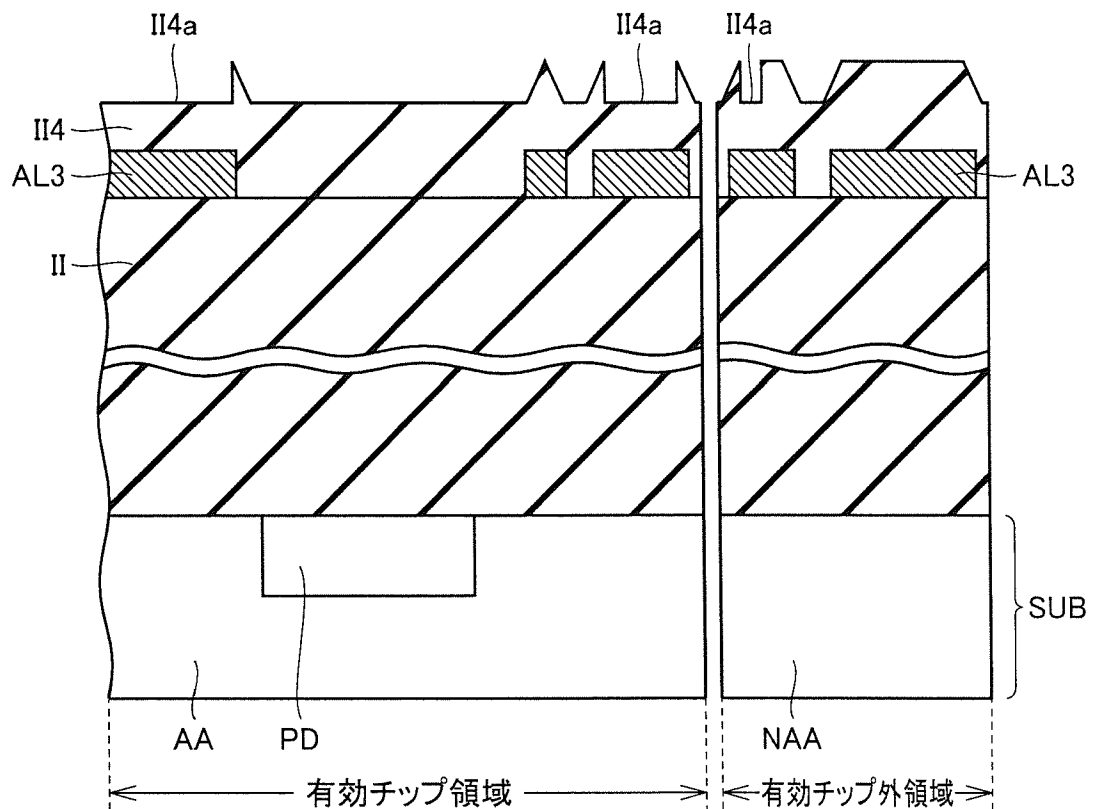


Figure 1 is a cross-sectional diagram of a semiconductor device. The diagram is divided into two main horizontal sections by a dashed line. The upper section is labeled '有効チップ外領域' (Effective Chip Outside Area) and contains a layer labeled 'NAA'. The lower section is labeled '有効チップ領域' (Effective Chip Area) and contains layers labeled 'PD', 'AA', and 'SUB'. The device structure includes several layers and regions: 'BLD' (top layer), 'PTb' (thin layer), 'BS2b' (layer below PTb), 'MK2b' (grouped with BS2b), 'RSP1' and 'RSP2' (regions with diagonal hatching), 'AL3' (layer below RSP1/RSP2), 'II4' (layer below AL3), 'II' (layer below II4), and 'SUB' (substrate). Arrows indicate the direction of light or signal flow, entering from the left and passing through the layers. The diagram shows a complex, multi-layered structure with various hatching patterns and labels indicating different materials and regions.

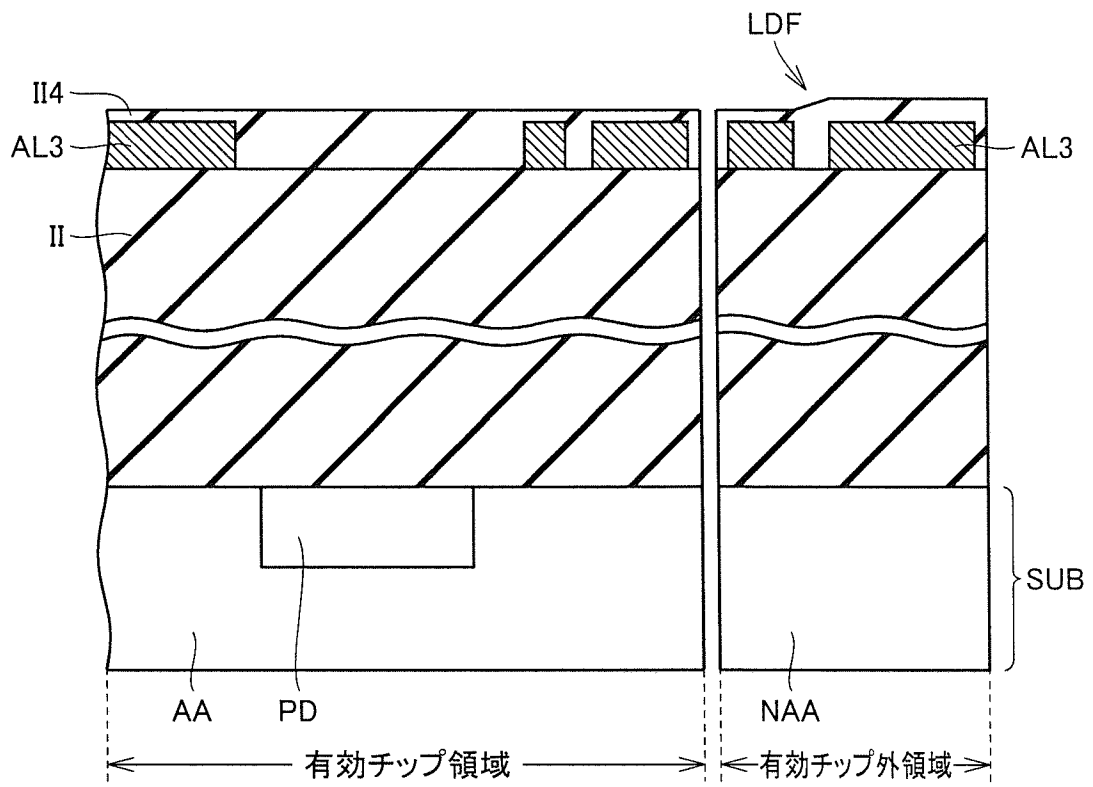
[図40]



[図41]



[図42]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/057867

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/14-27/148, H01L21/76

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2008-98373 A (Matsushita Electric Industrial Co., Ltd.), 24 April 2008 (24.04.2008), paragraphs [0013] to [0015]; fig. 9, 10 & US 2008/0087976 A1 & EP 1912258 A2 & KR 10-2008-0033090 A	1, 2, 11 3-10
Y A	JP 2002-334925 A (Seiko Epson Corp.), 22 November 2002 (22.11.2002), paragraphs [0016] to [0020] & US 2002/0123207 A1	1, 2, 11 3-10
A	JP 9-102539 A (NEC Corp.), 15 April 1997 (15.04.1997), fig. 1, 2; paragraph [0013] & US 5961794 A & GB 2306050 A	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 April, 2012 (19.04.12)Date of mailing of the international search report
01 May, 2012 (01.05.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/057867

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-312730 A (Sony Corp.), 09 November 1999 (09.11.1999), fig. 1, 2; paragraphs [0019] to [0025] (Family: none)	1-11
A	JP 2000-174111 A (Denso Corp.), 23 June 2000 (23.06.2000), fig. 1, 2; paragraphs [0016] to [0025] (Family: none)	1-11
A	JP 2003-234465 A (Sony Corp.), 22 August 2003 (22.08.2003), fig. 1, 2; paragraphs [0016] to [0025] (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L27/146 (2006.01) i, H01L21/768 (2006.01) i, H01L23/522 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L27/14-27/148
H01L21/76

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2008-98373 A (松下電器産業株式会社) 2008.04.24, 【0013】 - 【0015】、【図9】、【図10】 & US 2008/0087976 A1 & EP 1912258 A2 & KR 10-2008-0033090 A	1, 2, 11 3-10
Y A	JP 2002-334925 A (セイコーエプソン株式会社) 2002.11.22, 【0016】 - 【0020】 & US 2002/0123207 A1	1, 2, 11 3-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 0 4 . 2 0 1 2

国際調査報告の発送日

0 1 . 0 5 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

行武 哲太郎

5 F

4 4 4 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 9-102539 A (日本電気株式会社) 1997. 04. 15, 【図 1】、【図 2】、【0 0 1 3】 & US 5961794 A & GB 2306050 A	1-11
A	JP 11-312730 A (ソニー株式会社) 1999. 11. 09, 【図 1】、【図 2】、【0 0 1 9】－【0 0 2 5】 (ファミリーなし)	1-11
A	JP 2000-174111 A (株式会社デンソー) 2000. 06. 23, 【図 1】、【図 2】、【0 0 1 6】－【0 0 2 5】 (ファミリーなし)	1-11
A	JP 2003-234465 A (ソニー株式会社) 2003. 08. 22, 【図 1】、【図 2】、【0 0 1 6】－【0 0 2 5】 (ファミリーなし)	1-11