

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200810086906.4

[51] Int. Cl.

H01G 13/00 (2006.01)

H01G 4/33 (2006.01)

H01G 4/30 (2006.01)

H01C 17/06 (2006.01)

H01C 17/28 (2006.01)

[43] 公开日 2008年10月1日

[11] 公开号 CN 101276693A

[22] 申请日 2008.3.28

[21] 申请号 200810086906.4

[30] 优先权

[32] 2007.3.29 [33] JP [31] 2007-089900

[71] 申请人 TDK 株式会社

地址 日本东京都

[72] 发明人 桑岛一 大久保等 太田学

[74] 专利代理机构 北京银龙知识产权代理有限公司

代理人 丁文蕴

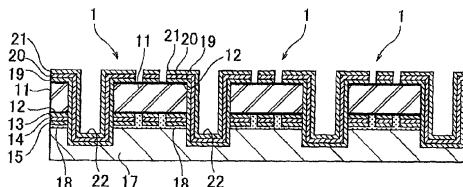
权利要求书 4 页 说明书 14 页 附图 7 页

[54] 发明名称

电子元件及其制备方法

[57] 摘要

一种电子元件的制备方法，包括：用粘性片将衬底与支撑板临时粘合的步骤；通过为该衬底提供在厚度方向上从位于第一表面侧相对的第二表面侧延伸至该支撑板的一定部分的切口，形成用于将该衬底分成单独芯片的切割槽的步骤，在各芯片的第二表面上和位于切割槽内的周围表面上，通过例如溅射法形成连续电极的步骤；和将该芯片与支撑板分离的步骤。可以在临时粘合步骤之前，在该衬底的第一表面上形成电极，在周围表面上形成的电极可以与第一表面上的电极连接。



1. 一种电子元件的制备方法，包括：

通过将衬底的第一表面压到支撑板上，用插入其间的粘性片临时粘合衬底与支撑板的临时粘合步骤；

通过为该衬底提供在厚度方向上从与第一表面侧相对的第二表面侧延伸至该支撑板的一定部分的切口，形成用于将该衬底分割成单独电子元件的切割槽的衬底分割步骤；

在电子元件的第二表面上和位于切割槽内的周围表面上形成连续电极的连续电极形成步骤；和

将该电子元件与支撑板分离的元件分离步骤。

2. 根据权利要求1的电子元件的制备方法，进一步包括：

在临时粘合步骤之前在该衬底的第一表面上形成电极的第一表面电极形成步骤，

其中，被形成于电子元件的周围表面上的连续电极是在连续电极形成步骤中形成，以便与在第一表面电极形成步骤中形成的电极相连接。

3. 根据权利要求1的电子元件的制备方法，

其中，该粘性片包含可溶于溶剂的树脂作为主要组分，和

该元件分离步骤包括将临时粘合到该支撑板上的电子元件浸入该溶剂中的过程。

4. 根据权利要求2的电子元件的制备方法，

其中，该粘性片包含可溶于溶剂的树脂作为主要组分，和

该元件分离步骤包括将临时粘合到该支撑板上的电子元件浸入该溶剂中的过程。

5. 根据权利要求3的电子元件的制备方法，

其中，该树脂是丙烯酸树脂，和

该溶剂是包含醇作为主要组分的液体。

6. 根据权利要求4的电子元件的制备方法，

其中，该树脂是丙烯酸树脂，和

该溶剂是包含醇作为主要组分的液体。

7. 根据权利要求3的电子元件的制备方法，

其中，该元件分离步骤进一步包括将超声波施加于该临时粘合到该支撑板上的电子元件上的过程。

8. 根据权利要求4的电子元件的制备方法，

其中，该元件分离步骤进一步包括将超声波施加于该临时粘合到该支撑板上的电子元件上的过程。

9. 根据权利要求5的电子元件的制备方法，

其中，该元件分离步骤进一步包括将超声波施加于该临时粘合到该支撑板上的电子元件上的过程。

10. 根据权利要求6的电子元件的制备方法，

其中，该元件分离步骤进一步包括在将超声波施加于该临时粘合到该支撑板上的电子元件上的过程。

11. 根据权利要求1的电子元件的制备方法，

其中，该临时粘合步骤是在减压下进行的。

12. 根据权利要求1~5中任一项的电子元件的制备方法，

其中，该连续电极形成步骤包括：

在电子元件的第二表面和位于切割槽内的周围表面上，形成导电膜的导电膜形成过程；

在该导电膜上形成抗蚀膜的抗蚀层形成过程；

根据待形成的电极的形状选择性去除抗蚀膜的抗蚀掩模形成过程；

通过利用抗蚀掩模选择性去除导电膜的蚀刻过程；和

去除抗蚀掩模的抗蚀层剥离过程。

13. 根据权利要求1~5中任一项的电子元件的制备方法，

其中，该连续电极形成步骤包括：

在芯片的第二表面和位于切割槽内的周围表面上，形成导电膜的导电膜形成过程；

在该导电膜上形成抗蚀膜的抗蚀层形成过程；

根据待形成的电极的形状选择性去除抗蚀膜的抗蚀掩模形成过程；

通过使用抗蚀掩模在该导电膜上沉积镀敷金属膜的镀敷过程；
去除抗蚀掩模的抗蚀层剥离过程；和
去除位于抗蚀掩模下面的导电膜的蚀刻过程。

14. 根据权利要求 1~5 中任一项的电子元件的制备方法，
其中，该连续电极形成步骤包括：

在通过衬底分割步骤形成切割槽之后，通过汽相沉积方法在该电子元件的第二表面和周围表面上形成薄膜的薄膜形成过程。

15. 根据权利要求 14 的电子元件的制备方法，
其中，该汽相沉积方法是溅射方法。

16. 根据权利要求 14 的电子元件的制备方法，
其中，该薄膜是包含铬、钛、镍、镍-铬、钨、铜和银中任意种作为主要组分的膜。

17. 根据权利要求 15 的电子元件的制备方法，
其中，该薄膜是包含铬、钛、镍、镍-铬、钨、铜和银中任意种作为主要组分的膜。

18. 根据权利要求 16 的电子元件的制备方法，
其中，该连续电极形成步骤包括进一步在该薄膜上形成电解镀铜膜的过程。

19. 根据权利要求 17 的电子元件的制备方法，
其中，该连续电极形成步骤包括进一步在该薄膜上形成电解镀铜膜的过程。

20. 一种电子元件，其具有形成延伸在顶面和底面的至少任一个上，以及在顶面和底面之间存在的周围表面上的电极，该电极包括：

位于该衬底表面上的基础电极膜；和

位于该基础电极膜上的主电极膜；

其中，该基础电极膜是在顶面和底面中至少任一个上，以及在周围表面上的连续形成的膜。

21. 根据权利要求 20 的电子元件，

其中，该基础电极膜是由汽相沉积方法形成的薄膜。

22. 根据权利要求 20 的电子元件，

其中，该基础电极膜是通过利用非电解镀方法加工的膜形成的薄膜。

23. 根据权利要求 21 的电子元件，

其中，该薄膜是包含铬、钛、镍、镍-铬、钨、铜和银中任意种作为主要组分的膜。

24. 根据权利要求 22 的电子元件，

其中，该薄膜是包含铬、钛、镍、镍-铬、钨、铜和银中任意种作为主要组分的膜。

电子元件及其制备方法

发明背景

本发明涉及一种电子元件及其制备方法。更特别地，本发明涉及一种用于在片状电子元件（下文在一些情况下也简称为芯片）的外表面上形成导体（例如端电极）的技术。

现今提供了包括各种分立元件（例如片状电容器、片状电感器或片状电阻器）和由多种有源和无源元件结合而成的电子装置的电子元件。任何这些电子元件都需要在其外表面上设置端电极以与外界建立电和机械连接，由此被安装在配线板上。

此前通过例如以下方法来制备端电极：对于每个已被功能化配置的芯片，使用掩模在预设位置并以预设形状印刷和涂覆导电材料（导电膏或导电树脂）；然后进行硬化和烘焙过程；使该端电极接受适当的镀敷。该电极的布置通常形成“U”形，其中电极设置在三个表面（顶面（前面）、底面（后面）、和周围表面（侧面或端面））上。可替代地，该电极的布置形成“L”形，其中该电极设置在两个表面（周围表面、和顶面或底面）上。

在顶面和底面上设置的电极用于：将该芯片安装在衬底上，与该衬底上的配线建立电连接、评价性能等。同时，在周围表面上设置电极作为配线部分，用于将该元件内部的导体引出到该衬底的安装表面外。而且，除与衬底建立电连接之外，该电极还用于机械固定和保持其它元件的作用。

至于形成端电极的过程，在复合板（或硅片）上形成成为该电子元件的功能组成部分的配线层、绝缘层、功能层、保护膜层、用于与端子建立连接的配线暴露部分、和共同构成电子元件的功能组成部分的其它部分，然后将该板切割成单独的芯片。然后，在各芯片的顶面和底面中的一个或两个以及在该芯片的周围表面上形成端电极，以垂直方向延伸。顶面和底面上的电极可以在形成该功能组成部分的步骤之前预先形成，根据电极形成的粘合质量或容易程度端电极的形成顺序可以不同。此外，为了降低用于形成该端子的工艺数量，也已

知一种通过在芯片的周围表面形成电极的过程中,在这些表面上提供电极材料而同时在芯片顶面和底面上形成电极的方法,该方法辅助以对该芯片的拐角处进行斜切(或者所谓的“制圆”)。

另一方面,也可以使用薄膜法代替上述的厚膜法。特别地,电极膜使用汽相沉积系统(例如溅射系统或蒸发系统)形成,同时各芯片用夹具固定并覆盖掩模。为了在多个表面上形成电极,仅需要改变该芯片的方向并类似地重复成膜方法。而且,在适当的时候,进一步将端子镀在该薄膜上。

以下专利文献也公开了用于形成这种端电极的技术:

(1) 专利文件 1: 日本未审专利申请公开号 Heisei 7 (1995) - 254534 (JP-A-7-254534);

(2) 专利文件 2: 日本专利号 3613091 (JP-B-3613091); 和

(3) 专利文件 3: 日本未审专利申请公开号 2004 - 289085 (JP-A-2004-289085)。

发明内容

传统的端电极结构和该端电极的形成方法存在以下需要解决的问题。

首先,使用导电膏和导电树脂的厚膜法的方法,制备过程中为了烘焙和硬化这些导电物质,需要在等于或高于 500℃ 的高温处理。因此,在这种方法中,芯片中所用的材料需要具有至少等于或高于这样的温度的耐热性,可应用的材料仅限定为具有这种高耐热性的材料。在此,随着纳米膏技术的发展,推进导电树脂的发展。随着这种发展,最近几年提出了可经 300℃ 或更低温度下的热处理硬化的材料。然而,这些材料仍非常昂贵,而且在实践中很难用于作为大规模产品的电子元件产品中,其必然会受到成本限制。

而且,在采用厚膜法的方法中,对于逐年尺寸变得越来越小的电子元件,制备具有足够尺寸精度的电极变得越来越困难。这是因为膏材料具有流动性,并且由涂覆条件,即各种因素(例如粗糙度或经过涂覆的表面的活动状态(润湿性)、周围环境(大气)或膏含量)等,其涂覆精度容易变化。特别地,高频电子元件需要严格限制端子的尺寸精度以满足安装精度的要求,不容易在微小的电子元件所设置的多个端子上,通过该膏的均匀涂覆形成电极。而且,例如,由于在再流焊接(solder reflow)安装时芯片直立,因此在元件左右两

端之间的端电极的形状尺寸的变化或不均匀性，可能会造成所谓的曼哈顿 (Manhattan) 现象 (所谓的竖碑现象)，其会造成缺陷安装。

另外，该导电膏包含有机组分和 Si 类介质。通过在高温下的烘焙，这些物质会从电极中释放出来。然而，剩余的导电材料的状态缺乏精度，由于高温烘焙，导电材料的表面覆盖有氧化物膜。因此，在之后进行端子镀敷过程的情况下，可以想象合金层和有助于固定效果的结合会在基础电极和镀敷端子之间的界面上建立结合状态。因此，根据表面状态，该结合性质可能会不稳定。

同时，在导电树脂的情况下，因为在等于或低于 300℃ 的相对较低温度下进行热处理，因此介质材料会残余含在基础电极中。因此，当许多导电颗粒暴露于基础电极表面上时，与镀敷端子的表面之间的界面上可能会实现良好的粘合。然而，至于有极少导电颗粒暴露的基础电极的表面部分，与镀敷端子之间的界面的结合性质存在降低的风险。

另一方面，在与上述情况 (根据该厚膜法以及根据专利文件 1 (JP-A-7-254534) 和专利文件 2 (JP-B-3613091)) 类似地形成电极时，该使用薄膜法的方法需要夹具来保持并排列单个的芯片。另外，该方法还需要麻烦地操作来将这些非常小的芯片分别安装在该夹具上。而且，为了将该芯片安装在该夹具上，在芯片和夹具之间提供间距是不可缺少的，然而不容易相对于掩模精确地来定位芯片。特别地，随着芯片尺寸变得越小，定位误差的影响会变得越大，因此导致端子的形状 (宽度、长度和厚度) 或布置位置的精度变化。

同时，在根据前述专利文件 3 (JP-A-2004-289085) 的方法中，端电极 (外电极) 是在将该衬底分离成单独的芯片之前的步骤中形成的。因此，可以避免为形成端子而处理单独的芯片的复杂性。然而，根据该方法的方法在形成电极之后为了将该衬底分成单独的芯片，需要下述两个步骤：由元件的底面侧形成半切割凹槽；和从顶面侧形成用于穿透该半切割凹槽的凹槽。而且，还必须将该用于穿透该半切割凹槽的凹槽精确地对准该半切割凹槽。如果该元件的尺寸减小，这种方法是非常困难的。此外，根据该方法的方法不能实现覆盖该元件的顶面、周围表面和底面的 U 型端电极。

此外，在根据使用薄膜法的常规方法形成经过多个表面 (例如从顶面或底面到侧面或端面) 的电极的情况下，需要进行以下至少两个步骤：(1) 在芯片

的一个表面（例如顶面或底面）上形成电极膜；然后（2）从该夹具上移走芯片，改变芯片的方向，并在另一表面（例如侧面或端面）上形成电极膜。因此，除了增加步骤数量之外，该方法还可能导致由于氧化物膜（由开始时形成的电极膜表面的氧化所造成）的妨害或在开始时形成的电极膜和后来形成的电极之间的结合界面上的污染，而引起的较差的强度。因此，存在在后来的端子镀敷过程中，所用的镀敷液渗透的风险，以及由于在安装作为产品后的长期使用，导致恶化或分离的风险。

随着近年来电子装置尺寸的减小，用于电子装置的电子元件的尺寸减小和剖面变小的变化是显著的。随着在电子元件中包括的端电极的精度要求（形状精确性和形成位置精度）变得越来越严格，元件本身也变得特别地越来越小和越来越薄。这种尺寸降低和剖面变小的趋势似乎仍在继续。因此，未来，上述问题会变得越来越明显。

而且，正如在底面端子结构（例如 LGA（栅格阵列封装）和 BGA（球栅阵列封装））的应用中所发现的，除了传统的外部连接端子结构外，在芯片的外表面上形成的端电极，还需要处理为多端几何排列，以及在形状、数量、布置位置上的变化。从成本的观点来讲，形成端电极的成本在电子元件产品的总制备成本中所占的比例正在日益增大。因此需要通过更简单的方法以高精度形成高可靠性的端电极的技术。

因此，本发明的目的在于通过在任意位置并以任意形状精确并有效地形成高可靠性的端电极，来满足这种需求。

为了解决上述问题并达到该目的，本发明的电子元件的制备方法包括：通过将衬底的第一表面挤压到支撑板上，用插入其间的粘性片临时粘合衬底与支撑板的临时粘合步骤；通过为该衬底提供在厚度方向上从位于第一表面侧相对的第二表面侧延伸至该支撑板的一定部分的切口，形成用于将该衬底分割成单独电子元件的切割槽的衬底分割步骤；在电子元件的第二表面上和位于切割槽内的周围表面上形成连续电极的连续电极形成步骤；和将该电子元件与支撑板分离的元件分离步骤。。

本发明的电子元件的制备方法涉及多片电子元件的制备方法，通过将单一衬底（合成板或硅片）分割成多个部分以形成片状电子元件。而且，与传统方

法不同，在将该复合板分割成芯片之后，该芯片的排列状态得以保持。在该排列状态下，在各芯片上连续并共同形成从第二表面到周围表面的连续电极。

在本发明中，为了保持芯片的排列状态，如上所述将该衬底临时粘合到支撑板上，以将第一表面附在支撑板上。然后，通过在该衬底上形成沿厚度方向从该衬底的第二表面延伸入支撑板的一定部分（换言之，到将该衬底切下而不完全切开支撑板的适当深度）的切割槽，将该衬底分成单独的芯片。如果该电子元件是六面体（矩形平行六面体或立方体），仅需要分别在用于切割该衬底的第一方向和在垂直于该第一方向的第二方向上提供的一些切割槽。

在以下描述中，将该芯片作为六面体（具有六个外表面的矩形平行六面体或立方体，其中相邻面被定为彼此正交）来进行解释。然而，根据本发明的电子元件不仅限于六面体。根据在衬底上形成的切割槽的设计，也可以形成其它形状，例如三角形、多边形、圆形、椭圆性或其它平面形状。应当注意具有这些不同形状的电子元件也包括在本发明中。

通过在衬底上如上所述形成切割槽（将该衬底分割成芯片），暴露（形成）该芯片的周围表面。然后，同时在该衬底（芯片）的周围表面和第二表面上形成电极。这样，可以形成从各芯片的横截面观看为“L”形的连续电极。在形成电极之后，可以将该单独的芯片和支撑板分开。

构成该芯片的外表面的第一表面构成芯片的底面（或顶面），而第二表面构成该芯片的顶面（或底面）。同时，同样构成该芯片的外表面的周围表面包括一对侧面和一对端面。一旦在周围表面上形成电极，自然不必在所有周围表面（即两个（一对）侧面和两个（一对）端面）上形成电极。可以在这四个表面中的任意表面上适当形成电极。同样，包括第二表面，在一个表面上形成的电极的数量和形状不只限于特定的数量或特定的形状，因此可以满足各种不同的需求。

而且，该制备方法可以进一步包括在临时粘合步骤之前在该衬底的第一表面上形成电极的第一表面电极形成步骤。在此，可以在连续电极形成步骤中形成要在该芯片的周围表面上形成的连续电极，以使其连接到在第一表面电极形成步骤中形成的电极上。根据本方法，可以形成具有U形横截面的电极。

支撑板的类型和材料没有特别限定，只要该支撑板能够支撑该衬底并将分

开的芯片保持在排列状态即可。例如，可以使用树脂板、陶瓷板或其它板。可替代地，该支撑板可以具有复合结构，其通过将树脂材料涂覆在基底（例如由SUS制成的金属板）表面上形成。

同时，在一个优选的方面，用于临时粘合的粘性片包含可溶于溶剂的树脂作为主要组分，该元件分离步骤包括将该临时粘合到支撑板的电子元件浸入该溶剂中的过程。该过程的执行是为了用简单的操作将临时粘合的芯片与支撑板分开，并由此得到单独的芯片。

例如，丙烯酸树脂可以用作构成粘性片的树脂。例如，包含醇作为主要组分的液体可以用作该溶剂。

该元件分离步骤可以进一步包括将超声波作用于临时粘合到支撑板上的电子元件的过程。通过施加超声振动可以更可靠地将各芯片与支撑板分开。

该临时粘合步骤优选在减压下进行，更优选在真空（经真空挤压）下进行。执行该过程是为了防止空气泄漏到衬底和支撑板之间的空间中，由此将该衬底更稳固地固定到支撑板上。特别地，即使朝向粘性片挤压的第一表面具有明显的不规则性（例如由于导线图案产生的不规则性），也可以通过在减压或真空下进行的临时粘合步骤使该衬底较好地由该支撑板所支撑。

在芯片的第二表面和位于切割槽内的周围表面上的电极的形成可以通过例如相减法来实现。更精确地，该连续电极形成步骤可以包括：在芯片的第二表面和位于切割槽内的周围表面上形成导电膜的导电膜形成过程；在该导电膜上形成抗蚀膜的抗蚀层形成过程；根据待形成的电极的形状选择性去除抗蚀膜的抗蚀掩模形成过程；通过利用抗蚀掩模选择性去除该导电膜的蚀刻过程；和去除抗蚀掩模的抗蚀层剥离过程。

可替代地，也可以使用叠加法。更精确地，该连续电极形成步骤可以包括：在芯片的第二表面和位于切割槽内的周围表面上形成导电膜的导电膜形成过程；在该导电膜上形成抗蚀膜的抗蚀层形成过程；根据待形成的电极的形状选择性去除抗蚀膜的抗蚀掩模形成过程；通过使用抗蚀掩模在该导电膜上沉积镀敷金属膜的镀敷过程；去除抗蚀掩模的抗蚀层剥离过程；和去除位于抗蚀掩模下面的导电膜的蚀刻过程。

此外，该连续电极形成步骤可以包括在通过衬底分割步骤形成切割槽之

后,通过汽相沉积方法在该电子元件的第二表面和周围表面上形成薄膜的薄膜形成过程。在这种情况下,优选地使用例如溅射方法作为该汽相沉积方法,因为在后面将该芯片和支撑板分开时,可以防止不需要的物质(例如灰尘或残余物)的飘浮。

在这一点上更精确地讲,当通过使用上述汽相沉积方法在该芯片的第二表面和周围表面上形成电极时,该膜材料也沉积在切割槽的底面(支撑板的顶面)上,由此形成了电极膜。该附着在切割槽的底面(支撑板的顶面)上的膜对于芯片是不必要的,因此在分离芯片时应当保持附着于支撑板上。特别地,当使用如前所述浸渍在溶剂液体中的方法分离芯片时,该不必要的材料漂浮在溶剂液体中,会附着到芯片上,造成芯片的污染因素。根据溅射方法,在切割槽底面上的膜稳固地被支撑板的顶面支撑。因此有效避免了这部分膜作为灰尘漂浮在该溶剂液体中。

在此,该电极膜也形成在切割槽的壁面(切割槽的底面和衬底的第一表面之间的部分)上。然而,在平行于溅射辐射方向上的壁面部分上的膜与在垂直于溅射辐射方向上的切割槽的底面上的膜相比,其膜厚度分布相对较小,粘合性也相对较差。因此,当分离芯片时在切割槽壁面上的这部分被分开,使得该芯片可以容易地与支撑板分开。

上述薄膜可以是包含铬、钛、镍、镍-铬、钨、铜和银中任意种作为主要组分的膜。该连续电极形成步骤可以进一步包括形成电解镀铜膜的过程。

同时,根据本发明的电子元件是包括电极的电子元件,该电极被形成使得其在顶面和底面中的一个或两个,以及在顶面和底面之间存在的周围表面上延伸。该电极包括位于该衬底的表面上的基础电极膜;和位于该基础电极膜上的主电极膜。在此,该基础电极膜是在顶面和底面的一个或两个上,以及在周围表面上连续形成的膜。

通过利用上述电极结构,在芯片的顶面和/或底面和周围表面上连续成膜,与传统端电极结构相比,可以减少与电极膜的界面。特别地,可以良好地防止芯片的拐角部分的分离或恶化,由此提高端子的耐久性和可靠性。

而且,该基础电极膜可以由汽相沉积方法或无电镀敷方法制成的薄膜构成。该薄膜可以是包含铬、钛、镍、镍-铬、钨、铜和银中任意种作为主要组

分的膜。

本发明的电极通常包括构造以与衬底、外部元件、模块、装置等建立电(和/或机械)连接的外部连接端子。然而,该电极并不仅限于这种构造。例如,该电极可以是:在芯片表面上设置的用于安装 IC 或其它电子元件、电子模块或电子部件的连接片(例如倒装焊片或丝焊片);连接电极(例如凸块状或柱状);用于例如 LGA(栅格阵列封装)和 BGA(球栅阵列封装)的电极极板;配线(例如用于将功能单元连接在一起或将功能单元与端子连接起来的线路,或用于阻抗调节的线路);等等。本发明的电极包括在芯片的表面上形成的各种导体。

而且,根据本发明的电子元件(芯片)并不限于任何特定的类型,其包括分立元件或片状元件(例如片状电容器、片状电感器、片状电阻器、片状热敏电阻或片状变阻器),以及包括多个电子元件(有源元件和无源元件)的电子装置。

根据本发明,可在任意位置或以任意形状精确并有效的形成高可靠性的端电极。

从以下对本发明实施方式的描述以及附图中,本发明的其它目的、特征和优点将变得显而易见。在该附图中,在整个几幅图中,相同的参考标记表示相同的元件。

附图说明

图 1 是顺序显示根据本发明的一种实施方式的电子元件的制备方法的一个步骤(基底材料的制备)的示意图。

图 2 是顺序显示根据该实施方式的电子元件的制备方法的一个步骤(电极膜底面的形成)的示意图。

图 3 是顺序显示根据该实施方式的电子元件的制备方法的一个步骤(抗蚀层涂覆)的示意图。

图 4 是顺序显示根据该实施方式的电子元件的制备方法的一个步骤(蚀刻掩模的形成)的示意图。

图 5 是顺序显示根据该实施方式的电子元件的制备方法的一个步骤(蚀刻)的示意图。

图 6 是顺序显示根据该实施方式的电子元件的制备方法的一个步骤(附着到模型衬底上)的示意图。

图 7 是顺序显示根据该实施方式的电子元件的制备方法的一个步骤(芯片分割)的示意图。

图 8 是顺序显示根据该实施方式的电子元件的制备方法的一个步骤(在顶面和周围表面上形成)的示意图。

图 9 是顺序显示根据该实施方式的电子元件的制备方法的一个步骤(抗蚀层涂覆)的示意图。

图 10 是顺序显示根据该实施方式的电子元件的制备方法的一个步骤(蚀刻掩模的形成)的示意图。

图 11 是顺序显示根据该实施方式的电子元件的制备方法的一个步骤(蚀刻)的示意图。

图 12 是顺序显示根据该实施方式的电子元件的制备方法的一个步骤(浸入溶液中)的示意图。

图 13 是顺序显示根据该实施方式的电子元件的制备方法的一个步骤(芯片分离)的示意图。

图 14 是顺序显示根据该实施方式的电子元件的制备方法的一个步骤(形成切割槽)的示意图。

图 15 是显示通过根据该实施方式的电子元件的制备方法形成的电子元件的端子结构的实施例的透视图。

图 16 是显示根据传统方法形成的端电极的横截面结构的实施例的图。

图 17 是显示根据该实施方式的方法制得的端电极的横截面结构的一个实施例的图。

图 18 是显示将根据该实施方式的方法制得的端电极(图 17)进一步经过镀敷过程的实施例的图。

图 19A 是显示设置有根据本发明方法的电极的芯片的一个实施例的俯视图。

图 19B 是显示设置有根据本发明方法的电极的芯片的该实施例的侧视图。

图 20A 是显示设置有根据本发明方法的电极的芯片的另一实施例的俯视图。

图。

图 20B 是显示设置有根据本发明的方法的电极的芯片的该另一实施例的侧视图。

最佳实施方式

图 1~图 13 顺序显示了根据本发明的一种实施方式的电子元件的制备方法的步骤。根据该实施方式的电子元件的制备方法是基于以提供具有如图 15 所示的矩形平行六面体（六面体）总形状的芯片元件 1 为前提的，例如，具有四个端电极 5 的集合体，对应四个周围表面 4a、4a、4b 和 4d，使得每个端电极 5 具有从顶面 2 延伸到周围表面 4（侧面 4a 或端面 4b）并延伸到底面 3 的 U 形横截面（U 形）。如前所述，端电极 5 的数量、形状和布局位置可以采用各种其它方法，因此毫无疑问本发明将不会仅限于该示例性的实施例。

如图 1 所示，首先制备衬底 11 作为用于形成芯片元件的基底材料。衬底 11 通常是由氧化铝（ Al_2O_3 ）制备的陶瓷衬底、树脂衬底、通过无机填料与树脂混合而成的复合材料衬底或任何其它衬底。衬底的材料没有特别限定。而且，该衬底 11 也可以是通过多个配线层和绝缘层层压而成的多层衬底，可以包含多个功能元件（例如电容器、电感器或电阻器）、配线、中间层连接结构（例如通孔）等。进一步地，在适当地时候可以在该衬底 11 的底面 11b 和顶面 11a 上设置平面化膜或绝缘膜 12。例如，可以通过涂覆聚酰亚胺作为平面化膜提供表面层，来提高衬底 11 与后面形成的基础电极 13 之间的粘合性。

如图 2~图 5 所示，在衬底 11 的底面 11b 上形成基础电极。首先，通过溅射在衬底 11 的底面 11b 上顺序沉积铬（Cr）膜 13 和铜（Cu）膜 14，然后通过电镀在其上形成 Cu 镀膜 15（图 2）。然后，在该 Cu 镀膜 15 上涂覆抗蚀层 16（图 3），通过将该抗蚀层 16 经过曝光显影过程（光刻过程）形成蚀刻掩模（图 4）。通过利用该掩模对 Cu 膜（Cu 镀膜 15 和 Cu 溅射膜 14）进行蚀刻，然后剥离该抗蚀层 16，利用 Cu 膜 14 和 15 作为掩模蚀刻该 Cr 膜 13。这样，可以在后来用作芯片底面的衬底底面 11b 上形成基础电极（图 5）。

在衬底底面 11b 上形成电极之后，如图 6 中所示翻转衬底 11，并将该衬底 11 固定（临时粘合）到支撑板 17 上，如此将衬底 11 的底面 11b 压向该支撑板 17。同时，在衬底 11 和支撑板 17 之间插入粘性片 18，通过真空挤压将

该衬底 11 粘合到支撑板 17 上。可溶于后面的溶剂的丙烯酸树脂片被用作粘性片 18。

可以使用由树脂、陶瓷、金属（例如不锈钢）等制成的板作为支撑板 17。然而，优选使用具有良好的可研磨加工性或耐热性的材料。此外，优选使用对溅射膜具有良好粘合性的材料（与界面之间具有高亲合性的材料）、具有耐化学性的材料、产生很少气体释放的材料、廉价材料（特别用于附着衬底 11 的表面）。这些需求的目的在于在后面通过将衬底 11 浸入溶剂中将该芯片分离（图 13）时，防止切割槽的底面上的过量溅射膜 22 遭受以下情形：与支撑板分开；飘浮在液体中；粘附到芯片 1 上。更精确地，当使用 Cr、Ni、Ti、NiCr、W、Ag 和 Cu 中的任意种作为在后面通过溅射形成的芯片的顶面和周围表面的基础电极膜 19~21（参见图 11）的粘合膜时，优选使用 FR4 板、FR5 板、聚酰亚胺板或液晶聚合物板作为支撑板 17。

在将衬底 11 固定到支撑板 17 上之后，切割衬底 11，将其分隔成芯片 1。如图 7 所示，该分割操作是通过形成在厚度方向上从衬底的顶面侧延伸到支撑板 17 的一定部分的切割槽 25 而进行的。这些切割槽 25 不仅在一个方向形成，而且在纵向和横向上（在彼此垂直的两个方向上）形成，如图 14 所示。这样，将衬底 11 分割成芯片 1。然而，甚至在各芯片 1 在衬底 11 上分割之后，各芯片 1 仍由粘性片 18 粘合到支撑板 17 上。因此，各芯片 1 在支撑板 17 上保持排列状态而不会脱落。

同时，通过形成切割槽限定了芯片的周围表面（侧面和端面）。此外，通过形成切割槽 25，也可以拉出（暴露）例如在衬底 11 内部设置的电极（未示出）。例如，也可以通过如后所述的在该芯片周围表面上形成电极，将周围表面电极 19~21 与该暴露部分相连接，也可以将衬底内部的电极与该芯片顶面和底面上的电极相连接。

在将衬底分割成芯片 1 之后，在各芯片 1（衬底 11）的顶面和位于切割槽 25 内的侧面和端面上形成电极膜（基础电极膜）19~21，如图 8 所示。与在芯片的底面上形成的基础电极膜 13~15 类似，这些电极膜 19~21（参见图 11）由以下方法形成：顺序形成 Cr 膜 19 和 Cu 膜 20；然后通过电镀沉积 Cu 膜 21。

然后，如图 9 所示在该 Cu 镀膜 21 上涂覆抗蚀层 22，通过将该抗蚀层 22

经过曝光显影过程（光刻过程）形成蚀刻掩模（如图 10 所示）。通过利用该掩模对 Cu 膜（Cu 镀膜 21 和 Cu 溅射膜 20）进行蚀刻。然后剥离该抗蚀层 22，利用 Cu 膜 20 和 21 作为掩模蚀刻该 Cr 膜 19。这样，如图 11 所示，在各芯片 1 的顶面和周围表面上形成了各自具有 L 形横截面的基础电极膜 19~21。形成该 L 形电极 19~21 以被接合到在芯片底面上形成的基础电极 13~15 上。这样，如图 15 所示，可以在芯片 1 的四个周围表面 4a、4a、4b 和 4b 上形成从芯片 1 的顶面 2 延伸到周围表面 4 和底面 3 的 U 形电极。

在各芯片 1 上形成基础电极 19~21 之后，通过将衬底 11（芯片 1）和支撑体 17 一起浸入溶剂液体 23 中，将粘性片 18 溶解，同时施加超声振动，将各芯片 1 与支撑板 17 分开。在此，在芯片的底面和周围表面上形成电极时（图 11），与芯片周围表面上的电极 19~21 一起，在切割槽 25 的底面（支撑板 17 的顶面）上也连续形成了膜。然而，在切割槽底面上的膜限定为与溅射辐射的方向基本上相垂直。因此，尽管该膜的结合相对稳固，但限定在切割槽底面和芯片 1 之间的切割槽的壁面上形成的膜与该在底面上的膜相比，具有较小的膜厚度分布或较弱的粘合。因此，可以通过浸入该溶液中并通过超声过程将该膜容易地切开。

因此，如图 13 所示在切割槽底面上的膜部分 22 仍保持由支撑板 17 的支撑时，各芯片 1 与支撑板 17 分开，并飘浮到溶剂液体中。考虑到与支撑板 17 分开的各芯片 1，可以进在另一过程（例如滚镀）中在 U 形基础电极 13~15 和 19~21 上形成所需的电极膜。在此，应当注意图 1~13 仅是示意性的。尽管其取决于芯片的类型和衬底的尺寸，但实际上该衬底分成了大量的（例如几百到几千个）芯片。因此，可以同时得到大量的芯片 1。

图 16 示意性地示出了具有根据传统制备方法得到的设置端电极（基础电极）的芯片的横截面结构。如图所示，分别在芯片的顶面和底面上顺序层压基础 Cr 膜 29 和 33 和基础 Cu 膜 30 和 34，在芯片的周围表面上形成基础 Cr 膜 41 和基础 Cu 膜 42，以连接基础电极膜 29、30、33 和 34。然而，Cr 膜 29、41 和 33 以及 Cu 膜 30、42 和 34 是相互隔开的，在其之间具有界面。

另一方面，图 17 示意性地显示了具有根据本实施方式的制备方法得到的设置端电极（基础电极）的芯片的电极部分的横截面结构。如图所示，在芯片

的底面上层压通过溅射沉积的基础 Cr 膜 13 和基础 Cu 膜 14。而且，在芯片的顶面和周围表面上进一步层压通过溅射沉积的基础 Cr 膜 19 和基础 Cu 膜 20 和 Cu 镀膜 21。这些膜 19~21 构成了从芯片的周围表面到顶面的没有界面的连续膜。

而且，图 18 显示了图 17 中所示的基础 19~21 上有更多电极膜的另一实施例。如图所示，例如可以通过滚镀法在该 Cu 镀膜 21 上分别形成 Cu 镀膜 26、用作隔离层的 Ni 膜 27 和用于提高焊接润湿性的 Sn 膜 28。应当注意在此包括了基础电极膜 13、14 和 19~21，而且这些电极膜的材料和层压数量可以根据芯片的类型、安装方面、用于安装的相对连接片的材料、粘合材料（焊料或凸焊点，凸焊点的材料）和其它参数来任意选择。各种其它方面也是可应用的。

而且，可以通过在电极膜形成步骤（图 2~图 5 和图 8~图 11）中将抗蚀掩模形成所需的形状来任意设计端电极的数量、形状、尺寸、布局和其它参数。例如，图 19A 和 19B 显示了一种具有以下特征的实施例：在各个侧面上提供两片从侧面延伸到底面的 L 形电极 51；在顶面上形成多个连接片 52。同时，图 20A 和 20B 显示了具有以下特征的实施例：在每个侧面上提供两个从侧面或端面延伸到底面的 U 形电极；在各端面上提供一个相同类型的电极 55；形成导线 56，用于相互连接位于顶面上的超出各端面而设置的 U 形电极的电极部分 56。除这些构造之外，可以在芯片的表面上形成各种其它导体。

本发明及其实施方式的优点总结如下：

- (1) 可以以集合方式形成多个电极（端子）。
- (2) 因为在形成端子时不需要排列芯片，因为可以简化制备步骤。
- (3) 不需要根据电极（端子）的产品类型或形状调节与芯片布置相关的夹具系统、排列和位移。
- (4) 本发明可以灵活处理各种图案形状和产品形状。因此，更容易符合多样化的产品。
- (5) 因为能够直接处理集合体，所以本发明是合理和有效的。
- (6) 因为使用光刻来形成电极，因此本发明可以实现精细图案的形成。
- (7) 本发明可以处理多个端子，同时达到小尺寸和低剖面。
- (8) 因为能够在顶面、底面和周围表面（侧面和端面）上形成电极，因

此本发明可以提高连接可靠性。

(9) 本发明可以在顶面、底面和周围表面(侧面和端面)的六个表面上分别形成多个端子,而且可以在其任意外表面的方向上连接产品。因此,可以实现三维电路连接。例如,其也可以在芯片产品的顶面和底面上形成用于LGA(栅格阵列封装)的底面端子,同时在顶面、周围表面和底面上形成连续的端子。这样,本发明可以实现与安装衬底多方面的连接。

(10) 本发明也可以使用芯片的周围表面作为配线层(例如提供用于阻抗调节的线路)。

本发明并不仅限于参照附图描述的实施方式。在不脱离后附权利要求的范围内可以进行各种改进,这对于本领域的技术人员来讲是显而易见的。

例如,本实施方式使用溅射方法用于在芯片的顶面、底面和周围表面上形成基础电极。然而,也可以使用其它汽相沉积方法(例如汽相沉积方法或CVD方法)来代替。可替代地,也可以使用无电镀敷方法。同时,本实施方式使用了相减法来形成电极,其构造为使用抗蚀层覆盖用于形成电极的部分,而且使用蚀刻去除未覆盖抗蚀层的膜。作为替代方法,也可以根据叠加法形成电极(其构造为使用抗蚀层覆盖除用于形成电极的区域之外的部分,在未覆盖抗蚀层的芯片表面上沉积或沉淀电极材料)。而且,在本实施方式中,为了将支撑板与芯片分开,将支撑板浸入溶剂液体中。作为替代,也可以通过使用例如软蚀刻法将芯片与支撑板分开。

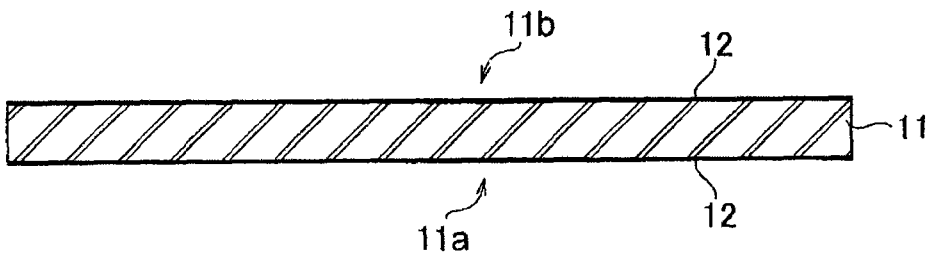


图 1

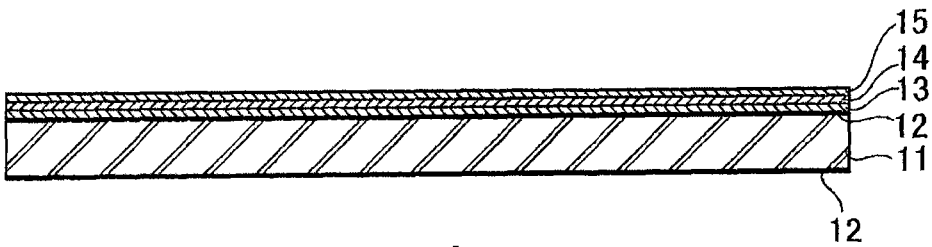


图 2

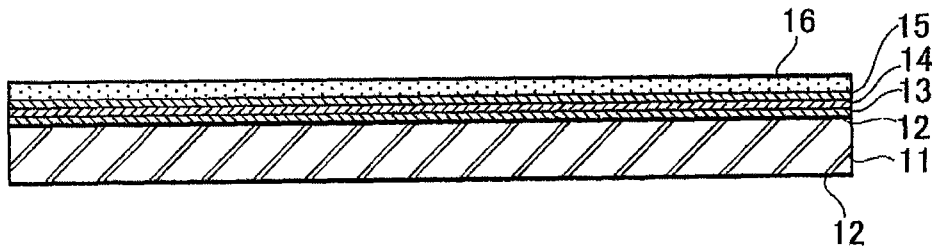


图 3

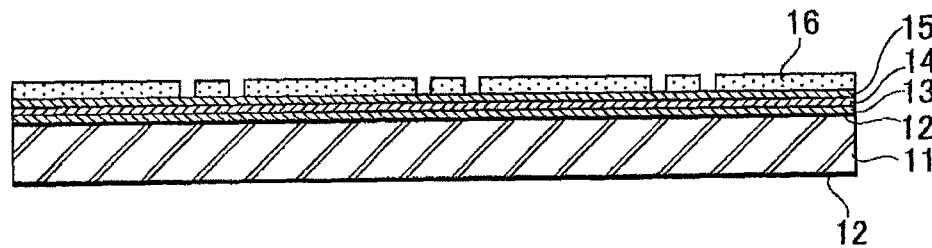


图 4

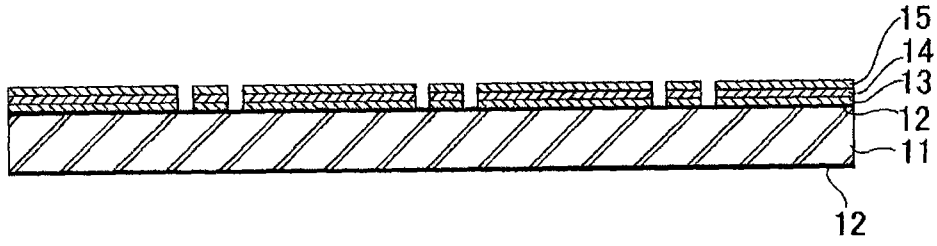


图 5

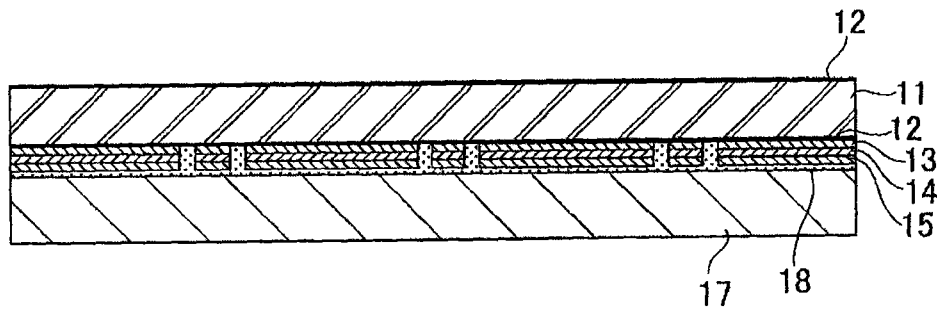


图 6

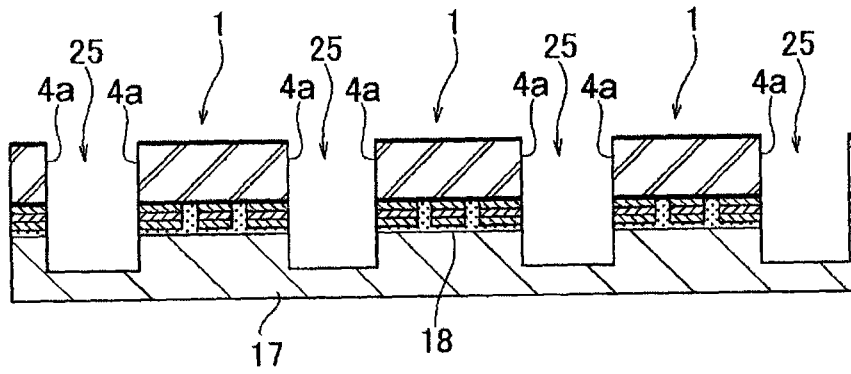


图 7

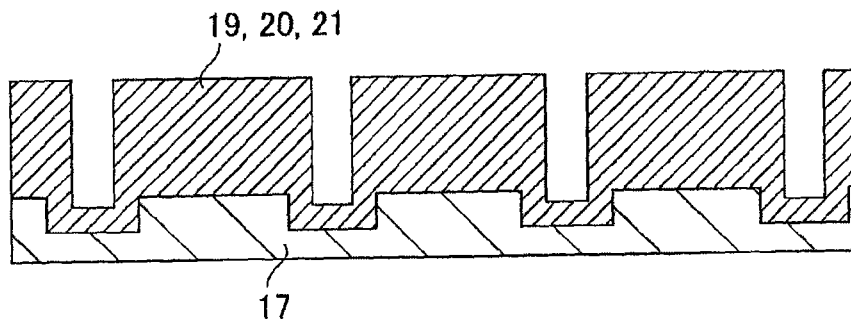


图 8

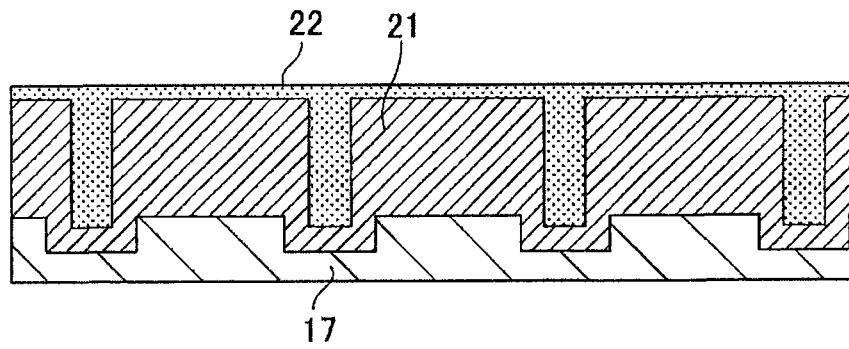


图 9

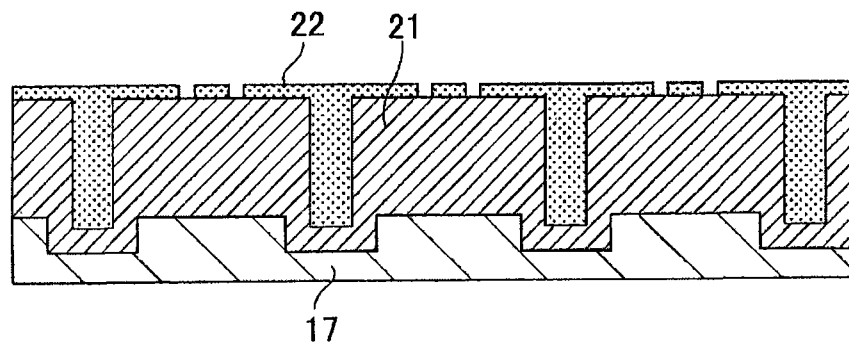


图 10

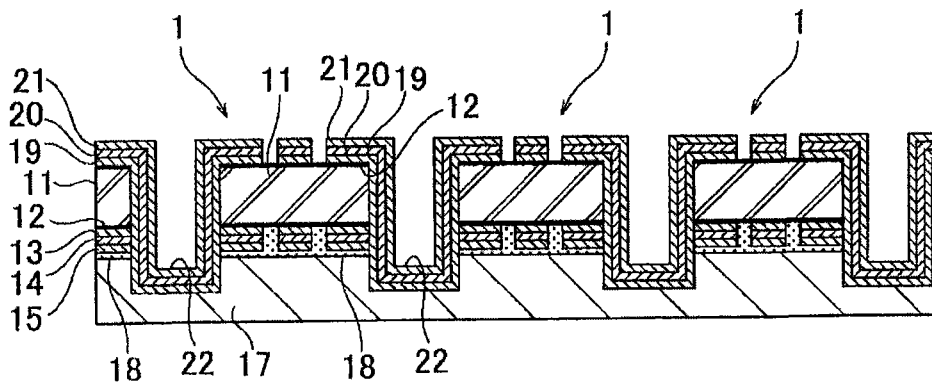


图 11

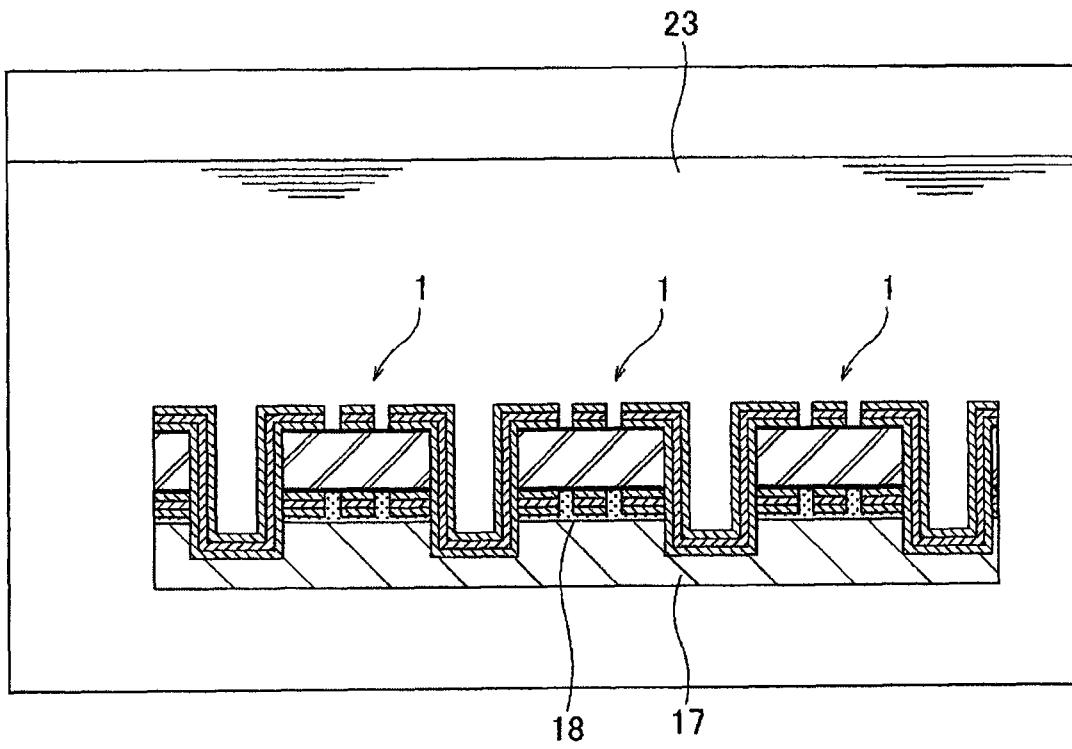


图 12

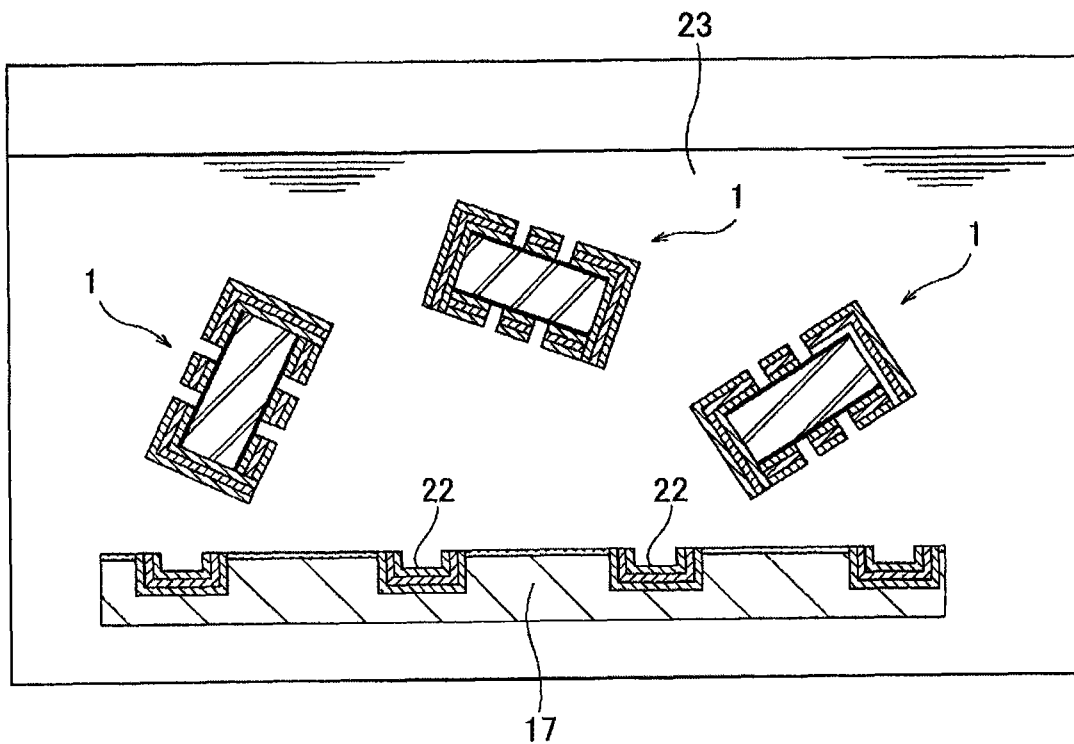


图 13

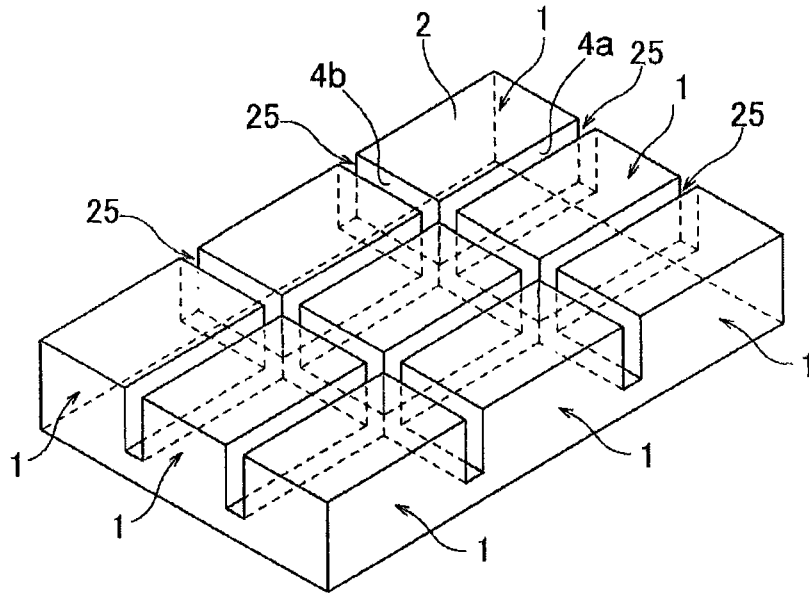


图 14

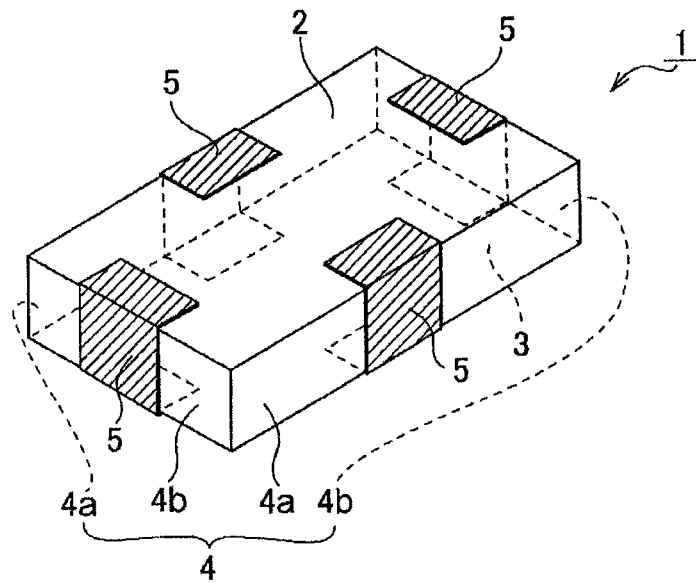


图 15

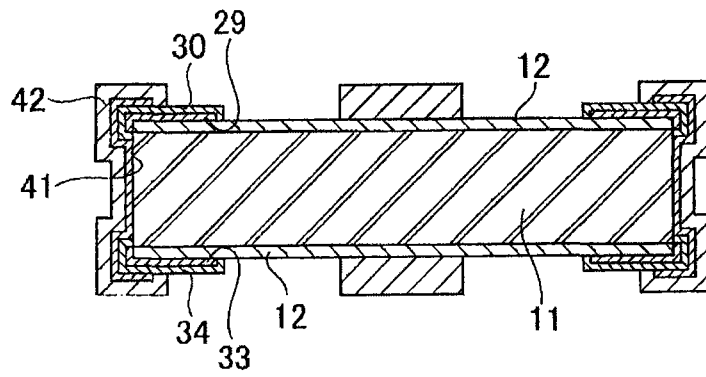


图 16

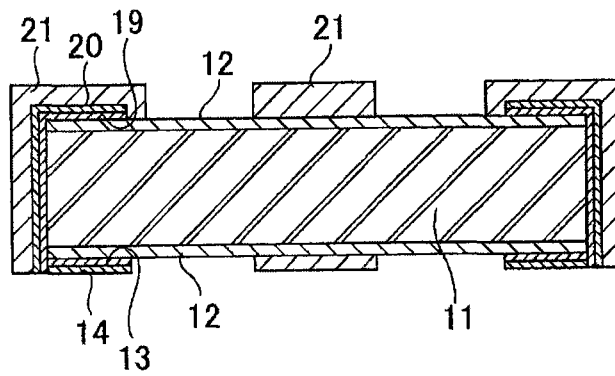


图 17

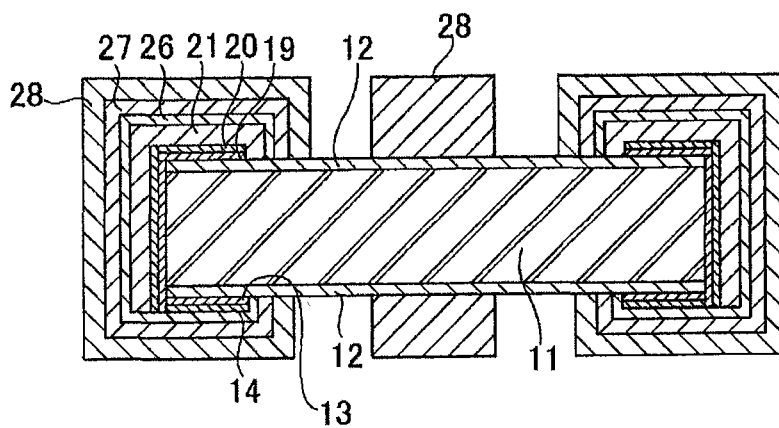


图 18

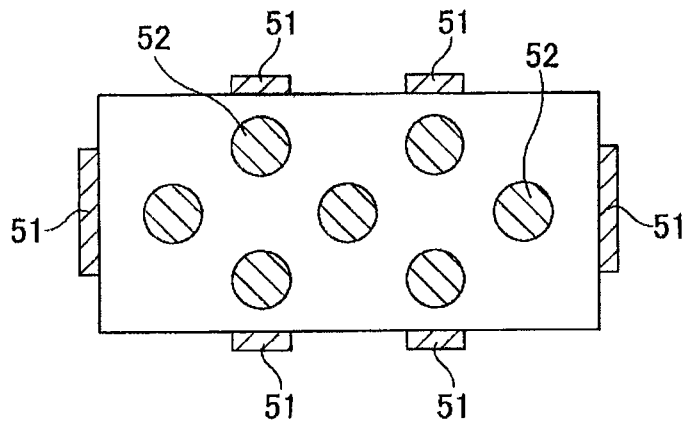


图 19A

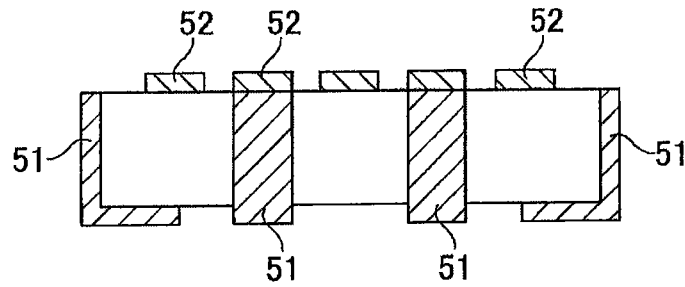


图 19B

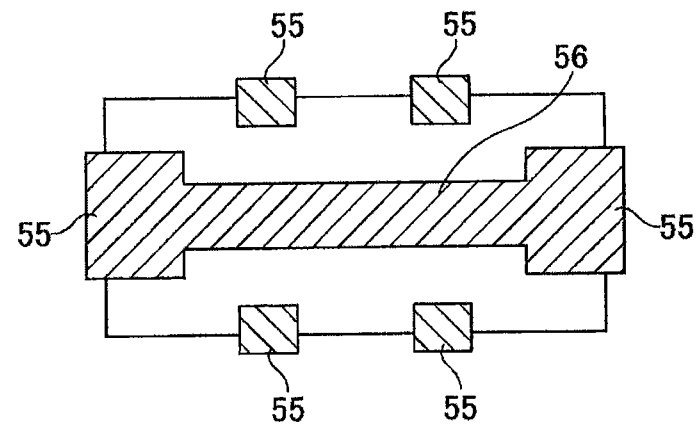


图 20A

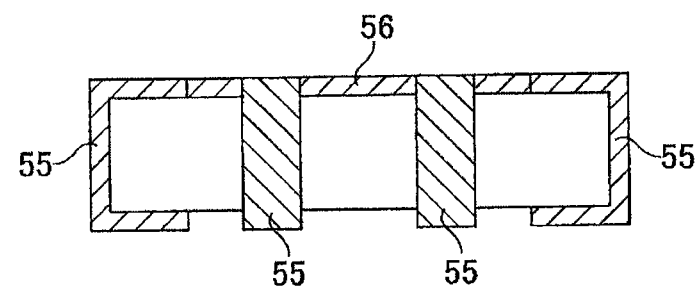


图 20B