(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년11월10일
(11) 등록번호 10-2465268
(24) 등록일자 2022년11월04일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) *H01L 29/66* (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 29/7855 (2013.01)
H01L 29/66287 (2013.01)
(21) 출원번호 10-2015-0132143
(22) 출원일자 2015년09월18일
심사청구일자 2020년08월14일
(65) 공개번호 10-2016-0033636
(43) 공개일자 2016년03월28일
(30) 우선권주장
14/489,817 2014년09월18일 미국(US)
(56) 선행기술조사문헌
JP2009094229 A*
(뒷면에 계속)
전체 청구항 수 : 총 17 항

(73) 특허권자
소이텍
프랑스, 에프-38190 베흔느, 슈망 데 프랑크, 빠떼끄놀로지끄 데 풍뗀느
(72) 발명자
응우옌 비치-옌
미국 78733 텍사스주 오스틴 사우스 로렐우드 드라이브 110
사다카 마리암
미국 78738 텍사스주 오스틴 나파 드라이브 3119
말빌 크리스토프
프랑스 38660 라 테라스 뤼 두 샤토 90
(74) 대리인
정홍식

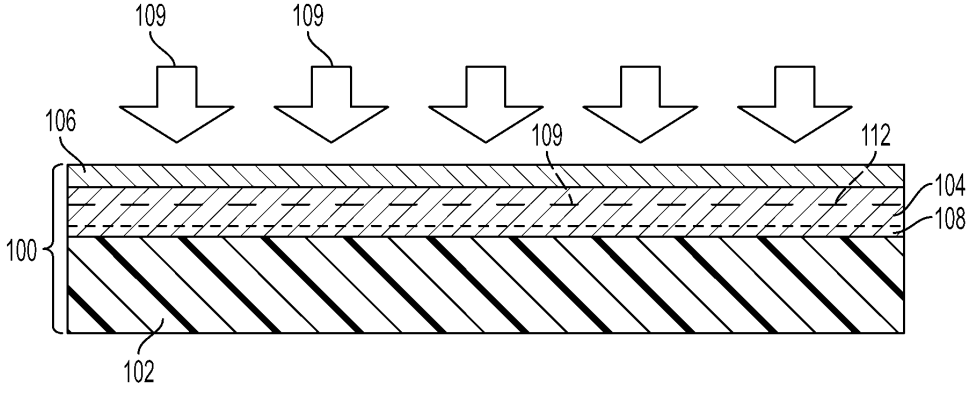
심사관 : 강필승

(54) 발명의 명칭 **다양한 변형 상태를 갖는 핀 구조를 포함하는 반도체 구조를 제조하기 위한 방법, 및 관련 반도체 구조**

(57) 요 약

반도체 구조를 형성하는 방법은, 매립 산화물 층 위의 변형된 주 반도체 층 위에 놓이는 에피택셜 베이스 층을 가지는 다층 기판을 제공하는 단계를 포함한다. 에피택셜 베이스 층 내의 원소는, 다층 기판의 제 2 영역 내의 주 반도체 층의 변형 상태 변경 없이, 다층 기판의 제 1 영역 내의 주 반도체 층의 변형 상태를 변경하기 위해 사용된다. 다층 기판의 제 1 영역 내에 주 반도체 층의 부분을 각각 포함하는 제 1의 복수의 트랜지스터 채널 구조가 형성되고, 다층 기판의 제 2 영역 내에 주 반도체 층의 부분을 각각 포함하는 제 2의 복수의 트랜지스터 채널 구조가 형성된다. 이와 같은 방법에 의해 제조되는 반도체 구조는 다양한 변형 상태를 가지는 트랜지스터 채널 구조를 포함할 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H01L 29/7831 (2013.01)
H01L 29/7869 (2013.01)
H01L 2924/13067 (2013.01)

(56) 선행기술조사문헌
WO2005013375 A1*
US20090227078 A1
KR1020060100433 A
JP2007180285 A
*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

반도체 구조를 제조하는 방법에 있어서,

베이스 기판(base substrate),

상기 베이스 기판의 표면 위의 매립 산화물 층(buried oxide layer),

상기 베이스 기판과 반대측인, 상기 매립 산화물 층 위의 변형된 주 반도체 층(strained primary semiconductor layer), 및

상기 매립 산화물 층과 반대측인, 상기 변형된 반도체 층 위에 에피택셜 베이스 층(epitaxial base layer)을 포함하는 다층 기판(multi-layer substrate)을 제공하는 단계;

상기 에피택셜 베이스 층으로부터 상기 다층 기판의 제 2 영역 내의 상기 변형된 주 반도체 층으로 원소의 확산 없이, 상기 에피택셜 베이스 층으로부터 상기 다층 기판의 제 1 영역 내의 상기 변형된 주 반도체 층으로 원소를 확산시키고, 상기 제 1 영역 내의 상기 주 반도체 층의 변형 상태가 상기 제 2 영역 내의 상기 주 반도체 층의 변형 상태와는 다르도록, 상기 제 1 영역 내의 상기 주 반도체 층에서의 상기 확산된 원소의 농도를 농축(enriching)하는 단계; 및

상기 다층 기판의 상기 제 1 영역 내에 상기 주 반도체 층의 부분을 각각 포함하는 제 1의 복수의 트랜지스터 채널 구조, 및 상기 다층 기판의 상기 제 2 영역 내에 상기 주 반도체 층의 부분을 각각 포함하는 제 2의 복수의 트랜지스터 채널 구조를 형성하는 단계;를 포함하며,

상기 다층 기판을 제공하는 단계는,

도너 구조(donor structure)를 형성하기 위해 도너 기판 위의 상기 에피택셜 베이스 층 상에 상기 변형된 반도체 층을 에피택셜 성장시키는 단계;

상기 도너 구조에 이온을 주입하고, 상기 도너 구조 내에 약화 영역(zone of weakness)을 형성하는 단계;

상기 베이스 기판을 포함하는 수용 기판(receiver substrate)에 상기 도너 구조를 본딩하는 단계; 및

상기 변형된 반도체 층 및 상기 에피택셜 베이스 층을 상기 베이스 기판에 전사(transfer)하기 위해 상기 약화 영역을 따라 상기 도너 구조를 쪼개(cleaving)는 단계;를 포함하는 반도체 구조를 제조하는 방법.

청구항 2

제 1 항에 있어서,

변형된 실리콘을 포함하기 위해 상기 변형된 반도체 층을 선택하는 단계;를 더 포함하는 반도체 구조를 제조하는 방법.

청구항 3

제 2 항에 있어서,

인장 변형된 실리콘(tensile strained silicon)을 포함하기 위해 상기 변형된 반도체 층을 선택하는 단계;를 더 포함하는 반도체 구조를 제조하는 방법.

청구항 4

제 2 항에 있어서,

Si_xGe_{1-x}를 포함하기 위해 상기 에피택셜 베이스 층을 선택하는 단계;를 더 포함하고,

상기 x는 0.01에서 0.99이고,

상기 에피택셜 베이스 층으로부터 상기 변형된 주 반도체 층으로 원소를 확산시키는 단계는, 상기 다층 기판의 상기 제 1 영역 내의 상기 변형된 주 반도체 층에 게르마늄을 확산시키는 단계를 포함하는 반도체 구조를 제조하는 방법.

청구항 5

제 1 항에 있어서,

제 1의 복수의 트랜지스터 채널 구조를 형성 및 상기 제 2의 복수의 트랜지스터 채널 구조를 형성하는 단계는, 상기 주 반도체 층을 에칭하여 핀 구조를 규정하는 단계를 포함하고,

상기 핀 구조 각각은, 상기 주 반도체 층을 포함하고,

상기 핀 구조 각각은, FinFET에 사용하기 위한 구성 및 크기인 반도체 구조를 제조하는 방법.

청구항 6

삭제

청구항 7

제 1 항에 있어서,

상기 도너 구조를 상기 수용 기판에 본딩하는 단계는, 상기 도너 구조 및 상기 수용 기판 중 하나 또는 모두 위에 산화물 층을 제공하는 단계, 및 직접 본딩 프로세스(direct bonding process)를 이용하여 상기 수용 기판에 상기 도너 구조를 본딩하는 단계를 포함하는 반도체 구조를 제조하는 방법.

청구항 8

제 1 항에 있어서,

상기 에피택셜 베이스 층을 포함하는 상기 도너 기판의 충분히 균일한 영역(substantially homogenous region) 내에 상기 약화 영역을 배치하는 단계;를 더 포함하는 반도체 구조를 제조하는 방법.

청구항 9

제 1 항에 있어서,

상기 에피택셜 베이스 층으로부터 상기 다층 기판의 상기 제 1 영역 내의 상기 변형된 주 반도체 층으로 원소를 확산시키는 단계는, 상기 다층 기판의 제 1 영역 내의 상기 주 반도체 층에서 변형을 완화(relaxing)시키는 단계를 포함하는 반도체 구조를 제조하는 방법.

청구항 10

제 1 항에 있어서,

상기 에피택셜 베이스 층으로부터 상기 다층 기판의 상기 제 1 영역 내의 상기 변형된 주 반도체 층으로 원소를 확산시키는 단계는, 상기 다층 기판의 상기 제 1 영역 내의 상기 주 반도체 층에 압축 변형(compressive strain)을 유도하는 단계를 포함하는 반도체 구조를 제조하는 방법.

청구항 11

제 1 항에 있어서,

상기 에피택셜 베이스 층으로부터 상기 다층 기판의 상기 제 1 영역 내의 상기 변형된 주 반도체 층으로 원소를 확산시키는 단계는, 상기 제 1 영역 내의 상기 주 반도체 층 내에서 정공 이동도(hole mobility)를 증가시키는 단계를 포함하는 반도체 구조를 제조하는 방법.

청구항 12

제 1 항에 있어서,

상기 에피택셜 베이스 층으로부터 상기 다층 기판의 상기 제 1 영역 내의 상기 변형된 주 반도체 층으로 원소를

확산시키는 단계는, 상기 다층 기판의 상기 제 1 영역 내의 상기 주 반도체 층에 대해 응축 프로세스(condensation process)를 실행하는 단계를 포함하는 반도체 구조를 제조하는 방법.

청구항 13

제 12 항에 있어서,

상기 다층 기판의 상기 제 1 영역 내의 상기 주 반도체 층에 대해 응축 프로세스를 실행하는 단계는, 상기 다층 기판의 상기 제 1 영역 내의 상기 주 반도체 층의 부분을 산화시키는 단계를 포함하는 반도체 구조를 제조하는 방법.

청구항 14

제 1 항에 있어서,

상기 제 1의 복수의 트랜지스터 채널 구조를 포함하는 복수의 p-형 FET 트랜지스터를 형성하는 단계; 및 상기 제 2의 복수의 트랜지스터 채널 구조를 포함하는 복수의 n-형 FET 트랜지스터를 형성하는 단계;를 더 포함하는 반도체 구조를 제조하는 방법.

청구항 15

반도체 구조를 제조하는 방법에 있어서,

베이스 기판,

상기 베이스 기판의 표면 위의 매립 산화물 층,

상기 베이스 기판과 반대측인, 상기 매립 산화물 층 위의 변형된 주 반도체 층, 및

상기 매립 산화물 층과 반대측인, 상기 변형된 반도체 층 위에 에피택셜 베이스 층을 포함하는 다층 기판을 제공하는 단계;

상기 다층 기판의 제 1 마스크 층(mask layer)으로 제 1 영역을 마스킹하고 상기 다층 기판의 제 2 영역으로부터 상기 에피택셜 베이스 층의 부분을 제거하는 단계;

상기 다층 기판의 상기 제 1 영역으로부터 상기 제 1 마스크 층을 제거하고, 상기 다층 기판의 상기 제 2 영역을 제 2 마스크 층으로 마스킹하는 단계;

상기 에피택셜 베이스 층으로부터 상기 다층 기판의 상기 제 1 영역 내의 상기 변형된 주 반도체 층으로 원소를 확산시키고, 상기 다층 기판의 상기 제 2 영역 내의 상기 변형된 주 반도체 층으로의 원소 확산 없이, 상기 다층 기판의 상기 제 1 영역 내의 상기 주 반도체 층의 변형 상태를 변경(altering)하는 단계; 및

상기 다층 기판의 상기 제 1 영역 내의 상기 주 반도체 층의 부분을 각각 포함하는 제 1의 복수의 트랜지스터 채널 구조, 및 상기 다층 기판의 상기 제 2 영역 내의 상기 주 반도체 층의 부분을 각각 포함하는 제 2의 복수의 트랜지스터 채널 구조를 형성하는 단계;를 포함하며,

상기 다층 기판을 제공하는 단계는,

도너 구조(donor structure)를 형성하기 위해 도너 기판 위의 상기 에피택셜 베이스 층 상에 상기 변형된 반도체 층을 에피택셜 성장시키는 단계;

상기 도너 구조에 이온을 주입하고, 상기 도너 구조 내에 약화 영역(zone of weakness)을 형성하는 단계;

상기 베이스 기판을 포함하는 수용 기판(receiver substrate)에 상기 도너 구조를 본딩하는 단계; 및

상기 변형된 반도체 층 및 상기 에피택셜 베이스 층을 상기 베이스 기판에 전사(transfer)하기 위해 상기 약화 영역을 따라 상기 도너 구조를 쪼개(cleaving)는 단계;를 포함하는 반도체 구조를 제조하는 방법.

청구항 16

제 15 항에 있어서,

인장 변형된 실리콘(tensile strained silicon)을 포함하도록 상기 변형된 반도체 층을 선택하는 단계;를 더 포

함하는 반도체 구조를 제조하는 방법.

청구항 17

제 16 항에 있어서,

이완된 Si_xGe_{1-x}를 포함하도록 상기 에피택셜 베이스 층을 선택하는 단계;를 더 포함하고,

상기 x는 0.01에서 0.99이고,

상기 에피택셜 베이스 층으로부터 상기 다층 기판의 상기 제 1 영역 내의 상기 변형된 주 반도체 층으로 원소를 확산시키는 단계는, 상기 다층 기판의 상기 제 1 영역 내의 상기 변형된 주 반도체 층에 게르마늄을 확산시키는 단계를 포함하는 반도체 구조를 제조하는 방법.

청구항 18

제 17 항에 있어서,

상기 제 1의 복수의 트랜지스터 채널 구조를 포함하는 복수의 p-형 FET 트랜지스터를 형성하는 단계; 및 상기 제 2의 복수의 트랜지스터 채널 구조를 포함하는 복수의 n-형 FET 트랜지스터를 형성하는 단계;를 더 포함하는 반도체 구조를 제조하는 방법.

청구항 19

삭제

청구항 20

삭제

발명의 설명

기 술 분 야

[0001] 본 개시 내용의 실시 예는 반도체 기판 상의 공통층(common layer)에 다양한 스트레스 상태를 가지는 n-형 금속-산화물-반도체(n-type metal-oxide-semiconductor, NMOS) 전계 효과 트랜지스터(field effect transistors) 및 p-형 금속-산화물-반도체(p-type metal-oxide-semiconductor, PMOS) 전계 효과 트랜지스터를 제조하는 데 사용될 수 있는 방법, 및 그와 같은 방법을 이용하여 제조되는 반도체 구조 및 장치에 관한 것이다.

배 경 기 술

[0002] 반도체 장치 예컨대 마이크로프로세서 및 메모리 장치는 그것의 집적 회로의 기본의 주 동작 구조로서 솔리드 스테이트 트랜지스터(solid state transistor)를 채택한다. 반도체 구조 및 장치에 공통으로 채택되는 트랜지스터의 일 형태는, 일반적으로 소스 컨택트(source contact), 드레인 컨택트(drain contact), 및 하나 이상의 게이트 컨택트(gate contact)를 포함하는 전계 효과 트랜지스터(FET)이다. 반도체 채널(channel) 영역은 소스 컨택트와 드레인 컨택트 사이에서 연장한다. 하나 이상의 pn 접합이 소스 컨택트 및 게이트 컨택트 사이에 형성된다. 게이트 컨택트는 적어도 채널 영역의 부분에 인접하여 위치되고, 채널 영역의 도전율은 전계(electrical field)의 존재에 의해 변경된다. 따라서, 전계는 게이트 컨택트에 전압을 인가하여 채널 영역 내에 제공된다. 따라서, 예를 들어, 전류는 전압이 게이트 컨택트에 인가될 때 채널 영역을 통해 소스 컨택트로부터 드레인 컨택트로 트랜지스터를 통해 흐를 수 있지만, 게이트 컨택트에 인가된 전압이 존재할 때 소스 컨택트로부터 드레인 컨택트로 트랜지스터를 통해 흐를 수 없다.

[0003] 최근에, "핀(fins)"이라 불리는 별개의 기다란 채널 구조를 채택하는 전계-효과 트랜지스터(FETs)가 개발되었다. 이와 같은 트랜지스터는 이 기술분야에서 종종 "핀펫(finFET)"으로서 불린다. finFET의 많은 다양한 구성이 이 기술에서 제안되어 있다.

[0004] finFET의 핀 또는 기다란 채널 구조는 n-형 또는 p-형으로 도핑될 수 있는 반도체 재료를 포함한다. n-형 도핑된 반도체 재료의 도전율은, n-형 도핑된 반도체 재료가 인장 응력(tensile stress)의 상태에 있을 때 개선될 수 있고, p-형 반도체 재료들의 도전율은 p-형 반도체 재료가 압축 응력(compressive stress)의 상태에 있을 때

개선될 수 있다는 것 또한 입증되었다.

[0005] 22 nm보다 작은 단면 치수를 가지는 FinFET은 현재 사용되고 있다. 그와 같은 FinFET은 트랜지스터의 정전 성능(electrostatic performance)을 개선하고 무작위 도펀트 변동(random dopant fluctuations)과 관련된 문제를 피하는 완전히 공핍된(depleted, 도핑되지 않은(undoped)) 채널을 선택할 수 있다. 트랜지스터의 채널 영역에의 인장 변형의 도입은, n-형 FET의 전자 이동도(electron mobility)를 향상시킬 수 있고 트랜지스터의 채널 영역에의 압축 변형의 도입은, p-형 FET의 정공 이동도(hole mobility)를 향상시키는 것을 보였다.

발명의 내용

[0006] 이 요약은 단순화된 형태로 개념의 선택을 도입하기 위해 제공된다. 이 개념들은 이하의 개시 내용의 전형적인 실시 예의 상세한 설명에 더 상세히 기재된다. 이 요약은 청구된 요지의 주요 특징 또는 기본 특징을 식별하도록 의도되지 않고 또한 청구된 요지의 범위를 제한하기 위해 사용되도록 의도되지 않는다.

[0007] 일부 실시 예에 있어서, 본 개시 내용은 반도체 구조를 제조하는 방법을 포함한다. 베이스 기판, 베이스 기판의 표면 위의 매립 산화물 층, 베이스 기판과 반대측인, 매립 산화물 층 위의 변형된 주 반도체 층, 및 매립 산화물 층과 반대측인, 변형된 반도체 층 위에 에피택셜 베이스 층을 포함하는 다층 기판이 제공된다. 원소는, 에피택셜 베이스 층으로부터 다층 기판의 제 2 영역 내의 변형된 주 반도체 층으로 원소의 확산 없이, 에피택셜 베이스 층으로부터 다층 기판의 제 1 영역 내의 변형된 주 반도체 층으로 확산되고, 확산된 원소의 농도는, 제 1 영역 내의 주 반도체 층의 변형 상태가 제 2 영역 내의 주 반도체 층의 변형 상태와 다르도록 제 1 영역 내의 주 반도체 층에서 농축된다. 다층 기판의 제 1 영역 내의 주 반도체 층의 부분을 각각 포함하는 제 1의 복수의 트랜지스터 채널 구조가 형성되고, 다층 기판의 제 2 영역 내의 주 반도체 층의 부분을 각각 포함하는 제 2의 복수의 트랜지스터 채널 구조가 형성된다.

[0008] 추가의 실시 예에 있어서, 베이스 기판, 베이스 기판의 표면 위의 매립 산화물 층, 베이스 기판과 반대측인, 매립 산화물 층 위의 변형된 주 반도체 층, 및 매립 산화물 층과 반대측인, 변형된 반도체 층 위에 에피택셜 베이스 층을 포함하는 다층 기판이 제공되는 본 개시 내용의 반도체 구조를 제조하는 방법을 포함한다. 다층 기판의 제 1 영역은 제 1 마스크 층으로 마스킹되고, 에피택셜 베이스 층의 부분은 다층 기판의 제 2 영역으로부터 제거된다. 제 1 마스크 층은 다층 기판의 제 1 영역으로부터 제거되고, 다층 기판의 제 2 영역은 제 2 마스크 층으로 마스킹된다. 원소는 에피택셜 베이스 층으로부터 다층 기판의 제 1 영역 내의 변형된 주 반도체 층으로 확산되고, 다층 기판의 제 1 영역 내의 주 반도체 층의 변형 상태는, 다층 기판의 제 2 영역 내의 변형된 주 반도체 층으로 원소의 확산 없이 변경된다. 다층 기판의 제 1 영역 내의 주 반도체 층의 부분을 각각 포함하는 제 1의 복수의 트랜지스터 채널 구조가 형성되고, 다층 기판의 제 2 영역 내의 주 반도체 층의 부분을 각각 포함하는 제 2의 복수의 트랜지스터 채널 구조가 형성된다.

[0009] 또 다른 실시 예에 있어서, 본 개시 내용은 베이스 기판, 베이스 기판의 표면 위의 매립 산화물 층, 및 베이스 기판과 반대측인, 매립 산화물 층 위의 주 반도체 층을 포함하는 다층 기판을 포함하는 반도체 구조를 포함한다. 다층 기판의 제 1 영역 내의 주 반도체 층의 부분은, Si_yGe_{1-y}를 포함하고, 이 때, y는 약 0.20과 약 0.99 사이에 있고, 다층 기판의 제 2 영역 내의 주 반도체 층의 부분은, 인장 변형된 Si를 포함한다. 다층 기판의 제 1 영역 내의 주 반도체 층의 부분은 다층 기판의 제 2 영역 내의 주 반도체 층의 부분의 결정학상 변형과는 다른 결정학상 변형을 가진다.

[0010] 명세서는 특히 지적되고 본 발명의 실시 예로서 간주되는 것을 명백히 청구하는 청구항으로 종결되지만, 개시 내용의 실시 예의 이점은 첨부 도면과 함께 읽을 때 개시 내용의 실시 예의 특정 예의 설명으로부터 용이하게 확인될 수 있다.

도면의 간단한 설명

[0011] 도 1 내지 4는 본 개시 내용의 실시 예에 따라 채택될 수 있는 다층 기판의 제조를 단순화, 개략적으로 도시한 횡단면도이고;

도 1은 벌크 재료, 에피택셜 베이스 층, 및 변형된 주 반도체 층을 포함하는 도너 기판으로 이온의 주입을 도시하고, 주입된 이온은 에피택셜 베이스 층 내의 약화 영역을 형성하고;

도 2는 수용 기판에 대한 도 1의 도너 기판의 본딩을 도시하고;

도 3은 약화 영역에 따른 도너 기판의 분리를 도시하고;

도 4는 도 3에 나타낸 약화 영역에 다른 도너 기판의 분리시 형성되는 다층 기판을 도시하고;

도 5는 도 4의 다층 기판의 제 1 영역을 덮는 제 1 마스크 층을 도시하고, 다층 기판의 다른 제 2 영역이 제 1 마스크층을 통해 덮이지 않고 노출되어 있고;

도 6은 다층 기판의 제 2 영역에서 주 반도체 층으로부터 에피택셜 베이스 층의 부분을 제거한 후의 도 5의 반도체 구조를 도시하고, 에피택셜 베이스 층의 다른 부분은, 다층 기판의 제 1 영역에서 도 5의 제 1 마스크 층 아래의 주 반도체 층 위에 남아있고;

도 7은 다층 기판의 제 1 영역으로부터 제 1 마스크 층을 제거하고, 다층 기판의 제 2 영역에서 주 반도체 층 위에 제 2 마스크 층을 제공하여 형성되는 구조를 도시하고;

도 8a-8c는 다층 기판의 제 1 영역의 부분의 확대도이고, 다층 기판의 제 1 영역의 주 반도체 층 내의 변형 상태를 변경하기 위해, 에피택셜 베이스 층으로부터 다층 기판의 제 1 영역의 주 반도체 층으로 하나 이상의 원소를 확산하기 위해 사용되는 응축 프로세스를 도시하고;

도 9는 도 7의 구조의 주 반도체 층의 에칭에 의해 형성되는 복수의 핀 구조를 도시하고;

도 10은 finFET 트랜지스터의 전형적인 구조를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0012] 본원에 제시된 예는 임의의 특정 반도체 구조, 장치, 시스템, 또는 방법의 실제 모습을 의미하지 않고, 개시 내용의 실시 예를 기재하기 위해 사용되는 단지 이상화된 표현이다.

[0013] 본원에 사용되는 임의의 표제는 이하의 청구항 및 이들의 법적 등가물에 의해 정의된 본 발명의 실시 예의 범위를 제한하는 것으로 고려되지 않는다. 임의의 특정 표제에 기재된 개념은 전체 명세서를 통해 다른 섹션에서 일반적으로 적용 가능하다.

[0014] 설명 및 청구항에서 용어 제 1 및 제 2는 유사한 원소를 구별하기 위해 사용된다.

[0015] 본원에 사용되는 것과 같이, 용어 "핀(fin)" 및 "핀 구조(fin structure)"는 길이, 폭, 및 높이를 가지는 반도체 재료의 기다란, 3차원 유한 및 제한된 체적을 의미하고, 여기서, 길이는 폭보다 크다. 핀의 폭 및 높이는 일부 실시 예에서 핀의 길이에 따라 변할 수 있다.

[0016] 반도체 장치를 제조하기 위해 사용될 수 있는 방법이 이하 도면을 참조하여 기재된다. 이하에 더 상세히 논의되는 것과 같이, 방법은 일반적으로 베이스 기판(base substrate), 베이스 기판의 표면 위의 매립 산화물(buried oxide, BOX) 층, 베이스 기판과 반대측인, BOX 층 위의 변형된 주 반도체 층(strained primary semiconductor layer), 및 BOX 층과 반대측인, 변형된 반도체 층 위에 에피택셜 베이스 층(epitaxial base layer)을 포함하는 다층 기판(multi-layer substrate)을 제공하는 단계를 포함한다. 에피택셜 베이스 층은 이하의 본원에서 논의되는 것과 같이, 주 반도체 층이 미리 에피택셜 성장된 층을 포함할 수 있다. 다층 기판을 제공한 후, 다층 기판은 주 반도체 층의 다른 영역에서 변형 상태(strain states)를 변경시키지 않고 주 반도체 층의 일 영역에서 변형 상태를 변경하는 방식으로 처리될 수 있고, 그 결과 다양한 변형 상태의 영역이 주 반도체 층에 존재한다. n-형 트랜지스터 구조는, 이후 증가된 전자 이동도(electron mobility)에 대해 바람직한 변형 상태를 나타내는 주 반도체 층의 영역 또는 영역들에 제조될 수 있고, p-형 트랜지스터 구조는, 증가된 정공 이동도(hole mobility)에 대해 바람직한 변형 상태를 나타내는 주 반도체 층의 영역 또는 영역들에 제조될 수 있다.

[0017] 다층 기판을 제공하기 위해 사용될 수 있는 방법의 전형적인 실시 예는 이하 도 1 내지 4를 참조하여 개시된다. 도 1은 벌크 재료(bulk material, 102), 벌크 재료(102) 상의 에피택셜 베이스 층(104), 및 벌크 재료(102)와 반대측인, 에피택셜 베이스 층(104)의 위의 변형된 반도체 층(106)을 포함하는 도너 기판(donor substrate, 100)을 도시한다.

[0018] 벌크 재료(102)는 예를 들어, 반도체 재료(예컨대, 실리콘, 탄화 실리콘, 게르마늄, III-V 반도체 재료 등), 세라믹 재료(예컨대, 산화 실리콘, 산화 알루미늄, 탄화 실리콘 등), 또는 금속 재료(예컨대, 몰리브덴(molybdenum) 등)의 다이(die) 또는 웨이퍼(wafer)를 포함할 수 있다. 벌크 재료(102)는 일부 실시 예에서 단결정 또는 다결정 미세구조를 가질 수 있다. 다른 실시 예에 있어서, 벌크 재료(102)는 비정질(amorphous)일 수 있다. 벌크 재료(102)는 범위가 예를 들어, 약 400 ㎛ 내지 약 900 ㎛(예컨대, 약 750 ㎛)인 두께를 가질 수 있

다.

[0019] 벌크 재료(102)에 놓이는 층, 예컨대 에피택셜 베이스 층(104) 및 주 반도체 층(106)은 다수의 다양한 프로세스, 예를 들어, 화학적 기상 증착(chemical vapor deposition, CVD), 원자층 증착(atomic layer deposition, ALD), 물리적 기상 증착(physical vapor deposition, PLD), 기상 에피택시(vapor phase epitaxy, VPE), 분자 비임 에피택시(molecular beam epitaxy, MBE) 중 어느 하나를 이용하여 기판 위에 증착되거나 또는 "성장(grown)"될 수 있다.

[0020] 일부 실시 예에 있어서, 에피택셜 베이스 층(104)은 이하에서 더 상세히 논의되는 것과 같이, 후속 처리(subsequent processing)에서 상부(overlying) 주 반도체 층(106)의 결정 격자(crystal lattice)에서 변형의 유지(retention)를 돕기 위해 사용될 수 있는 재료를 포함할 수 있다. 따라서, 에피택셜 베이스 층(104)은 또한 이하에 더 상세히 논의되는 것과 같이, 후속 처리에서 상부 주 반도체 층(106)의 결정 격자에서 변형을 유지하기 위해 에피택셜 베이스 층(104)을 허용하기 위해 선택되는 조성 및/또는 층 두께를 가질 수 있다.

[0021] 주 반도체 층(106)은 예를 들어 변형된 실리콘(Si), 변형된 게르마늄(Ge), 변형된 실리콘 게르마늄(SiGe), 또는 변형된 III-V 반도체 재료의 층을 포함할 수 있다. 따라서, 변형된 주 반도체 층(106)은 변형된 반도체 층(106)이 평형 상태에서 독립된 벌크 형태(free-standing, bulk form)로 존재했다면, 각각의 변형된 반도체 층(106)의 결정 구조에 의해 통상적으로 나타내어질 수 있는 완화된 격자 파라미터 위에(인장 변형된) 또는 아래에(압축 변형된) 있는 격자 파라미터를 나타내는 결정 구조를 가질 수 있다. 주 반도체 층(106)은, 약 50 nm 이하, 또는 심지어 약 35 nm 이하의 평균 층 두께를 가질 수 있고, 또한, 본 개시 내용의 실시 예에서 변형된 반도체 재료의 더 두꺼운 층이 선택될 수 있다.

[0022] 선택적으로, 하나 이상의 버퍼 층(buffer layers, 108)은, 벌크 재료(102) 위의 에피택셜 베이스 층(104) 및 주 반도체 층(106)의 에피택셜 성장을 용이하게 하기 위해, 벌크 재료(102)와 에피택셜 베이스 층(104) 사이에 제공될 수 있다.

[0023] 비제한적인 특정 예로서, 도너 기판(100)의 벌크 재료(102)는, 단결정 실리콘 기판을 포함할 수 있고, 에피택셜 베이스 층(104)은, Si_xGe_{1-x}을 포함할 수 있고(이 때, x는 약 0.01에서 약 0.99이고, 또는, 더욱 상세하게는, 약 0.20에서 약 0.80이다.), 주 반도체 층(106)은, 변형된 실리콘(strained silicon, sSi) 또는 변형된 Si_yGe_{1-y}를 포함할 수 있다(이 때, y는 약 0.20에서 약 0.99이다). 일부 실시 예에 있어서, 에피택셜 베이스 층(104)의 Si_xGe_{1-x}는, 적어도 충분히 이완된 Si_xGe_{1-x}를 포함할 수 있다. 다시 말해서, 에피택셜 베이스 층(104)의 Si_xGe_{1-x}는, 일부 실시 예에서 적어도 실질적으로 결정학상 변형이 없을 수 있다.

[0024] Si_zGe_{1-z}를 포함하는 하나 이상의 버퍼 층(108)(이 때, z의 값은 벌크 재료(102)로부터 멀어지면서 계단식으로 또는 연속으로 점진적으로 증가한다.)은, 벌크 재료(102)의 실리콘과 Si_xGe_{1-x} 에피택셜 베이스 층(104) 사이에 제공될 수 있다.

[0025] Si_xGe_{1-x} 에피택셜 베이스 층(104)에서 x의 값은, 주 반도체 층(106)의 상부 Si 또는 Si_yGe_{1-y}에 원하는 레벨의 변형을 부여하도록 선택될 수 있다. 당 분야에서 알려져 있는 것과 같이, Si와 Ge 사이에 약 4.2%의 격자 부정합(lattice misfit)이 있다. 따라서, Si_xGe_{1-x} 에피택셜 베이스 층(104)에서의 Ge의 양은, Si_xGe_{1-x} 에피택셜 베이스 층(104)에서 격자 파라미터의 값, 및 그러므로 상부 에피택셜 주 반도체 층(106)의 Si 또는 Si_yGe_{1-y}의 결정 격자에서의 결정학상 변형의 양을 적어도 부분적으로 결정할 것이다.

[0026] 에피택셜 베이스 층(104) 및 주 반도체 층(106)은, 그것의 결정 구조에서 국부화된 결함의 완화 및 형성의 시작을 피하기 위해 그것의 각각의 임계 두께보다 얇은 두께를 가질 수 있다.

[0027] 도 1의 도너 기판(100)을 형성하거나 또는 제공한 후, 주 반도체 층(106) 및 적어도 에피택셜 베이스 층(104)의 부분은, 예를 들어 SMARTCUT® 프로세스로서 당 분야에서 불리는 것을 이용하여 수용 기판(receiver substrate, 110)(도 2)에 전사될 수 있다. SMART-CUT® 프로세스는, 예를 들어 Bruel의 미국 특허 제 RE39,484 호(2007년 2월 6일 발행), Aspar 등의 미국 특허 제 6,303,468 호(2001년 10월 16일 발행), Aspar 등의 미국 특허 제 6,335,258 호(2002년 1월 1일 발행), Moriceau 등의 미국 특허 제 6,756,286 호(2004면 6월 29일 발행), Aspar 등의 미국 특허 제 6,809,044 호(2004년 10월 26일 발행), 및 Aspar 등의 미국 특허 제 6,946,365 호(2005년 9월 20일)에 기재되어 있고, 이들의 전체 개시 내용은 이러한 참조에 의해 전체가 본원에 포함된다.

[0028] 복수의 이온(예컨대, 수소, 헬륨, 또는 불활성 가스 이온(inert gas ions))은 도너 기판(100)에 주입될 수 있다. 예를 들어, 이온은 도 1에 방향 화살표들(109)로 표현된 것과 같이, 도너 기판(100)의 한쪽 면 상에 위치된 이온 소스로부터 도너 기판(100)에 주입될 수 있다. 이온은 도너 기판(100)의 주면(major surfaces)에 실질적으로 수직인 방향을 따라 도너 기판(100)에 주입될 수 있다. 당 분야에서 알려져 있는 것과 같이, 이온이 도너 기판(100)에 주입되는 깊이는 적어도 부분적으로 이온이 도너 기판(100)에 주입되는 에너지의 함수이다. 일반적으로, 더 적은 에너지가 주입되는 이온은, 비교적 얕은 깊이로 주입될 것이고, 더 높은 에너지로 주입되는 이온은 비교적 깊은 깊이로 주입될 것이다.

[0029] 이온은 도너 기판(100) 내의 바람직한 깊이에 이온을 주입하기 위해 선택되는 미리 결정된 에너지로 도너 기판(100)에 주입될 수 있다. 하나의 특정의 비제한적 예로서, 이온은 선택된 깊이의 도너 기판(100) 내에 배치될 수 있고 그 결과 약화 영역(zone of weakness)이 도너 기판(100)에 형성된다. 당 분야에서 알려져 있는 것과 같이, 불가피하게 적어도 일부 이온은 원하는 주입 깊이 이외의 깊이로 주입될 수 있고, 도너 기판(100)의 표면으로부터 도너 기판(100)으로의 깊이의 함수로서 이온의 온도의 그래프는 바람직한 주입 깊이에서 최대치를 가지는 대략 종 모양(bell shaped)대칭 또는 비대칭)의 곡선을 나타낼 수 있다.

[0030] 도너 기판(100)에의 주입 시, 이온은 도너 기판(100) 내에 약화 영역(112)(도 1에 파선으로 도시됨)을 규정한다. 약화 영역(112)은, 도너 기판(100)의 최대 이온 농도의 평면으로 (예컨대, 가운데에)정렬된 도너 기판(100) 내의 층 또는 영역을 포함할 수 있다. 약화 영역(112)은, 도너 기판(100)이 후속 프로세스에서 쪼개지(cleaved)거나 균열(fractured)될 수 있는 도너 기판(100) 내에 평면을 규정할 수 있다. 도 1에 나타낸 것과 같이, 약화 영역(112)은 에피택셜 베이스 층(104)을 포함하는 도너 기판의 충분히 균일한 영역(substantially homogenous region) 내에 배치될 수 있다.

[0031] 도너 기판(100) 내에 약화 영역(112)을 형성한 후, 도너 기판(100)은 직접 분자 본딩 프로세스를 이용하여 도 2에 나타낸 수용 기판(110)에 본딩될 수 있다.

[0032] 직접 분자 본딩 프로세스(direct molecular bonding process)는 도너 기판(100)과 수용 기판(110) 사이에 직접 원자 결합(direct atomic bonds)을 형성할 수 있다. 도너 기판(100)과 수용 기판(110) 사이의 원자 결합의 속성은, 도너 기판(100) 및 수용 기판(110) 각각의 표면에서의 재료 조성에 의존할 것이다.

[0033] 일부 실시 예에 있어서, 도너 기판(100)의 접합면(bonding surface)과 수용 기판(110)의 접합면 간의 직접 결합은, 비교적 평탄한 표면을 가지도록 도너 기판(100)의 접합면 및 수용 기판(110)의 접합면 각각을 형성한 다음, 접합면을 함께 맞대고 이들 사이에 본딩 웨이브(bonding wave)의 전달(propagation)을 개시시켜 입증될 수 있다. 예를 들어, 도너 기판(100)의 접합면 및 수용 기판(110)의 접합면 각각은, 약 2 나노미터(2.0 nm) 이하, 약 1 나노미터(1.0 nm) 이하, 또는 심지어 1/4 나노미터(0.25 nm) 이하의 평균 제곱근 표면 거칠기(root mean square surface roughness, RMS)를 가지도록 형성될 수 있다. 도너 기판(100)의 접합면 및 수용 기판(110)의 접합면 각각은, 기계적 폴리싱 동작 및 화학적 에칭 동작 중 적어도 하나를 이용하여 평탄화될 수 있다. 예를 들어, 화학 기계적 평탄화(chemical mechanical planarization, CMP) 동작은, 도너 기판(100)의 접합면 및 수용 기판(110)의 접합면 각각을 평탄화하고 및/또는 이들 각각의 표면 거칠기를 감소하기 위해 사용될 수 있다.

[0034] 접합면을 평탄화한 후, 접합면은 선택적으로 당 분야에서 알려진 프로세스를 이용하여 세정 및/또는 활성화될 수 있다. 이와 같은 활성화 프로세스(activation process)는 본딩 프로세스를 용이하게 하고 및/또는 더 강한 결합의 형성을 생기게 하는 방식으로 접합면에서 계면 화학(surface chemistry)을 변경하기 위해 사용될 수 있다.

[0035] 접합면은 서로 직접 물리적 접촉될 수 있고, 압력이 접합면을 가로질러 국부화된 영역에 가해질 수 있다. 원자간 결합이 국부화된 압력 영역 근방에서 개시(initiate)될 수 있고, 본딩 웨이브는 접합면 간의 계면(bonding interface)을 가로질러 전파할 수 있다.

[0036] 선택적으로, 어닐링 프로세스가 결합을 강화하기 위해 사용될 수 있다. 이와 같은 어닐링 프로세스는 약 2분(2 mins.) 내지 약 15시간(15 hrs.)의 시간 동안 약 섭씨 백도(100℃)와 약 섭씨 4백도(400℃) 사이의 온도의 노(furnace)에서 접합된 도너 기판(100) 및 수용 기판(110)을 가열하는 것을 포함할 수 있다.

[0037] 절연층(insulating layer, 114)(예컨대, 예를 들어, 산화물(예컨대, SiO_2, Al_2O_3 등), 질화물, 또는 산화질화물(oxynitride))이 본딩 프로세스 전에 도너 기판(100) 및 수용 기판(110) 중 하나 또는 모두 위에 제공될 수 있고, 그 결과 도너 기판(100) 및 수용 기판(110)의 하나 또는 모두의 접합면은, 절연층(114)의 표면을 포함한다. 따라서, 이와 같은 실시 예에 있어서, 직접 분자 본딩 프로세스는, 산화물과 산화물 또는 산화물과 실리콘, 또

는 산화물과 SiGe의 직접 분자 본딩 프로세스를 포함할 수 있다.

[0038] 절연층(114)은 이 기술에서 종종 "매립 산화물 층(buried oxide layer)" 또는 "BOX"로 불리는 것을 포함할 수 있다. 절연층(114)은 결정성 또는 비정질일 수 있다. 절연층(114)은, 예를 들어 약 10 nm와 약 50 nm 사이의 접합 구조의 평균 층 두께(접합 전에 도너 기판(100) 및 수용 기판(110) 모두 위에 증착되면 양 절연층(114)의 두께를 포함할 수 있는)를 가질 수 있고, 또한 더 얇거나 더 두꺼운 절연층(114)이 본 개시 내용의 실시 예에서 선택될 수 있다.

[0039] 도 3을 참조하면, 도너 기판(100)을 수용 기판(110)에 접합한 후, 도너 기판(100)은 약화 영역(112)(도 1 및 2)을 따라 쪼개질 수 있다. 도너 기판(100)은 도너 기판(100)을 가열하고, 및/또는 도너 기판(100)에 기계력(mechanical force)을 가하여 약화 영역(112)을 따라 쪼개지거나 균열될 수 있다.

[0040] 도 3에 나타낸 것과 같이 도너 기판(100)이 균열되면, 다층 기판(120)의 베이스 기판을 규정하는 수용 기판(110), 다층 기판(120)의 매립 산화물 층을 규정하는 절연층(114), 베이스 기판(110)과 반대측인, 매립 산화물 층(114) 위의 주 반도체 층(106), 및 매립 산화물 층(114)과 반대측인, 주 반도체 층(106) 위에 에피택셜 베이스 층(104)의 적어도 부분을 포함하는 다층 기판(120)이 제공된다,

[0041] 다층 기판(120)이 후속 처리를 위해 도 3으로부터 역전된 방향으로 도 4에 도시된다.

[0042] 도 3을 참조하여 앞에서 기재된 것과 같이, 다층 기판(120)의 에피택셜 베이스 층(104)의 두께는, 도너 기판(100)(도 1) 내의 약화 영역(112)의 위치(즉, 깊이)를 제어하여, 및/또는 약화 영역(112)을 따라 도너 기판(100)이 균열된 후, 다층 기판(120)의 에피택셜 베이스 층(104)의 부분을 선택적으로 시닝(thinning)하여 선택적으로 제어될 수 있다. 예를 들어, 일부 실시 예에 있어서, 에피택셜 베이스 층(104)의 두께는, 약화 영역(112)을 따라 도너 기판(100)이 균열된 후, 예를 들어 기계적 폴리싱 동작 및 화학적 에칭 동작 중 적어도 하나를 이용하여 선택적으로 감소될 수 있다. 예를 들어, 화학 기계적 평탄화(CMP) 프로세스는, 약화 영역(112)을 따라 도너 기판(100)이 균열된 후, 미리 결정 및 선택된 두께로 에피택셜 베이스 층(104)의 두께를 감소하기 위해 사용될 수 있다. 이와 같은 처리는 또한 에피택셜 베이스 층(104)의 노출된 주면의 표면 거칠기의 감소, 및 바람직할 수 있는 에피택셜 베이스 층(104)의 더 균일한 두께를 가져올 수 있다.

[0043] 도 5를 참조하면, 제 1 마스크 층(122)은 다층 기판(120)의 제 1 영역(124A) 내의 에피택셜 베이스 층(104) 및 주 반도체 층(106) 위에 증착되거나 제공될 수 있다. 마스크 층(122)은 다층 기판(120)의 제 2 영역(124B)의 에피택셜 베이스 층(104) 및 주 반도체 층(106)을 덮지 않을 수 있다. 제 1 마스크 층(122)은 다층 기판(120) 위에 적어도 실질적으로 연속해서 증착될 수 있고, 이후 나중에 다층 기판(120)의 제 2 영역(124B)에서 마스크 층(122)을 제거하기 위해 패터닝될 수 있고, 그 결과 에피택셜 베이스 층(104) 및 주 반도체 층(106)은 다층 기판(120)의 제 2 영역(124B)에서 제 1 마스크 층(122)을 통해 노출된다.

[0044] 제 1 마스크 층(122)은 마스크 재료의 단층(single layer)을 포함할 수 있고, 또는 그것은 마스크 재료의 복수의 층을 포함할 수 있다. 제 1 마스크 층(122)의 조성은, 이하에서 논의되는 것과 같이, 다층 기판(120)의 제 2 영역(124B) 내의 마스크 층(122)을 나중에 에칭 및 제거하기 위해 사용되는 부식액(etchant)에 의해 에칭에 대한 저항성이 있도록 선택될 수 있다. 예를 들어, 제 1 마스크 층(122)은 산화물(예컨대, SiO_2, Al_2O_3 등), 질화물(예컨대, Si_3N_4), 또는 산화질화물(예컨대, 산화질화 실리콘)을 포함할 수 있다. 비제한적인 예로서, 에피택셜 베이스 층(104)은 Si_xGe_{1-x}를 포함하고, 주 반도체 층(106)은 인장 변형된 실리콘(sSi)을 포함하는 실시 예에 있어서, 제 1 마스크 층(122)은, 산화물(예컨대, SiO_2)의 제 1 층, 에피택셜 베이스 층(104)과 반대측인, 산화물의 제 1 층 위의 질화물(예컨대, Si_3N_4) 층, 및 질화물 층이 제 1 및 제 2 산화물 층 사이에 샌드위치되도록, 산화물의 제 1 층과 반대측인, 질화물 층 위의 산화물(예컨대, SiO_2)의 제 2 층을 포함하는 다층 마스크 구조를 포함할 수 있다.

[0045] 도 6을 참조하면, 제 1 마스크 층(122)으로 다층 기판(120)의 제 1 영역(124A) 내의 에피택셜 베이스 층(104) 및 주 반도체 층(106)을 마스킹한 후, 에피택셜 베이스 층(104)의 노출된 부분은, 다층 기판(120)의 제 2 영역(124B)으로부터 제거될 수 있다. 에칭 프로세스는 제 2 영역(124B)의 주 반도체 층(106) 위로부터 에피택셜 베이스 층(104)을 제거하기 위해 사용될 수 있다.

[0046] 제 2 영역(124B)의 주 반도체 층(106)으로부터 에피택셜 베이스 층(104)을 제거하기 위해 사용되는 에칭 프로세스는, 습식 에칭 프로세스 또는 건식 에칭 프로세스(예컨대, 반응성 이온 에칭(reactive ion etching, RIE) 프

로세스)를 포함할 수 있다. 에칭 프로세스는 등방성(isotropic) 또는 이방성(anisotropic) 에칭 프로세스를 포함할 수 있다. 부식액은 주 반도체 층(106)에 대해 선택적으로 에피택셜 베이스 층(104)을 에칭하기 위해 선택될 수 있고, 그 결과 에피택셜 베이스 층(104)은 바람직하게는 에칭 프로세스에 의해 제거되고, 주 반도체 층(106)은 에치-정지층(etch-stop layer)으로서 기능한다. 다른 실시 예에 있어서, 만약 주 반도체 층(106)을 실질적으로 제거하지 않고 에피택셜 베이스 층(104)을 선택적으로 제거할 부식액이 이용 가능하지 않으면, 에칭 프로세스는 에피택셜 베이스 층(104)이 제거되면 단순히 제거될 수 있다.

[0047] 비제한적인 예로서, 에피택셜 베이스 층(104)은 Si_xGe_{1-x}를 포함하고, 주 반도체 층(106)은 인장 변형된 실리콘(sSi)을 포함하는 실시 예에 있어서, 건식 반응성 이온 에칭(RIE) 프로세스가 에피택셜 베이스 층(104)을 제거하기 위해 사용될 수 있다. 염소(예컨대, Cl_2), 불소(예컨대, CF_4 또는 SF_6), 및/또는 브롬(예컨대, HBr) 반응 가스를 포함하는 할로겐계 화학약품이 이와 같은 건식 RIE 프로세스에 부식액으로서 사용될 수 있다. RIE 에칭 프로세스의 에칭 속도(etch rate)는 RIE 에칭 체임버(chamber) 내의 가스 비율, 압력 및 바이어스 전력(bias power)을 조정하여 선택적으로 제어될 수 있다. 예를 들어, Marcelo S. B. Castro 등의 "Selective and Anisotropic Dry Etching of Ge over Si, Journal of Integrated Circuits and Systems 2013, vol.8, no.2, pp.104-109"를 참조하면, 이와 같은 RIE 에칭 프로세스를 개시하고 전체가 참조로 본원에 포함된다.

[0048] 다층 기판(120)의 제 2 영역(124B) 내의 하부 주 반도체 층(106)으로부터 에피택셜 베이스 층(104)을 제거한 후, 마스크 층(134)이 다층 기판(120)으로부터 제거될 수 있다.

[0049] 도 7을 참조하면, 제 2 마스크 층(126)은 다층 기판(120)의 제 2 영역(124B) 내의 노출된 주 반도체 층(106) 위로부터 증착될 수 있거나 형성될 수 있다. 제 2 마스크 층(126)은 다층 기판(120)의 제 1 영역(124A) 내의 에피택셜 베이스 층(104) 및 주 반도체 층(106)을 덮지 않을 수 있다. 제 2 마스크 층(124)은 다층 기판(120) 위에 적어도 실질적으로 연속해서 증착될 수 있고, 이후 나중에 다층 기판(120)의 제 1 영역(124A)에서 마스크 층(122)을 제거하기 위해 패터닝될 수 있고, 그 결과 에피택셜 베이스 층(104) 및 주 반도체 층(106)은, 다층 기판(120)의 제 1 영역(124A)에서 제 1 마스크 층(122)을 통해 노출된다.

[0050] 제 2 마스크 층(126)은 마스크 재료의 단층을 포함할 수 있고, 또는 이것은 마스크 재료의 복수의 층을 포함할 수 있다. 도 8a-8c를 참조하여 아래에 기재되는 것과 같이, 제 2 마스크 층(126)의 조성은 다층 기판(120)의 제 1 영역(124A) 내의 에피택셜 베이스 층(104) 및 주 반도체 층(106)에 대해 나중에 수행될 원자 확산 프로세스(atomic diffusion process) 동안 노출될 수 있는 환경 조건에 저항성이 있도록 선택될 수 있다. 예를 들어, 제 2 마스크 층(126)은 산화물(예컨대, SiO_2, Al_2O_3 등), 질화물(예컨대, Si_3N_4), 또는 산화질화물(예컨대, 산화질화 실리콘)을 포함할 수 있다. 비제한적인 예로서, 에피택셜 베이스 층(104)은 Si_xGe_{1-x}를 포함하고, 주 반도체 층(106)은 인장 변형된 실리콘(sSi)을 포함하는 실시 예에 있어서, 제 2 마스크 층(126)은 산화물(예컨대, SiO_2)의 층, 및 에피택셜 베이스 층(104)과 반대측인, 산화물의 층 위의 질화물(예컨대, Si_3N_4) 층을 포함하는 다층 마스크 구조를 포함할 수 있다.

[0051] 제 2 마스크 층(126)으로 다층 기판(120)의 제 2 영역(124B)의 주 반도체 층(106)을 마스킹한 후, 다층 기판(120)의 제 2 영역(124B) 내의 주 반도체 층(106)의 변형 레벨에 대해 선택적으로 제 1 영역(124A) 내의 주 반도체 층(106)의 인장 변형을 감소시키고, 및/또는 압축 변형을 증가시키도록, 응축 프로세스(종종 "서멀 믹싱(thermal mixing)" 프로세스로 불림) 또는 다른 유형의 프로세스가 제 1 영역(124A) 내의 에피택셜 베이스 층(104)으로부터 하부(underlying) 주 반도체 층(106)으로 원소를 확산하기 위해 사용될 수 있다. 제 2 영역(124B)에서의 제 2 마스크 층(126)의 존재 및 에피택셜 베이스 층(104)의 부재는, 제 2 영역(124B) 내의 주 반도체 층(106)으로의 원소의 확산을 방지할 수 있고, 그 결과 주 반도체 층(106)에서의 변형은 다층 기판(120)의 제 1 영역(124A)에 대해 행해지는 응축 프로세스 동안 유지된다. 다시 말해서, 응축 프로세스는 다층 기판(120)의 제 1 영역(124A)에 대해서만 행해질 수 있고, 다층 기판(120)의 제 2 영역(124B)에 대해서는 행해지지 않는다. 이와 같은 응축 프로세스는 이하 도 8a-8c를 참조하여 기재되어 있다.

[0052] 도 8a는 제 1 영역(124A) 내의 도 6에 나타낸 다층 기판(120)의 부분의 확대도이다. 응축 프로세스는, 다층 기판(120)의 제 2 영역(124B) 내에서 마스킹된 주 반도체 층(106)을 갖는 다층 기판(120)이 산화 분위기(예컨대, 건조 O_2)에서 상승된 온도(예컨대, 약 900℃와 약 1150℃ 사이)의 노에서 산화 프로세스를 겪는 것을 포함할 수 있다. 도 8b를 참조하면, 산화 프로세스는, 다층 기판(120)의 표면에 산화물 층(136)을 형성시킬 수 있고, 원소를 에피택셜 베이스 층(104)으로부터 다층 기판(120)의 제 1 영역(124A) 내의 주 반도체 층(106)으로 확산시킬 수 있다. 시간이 경과함에 따라, 에피택셜 베이스 층(104)과 주 반도체 층(106) 간의 경계 또는 계면은 연속적

으로 될 수 있는데, 그 이유는 에피택셜 베이스 층(104)의 원소가 성장하는 산화물 층(136)에 포함되고, 및/또는 하부 주 반도체 층(106)으로 확산 및 포함되기 때문이다.

[0053] 주 반도체 층(106)은 인장 변형된 실리콘(sSi)을 포함하고, 에피택셜 베이스 층(104)은 Si_xGe_{1-x}를 포함하는 실시 예에 있어서, 산화물 층(136)은 이산화 실리콘(SiO_2)을 포함할 수 있고, Si_xGe_{1-x} 에피택셜 베이스 층(104)의 게르마늄은, 주 반도체 층(106)의 변형된 실리콘(sSi)으로 확산할 수 있어, sSi 변형된 반도체 층(106)을 변형된 Si_yGe_{1-y} 주 반도체 층(106)으로 변환한다. 에피택셜 베이스 층(104)이 주 반도체 층(106)으로 녹아 들어가면서, 산화물 층(136)은 에피택셜 베이스 층(104)의 표면에 형성할 수 있고, 다층 기판(120)의 두께를 성장시킬 수 있다. 산화물 층(136)의 두께가 게르마늄 응축 프로세스 동안 성장하기 때문에 주 반도체 층(106)의 두께는 감소하고 주 반도체 층(106) 중의 게르마늄 농도는 변형된 Si_yGe_{1-y} 주 반도체 층(106)에 게르마늄의 원하는 농도를 가지는 주 반도체 층(106)이 획득될 때까지 증가한다. 도 8c에 나타낸 것과 같이. 주 반도체 층(106)으로의 게르마늄의 확산은, 주 반도체 층(106) 내의 임의의 인장 변형의 감소를 가져올 수 있고, 주 반도체 층(106) 내에서 압축 변형의 발생으로 이어질 수 있다. 응축 프로세스 후, 제 1 영역(124A) 내의 주 반도체 층(106)은 제 2 영역(124B) 내의 주 반도체 층(106)에서의 인장 변형보다 낮은 인장 변형의 상태에 있을 수 있고, 제 1 영역(124A) 내의 주 반도체 층(106)은, 인장 또는 압축 변형이 없는 적어도 실질적으로 이완된 상태에 있을 수 있고, 또는 제 1 영역(124A) 내의 주 반도체 층(106)은 압축 변형 상태에 있을 수 있다.

[0054] 산화물 층(136)은 응축 프로세스를 수행한 후, 다층 기판(120)의 제 1 영역(124A) 내의 주 반도체 층(106) 위에서부터 선택적으로 제거될 수 있다. 산화물 층(136)은 예를 들어 습식 또는 건식 에칭 프로세스를 이용하여 제거될 수 있다.

[0055] 응축 프로세스는 도 8a과 도 8c를 비교하여 알 수 있는 것과 같이, 다층 기판(120)의 제 1 영역(124A) 내의 주 반도체 층(106)의 두께를 감소시킬 수 있다. 일부 실시 예에 있어서, 응축 프로세스를 수행하고 산화물 층(136)을 제거한 후, 추가의 반도체 재료가 다층 기판(120)의 제 2 영역(124B) 내의 주 반도체 층(106) 상에 추가의 반도체 재료를 에피택셜 성장시키지 않고, 다층 기판(120)의 제 1 영역(124A)의 주 반도체 층(106) 상에 선택적으로 에피택셜 성장될 수 있다. 추가의 반도체 재료는 다층 기판(120)의 제 1 영역(124A) 내의 주 반도체 층(106)의 하부 반도체 재료와 동일한 조성 및 변형 상태를 가질 수 있다. 제 1 영역(124A) 내의 주 반도체 층(106)의 두께가 응축 프로세스를 받지 않은, 제 2 영역(124B) 내의 응축 프로세스의 두께와 적어도 실질적으로 같도록 추가의 반도체 재료의 선택적 에피택셜 성장이 다층 기판(120)의 제 1 영역(124A) 내의 주 반도체 층(106)을 두껍게 하기 위해 사용될 수 있다.

[0056] 응축 프로세스는 다층 기판(120)의 제 1 영역(124A) 내의 주 반도체 층(106) 내에서 정공 이동도를 향상시킬 수 있는 데, 이것은 PMOS 트랜지스터, 예컨대 다층 기판(120)의 제 1 영역(124A) 내에 주 반도체 층(106)의 영역을 포함하는 트랜지스터 채널 구조를 가지는 평면 FET 트랜지스터, 또는 finFET 트랜지스터를 형성하는 데 바람직할 수 있다. 다층 기판(120)의 제 2 영역(124B) 내의 주 반도체 층(106)은, 인장 변형 상태로 유지될 수 있는 데, 이것은 NMOS 트랜지스터, 예컨대 다층 기판(120)의 제 2 영역(124B) 내에 주 반도체 층(106)의 영역을 포함하는 트랜지스터 채널 구조를 가지는 평면 FET 트랜지스터, 또는 finFET 트랜지스터를 형성하는 데 바람직할 수 있다.

[0057] 따라서, 도 9를 참조하면, 다층 기판(120)을 제공한 후, 다층 기판(120)은 핀 구조(132)를 규정하기 위해 에칭될 수 있고, 핀 구조 각각은 주 반도체 층(106)의 부분을 포함할 수 있다. 핀 구조(132) 각각은 finFET에 사용할 수 있는 구성 및 크기일 수 있다.

[0058] 에칭 프로세스는 예를 들어 다층 기판(120) 위에 마스크 층을 증착하고, 에피택셜 베이스 층(104) 및 주 반도체 층(106)에 및 통해 에칭하는 것이 바람직한 위치에서 마스크 층에 개구(openings)를 포함하도록 마스크 층을 패터닝하고, 이후 패터닝된 마스크 층을 통해 주 반도체 층(106)을 에칭하여 행해질 수 있다. 그와 같은 핀 구조(132)를 형성하기 위해 당 분야에서 알려진 다른 프로세스, 예컨대 사이드-월 전사 프로세스(side-wall image transfer processes)로서 당 분야에서 또한 불리는 스페이서-규정 이중 패터닝(spacer-defined double patterning, SDDP) 프로세스가 선택될 수 있다.

[0059] 에칭 프로세스는 습식 에칭 프로세스 또는 건식 에칭 프로세스(예컨대, 반응성 이온 에칭(RIE) 프로세스)를 포함할 수 있다. 에칭 프로세스는 일반적으로 수직 사이드 월을 가지는 핀 구조(132)를 제공하도록 이방성 에칭 프로세스를 포함할 수 있다. 부식액은 선택적으로 하부 BOX 층(114)에 대해 에피택셜 베이스 층(104) 및 주 반도체 층(106)을 에칭하도록 선택될 수 있고, 그 결과 BOX 층(114)은 에치-정지층으로서 기능할 수 있다.

[0060] 비제한적인 예로서, 주 반도체 층(106)은 제 2 영역(124B) 내에 인장 변형된 실리콘(sSi) 및 제 1 영역(124A) 내에 압축 변형된 Si_yGe_{1-y}를 포함하는 실시 예에 있어서, 부식액으로서 염소(예컨대, Cl_2), 불소(예컨대, CF_4 또는 SF_6), 및/또는 브롬(예컨대, HBr) 반응 가스를 포함하는 할로겐계 화학약품을 이용하는 건식 반응성 이온 에칭(RIE) 프로세스가 선택될 수 있다.

[0061] 핀 구조(132)는 p-형 finFET 트랜지스터의 핀이 되도록 의도되는 제 1의 복수의 핀(132A) 및 n-형 finFET 트랜지스터의 핀이 되도록 의도된 제 2의 복수의 핀(132B)을 포함할 수 있다. 제 1의 복수의 핀(132A) 각각은, 다층 기판(120)의 제 1 영역(124A) 내에 주 반도체 층(106)의 부분을 포함할 수 있고, 제 2의 복수의 핀(132B) 각각은, 다층 기판(120)의 제 2 영역(124B) 내에 주 반도체 층(106)의 부분을 포함할 수 있다. 결과적으로, 제 1의 복수의 핀 구조(132A)는 제 2의 복수의 핀 구조(132B)에 대해 다양한 변형 상태에 있을 수 있다. 특히, 제 2의 복수의 핀 구조(132B)는 인장 변형의 상태에 있을 수 있고, 제 1의 복수의 핀 구조(132A)는 감소된 인장 변형(제 2의 복수의 핀 구조(132B)에 대해)의 상태에, 적어도 실질적으로 인장 또는 압축 변형이 없는 이완된 상태에, 또는 압축 변형의 상태에 있을 수 있다.

[0062] 일부 실시 예에 있어서, 핀 구조(132)는 핀 구조(132)의 재료가 순간적으로 또는 상승된 온도에서 후속 처리 동안 이완할 임계 치수보다 작은 하나 이상의 치수(예컨대, 길이, 폭, 또는 높이)를 가질 수 있다. 일부 실시 예에 있어서, 핀 구조(132)는 약 30 nm 이하, 약 20 nm 이하, 또는 심지어 약 15 nm 이하의 평균 핀 폭(W)(도 10 참조)을 가지도록 형성될 수 있다.

[0063] 위에 기재된 방법에 있어서, 도 1을 참조하여 기재된 것과 같이, 에피택셜 베이스 층(104)은 주 반도체 층(106)이 변형된 상태에 있도록 주 반도체 층(106)이 초기에 에피택셜 성장되는 베이스 층으로서 사용될 수 있고, 도 8a-8c를 참조하여 기재된 것과 같이, 나중에 응축 프로세스에서 주 반도체 층(106)의 부분의 변형 상태를 변경하기 위해 사용될 수 있다.

[0064] 위에 기재된 것과 같이, 제 1의 복수의 핀 구조(132A) 및 제 2의 복수의 핀 구조(132B)는 도 9를 참조하여 기재된 것과 같이 공통 마스킹 및 에칭 프로세스에서 함께 형성될 수 있다.

[0065] 본원에 기재된 방법에 의해 형성되는 얻어진 구조는 베이스 기판(110)과 반대측의 공통 평면인, 매립 산화물 층(114) 위에 배치되는 제 1의 복수의 핀 구조(132A) 및 제 2의 복수의 핀 구조(132B)를 포함한다. 제 1의 복수의 핀 구조(132A) 각각은, 2개 이상의 원소(예컨대, 실리콘 및 게르마늄)를 포함하는 응축된 주 반도체 층(106)을 포함한다. 제 2의 복수의 핀 구조(132B) 각각은, 비응축된 주 반도체 층(106)을 포함한다. 부가적으로, 제 2의 복수의 핀 구조(132B)의 핀 구조(132)는 제 1의 복수의 핀 구조(132A)의 핀 구조(132)의 결정학상 변형(crystallographic strain)과 다른 결정학상 변형을 가진다. 예를 들어, 제 2의 복수의 핀 구조(132B)의 핀 구조(132)는 인장 변형의 상태에 있을 수 있고, 제 1의 복수의 핀 구조(132A)의 핀 구조(132)는 감소된 인장 변형의 상태, 이완된 변형 상태(즉, 변형 없음), 또는 압축 변형의 상태에 있을 수 있다.

[0066] 위에 기재된 것과 같이, 제 1의 복수의 핀 구조(132A) 및 제 2의 복수의 핀 구조(132B)를 형성한 후, 제 1의 복수의 핀 구조(132A)를 포함하는 제 1의 복수의 PMOS finFET 트랜지스터가 형성될 수 있고, 제 2의 복수의 핀 구조(132b)를 포함하는 제 2의 복수의 NMOS finFET 트랜지스터가 형성될 수 있다.

[0067] 도 10은 본 개시 내용의 실시 예에 따라 제 1의 복수의 핀 구조(132A) 및/또는 제 2의 복수의 핀 구조(132b)를 이용하여 제조될 수 있는 finFET 트랜지스터 구성의 비제한적 단순화된 전형적인 실시 예를 도시한다. FinFET의 많은 다양한 구성이 당 분야에서 알려져 있고 본 개시 내용의 실시 예에 따라 선택될 수 있고, 도 10에 나타낸 finFET 구조는 이와 같은 finFET 구조로서 단지 설명된다는 것이 주목되어야 한다.

[0068] 도 10에 나타낸 것과 같이, finFET 트랜지스터(140)는 소스 영역(source region, 142), 드레인 영역(drain region, 144), 및 소스 영역(142)과 드레인 영역(144) 사이에서 연장하는 채널을 포함한다. 채널은 핀(132), 예컨대 제 1 핀 구조(132A) 또는 제 2 핀 구조(132B)에 의해 규정되고 이들을 포함한다. 일부 실시 예에 있어서, 소스 영역(142) 및 드레인 영역(144)은 핀 구조(132)의 길이방향 단부 부분(longitudinal end portions)을 포함할 수 있거나 또는 이에 의해 규정될 수 있다. 도전 게이트(conductive gate, 146)는 소스 영역(142)과 드레인 영역(144) 사이에 적어도 핀 구조(132)의 부분 위에서 및 인접하여 연장한다. 게이트(146)는 유전체 재료(dielectric material, 148)에 의해 핀 구조(132)로부터 분리될 수 있다. 게이트(146)는 다층 구조를 포함할 수 있고, 반도체 및/또는 도전성 층을 포함할 수 있다. 금속, 금속 화합물 또는 모두, 예컨대 도전성 실리사이드(conductive silicide)를 포함하는 저-저항 층(low-resistance layer)은 전기 접촉을 형성하기 위해 소스 영

역(142) 및/또는 드레인 영역(144) 위에 증착될 수 있다.

[0069] 유리하게는, 채널에서의 인장 응력은 NMOS finFET 트랜지스터의 성능을 증가시킬 수 있고 임계 전압(threshold voltage)을 감소시킬 수 있고, 한편 채널에서의 감소된 인장 응력(예컨대, 더 적은 인장 응력, 인장 또는 압축 응력 없음, 또는 압축 응력)은, PMOS finFET 트랜지스터의 성능을 증가시킬 수 있고, 임계 전압을 감소시킬 수 있다. 일부 기능에 대해, 고성능이 요구되기 때문에 변형된 장치가 유리하고, 일부 다른 기능에 있어서는, 성능은 중요하지 않고, 높은 임계 전압이 유리하다. 본 개시 내용의 실시 예에 있어서, 제조업자는 공통 finFET 트랜지스터 평면에서 동일한 장치에서 다양한 finFET 트랜지스터의 결정 격자에 다양한 레벨의 스트레스 및 변형을 선택적으로 포함시킬 수 있다.

[0070] 비록 앞에 개시된 방법 및 구조는 finFET 구조와 관련하여 기재되었지만, 본 개시 내용의 추가의 실시 예는, finFET 구조 이외에 통상의 FET 구조의 형성을 포함할 수 있고, 복수의 통상의 p-형 CMOS FET 트랜지스터는, 다층 기판(120)의 제 1 영역(124A) 내에 주 반도체 층(106)을 이용하여 제조될 수 있고, 복수의 통상의 n-형 CMOS FET 트랜지스터는 다층 기판(120)의 제 2 영역(124B) 내에 주 반도체 층(106)을 이용하여 제조될 수 있다는 것이 주목된다.

[0071] 본 개시 내용의 추가의 비제한적인 전형적인 실시 예가 아래에 제시된다.

[0072] 실시 예 1: 베이스 기판, 상기 베이스 기판의 표면 위의 매립 산화물 층, 상기 베이스 기판과 반대측인, 상기 매립 산화물 층 위의 변형된 주 반도체 층, 및 상기 매립 산화물 층과 반대측인 상기 변형된 반도체 층 위에 에피택셜 베이스 층을 포함하는 다층 기판을 제공하는 단계; 상기 에피택셜 베이스 층으로부터 상기 다층 기판의 제 2 영역 내의 상기 변형된 주 반도체 층으로 원소의 확산 없이, 상기 에피택셜 베이스 층으로부터 상기 다층 기판의 제 1 영역 내의 상기 변형된 주 반도체 층으로 원소를 확산시키고, 상기 제 1 영역 내의 상기 주 반도체 층의 변형 상태가 상기 제 2 영역 내의 상기 주 반도체 층의 변형 상태와는 다르도록, 상기 제 1 영역 내의 상기 주 반도체 층에서의 상기 확산된 원소의 농도를 농축(enriching)하는 단계; 및 상기 다층 기판의 상기 제 1 영역 내에 상기 주 반도체 층의 부분을 각각 포함하는 제 1의 복수의 트랜지스터 채널 구조, 및 상기 다층 기판의 상기 제 2 영역 내에 상기 주 반도체 층의 부분을 각각 포함하는 제 2의 복수의 트랜지스터 채널 구조를 형성하는 단계;를 포함하는 반도체 구조를 제조하는 방법.

[0073] 실시 예 2: 변형된 실리콘을 포함하기 위해 상기 변형된 반도체 층을 선택하는 단계;를 더 포함하는 실시 예 1의 방법.

[0074] 실시 예 3: 인장 변형된 실리콘을 포함하기 위해 상기 변형된 반도체 층을 선택하는 단계;를 더 포함하는 실시 예 2의 방법.

[0075] 실시 예 4: Si_xGe_{1-x}를 포함하기 위해 상기 에피택셜 베이스 층을 선택하는 단계;를 더 포함하고, 이 때, x는 약 0.01에서 약 0.99이고, 상기 에피택셜 베이스 층으로부터 상기 변형된 주 반도체 층으로 원소를 확산시키는 단계는, 상기 다층 기판의 상기 제 1 영역 내의 상기 변형된 주 반도체 층에 게르마늄을 확산시키는 단계를 포함하는 실시 예 1 내지 3 중 어느 하나의 방법.

[0076] 실시 예 5: 제 1의 복수의 트랜지스터 채널 구조를 형성하고, 상기 제 2의 복수의 트랜지스터 채널 구조를 형성하는 단계는, 상기 주 반도체 층을 통해 에칭하는 단계, 및 핀 구조를 규정하는 단계를 포함하고, 상기 핀 구조 각각은, 상기 주 반도체 층을 포함하고, 상기 핀 구조 각각은, FinFET에 사용하기 위한 구성 및 크기인 실시 예 1 내지 4 중 어느 하나의 방법.

[0077] 실시 예 6: 상기 다층 기판을 제공하는 단계는, 도너 구조를 형성하기 위해 도너 기판 위에 상기 에피택셜 베이스 층 상에 상기 변형된 반도체 층을 에피택셜 성장시키는 단계; 상기 도너 구조에 이온을 주입하고, 상기 도너 구조 내에 약화 영역을 형성하는 단계; 상기 베이스 기판을 포함하는 수용 기판에 상기 도너 구조를 본딩하는 단계; 및 상기 변형된 반도체 층 및 상기 에피택셜 베이스 층을 상기 베이스 기판에 전사하기 위해 상기 약화 영역을 따라 상기 도너 구조를 쪼개(cleaving)는 단계;를 포함하는 실시 예 1 내지 5 중 어느 하나의 방법.

[0078] 실시 예 7: 상기 도너 구조를 상기 수용 기판에 본딩하는 단계는, 상기 도너 구조 및 상기 수용 기판 중 하나 또는 모두 위에 산화물 층을 제공하는 단계, 및 직접 본딩 프로세스를 이용하여 상기 수용 기판에 상기 도너 구조를 본딩하는 단계를 포함하는 실시 예 6의 방법.

[0079] 실시 예 8: 상기 에피택셜 베이스 층을 포함하는 상기 도너 기판의 충분히 균일한 영역 내에 상기 약화 영역을 배치하는 단계;를 더 포함하는 실시 예 6 또는 실시 예 7의 방법.

[0080] 실시 예 9: 상기 에피택셜 베이스 층으로부터 상기 다층 기판의 상기 제 1 영역 내의 상기 변형된 주 반도체 층으로 원소를 확산시키는 단계는, 상기 다층 기판의 제 1 영역 내의 상기 주 반도체 층에서 변형을 완화시키는 단계를 포함하는 실시 예 1 내지 8 중 어느 하나의 방법.

[0081] 실시 예 10: 상기 에피택셜 베이스 층으로부터 상기 다층 기판의 상기 제 1 영역 내의 상기 변형된 주 반도체 층으로 원소를 확산시키는 단계는, 상기 다층 기판의 상기 제 1 영역 내의 상기 주 반도체 층에 압축 변형을 유도하는 단계를 포함하는 실시 예 1 내지 9 중 어느 하나의 방법.

[0082] 실시 예 11: 상기 에피택셜 베이스 층으로부터 상기 다층 기판의 상기 제 1 영역 내의 상기 변형된 주 반도체 층으로 원소를 확산시키는 단계는, 상기 제 1 영역 내의 상기 주 반도체 층 내에서 정공 이동도를 증가시키는 단계를 포함하는 실시 예 1 내지 10 중 어느 하나의 방법.

[0083] 실시 예 12: 상기 에피택셜 베이스 층으로부터 상기 다층 기판의 상기 제 1 영역 내의 상기 변형된 주 반도체 층으로 원소를 확산시키는 단계는, 상기 다층 기판의 상기 제 1 영역 내의 상기 주 반도체 층에 대해 응축 프로세스를 실행하는 단계를 포함하는 실시 예 1 내지 11 중 어느 하나의 방법.

[0084] 실시 예 13: 상기 다층 기판의 상기 제 1 영역 내의 상기 주 반도체 층에 대해 응축 프로세스를 실행하는 단계는, 상기 다층 기판의 상기 제 1 영역 내의 상기 주 반도체 층의 부분을 산화시키는 단계를 포함하는 실시 예 12의 방법.

[0085] 실시 예 14: 상기 제 1의 복수의 트랜지스터 채널 구조를 포함하는 복수의 p-형 FET 트랜지스터를 형성하는 단계; 및 상기 제 2의 복수의 트랜지스터 채널 구조를 포함하는 복수의 n-형 FET 트랜지스터를 형성하는 단계;를 더 포함하는 실시 예 1 내지 13 중 어느 하나의 방법.

[0086] 실시 예 15: 베이스 기판, 상기 베이스 기판의 표면 위의 매립 산화물 층, 상기 베이스 기판과 반대측인, 상기 매립 산화물 층 위의 변형된 주 반도체 층, 및 상기 매립 산화물 층과 반대측인, 상기 변형된 반도체 층 위의 에피택셜 베이스 층을 포함하는 다층 기판을 제공하는 단계; 제 1 마스크 층으로 상기 다층 기판의 제 1 영역을 마스킹하고, 상기 다층 기판의 제 2 영역으로부터 상기 에피택셜 베이스 층의 부분을 제거하는 단계; 상기 다층 기판의 상기 제 1 영역으로부터 상기 제 1 마스크 층을 제거하고, 제 2 마스크 층으로 상기 다층 기판의 상기 제 2 영역을 마스킹하는 단계; 상기 에피택셜 베이스 층으로부터 상기 다층 기판의 상기 제 1 영역 내의 상기 변형된 주 반도체 층으로 원소를 확산시키고, 상기 다층 기판의 상기 제 2 영역 내의 상기 변형된 주 반도체 층으로 원소의 확산 없이, 상기 다층 기판의 상기 제 1 영역 내의 상기 주 반도체 층의 변형 상태를 변경하는 단계; 및 상기 다층 기판의 상기 제 1 영역 내의 상기 주 반도체 층의 부분을 각각 포함하는 제 1의 복수의 트랜지스터 채널 구조, 및 상기 다층 기판의 상기 제 2 영역 내의 상기 주 반도체 층의 부분을 각각 포함하는 제 2의 복수의 트랜지스터 채널 구조를 형성하는 단계;를 포함하는 반도체 구조를 제조하는 방법.

[0087] 실시 예 16: 인장 변형된 실리콘을 포함하도록 상기 변형된 반도체 층을 선택하는 단계;를 더 포함하는 실시 예 15의 방법.

[0088] 실시 예 17: 적어도 실질적으로 이완된 Si_xGe_{1-x}를 포함하도록 상기 에피택셜 베이스 층을 선택하는 단계;를 더 포함하고, 이 때, x는 약 0.01에서 약 0.99이고, 상기 에피택셜 베이스 층으로부터 상기 다층 기판의 상기 제 1 영역 내의 상기 변형된 주 반도체 층으로 원소를 확산시키는 단계는, 상기 다층 기판의 상기 제 1 영역 내의 상기 변형된 주 반도체 층에 게르마늄을 확산시키는 단계를 포함하는 실시 예 15 또는 실시 예 16의 방법.

[0089] 실시 예 18: 상기 제 1의 복수의 트랜지스터 채널 구조를 포함하는 복수의 p-형 FET 트랜지스터를 형성하는 단계; 및 상기 제 2의 복수의 트랜지스터 채널 구조를 포함하는 복수의 n-형 FET 트랜지스터를 형성하는 단계;를 더 포함하는 실시 예 15 내지 17 중 어느 하나의 방법.

[0090] 실시 예 19: 베이스 기판, 상기 베이스 기판의 표면 위의 매립 산화물 층, 및 상기 베이스 기판과 반대측인, 상기 매립 산화물 층 위의 주 반도체 층을 포함하고, 다층 기판의 제 1 영역 내의 상기 주 반도체 층의 부분은, Si_yGe_{1-y}를 포함하고, 이 때, y는 약 0.20과 약 0.99 사이에 있고, 상기 다층 기판의 제 2 영역 내의 상기 주 반도체 층의 부분은, 인장 변형된 Si를 포함하고, 상기 다층 기판의 상기 제 1 영역 내의 상기 주 반도체 층의 상기 부분은, 상기 다층 기판의 상기 제 2 영역 내의 상기 주 반도체 층의 상기 부분의 결정학상 변형과는 다른 결정학상 변형을 가지는 다층 기판을 포함하는 반도체 구조.

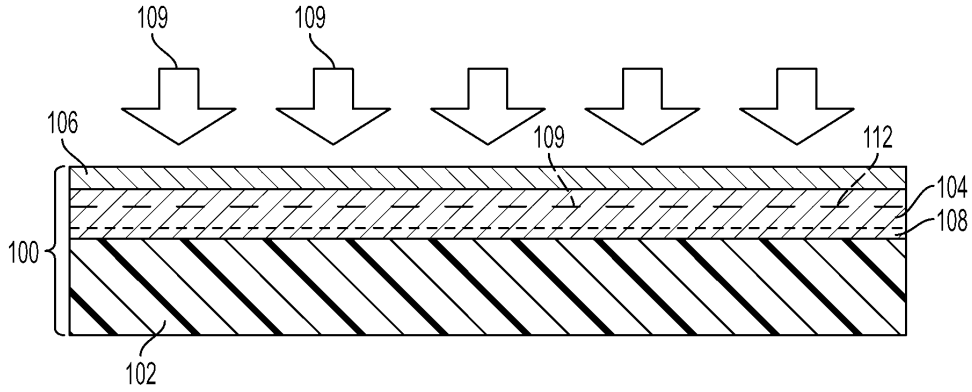
[0091] 실시 예 20: 상기 다층 기판의 상기 제 1 영역 내의 상기 주 반도체 층의 부분을 각각 포함하는 제 1의 복수의

p-형 FET 트랜지스터, 및 상기 다층 기판의 상기 제 2 영역 내의 상기 주 반도체 층의 부분을 각각 포함하는 제 2의 복수의 n-형 FET 트랜지스터를 더 포함하는 실시 예 19의 반도체 구조.

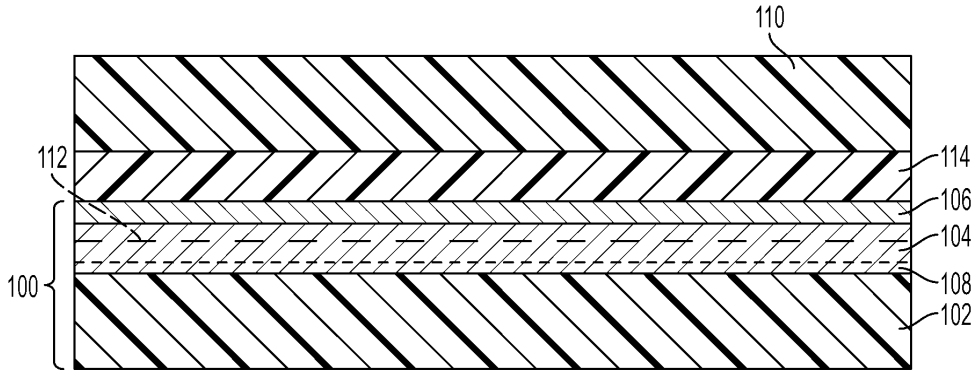
[0092] 위에 기재된 개시 내용의 전형적인 실시 예는 본 발명의 범위를 제한하지 않는데, 그 이유는 이 실시 예들은 첨부 청구항 및 이들의 법적 등가물의 범위에 의해 규정되는, 본 발명의 실시 예의 단지 예들이기 때문이다. 임의의 등가의 실시 예가 이 발명의 범위 내에 있도록 의도된다. 실제로, 본원에 나타내고 기재된 것 이외의, 본 개시 내용의 다양한 변경, 예컨대 기재된 원소의 대안의 유용한 조합이 상기 설명으로부터 이 기술에서 숙련된 사람들에게 명백하게 될 것이다. 다시 말해서, 본원에 기재된 하나의 전형적인 실시 예의 하나 이상의 특징은 본 개시 내용의 추가의 실시 예를 제공하기 위해 본원에 기재된 다른 전형적인 실시 예의 하나 이상의 특징과 조합될 수 있다. 그와 같은 변경 및 실시 예는 또한 첨부 청구항의 범위 내에 속하도록 의도된다.

도면

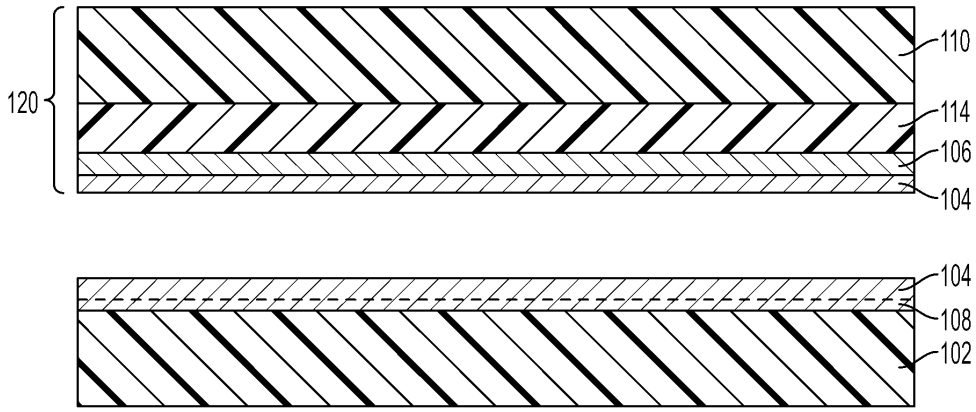
도면1



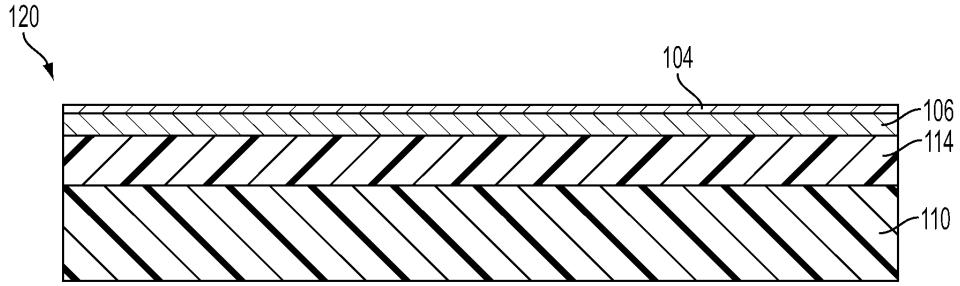
도면2



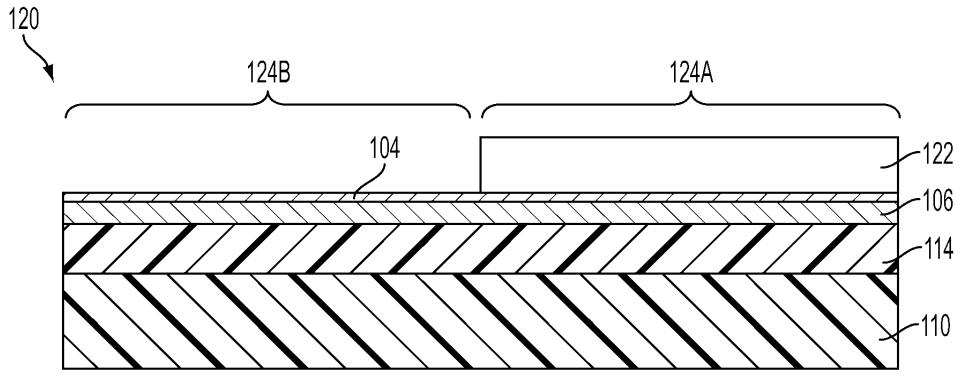
도면3


120
110
114
106
104
104
108
102

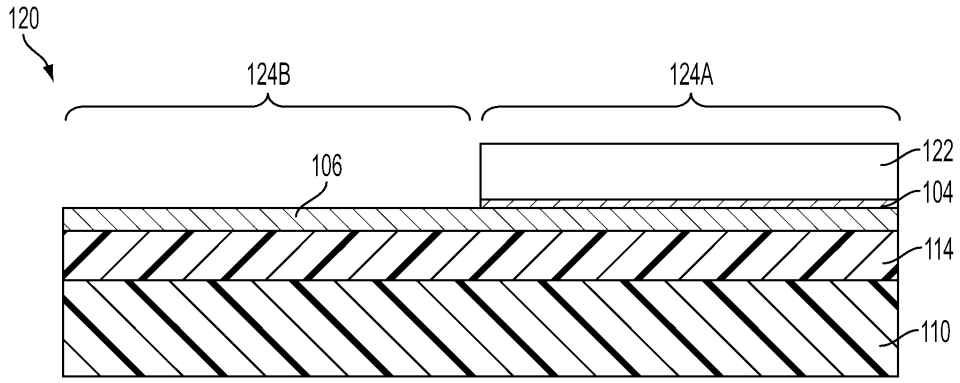
도면4


120
104
106
114
110

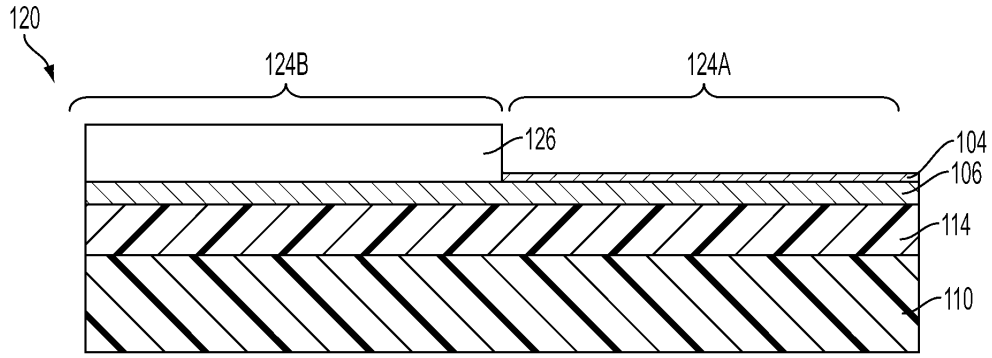
도면5


120
124B
124A
104
122
106
114
110

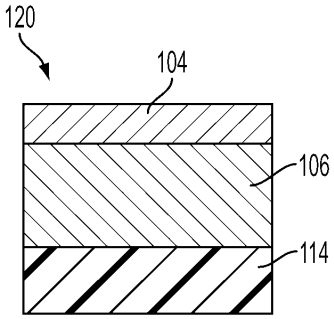
도면6



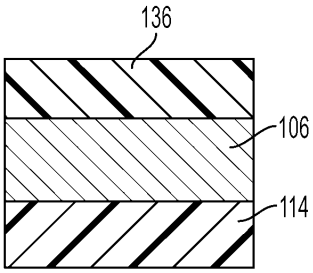
도면7



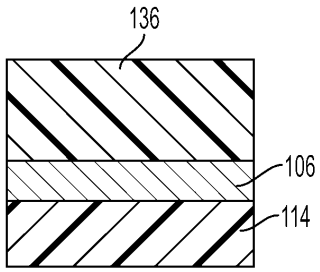
도면8a



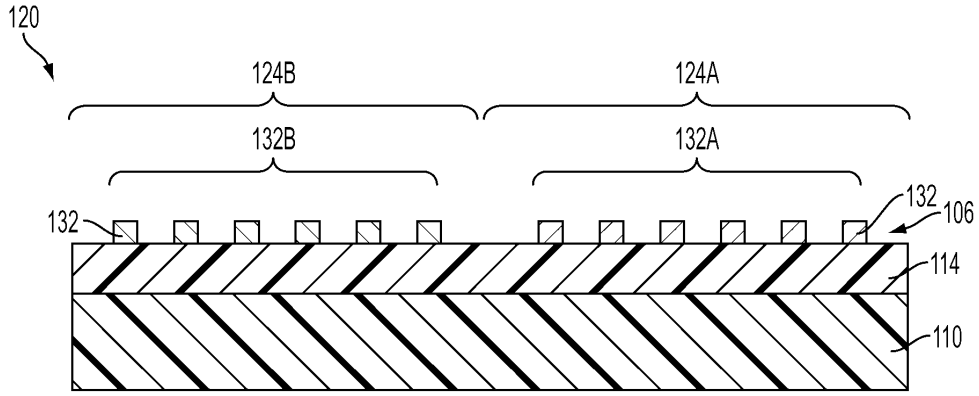
도면8b



도면8c



도면9



도면10

