

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
11. April 2019 (11.04.2019)



(10) Internationale Veröffentlichungsnummer
WO 2019/068522 A1

(51) Internationale Patentklassifikation:

H01L 33/38 (2010.01) H01L 33/44 (2010.01)
H01L 33/14 (2010.01) H01L 33/00 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2018/076012

(22) Internationales Anmeldedatum:
25. September 2018 (25.09.2018)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2017 123 242.7
06. Oktober 2017 (06.10.2017) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS
GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

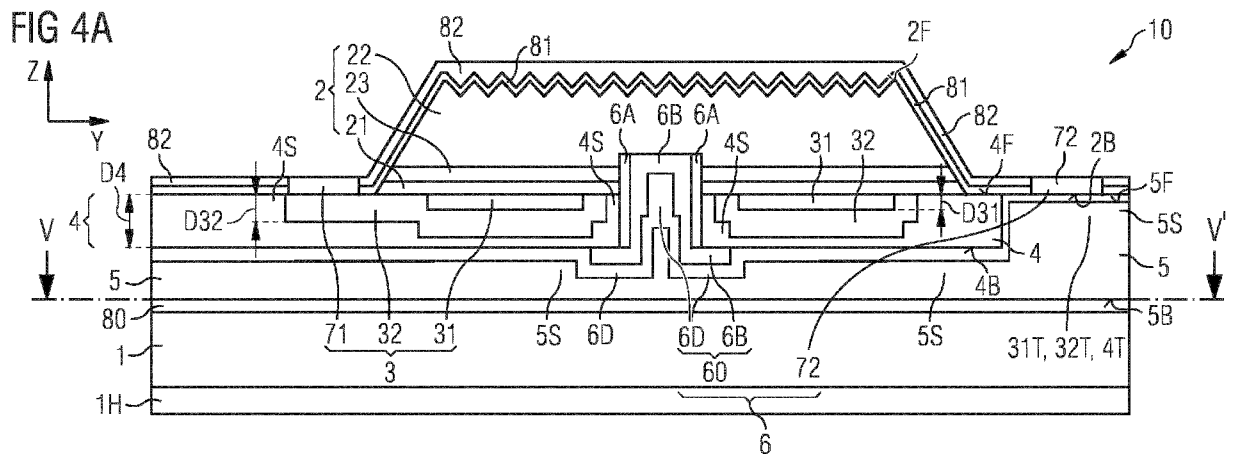
(72) Erfinder: **ENZMANN, Roland Heinrich**; The light
Collection 2, 1D-3A-01, Jalan Pantai Sinaran, Gelugor,
Penang, 11700 (MY). **ZINI, Lorenzo**; Roter-Brach-Weg
117, 93049 Regensburg (DE). **EICHINGER, Vanessa**;
Mittelweg 6, 93173 Wenzenbach (DE). **BRENDT, Jochen**;
Alte Nürnberger Str. 51, 93059 Regensburg (DE).

(74) Anwalt: **EPPING HERMANN FISCHER PATENTAN-
WALTSGESELLSCHAFT MBH**; Schloßschmidstr. 5,
80639 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY,
BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM,
DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN,
KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD,
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,

(54) Title: METHOD FOR PRODUCING ONE OR A PLURALITY OF SEMICONDUCTOR CHIPS, AND SEMICONDUCTOR
CHIP

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINES ODER EINER MEHRZahl VON HALBLEITERCHIPS UND
HALBLEITERCHIP



(57) Abstract: The invention relates to a semiconductor chip (10) comprising a substrate (1) and a semiconductor body (2) positioned thereon. The semiconductor body has a first semiconductor layer (21) facing the substrate, a second semiconductor layer (22) facing away from the substrate, and an active zone (23) lying therebetween. At least one current spreading layer (32) designed to electrically contact the first semiconductor layer is positioned between the substrate and the semiconductor body. Preferably the current spreading layer has a vertical layer thickness (D32) of at least 500 nm. A metal layer (5) designed to electrically contact the second semiconductor layer is positioned between the substrate and the current spreading layer, the metal layer completely covering the current spreading layer. An insulating layer (4) is positioned between the current spreading layer and the metal layer in the vertical direction, the insulating layer completely covering the current spreading layer so that the metal layer is electrically insulated from the current spreading layer. In particular, the insulating layer (4) or the metal layer (5) has a planarised surface (4B, 5B) facing away from the semiconductor body. The invention also relates to a method for producing one or a plurality of such semiconductor chips.

(57) Zusammenfassung: Es wird ein Halbleiterchip (10) mit einem Träger (1) und einem darauf angeordneten Halbleiterkörper (2) angegeben. Der Halbleiterkörper weist eine dem Träger zugewandte erste Halbleiterschicht (21), eine dem Träger abgewandte zweite Halbleiterschicht (22) und eine dazwischenliegende aktive Zone (23) auf. Zumindest eine zur elektrischen Kontaktierung der ersten Halbleiterschicht eingerichtete Stromaufweitungsschicht (32) ist zwischen dem Träger und dem Halbleiterkörper angeordnet. Bevor-

NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,
SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

zugt weist die Stromaufweitungsschicht eine vertikale Schichtdicke (D32) von mindestens 500 nm auf. Eine zur elektrischen Kontaktierung der zweiten Halbleiterschicht eingerichtete Metallschicht (5) ist zwischen dem Träger und der Stromaufweitungsschicht angeordnet, wobei die Metallschicht die Stromaufweitungsschicht vollständig bedeckt. Eine Isolierungsschicht (4) ist in vertikaler Richtung zwischen der Stromaufweitungsschicht und der Metallschicht angeordnet, wobei die Isolierungsschicht die Stromaufweitungsschicht vollständig bedeckt, sodass die Metallschicht von der Stromaufweitungsschicht elektrisch isoliert ist. Insbesondere weist der Isolierungsschicht (4) oder die Metallschicht (5) eine dem Halbleiterkörper abgewandte planarisierte Oberfläche (4B, 5B) auf. Des Weiteren wird ein Verfahren zur Herstellung eines oder einer Mehrzahl solcher Halbleiterchips angegeben.

Beschreibung

VERFAHREN ZUR HERSTELLUNG EINES ODER EINER MEHRZAHL VON
HALBLEITERCHIPS UND HALBLEITERCHIP

5

Es wird ein Halbleiterchip angegeben. Des Weiteren wird ein Verfahren zur Herstellung eines oder einer Mehrzahl von Halbleiterchips angegeben.

- 10 Für einen zuverlässigen Hochstrom-Halbleiterchip mit gleichzeitig geringer Vorwärtsspannung ist es zweckmäßig, Stromaufweitungsschichten zur elektrischen Kontaktierung eines Halbleiterkörpers des Halbleiterchips ausreichend dick zu gestalten, um möglichst homogene Stromverteilung im
- 15 Halbleiterchip zu erzielen. Die vergleichsweise dicken Stromaufweitungsschichten führen allerdings zur Bildung von Stufen, die von weiteren Schichten des Halbleiterchips überformt werden. Die Stufenüberformung kann zu Schwachstellen in der Zuverlässigkeit des Halbleiterchips
- 20 führen, etwa bei einer Feuchtelagerung im Halbleiterchip. Die Stufen können außerdem zur Biegung eines Halbleiterwafers führen, insbesondere wenn der Halbleiterwafer mit einem externen Träger mechanisch verbunden wird, sodass weitere Verarbeitungsschritte bei der Fertigung des Halbleiterchips
- 25 oder der Mehrzahl der Halbleiterchips erschwert werden können.

- Eine Aufgabe ist es, ein vereinfachtes und zuverlässiges Verfahren zur Herstellung eines oder einer Mehrzahl von
- 30 Halbleiterchips anzugeben. Des Weiteren wird ein kompakter Halbleiterchip, etwa ein kompakter Hochstrom-Halbleiterchip, mit erhöhter mechanischer Stabilität angegeben.

Gemäß zumindest einer Ausführungsform eines Verfahrens zur Herstellung eines oder einer Mehrzahl von Halbleiterchips wird ein Halbleiterkörper oder ein Halbleiterkörperverbund bereitgestellt. Der Halbleiterkörperverbund ist
5 beispielsweise zusammenhängend ausgeführt. Zum Beispiel ist der Halbleiterkörper oder der Halbleiterkörperverbund auf einem Aufwachssubstrat angeordnet oder epitaktisch aufgewachsen. Der Halbleiterkörperverbund kann in eine Mehrzahl von Halbleiterkörpern zerteilt werden. Insbesondere
10 bildet jeder der Halbleiterkörper eine LED-Struktur.

Insbesondere weist der Halbleiterkörper oder der Halbleiterkörperverbund eine erste Halbleiterschicht, eine zweite Halbleiterschicht und eine dazwischenliegende aktive
15 Zone auf. Die aktive Zone kann zur Erzeugung oder zur Detektion elektromagnetischer Strahlung etwa im sichtbaren, ultravioletten oder infraroten Spektralbereich eingerichtet sein. Die erste Halbleiterschicht, die zweite Halbleiterschicht und die aktive Zone können jeweils eine
20 oder eine Mehrzahl von dotierten oder undotierten Schichten aufweisen. Zum Beispiel weist der Halbleiterkörper oder der Halbleiterkörperverbund ein III-V- oder ein II-VI-Verbindungshalbleitermaterial auf oder basiert auf diesem. Zum Beispiel basiert der Halbleiterkörper oder der
25 Halbleiterkörperverbund auf GaN.

Gemäß zumindest einer Ausführungsform des Verfahrens wird eine Stromaufweitungsschicht oder eine Mehrzahl von Stromaufweitungsschichten zur elektrischen Kontaktierung des
30 Halbleiterkörpers, insbesondere der ersten p-seitigen Halbleiterschicht des Halbleiterkörpers ausgebildet. Zum Beispiel ist jedem Halbleiterkörper eine Stromaufweitungsschicht zugeordnet, wobei der

Halbleiterkörper in Draufsicht die ihm zugeordnete Stromaufweitungsschicht vollständig bedecken kann. Zum Beispiel kann eine Mehrzahl von lateral beabstandeten Stromaufweitungsschichten auf dem Halbleiterkörperverbund gebildet werden. Die lateral beabstandeten Stromaufweitungsschichten können strukturiert auf den Halbleiterkörperverbund aufgebracht sein. Alternativ ist es möglich, zunächst einen zusammenhängenden Stromaufweitungsschichtenverbund auf dem Halbleiterkörperverbund auszubilden und den Stromaufweitungsschichtenverbund in einem nachfolgenden Verfahrensschritt zu einer Mehrzahl von Stromaufweitungsschichten zu strukturieren.

Bevorzugt weist die Stromaufweitungsschicht eine vertikale Schichtdicke von mindestens 500 nm, 700 nm, 900 nm oder 1 μm , 1,5 μm oder von mindestens 2 μm auf. Zum Beispiel beträgt die vertikale Schichtdicke der Stromaufweitungsschicht zwischen einschließlich 500 nm und 5 μm , zwischen einschließlich 500 nm und 3 μm oder zwischen einschließlich 500 nm und 2 μm . Es hat sich herausgestellt, dass eine Sperrschichtbetriebstemperatur (Englisch: operating junction temperature) des Halbleiterkörpers bei einer Schichtdicke der Stromaufweitungsschicht größer als 500 nm mit zunehmender Schichtdicke bis zu 10 °C reduziert werden kann. Insbesondere grenzt die Stromaufweitungsschicht bereichsweise an eine p-seitige Halbleiterschicht des Halbleiterkörpers an.

Die Stromaufweitungsschicht und/oder eine Anschlussschicht, die etwa zwischen dem Halbleiterkörper und der Stromaufweitungsschicht angeordnet ist, können/kann mindestens 30 %, 40 %, 50 %, 60 %, 70 % oder mindestens 80 % einer der Stromaufweitungsschicht zugewandten Oberfläche des

zugehörigen Halbleiterkörpers bedecken, etwa zwischen einschließlich 30 % und 95 %. Die Stromaufweitungsschicht kann ein ihr zugeordnete Anschlussschicht vollständig bedecken und/oder seitlich über die Anschlussschicht hinaus
5 überragen. Die Stromaufweitungsschicht kann bereichsweise an den Halbleiterkörper, etwa an die p-seitige Halbleiterschicht des Halbleiterkörpers und/oder an die Anschlussschicht angrenzen, etwa unmittelbar angrenzen.

10 Im Vergleich zu einer n-seitigen Halbleiterschicht weist die p-seitige Halbleiterschicht in der Regel eine geringere Querleitfähigkeit auf. Durch eine derartige Gestaltung der Stromaufweitungsschicht, die etwa zur elektrischen Kontaktierung der p-seitigen Halbleiterschicht eingerichtet
15 ist, kann eine zuverlässige und gleichmäßige Stromzuführung in den Halbleiterchip erzielt werden. Insbesondere ist der Halbleiterchip ein Hochstrom-Halbleiterchip, der im normalen Betrieb eine Stromdichte von mindestens 4 A/mm², 5 A/mm², 6 A/mm², 8 A/mm² oder von mindestens 10 A/mm² aufweist, etwa
20 zwischen einschließlich 4 A/mm² und 15 A/mm². Ein solcher Halbleiterchip kann eine Vorwärtsspannung von 4,5 V +/- 2 V aufweisen.

Unter einer vertikalen Richtung wird eine Richtung
25 verstanden, die insbesondere senkrecht zu einer Haupterstreckungsfläche des Halbleiterkörpers und/oder der aktiven Zone gerichtet ist. Zum Beispiel ist die vertikale Richtung parallel zu einer Aufwachsrichtung der Halbleiterschichten des Halbleiterkörpers gerichtet. Unter
30 einer lateralen Richtung wird eine Richtung verstanden, die insbesondere parallel zu der Haupterstreckungsfläche verläuft. Die vertikale Richtung und die laterale Richtung sind etwa orthogonal zueinander.

Gemäß zumindest einer Ausführungsform des Verfahrens wird eine Isolierungsschicht gebildet, die die Stromaufweitungsschicht beziehungsweise die Stromaufweitungsschichten oder alle Stromaufweitungsschichten
5 bedeckt, insbesondere vollständig bedeckt. Die Isolierungsschicht kann zusammenhängend ausgeführt sein. Die Stromaufweitungsschicht oder die Mehrzahl der Stromaufweitungsschichten wird von der Isolierungsschicht insbesondere derart überformt, dass die Isolierungsschicht
10 eine vorderseitige und/oder eine rückseitige Oberfläche aufweist, wobei die vorderseitige und/oder eine rückseitige Oberfläche der Isolierungsschicht einer Kontur der Stromaufweitungsschicht oder der Stromaufweitungsschichten nachbilden können/kann. Dabei kann die Isolierungsschicht an
15 die Stromaufweitungsschicht oder an die Stromaufweitungsschichten angrenzen, insbesondere unmittelbar angrenzen. Es ist auch möglich, dass zumindest eine weitere Schicht in der vertikalen Richtung zwischen der Isolierungsschicht und der Stromaufweitungsschicht oder den
20 Stromaufweitungsschichten angeordnet ist.

Gemäß zumindest einer Ausführungsform des Verfahrens wird eine Metallschicht auf der Isolierungsschicht gebildet. Die Metallschicht ist insbesondere zur elektrischen Kontaktierung
25 der zweiten, etwa n-seitigen Halbleiterschicht eingerichtet. Die Metallschicht kann die Stromaufweitungsschicht beziehungsweise die Stromaufweitungsschichten oder alle Stromaufweitungsschichten bedecken, insbesondere vollständig bedecken. Die Isolierungsschicht befindet sich in der
30 vertikalen Richtung etwa zwischen der Metallschicht und der Stromaufweitungsschicht oder den Stromaufweitungsschichten, sodass die Metallschicht durch die Isolierungsschicht von der Stromaufweitungsschicht oder von den

Stromaufweitungsschichten elektrisch isoliert ist. In der vertikalen Richtung ist die Anschlussschicht oder die Stromaufweitungsschicht zwischen dem zugehörigen Halbleiterkörper und der Metallschicht angeordnet.

5

Gemäß zumindest einer Ausführungsform des Verfahrens weist eine dem Halbleiterkörper abgewandte oder zugewandte Oberfläche der Isolierungsschicht und/oder der Metallschicht nach dem Ausbilden auf dem Halbleiterkörper zunächst Stufen auf. Die Isolierungsschicht und/oder die Metallschicht können/kann mittels eines Beschichtungsverfahrens auf den Halbleiterkörper oder auf den Halbleiterkörperverbund aufgebracht werden. Bis auf die Überformungskanten können/kann die Isolierungsschicht und/oder die Metallschicht entlang einer lateralen Richtung eine im Rahmen der Herstellungstoleranzen konstante vertikale Schichtdicke aufweisen.

An den Überformungskanten kann die dem Halbleiterkörper abgewandte Oberfläche der Isolierungsschicht und/oder der Metallschicht vertikale Stufen aufweisen, die in einem nachfolgenden Verfahrensschritt eingeebnet oder planarisiert werden können. Insbesondere wird die dem Halbleiterkörper abgewandte Oberfläche der Isolierungsschicht und/oder der Metallschicht etwa mittels eines chemisch-mechanischen Planarisierungsprozesses planarisiert. Die planarisierte Oberfläche kann eine mittlere Rauigkeit aufweisen, die höchstens 300 nm, 200 nm, 100 nm, 50 nm, 30 nm, 20 nm oder höchstens 10 nm beträgt, etwa zwischen einschließlich 3 nm und 300 nm. Mit einer eingeebneten oder planarisierten Oberfläche der Isolierungsschicht und/oder der Metallschicht können weitere Verarbeitungsschritte bei der Fertigung des

Halbleiterchips oder der Mehrzahl des Halbleiterchips vereinfacht durchgeführt werden.

In mindestens eines Verfahrens zur Herstellung eines Halbleiterchips wird ein Halbleiterkörper mit einer ersten Halbleiterschicht, einer zweiten Halbleiterschicht und einer dazwischenliegenden aktiven Zone bereitgestellt. Eine Stromaufweitungsschicht zur elektrischen Kontaktierung der ersten Halbleiterschicht wird gebildet, wobei die Stromaufweitungsschicht eine vertikale Schichtdicke von mindestens 500 nm aufweist. Eine Isolierungsschicht, die die Stromaufweitungsschicht vollständig bedeckt, wird gebildet. Eine Metallschicht, die zur elektrischen Kontaktierung der zweiten Halbleiterschicht eingerichtet ist, wird gebildet, wobei Metallschicht die Stromaufweitungsschicht vollständig bedeckt. Die Isolierungsschicht ist in der vertikalen Richtung insbesondere zwischen der Metallschicht und der Stromaufweitungsschicht angeordnet, sodass die Metallschicht von der Stromaufweitungsschicht elektrisch isoliert ist. Eine dem Halbleiterkörper abgewandte Oberfläche der Isolierungsschicht und/oder eine dem Halbleiterkörper abgewandte Oberfläche der Metallschicht können/kann zunächst Stufen aufweisen, die anschließend bevorzugt eingeebnet, bevorzugt planarisiert werden.

Gemäß zumindest eines Verfahrens zur Herstellung einer Mehrzahl von Halbleiterchips wird ein zusammenhängender Halbleiterkörperverbund, der in eine Mehrzahl von Halbleiterkörpern zerteilbar ist, bereitgestellt. Eine Mehrzahl von den Stromaufweitungsschichten wird derart gebildet, dass die Stromaufweitungsschichten lateral voneinander getrennt sind. Insbesondere sind die Stromaufweitungsschichten jeweils einem oder genau einem

Halbleiterkörper der herzustellenden Halbleiterchips zugeordnet. Die Isolierungsschicht kann derart zusammenhängend ausgeführt sein, dass diese alle Stromaufweitungsschichten bedeckt, etwa vollständig bedeckt.

5 Die Metallschicht kann derart ausgeführt werden, dass diese alle Stromaufweitungsschichten bedeckt, insbesondere vollständig bedeckt. Die Metallschicht kann durch die Isolierungsschicht von den Stromaufweitungsschichten elektrisch isoliert sein. Zum Beispiel ist die Metallschicht
10 zusammenhängend ausgeführt. Es ist möglich, dass die Metallschicht eine Mehrzahl von Teilschichten aufweist, wobei die Teilschichten jeweils zumindest eine der Stromaufweitungsschichten bedecken, insbesondere vollständig bedecken. Die dem Halbleiterkörperverbund abgewandte
15 Oberfläche der Isolierungsschicht und/oder die dem Halbleiterkörperverbund abgewandte Oberfläche der Metallschicht können/kann vor der Zerteilung des Halbleiterkörperverbunds in eine Mehrzahl von Halbleiterkörpern eingeebnet oder planarisiert werden.

20 Gemäß zumindest eines Verfahrens werden/wird die dem Halbleiterkörper abgewandte Oberfläche der Isolierungsschicht und/oder die dem Halbleiterkörper abgewandte Oberfläche der Metallschicht mittels eines
25 chemisch-mechanischen Planarisierungsprozesses eingeebnet. Die dem Halbleiterkörper zugewandte Oberfläche der Isolierungsschicht und/oder der Metallschicht kann vertikale Stufen aufweisen, die insbesondere eine vertikale Höhe von mindestens 200 nm, 300 nm, 500 nm, 700 nm, 900 nm oder 1 µm,
30 1,5 µm oder von mindestens 2 µm aufweisen, zum Beispiel zwischen einschließlich 200 nm und 4 µm. In diesem Sinne wirken/wirkt die Isolierungsschicht und/oder der

Metallschicht als Planarisierungsschichten für die herstellenden Halbleiterchips.

Gemäß zumindest eines Verfahrens weist die Isolierungsschicht
5 eine Teilschicht und eine weitere Teilschicht auf. Zum Beispiel ist die Teilschicht in der vertikalen Richtung zwischen dem Halbleiterkörper und der weiteren Teilschicht angeordnet. Die Teilschicht und die weitere Teilschicht sind bevorzugt bezüglich deren Materialzusammensetzung derart
10 ausgebildet, dass die Teilschicht ätzresistenter und/oder polierresistenter ausgeführt ist als die weitere Teilschicht. Es ist möglich, dass die Isolierungsschicht eine Mehrzahl von Teilschichten und/oder weiteren Teilschichten aufweist. Bevorzugt ist die Teilschicht aus einem Material gebildet,
15 das auf einem Nitrid basiert. Die weitere Teilschicht kann aus einem weiteren Material gebildet sein, das auf einem Oxid basiert.

Gemäß zumindest eines Verfahrens wird die dem
20 Halbleiterkörper abgewandte Oberfläche der Metallschicht derart planarisiert, dass diese global eben ausgebildet wird. Zum Beispiel weist die Oberfläche der Metallschicht eine Rauigkeit, etwa eine mittlere Rauigkeit, von höchstens 30 nm, 20 nm, 10 nm, 5 nm oder von höchstens 3 nm auf. Die mittlere
25 Rauigkeit kann zwischen einschließlich 3 nm und 300 nm, zwischen einschließlich 3 nm und 100 nm oder zwischen einschließlich 3 nm und 50 nm sein. Die Metallschicht kann an deren planarisierter Oberfläche mit einem Träger oder einem Trägerverbund mittels eines Direktbond-Verfahrens mechanisch
30 verbunden werden. Alternativ ist es möglich, dass die Metallschicht an deren planarisierter Oberfläche mit einem Träger oder einem Trägerverbund mittels einer Verbindungsschicht mechanisch verbunden wird.

Unter einem Direktbond-Verfahren wird insbesondere ein Verfahren verstanden, bei dem zwei Körper, die jeweils eine planare Oberfläche aufweisen, bei geeignetem Druck und geeigneter Temperatur, etwa bei einer Temperatur unter 150 °C, zusammengeführt und aufgrund von Van-der-Waals-Wechselwirkungen oder Wasserstoffbrückenverbindungen zwischen den Atomen auf den planaren Oberflächen miteinander mechanisch verbunden werden. Auf eine Verbindungsschicht zwischen den zwei Körpern kann also verzichtet werden.

Gemäß zumindest eines Verfahrens wird die dem Halbleiterkörper abgewandte Oberfläche der Isolierungsschicht derart planarisiert, dass diese global eben ausgebildet wird. Zum Beispiel weist die Oberfläche der Isolierungsschicht eine Rauigkeit, etwa eine mittlere Rauigkeit, von höchstens 30 nm, 20 nm, 10 nm, 5 nm oder von höchstens 3 nm aufweist. Die mittlere Rauigkeit kann zwischen einschließlich 3 nm und 300 nm, zwischen einschließlich 3 nm und 100 nm, oder zwischen einschließlich 3 nm und 50 nm sein.

In mindestens einer Ausführungsform eines Halbleiterchips weist dieser einen Träger und einen darauf angeordneten Halbleiterkörper auf. Der Halbleiterkörper weist eine dem Träger zugewandte erste Halbleiterschicht, eine dem Träger abgewandte zweite Halbleiterschicht und eine dazwischenliegende aktive Zone auf. Insbesondere ist zumindest eine Stromaufweitungsschicht zwischen dem Träger und dem Halbleiterkörper angeordnet, wobei die Stromaufweitungsschicht zur elektrischen Kontaktierung der ersten Halbleiterschicht eingerichtet ist. Bevorzugt weist die Stromaufweitungsschicht eine vertikale Schichtdicke von mindestens 500 nm auf. Eine zur elektrischen Kontaktierung der zweiten Halbleiterschicht eingerichtete Metallschicht

kann zwischen dem Träger und der Stromaufweitungsschicht angeordnet sein, wobei die Metallschicht die Stromaufweitungsschicht insbesondere vollständig bedeckt. Eine Isolierungsschicht ist in vertikaler Richtung zwischen
5 der Stromaufweitungsschicht und der Metallschicht angeordnet, wobei die Isolierungsschicht die Stromaufweitungsschicht vollständig bedeckt und die Metallschicht von der Stromaufweitungsschicht elektrisch isoliert. Insbesondere weist die Isolierungsschicht oder die Metallschicht eine dem
10 Halbleiterkörper abgewandte planarisierte Oberfläche auf.

Das vorstehend beschriebene Verfahren ist für die Herstellung eines oder einer Mehrzahl der vorstehend beschriebenen Halbleiterchips besonders geeignet. In Zusammenhang mit dem
15 Halbleiterchip beschriebene Merkmale können daher auch für das Verfahren herangezogen werden und umgekehrt.

Gemäß zumindest einer Ausführungsform des Verfahrens oder des Halbleiterchips weisen/weist die Isolierungsschicht und/oder
20 die Metallschicht eine dem Halbleiterkörper zugewandte Oberfläche mit lokalen vertikalen Erhöhungen oder Vertiefungen auf. Die dem Halbleiterkörper zugewandte Oberfläche der Isolierungsschicht und/oder die Metallschicht kann also vertikale Stufen aufweisen.

25
Gemäß zumindest einer Ausführungsform des Verfahrens oder des Halbleiterchips ist eine Durchkontaktierung zur elektrischen Kontaktierung der zweiten Halbleiterschicht derart ausgeführt, dass diese mit der Metallschicht elektrisch
30 verbunden ist und sich durch die erste Halbleiterschicht und die aktive Zone hindurch in die zweite Halbleiterschicht hinein erstreckt. In den lateralen Richtungen kann die Durchkontaktierung von dem Halbleiterkörper vollumfänglich

umschlossen sein. Der Halbleiterchip kann eine Mehrzahl solcher Durchkontaktierungen aufweisen, etwa mehr als 3, 6, 10 oder mehr als 20 Durchkontaktierungen.

5 Gemäß zumindest einer Ausführungsform des Verfahrens oder des Halbleiterchips ist jedem Halbleiterkörper eine Mehrzahl von Durchkontaktierungen zugeordnet, die insbesondere über die Metallschicht miteinander elektrisch verbunden sind. Die Metallschicht ist bevorzugt zusammenhängend ausgeführt.

10

Gemäß zumindest einer Ausführungsform des Verfahrens oder des Halbleiterchips ist die Stromaufweitungsschicht zwischen der Anschlussschicht und der Isolierungsschicht angeordnet, wobei die Stromaufweitungsschicht in elektrischem Kontakt mit der

15 Anschlussschicht steht und die Anschlussschicht insbesondere vollständig bedeckt. Die Anschlussschicht kann an den Halbleiterkörper und/oder an die Stromaufweitungsschicht angrenzen, insbesondere unmittelbar angrenzen. Die Anschlussschicht weist bevorzugt eine geringere vertikale

20 Schichtdicke als die Stromaufweitungsschicht auf. Zum Beispiel beträgt die vertikale Schichtdicke der Anschlussschicht zwischen einschließlich 10 nm und 1000 nm, zum Beispiel zwischen einschließlich 20 nm und 500 nm, etwa zwischen 30 nm und 200 nm oder zwischen 50 nm und 200 nm. Die

25 Stromaufweitungsschicht kann mindestens 2-mal, 5-mal, 10-mal oder 20-mal so dick ausgeführt sein als die Anschlussschicht.

Die Anschlussschicht und die Stromaufweitungsschicht können sich in deren Materialzusammensetzung unterscheiden. Es ist

30 möglich, dass sowohl die Anschlussschicht als auch die Stromaufweitungsschicht an den Halbleiterkörper angrenzen. Ein Kontaktwiderstand zwischen dem Halbleiterkörper und der Anschlussschicht kann größer sein als ein Kontaktwiderstand

zwischen dem Halbleiterkörper und der
Stromaufweitungsschicht.

Gemäß zumindest einer Ausführungsform des Verfahrens oder des
5 Halbleiterchips weist die Anschlussschicht oder die
Stromaufweitungsschicht zumindest eine Öffnung, insbesondere
eine gemeinsame Öffnung auf, wobei die Metallschicht durch
die zumindest eine Öffnung hindurch mit der zweiten
Halbleiterschicht elektrisch verbunden ist. In der zumindest
10 einer Öffnung können weitere elektrisch leitfähige Schichten,
etwa die Durchkontaktierung oder eine n-seitige
Stromaufweitungsschicht, angeordnet sein. Es ist möglich,
dass sich die Metallschicht teilweise in die zumindest eine
Öffnung hinein erstreckt. Die Anschlussschicht und die
15 Stromaufweitungsschicht können eine Mehrzahl solcher
Öffnungen, insbesondere solcher gemeinsamen Öffnungen
aufweisen.

Gemäß zumindest einer Ausführungsform des Verfahrens oder des
20 Halbleiterchips weist die Isolierungsschicht eine dem
Halbleiterkörper abgewandte planarisierte Oberfläche auf. Die
planarisierte Oberfläche ist insbesondere bereichsweise durch
eine Oberfläche einer Teilschicht und bereichsweise durch
eine Oberfläche einer weiteren Teilschicht der
25 Isolierungsschicht gebildet. Die erste Teilschicht und die
zweite Teilschicht können hinsichtlich deren
Materialzusammensetzung derart ausgeführt sein, dass sich die
Teilschichten bezüglich deren Ätzselektivität, Ätzrate,
Poliertrate, Bruchfestigkeit und/oder mechanischer Härte
30 unterscheiden. Zum Beispiel ist die Teilschicht aus einem
Oxid-Material gebildet. Die weitere Teilschicht kann aus
einem Nitrid-Material gebildet sein. Die planarisierte
Oberfläche der Isolierungsschicht kann bereichsweise eine

Oxid-Oberfläche und bereichsweise eine Nitrid-Oberfläche umfassen.

Gemäß zumindest einer Ausführungsform des Verfahrens oder des Halbleiterchips weist der Halbleiterchip eine erste Kontaktschicht und eine zweite Kontaktschicht zur externen elektrischen Kontaktierung auf. Die erste Kontaktschicht und die zweite Kontaktschicht können jeweils eine freizugängliche Oberfläche aufweisen. Zum Beispiel ist die erste Kontaktschicht mit der Anschlussschicht und/oder der Stromaufweitungsschicht elektrisch leitend verbunden, wobei die zweite Kontaktschicht mit der Metallschicht elektrisch leitend verbunden ist. Bevorzugt sind die erste und zweite Kontaktschicht auf derselben Randfläche des Halbleiterchips angeordnet. Mit anderen Worten befinden sich die erste Kontaktschicht und die zweite Kontaktschicht bevorzugt auf demselben lateralen Rand des Halbleiterchips, sodass der Halbleiterchip über die Kontaktschichten von derselben Randseite extern elektrisch kontaktierbar ist. Die übrigen Randflächen des Halbleiterchips können frei von solchen Kontaktschichten sein. Es können mehrere solcher Halbleiterchips aneinander gereiht werden, die von derselben Randseite elektrisch kontaktierbar sind.

Gemäß zumindest einer Ausführungsform des Verfahrens oder des Halbleiterchips weist der Halbleiterchip einen Träger, insbesondere eine elektrisch isolierenden Träger auf. Die Metallschicht ist insbesondere zwischen dem Träger und dem Halbleiterkörper angeordnet. Die Kontaktschichten können seitlich des Halbleiterkörpers auf einer dem Träger abgewandten Oberfläche der Metallschicht oder der Isolierungsschicht angeordnet sein.

Weitere Vorteile, bevorzugte Ausführungsformen und Weiterbildungen des Halbleiterchips sowie des Verfahrens ergeben sich aus den im Folgenden in Verbindung mit den Figuren 1 bis 4B erläuterten Ausführungsbeispielen. Es
5 zeigen:

Figuren 1A, 1B, 1C, 1D, 1E, 1F, 1G, 1H, 1I, 1J, 1K, 1L, 1M, 1N, 1O, 1P und 1Q schematische Darstellungen einiger Verfahrensschritte eines
10 Ausführungsbeispiels für ein Verfahren zur Herstellung einer Mehrzahl von Halbleiterchips sowie schematische Darstellungen eines Ausführungsbeispiels für einen Halbleiterchip,

15 Figuren 2A, 2B, 3A und 3B schematische Darstellungen weiterer Verfahrensschritte eines Ausführungsbeispiels für ein weiteres Verfahren zur Herstellung eines oder einer Mehrzahl von Halbleiterchips, und

20 Figuren 4A und 4B ein weiteres Ausführungsbeispiel für einen Halbleiterchip in schematischer Schnittansicht beziehungsweise in Draufsicht.

Gleiche, gleichartige oder gleich wirkende Elemente sind in
25 den Figuren mit gleichen Bezugszeichen versehen. Die Figuren sind jeweils schematische Darstellungen und daher nicht unbedingt maßstabsgetreu. Vielmehr können vergleichsweise kleine Elemente und insbesondere Schichtdicken zur Verdeutlichung übertrieben groß dargestellt werden.

30

In Figur 1A ist ein Waferverbund 100 mit einem Halbleiterkörperverbund 2V dargestellt. Der Halbleiterkörperverbund 2V ist auf einem Substrat 9

angeordnet. Das Substrat 9 kann ein Aufwachssubstrat, etwa ein Saphirsubstrat sein. Der Halbleiterkörperverbund 2V kann in eine Mehrzahl von Halbleiterkörpern 2 zerteilt werden.

Insbesondere ist Halbleiterkörperverbund 2V oder der

- 5 Halbleiterkörper 2 mittels eines Epitaxie-Verfahrens schichtenweise auf das Substrat 9 abgeschieden. Es ist möglich, dass das Substrat 9 verschieden von einem Aufwachssubstrat ist.

- 10 Der Halbleiterkörper 2 kann aus einem III/V-oder II/VI-Verbindungshalbleitermaterial gebildet sein. Ein III/V-Verbindungshalbleitermaterial weist ein Element aus der dritten Hauptgruppe und ein Element aus der fünften Hauptgruppe auf. Ein II/VI-Verbindungshalbleitermaterial
15 weist ein Element aus der zweiten Hauptgruppe und ein Element aus der sechsten Hauptgruppe auf. Zum Beispiel basiert der Halbleiterkörper 2 auf GaN, InGaN oder InAlP.

- Der Halbleiterkörperverbund 2V oder der Halbleiterkörper 2
20 weist eine dem Substrat 9 abgewandte erste Halbleiterschicht 21 und eine dem Substrat 9 zugewandte zweite Halbleiterschicht 22 auf. Zum Beispiel ist die erste Halbleiterschicht 21 p-leitend und die zweite Halbleiterschicht 22 n-leitend ausgebildet, oder umgekehrt.

- 25 Der Halbleiterkörper 2 weist eine aktive Zone 23 auf, die in der vertikalen Z-Richtung zwischen der ersten Halbleiterschicht 21 und der zweiten Halbleiterschicht 22 angeordnet ist. Insbesondere ist die aktive Zone 23 zur Emission oder zur Detektion von elektromagnetischen
30 Strahlungen etwa im sichtbaren, ultravioletten oder im infraroten Spektralbereich eingerichtet.

Der Halbleiterkörperverbund 2V oder der Halbleiterkörper 2 weist eine dem Substrat 9 abgewandte erste rückseitige Hauptfläche 2B und eine dem Substrat 9 zugewandte zweite vorderseitige Hauptfläche 2F in einer lateralen XY-Ebene auf.

5 Die erste Hauptfläche 2B und die zweite Hauptfläche 2F sind etwa durch eine Oberfläche der ersten Halbleiterschicht 21 beziehungsweise durch eine Oberfläche der zweiten Halbleiterschicht 22 gebildet.

10 Es wird zur elektrischen Kontaktierung der ersten Halbleiterschicht 21 eine Anschlussschicht 31 oder ein Anschlussschichtenverbund 31V auf die erste Hauptfläche 2B aufgebracht. Zum Beispiel beträgt eine vertikale Schichtdicke D31 der Anschlussschicht 31 oder des
15 Anschlussschichtenverbunds 31V mindestens 20 nm, 30 nm, 50 nm, etwa zwischen einschließlich 20 nm und 300 nm. Der Anschlussschichtenverbund 31V kann derart ausgeführt sein, dass dieser zunächst zusammenhängend ausgebildet und anschließend - etwa wie in der Figur 1B dargestellt - in eine
20 Mehrzahl von Anschlussschichten 31 zerteilt wird, zum Beispiel mittels eines Ätzprozesses. Alternativ ist es möglich, dass die Anschlussschichten 31 als räumlich getrennte Anschlussschichten auf die erste Hauptfläche 2B strukturiert aufgebracht werden. Hierfür kann eine Maske, die
25 etwa aus einem photostrukturierbaren Material gebildet ist, Anwendung finden.

Die Anschlussschicht 31 kann mittelbar oder unmittelbar an den ihr zugehörigen Halbleiterkörper 2, insbesondere an die
30 erste Halbleiterschicht 21 angrenzen. Die Anschlussschicht 31 ist aus einem elektrisch leitfähigen und bevorzugt hochreflektierenden Material, etwa aus einem Metall wie Silber oder Aluminium, gebildet. Die Anschlussschicht kann

als Spiegelschicht ausgeführt sein. Die Anschlussschicht kann ein elektrisch leitfähiges Oxid, etwa ZnO, aufweisen. Die Anschlussschicht kann aus einer Schichtenfolge aus Metallschichten und leitfähigen Oxidschichten gebildet sein.

5

Insbesondere sind die Anschlussschichten 31, etwa in der Figur 1B, 2A oder 2B dargestellt, entlang einer lateralen Richtung durch Trenngräben 31T räumlich beabstandet. Entlang der Trenngräben 31T kann der Halbleiterkörperverbund 2V in eine Mehrzahl von Halbleiterkörpern 2 jeweils mit einer Anschlussschicht 31 zertrennt werden. Bevorzugt sind die Anschlussschichten 31 jeweils einem der herzustellenden Halbleiterchips 10 zugeordnet. Jede Anschlussschicht 31 kann eine oder mehrere Öffnungen 31R aufweisen, durch die eine Durchkontaktierungsstruktur 60 hindurch zur elektrischen Kontaktierung der zweiten Halbleiterschicht 22 geführt ist.

Gemäß Figur 1C wird eine Stromaufweitungsschicht 32 auf die jeweilige Anschlussschicht 31 aufgebracht. Die Stromaufweitungsschichten 32 können jeweils eine der Anschlussschichten 31 vollständig bedecken. Die Stromaufweitungsschicht 32 kann bereichsweise an den Halbleiterkörper 2 angrenzen. Die Anschlussschicht 31 ist in der vertikalen Richtung zwischen dem Halbleiterkörper 2 und der Stromaufweitungsschicht 32 angeordnet und ist in den lateralen Richtungen insbesondere von der Stromaufweitungsschicht 32 umschlossen, insbesondere vollumfänglich umschlossen. Analog zu den Anschlussschichten 31 können Öffnungen 32R innerhalb einer Stromaufweitungsschicht 32 und/oder Trenngräben 32R zwischen benachbarten Stromaufweitungsschichten 32 gebildet sein.

Die erste Halbleiterschicht 21 ist bevorzugt p-seitig und/oder p-leitend ausgeführt. Eine p-seitige Halbleiterschicht weist in der Regel eine geringere Querleitfähigkeit auf als eine n-seitige Halbleiterschicht.

- 5 Um effektive Stromeinprägung in die erste Halbleiterschicht und eine homogene Stromverteilung in der ersten Halbleiterschicht zu erzielen, ist es zweckmäßig, die Stromaufweitungsschicht 32 ausreichend dick zu gestalten. Zum Beispiel beträgt eine vertikale Schichtdicke D32 der
- 10 Stromaufweitungsschicht mindestens 500 nm, 700 nm, 900 nm, 1 μ m, 1,5 μ m oder mindestens 2 μ m.

In Figur 2B sind solche Stromaufweitungsschichten 32 und Anschlussschichten 31 in Draufsicht schematisch dargestellt.

- 15 Die Öffnungen 31R und 32R oder die Trenngräben 31T und 32T bilden insbesondere gemeinsame Öffnungen oder gemeinsame Trenngräben der Anschlussschichten 31 beziehungsweise der Stromaufweitungsschichten 32. Jede Stromaufweitungsschicht 32 ist insbesondere genau einer der Anschlussschichten 31
- 20 zugeordnet und umgekehrt. Jede der Stromaufweitungsschichten 32 oder jede der Anschlussschichten 31 kann mehr als 3, mehr als 6 oder mehr als 10 solcher Öffnungen 31R und 32R aufweisen.

- 25 Die Stromaufweitungsschicht 32 kann aus einem Metall gebildet sein, etwa aus Titan, Kupfer, Nickel, Gold, Platin, Aluminium oder Silber. Insbesondere unterscheiden sich die Anschlussschicht 31 und die Stromaufweitungsschicht 32 in ihrer Materialzusammensetzung. Die Anschlussschicht 31 kann
- 30 verschieden vom Gold und/oder Platin sein. Es ist möglich, dass sich ihre Schichtdicken D31 und D32 um mindestens 30 %, 50 %, 100 %, 200 % oder 500 % voneinander unterscheiden.

Bevorzugt weist die Anschlussschicht 31 eine geringere Schichtdicke als die Stromaufweitungsschicht 32 auf.

Gemäß Figur 1D wird eine Isolierungsschicht 4 auf den
5 Anschlussschichten 31 und/oder Stromaufweitungsschichten 32
gebildet. Die Isolierungsschicht 4 kann die gemeinsamen
Trenngräben 31T und 32T sowie die gemeinsamen Öffnungen 31R
und 32R auffüllen, insbesondere vollständig auffüllen. Die
Isolierungsschicht 4 kann bereichsweise an den
10 Halbleiterkörper 2 angrenzen, zum Beispiel in den Bereichen
der Trenngräben 31T und 32T und/oder der Öffnungen 31R und
32R. Die Isolierungsschicht 4 kann einschichtig oder
mehrschichtig ausgeführt sein. Zum Beispiel ist die
Isolierungsschicht aus einem elektrisch isolierenden
15 Material, etwa aus einem Oxid wie Siliziumoxid und/oder aus
einem Nitrid wie Siliziumnitrid, gebildet. Die
Isolierungsschicht 4 weist eine vertikale Schichtdicke D4
auf, die insbesondere größer als die Schichtdicken D31 und
D32 ist, zum Beispiel um mindestens 30 %, 50 %, 100 %, 200 %
20 oder 300 % größer.

Die Anschlussschichten 31 und/oder die
Stromaufweitungsschichten 32 werden von der
Isolierungsschicht 4 derart umformt, dass die
25 Isolierungsschicht 4 auf deren Vorderseite und/oder auf deren
Rückseite eine Kontur der Anschlussschichten 31 und/oder der
Stromaufweitungsschichten 32 nachbildet. Bis auf die
Stufenübeformungen kann die Isolierungsschicht 4 im Rahmen
der Herstellungstoleranzen eine konstante vertikale
30 Schichtdicke D4 aufweisen. Zum Beispiel wird die
Isolierungsschicht 4 mittels eines Beschichtungsverfahrens
etwa ganzflächig auf die Anschlussschichten 31 und/oder die

Stromaufweitungsschichten 32 sowie auf den Halbleiterkörper 2 oder den Halbleiterkörperverbund 2V aufgebracht.

Die Isolierungsschicht 4 weist eine dem Halbleiterkörper 2 abgewandte rückseitige Oberfläche 4B und eine dem Halbleiterkörper 2 zugewandte vorderseitige Oberfläche 4F auf. Die vorderseitige Oberfläche 4F und/oder die rückseitige Oberfläche 4B können/kann vertikale Stufen 4S beziehungsweise Erhöhungen 4S aufweisen. Diese sind auf die Anschlusschichten 31 und/oder die Stromaufweitungsschichten 32 zurückzuführen, die als lokale Erhebungen auf der rückseitigen Hauptfläche 2B des Halbleiterkörpers 2 gebildet sind. Die vertikalen Stufen 4S oder Erhöhungen 4S können dieselbe vertikale Höhe aufweisen wie die Schichtdicke D31 der Anschlusschicht 31 oder die Schichtdicke D32 der Stromaufweitungsschicht oder wie die Summe der beiden Schichtdicken D31 und D32.

Gemäß Figur 1E wird die rückseitige Oberfläche 4B der Isolierungsschicht 4 eingeebnet, bevorzugt mittels eines chemisch-mechanischen Planarisierungsprozesses. Insbesondere sind die Anschlusschichten 31 und/oder die Stromaufweitungsschichten 32 weiterhin durch die Isolierungsschicht 4 vollständig bedeckt. Auch nach der Planarisierung kann die Isolierungsschicht 4 zusammenhängend ausgeführt sein. Zum Beispiel unterscheidet sich die maximale Schichtdicke D4 der Isolierungsschicht 4 nach der Planarisierung höchstens um 80 %, 50 %, 30 %, 20 % oder um höchstens 10 % von der Summe aus der Schichtdicke D31 der Anschlusschicht 31 und der Schichtdicke D32 der Stromaufweitungsschicht 32. Weitere Verfahrensschritte, etwa das Ausbilden von weiteren Schichten auf der planarisierten rückseitigen Oberfläche 4B der Isolierungsschicht 4, können

vereinfacht durchgeführt werden. Die Isolierungsschicht 4 dient in diesem Sinne als innere Planarisierungsschicht des herzustellenden Halbleiterchips 10.

5 Es ist möglich, dass die Isolierungsschicht 4 mehrschichtig ausgebildet ist. Zum Beispiel kann die Isolierungsschicht 4 eine Mehrzahl von Teilschichten 41, 42 und 43 aufweisen, die etwa in der Figur 3A dargestellt sind. Gemäß Figur 3A weist die Isolierungsschicht 4 eine erste Teilschicht 41, eine
10 zweite Teilschicht 42 und eine dritte Teilschicht 43 auf. Die rückseitige Oberfläche 4B der Isolierungsschicht 4 kann durch eine Oberfläche der dritten Teilschicht 43 gebildet sein. Die zweite Teilschicht 42 ist insbesondere in der vertikalen Richtung zwischen der ersten Teilschicht 41 und der dritten
15 Teilschicht 43 angeordnet. Bevorzugt ist die zweite Teilschicht 42 bezüglich deren Materialauswahl im Hinblick auf die dritte Teilschicht 43 derart ausgeführt, dass die zweite Teilschicht 42 als Stoppschicht bei der Planarisierung der rückseitigen Oberfläche 4B der Isolierungsschicht 4
20 wirkt. Die erste Teilschicht 41 und die dritte Teilschicht 43 können aus demselben Material oder aus verschiedenen Materialien gebildet sein.

Zum Beispiel ist die zweite Teilschicht 42 aus einem Nitrid,
25 etwa aus Si_3N_4 gebildet. Die erste Teilschicht 41 kann aus einem Oxid, etwa aus SiO_2 gebildet sein. Es hat sich herausgestellt, dass ein Verhältnis der Polierrate einer Si_3N_4 -Schicht zu der Polierrate einer SiO_2 -Schicht oder ein Verhältnis der Ätzrate der Si_3N_4 -Schicht zu der Ätzrate der
30 SiO_2 -Schicht bei einem Schleifprozess oder bei einem chemisch-mechanischen Planarisierungsprozess zirka 1 zu 20 beträgt. Mit anderen Worten kann die Si_3N_4 -Schicht viel schneller als die SiO_2 -Schicht entfernt werden. Aufgrund

dieser Selektivität kann sich das Drehmoment eines Schleifkopfes an der Anlagenregelung so stark ändern, dass die Anlage darauf geregelt werden kann, den Schleifprozess oder Polierprozess in der zweiten Teilschicht 42 oder an der
5 zweiten Teilschicht 42 zu stoppen.

Eine eingeebnete oder planarisierte rückseitige Oberfläche 4B der Isolierungsschicht 4 ist etwa in der Figur 3B dargestellt. Die planarisierte rückseitige Oberfläche 4B
10 weist sowohl Bereiche auf, die durch Oberflächen der zweiten Teilschicht 42 gebildet sind, als auch Bereiche, die durch Oberflächen der dritten Teilschicht 43 gebildet sind. Die planarisierte rückseitige Oberfläche 4B kann somit eine Oxid-Nitrid-Oberfläche sein. Der Waferverbund 100 kann so derart
15 glatt poliert oder geschliffen werden, dass die rückseitige Oberfläche 4B eine mittlere Rauigkeit kleiner als 100 nm, 50 nm, 30 nm, 10 nm oder kleiner als 5 nm aufweisen kann, wobei die Isolierungsschicht 4 gleichzeitig eine besonders geringe Schichtdicke D4 aufweist, wobei sämtliche Stufen auf der
20 Rückseite überformt und zugleich eingeebnet sind.

Die Teilschichten 41, 42 und 43 der Isolierungsschichten können mittels eines Beschichtungsverfahrens ganzflächig auf der rückseitigen Hauptfläche 2B des Halbleiterkörpers 2 oder
25 des Halbleiterkörperverbunds 2V gebildet werden. Die Teilschichten 41, 42 und 43 können bis auf die Kantenumformungen jeweils eine im Rahmen der Herstellungstoleranzen konstante Schichtdicke aufweisen. Die zweite Teilschicht 42 weist eine vertikale Schichtdicke D42
30 auf. Die dritte Teilschicht 43, deren Oberfläche die rückseitige Oberfläche 4B der Isolierungsschicht 4 bilden kann, weist eine vertikale Schichtdicke 43 auf. Insbesondere ist die Schichtdicke D43 größer als die Schichtdicke D42,

insbesondere mindestens 1,5-mal, 2-mal, 3-mal oder mindestens 5-mal so groß wie die Schichtdicke D42. Ein Verhältnis der Schichtdicke D43 zu der Schichtdicke D42 kann zwischen 1 und einschließlich 20 oder zwischen 1 und einschließlich 10 sein.

5

In den Figuren 1F, 1G und 1H werden einige Verfahrensschritte zur Bildung einer Durchkontaktierungsstruktur 60 schematisch dargestellt. In den Bereichen der Öffnungen 31R und 32R der Anschlussschicht 31 beziehungsweise der

10 Stromaufweitungsschicht 32 wird eine Öffnung 2R oder 4R durch die Isolierungsschicht 4 hindurch in den Halbleiterkörper 2 hinein gebildet. Die Öffnung 4R der Isolierungsschicht 4 oder die Öffnung 2R des Halbleiterkörpers 2 kann sich durch die insbesondere zusammenhängend ausgeführte Anschlussschicht 31
15 und/oder Stromaufweitungsschicht 32 eines herzustellenden Halbleiterchips 10 hindurch erstrecken. Insbesondere erstreckt sich die Öffnung 4R oder 2R durch die erste Halbleiterschicht 21 und die aktive Zone 23 hindurch in die zweite Halbleiterschicht 22 hinein (Figur 1F). Zur Bildung
20 der Öffnung 2R oder 4R kann eine Maske 11, etwa eine erste Maske aus einer Lackschicht, verwendet werden, wobei die Maske 11 an den auszubildenden Öffnungen 2R oder 4R Fenster aufweist.

25 Es wird gemäß Figur 1G eine Passivierungsschicht 6A innerhalb der Öffnung 2R oder 4R derart gebildet, dass diese Seitenwände der Öffnung 2R oder 4R bedeckt, insbesondere vollständig bedeckt. Eine Durchkontaktierung 6B zur elektrischen Kontaktierung der zweiten Halbleiterschicht 22
30 kann in der Öffnung 2R oder 4R gebildet werden, wobei die Durchkontaktierung 6B durch die Passivierungsschicht 6A von der Anschlussschicht 31, der Stromaufweitungsschicht 32, der ersten Halbleiterschicht 21 und der aktiven Zone 23

elektrisch isoliert ist (Figur 1H). Die Durchkontaktierung 6B erstreckt sich insbesondere von der rückseitigen Oberfläche 4B der Isolierungsschicht 4 bis zu der zweiten Halbleiterschicht 22. Die Öffnung 2R oder 4R kann von der Durchkontaktierung 6B teilweise oder vollständig aufgefüllt sein. Die Durchkontaktierung 6B kann die rückseitige Oberfläche 4B der Isolierungsschicht 4 teilweise bedecken.

Zum Beispiel wird die Durchkontaktierung 6B mittels eines Beschichtungsverfahrens, etwa mittels Sputtern, auf die rückseitige Oberfläche 4B aufgebracht beziehungsweise in die Öffnung 2R oder 4R eingebracht. Die Durchkontaktierung 6B kann aus einem elektrisch leitfähigen Material, etwa aus einem Metall wie Silber, gebildet sein. Es kann eine Mehrzahl von solchen Durchkontaktierungen 6B gebildet werden, die demselben Halbleiterkörper 2 zugeordnet sind. Nach dem Bilden der Passivierungsschicht 6A und/oder der Durchkontaktierung 6B kann die erste Maske 11 entfernt werden.

Gemäß Figuren 1I und 1J wird zumindest ein Trenngraben oder eine Mehrzahl der Trenngräben 31T, 32T und 4T gebildet. Der Trenngraben 31T, 32T und 4T definiert insbesondere eine Grenze zwischen benachbarten Halbleiterkörpern 2 oder zwischen Reihen oder Spalten der Halbleiterkörper 2 der herzustellenden Halbleiterchips 10. Der Trenngraben oder die Trenngräben 31T, 32T und 4T kann/können durch bereichsweises Entfernen der Isolierungsschicht 4 gebildet werden, zum Beispiel mittels eines nass- und/oder eines trockenchemischen Ätzprozesses. Insbesondere wird die Metallschicht 5 trockenchemisch geöffnet. Anschließend kann bis zu der ersten Halbleiterschicht 21 nasschemisch geätzt werden. Für die Bildung der Trenngräben 4T kann eine weitere Maske 12, etwa eine zweite Maske 12 insbesondere aus einer Lackschicht,

Anwendung finden (Figur 1I). Es ist möglich, dass sich solcher Trenngraben 31T, 32T und 4T durch die Isolierungsschicht 4 hindurch erstreckt, sodass die rückseitige Hauptfläche 2B des Halbleiterkörpers 2 im Bereich des Trenngrabens 4T von der Isolierungsschicht 4 freigelegt oder unbedeckt ist. Nach dem Bilden des Trenngrabens 4T kann die zweite Maske 12 entfernt werden. Es ist möglich, dass eine Mehrzahl solcher Trenngräben 4T der Isolierungsschicht 4 gebildet wird. Entlang der Trenngräben 4 kann der Halbleiterkörperverbund 2V in eine Mehrzahl von Halbleiterkörpern 2 zerteilt werden.

In Figur 1K wird ein Verfahrensschritt zur Bildung einer Metallschicht 5 auf dem Halbleiterkörper 2 beziehungsweise auf dem Halbleiterkörperverbund 2V schematisch dargestellt. Die Metallschicht 5 kann aus einem Metall wie Kupfer und/oder aus einem Metall wie Nickel gebildet sein. In der Figur 1K ist eine Zwischenschicht 6D zwischen den Durchkontaktierungen 6B und der Metallschicht 5 angeordnet. Die Zwischenschicht 6D ist insbesondere elektrisch leitfähig ausgeführt und vermittelt etwa einen elektrischen Kontakt zwischen den Durchkontaktierungen 6B und der Metallschicht 5. Die Zwischenschicht 6D kann die rückseitige Hauptfläche 2B des Halbleiterkörpers 2 vollständig bedecken.

Gemäß Figur 1K kann der Halbleiterkörper 2 vorübergehend durch die Zwischenschicht 6D kurzgeschlossen sein. Dieser Kurzschluss kann in einem nachfolgenden Verfahrensschritt etwa durch Strukturierung des Halbleiterkörpers 2 behoben werden, insbesondere indem Regionen des Halbleiterkörpers 2, die sich in den Bereichen der Trenngräben 4T und im direkten elektrischen Kontakt mit der Zwischenschicht 6D befinden, etwa durch Materialabtrag entfernt werden. Abweichend von der

Figur 1K ist es möglich, dass in den Bereichen der Trenngräben 4T eine dünne Teilschicht der Isolierungsschicht 4 zwischen dem Halbleiterkörper 2 und der Zwischenschicht 6D vorhanden ist. In diesem Fall ist die Zwischenschicht 6D von der ersten Halbleiterschicht 21 elektrisch isoliert. Die Zwischenschicht 6D kann jedoch auch optional sein.

Die Metallschicht 5 wird bevorzugt mittels eines Beschichtungsverfahrens auf die Zwischenschicht 6D und/oder auf die rückseitige Hauptfläche 2B des Halbleiterkörpers 2 aufgebracht, zum Beispiel ganzflächig mittels eines galvanischen Prozesses. Die Metallschicht 5 weist eine dem Halbleiterkörper 2 abgewandte rückseitige Oberfläche 5B und eine dem Halbleiterkörper 2 zugewandte vorderseitige Oberfläche 5F auf.

Insbesondere werden die Durchkontaktierungsstrukturen 60, die Trenngräben 4T der Isolierungsschicht 4 und/oder die Zwischenschicht 6D von der Metallschicht 5 überformt. Die Metallschicht 5 kann sich bereichsweise in die Öffnung oder Öffnungen 2R, 4R, 31R und 32R und/oder in die Trenngräben 4T hinein erstrecken und diese auffüllen, insbesondere vollständig auffüllen. Bis auf die Kantenumformungen kann die Metallschicht 5 eine im Rahmen der Herstellungstoleranzen konstante vertikale Schichtdicke aufweisen. Unmittelbar nach der Bildung der Metallschicht 5 können/kann die rückseitige Oberfläche 5B und/oder die vorderseitige Oberfläche 5F der Metallschicht 5 Stufen 5S und/oder lokale vertikale Erhöhungen aufweisen. Die Stufen 5S und/oder die lokalen Erhöhungen kann eine vertikale Höhe aufweisen, die insbesondere größer als 500 nm, 1 µm, 1,5 µm oder größer als 2 µm, zum Beispiel zwischen einschließlich 500 nm und 5 µm oder zwischen einschließlich 500 nm und 3 µm.

Gemäß Figur 1L wird die Metallschicht 5, insbesondere die rückseitige Oberfläche 5B der Metallschicht 5 eingeebnet beziehungsweise planarisiert, beispielsweise mittels eines Schleifprozesses und/oder mittels eines chemisch-mechanischen Planarisierungsprozesses. Nach der Planarisierung kann die rückseitige Oberfläche 5B der Metallschicht 5 eine mittlere Rauigkeit aufweisen, die höchstens 300 nm, 200 nm, 100 nm, 50 nm, 30 nm, 20 nm oder höchstens 10 nm beträgt. Die rückseitige Oberfläche 5B der Metallschicht 5 ist somit bevorzugt eben ausgeführt und kann frei von Stufen 5S und/oder vertikalen Erhöhungen sein. Nach der Planarisierung kann die Metallschicht 5 eine vertikale Schichtdicke aufweisen, die zumindest bereichsweise größer ist als die Schichtdicke D31, D32 und/oder D4 oder größer ist als die Summe zumindest zweier oder aller dieser Schichtdicken D31, D32 und D4. Es ist möglich, dass ausschließlich die Metallschicht 5 planarisiert wird. In diesem Fall kann es nicht erforderlich sein, dass die Isolierungsschicht 4 zuvor eingeebnet beziehungsweise planarisiert wird.

Gemäß Figur 1M wird der Waferverbund 100 oder der Halbleiterkörper 2 an der rückseitigen Oberfläche 5B der Metallschicht 5 mit einem Träger 1 oder mit einem Trägerverbund 1V mechanisch verbunden. Der Träger 1 oder der Trägerverbund 1V kann elektrisch leitfähig oder elektrisch isolierend ausgeführt und beispielsweise aus einem Metall oder aus einem keramischen Material wie Si₃N₄ oder AlN gebildet sein. Die rückseitige Oberfläche 5B der Metallschicht 5 kann derart planarisiert sein, dass der Waferverbund 100 oder der Halbleiterkörper 2 mittels eines Direktbond-Verfahrens mit dem Träger 1 oder mit dem Trägerverbund 1V mechanisch verbunden wird. Die Metallschicht 5 kann unmittelbar an den Träger 1 oder an den Trägerverbund

1V angrenzen. Es befindet sich insbesondere keine Verbindungsschicht, etwa keine Klebeschicht oder keine Haftvermittlerschicht zwischen der Metallschicht 5 und dem Träger 1 oder dem Trägerverbund 1V. Alternativ ist es
5 möglich, dass der Waferverbund 100 mittels einer Verbindungsschicht 80, etwa einer Klebeschicht oder einer Lotschicht, mit dem Träger 1 oder dem Trägerverbund 1V mechanisch fixiert wird (Figur 4A). Durch die Planarisierung der Metallschicht 5 kann eine Verbiegung des Waferverbunds
10 100 aufgrund reduzierter innerer thermo-mechanischer Verspannungen zwischen dem Halbleiterkörperverbund 2V, dem Substrat 9 und dem Träger 1 vermieden oder minimiert werden. Auch die Anzahl möglicher Lunker innerhalb der Verbindungsschicht kann minimiert werden. Für den Träger 1
15 bietet sich eine größere Auswahl an Materialien an.

Die ebene rückseitige Oberfläche 5B der Metallschicht 5 kann bei üblichen Bondprozessen, etwa bei Löten mit AuSn, AuInSn oder NiInSn, zu einer verbesserten Qualität der
20 Verbindungsschicht 80 mit weniger Lunkern und damit weniger Haftungsproblemen zwischen dem Waferverbund 100 und der Metallschicht 5 führen. Anschließende Verarbeitungsschritte zur Herstellung des Halbleiterchips 10 oder der Mehrzahl der Halbleiterchips 10 können dadurch vereinfacht werden.
25 Zusätzliche Verbesserungen, etwa bezüglich der Vorwärtsspannung, können erzielt werden. Stauchungen oder Dehnungen des Waferverbunds 100, die aufgrund unterschiedlicher Ausdehnungskoeffizienten des Trägers 1 und der Metallschicht 5 oder des Halbleiterkörpers 2
30 hervorgerufen sind, können vermieden werden. Dies führt zu einer verbesserten Ausbeute bei der Herstellung der Halbleiterchips 10.

Gemäß Figur 1M wird das Substrat 9 von dem Halbleiterkörper 2 oder von dem Halbleiterkörperverbund 2V entfernt, zum Beispiel mittels eines chemischen und/oder mechanischen Prozesses oder mittels eines Laser-Liftoff-Prozesses. Nach dem Ablösen des Substrats 9 kann die vorderseitige Hauptfläche 2F des Halbleiterkörpers 2 oder des Halbleiterkörperverbunds 2V freigelegt sein. Die vorderseitige Hauptfläche 2F kann zur Erhöhung der Lichtauskopplung strukturiert, etwa aufgeraut werden.

Der Halbleiterkörperverbund 2V wird gemäß Figur 1N in eine Mehrzahl von Halbleiterkörpern 2 strukturiert. Die Strukturierung erfolgt insbesondere in den Bereichen des Halbleiterkörperverbunds 2V, die in Draufsicht auf die vorderseitige Hauptfläche 2F die darunter befindlichen Trenngräben 31T, 32T und/oder 4T bedecken. Zweckmäßig wird der Halbleiterkörperverbund 2V derart strukturiert, dass ein möglicher direkter elektrischer Kontakt zwischen der ersten Halbleiterschicht 21 und der Zwischenschicht 6D oder der Metallschicht 5 aufgehoben wird.

Es können Mesagräben 10M zwischen den benachbarten Halbleiterkörpern 2 gebildet werden, wobei die Isolierungsschicht 4, die Stromaufweitungsschicht 32, die Zwischenschicht 6D und/oder die Metallschicht 5 bereichsweise freigelegt werden/wird. Zum Beispiel können die Isolierungsschicht 4 und die Stromaufweitungsschicht 32 in einem gemeinsamen Mesagraben 10M bereichsweise freigelegt werden. Auf der freigelegten Oberfläche der Stromaufweitungsschicht 32 kann eine erste Kontaktschicht 71 oder eine Mehrzahl von ersten Kontaktschichten 71 gebildet werden. Die Isolierungsschicht 4 und/oder die Zwischenschicht 6D und/oder der Metallschicht 5 können in einem weiteren

Mesagraben 10M bereichsweise freigelegt werden. Auf der freigelegten Oberfläche der Zwischenschicht 6D oder der Metallschicht 5 kann eine zweite Kontaktschicht 72 oder eine Mehrzahl von zweiten Kontaktschichten 72 gebildet werden.

5 Bevorzugt sind jedem Halbleiterkörper 2 eine erste Kontaktschicht 71 und eine zweite Kontaktschicht 72 zugeordnet. Insbesondere über die erste Kontaktschicht 71 und die zweite Kontaktschicht 72 ist der Halbleiterkörper 2 oder der Halbleiterchip 10 extern elektrisch kontaktierbar. Zum
10 Beispiel weisen die Kontaktschichten 71 und 72 jeweils eine freizugängliche Oberfläche auf.

Es ist möglich, dass die Isolierungsschicht 4, die Stromaufweitungsschicht 32 und die Zwischenschicht 6D oder
15 die Metallschicht 5 bereichsweise in einem gemeinsamen Mesagraben 10M freigelegt werden. Die erste Kontaktschicht 71 und die von der ersten Kontaktschicht 71 lateral beabstandete zweite Kontaktschicht 72 können in einem gemeinsamen Mesagraben 10M gebildet sein. Auch eine Mehrzahl von ersten
20 Kontaktschichten 71 und eine Mehrzahl von zweiten Kontaktschichten 72 können in demselben Mesagraben 10M gebildet sein. Nach der Vereinzelung des Waferverbunds 100 in eine Mehrzahl von Halbleiterchips 10 können die erste Kontaktschicht 71 und die zweite Kontaktschicht 72 auf
25 derselben Randfläche 10E des zugehörigen Halbleiterchips 10 angeordnet sein (Figur 1Q). Mit anderen Worten befinden sich die Kontaktschichten 71 und 72 nicht auf verschiedenen Randflächen des Halbleiterchips 10, etwa auf aneinanderreihenden oder gegenüberliegenden Randflächen des
30 Halbleiterchips 10. Bis auf die eine Randfläche 10E kann der Halbleiterchip 10 frei von weiteren Kontaktschichten zur externen elektrischen Kontaktierung des Halbleiterchips 10 sein.

In der Figur 1N weist der Halbleiterkörper 2, insbesondere jeder Halbleiterkörper 2, schräge Seitenflächen auf. Zum Beispiel bildet die Seitenfläche des Halbleiterkörpers 2 mit der rückseitigen Hauptfläche 2B des Halbleiterkörpers 2 einen spitzen Winkel zwischen einschließlich 10° und 80° oder zwischen 20° und 70° oder zwischen einschließlich 30° und 60° . Auf die Seitenflächen und die vorderseitige Hauptfläche 2F des Halbleiterkörpers 2 können/kann eine erste Bedeckungsschicht 81 und/oder eine zweite Bedeckungsschicht 82 aufgebracht werden. Die erste Bedeckungsschicht 81 befindet sich etwa zwischen der vorderseitigen Hauptfläche 2F und der zweiten Bedeckungsschicht 82. Zum Beispiel ist die erste Bedeckungsschicht 81 eine Al_2O_3 -Schicht, die mittels Atomlagenabscheidung (English: Atomic Layer Deposition) insbesondere unmittelbar auf die aufgeraute vorderseitige Hauptfläche 2F aufgebracht wird. Die zweite Bedeckungsschicht 82 kann eine isolierende Schicht etwa aus Siliziumoxid oder aus Siliziumnitrid oder aus Aluminiumoxid wie Al_2O_3 sein. Es ist möglich, dass die zweite Bedeckungsschicht 82 Streupartikel und/oder Leuchtstoffpartikel enthält.

Die erste Bedeckungsschicht 81 und/oder die zweite Bedeckungsschicht 82 können/kann die Halbleiterkörper 2 und/oder die Mesagräben 10M vollständig bedecken. Zur Bildung der ersten Kontaktschicht 71 und/oder der zweiten Kontaktschicht 72 können/kann die erste Bedeckungsschicht 81 und/oder die zweite Bedeckungsschicht 82 bereichsweise, etwa seitlich des Halbleiterkörpers 2 geöffnet werden, zum Beispiel mittels eines Ätzprozesses mit HF. Die erste Kontaktschicht 71 und/oder die zweite Kontaktschicht 72 befinden/befindet sich insbesondere seitlich des Halbleiterkörpers 2, etwa auf derselben vertikalen Ebene wie die rückseitige Hauptfläche 2B des Halbleiterkörpers 2.

Insbesondere sind die Kontaktschichten 71 und 72 von oben, das heißt von der vorderseitigen Hauptfläche 2F des Halbleiterkörpers 2 her, elektrisch kontaktierbar.

- 5 Durch die Mesagräben 10M sind die Halbleiterkörper 2 insbesondere lateral voneinander beabstandet. Gemäß Figur 10 kann der Waferverbund 100 in den Bereichen der Mesagräben 10M entlang der Trennlinien 10S in eine Mehrzahl von Halbleiterchips 10 vereinzelt werden. Die Trennlinien 10S
10 verlaufen insbesondere durch den Trägerverbund 1V, die Isolierungsschicht 4 und/oder durch die Metallschicht 5 hindurch. Es ist möglich, dass manche Trennlinien 10S nicht durch die Isolierungsschicht 4 hindurch verlaufen.
- 15 Die vereinzelt Halbleiterchips 10 weisen jeweils einen Träger 1 aus dem Trägerverbund 1V, einen Halbleiterkörper 2 aus dem Halbleiterkörperverbund 2V, eine Isolierungsschicht 4, eine erste Elektrode 3 mit einer insbesondere zusammenhängenden Anschlussschicht 31 und einer insbesondere
20 zusammenhängenden Stromaufweitungsschicht 32 und eine zweite Elektrode 6 mit einer Metallschicht 5 und zumindest einer oder einer Mehrzahl von Durchkontaktierungsstrukturen 60 auf, wobei die erste Elektrode 3 durch die Isolierungsschicht 4 von der zweiten Elektrode 6 elektrisch isoliert ist.
- 25 Insbesondere ist der Halbleiterchip 10 eine LED, etwa eine Hochstrom-LED. Die Isolierungsschicht 4 und/oder die Metallschicht 5 können/kann insbesondere zusammenhängend ausgeführt sein und weisen/weist insbesondere eine dem Halbleiterkörper 2 abgewandte planarisierte rückseitige
30 Oberfläche 4B und/oder 5B auf. Ein derartiger Halbleiterchip 10 ist etwa in den Figuren 1P und 1Q schematisch dargestellt.

In Figur 1P ist der Halbleiterchip 10 entlang einer in der Figur 1Q gezeigten Schnittfläche VV' in Schnittansicht dargestellt. Der Halbleiterchip 10 weist auf dessen Rückseite eine Wärmesenke 1H oder eine Lotschicht 1H auf. In Figur 1Q
5 ist der Halbleiterchip 10 in Draufsicht schematisch dargestellt. Der Halbleiterchip 10 kann Kontaktverbindungen 70 aufweisen, die mit der ersten Kontaktschicht 71 oder mit der zweiten Kontaktschicht 72 elektrisch verbunden und zur externen elektrischen Kontaktierung des Halbleiterchips 10
10 eingerichtet sind.

Die Kontaktschichten 71 und 72 sind auf derselben Randfläche 10E des Halbleiterchips 10 angeordnet. Die weiteren Randflächen des Halbleiterchips 10 sind insbesondere frei von
15 Kontaktschichten oder elektrischen Anschlussstellen. Der Halbleiterchip 10 weist eine Mehrzahl von Durchkontaktierungsstrukturen 60 auf, etwa mindestens 5, 10, 20 oder 30, zum Beispiel zwischen einschließlich 5 und 150, wobei die Durchkontaktierungsstrukturen 60 insbesondere
20 gleichmäßig in dem Halbleiterkörper 2 verteilt sind. Da sich die Kontaktschichten 71 und 72 auf derselben Randfläche 10E des Halbleiterchips 10 befinden, ist es für die Erzielung einer gleichmäßigen Stromverteilung innerhalb des gesamten Halbleiterkörpers 2 besonders zweckmäßig, dass die
25 Anschlussschicht 31 und/oder die Stromaufweitungsschicht 32 ausreichend dick ausgeführt sind/ist. Bevorzugt weist die Stromaufweitungsschicht 32 eine Mindestschichtdicke von 500 nm, 700 nm, 900 nm, 1 µm, 1,5 µm oder von 2 µm auf.

30 Die in den Figuren 4A und 4B dargestellten Ausführungsbeispiele für einen Halbleiterchip 10 entsprechen im Wesentlichen den in den Figuren 1P beziehungsweise 1Q dargestellten Ausführungsbeispielen für einen Halbleiterchip

10. In Unterschied hierzu weist der Halbleiterchip 10 eine Verbindungsschicht 80 auf, die zwischen dem Träger 1 und der Metallschicht 5 angeordnet ist, wobei die Verbindungsschicht 80 für die mechanischen Fixierung des Halbleiterkörpers 2
5 oder der Metallschicht 5 auf dem Träger 1 eingerichtet ist.

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2017 123 242.7, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

10

Die Erfindung ist nicht durch die Beschreibung der Erfindung anhand der Ausführungsbeispiele auf diese beschränkt. Die Erfindung umfasst vielmehr jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination
15 von Merkmalen in den Ansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Ansprüchen oder Ausführungsbeispielen angegeben ist.

Bezugszeichenliste

	100	Waferverbund
	10	Halbleiterchip
5	10E	Randfläche des Halbleiterchips
	10M	Mesagraben des Waferverbunds/ Halbleiterkörperverbunds
	10S	Trennlinien des Waferverbunds
	1	Träger
	1V	Trägerverbund
10	1H	Wärmesenke/ Lotschicht
	2	Halbleiterkörper
	2B	rückseitige Oberfläche des Halbleiterkörpers
	2F	vorderseitige Oberfläche des Halbleiterkörpers
15	2R	Öffnung des Halbleiterkörpers
	2V	Halbleiterkörperverbund
	21	erste Halbleiterschicht
	22	zweite Halbleiterschicht
	23	aktive Zone
20		
	3	erste (p-seitige) Elektrode
	31	Anschlussschicht
	31R	Öffnung der Anschlussschicht
	31T	Trenngraben der Anschlussschichten
25	31V	Anschlussschichtenverbund
	32	(p-seitige) Stromaufweitungsschicht
	32R	Öffnung der Stromaufweitungsschicht
	32T	Trenngraben der Stromaufweitungsschichten
30	4	Isolierungsschicht
	4B	rückseitige Oberfläche der Isolierungsschicht
	4F	vorderseitige Oberfläche der Isolierungsschicht
	4R	Öffnung der Isolierungsschicht

4S	Stufen/ Erhöhungen der Isolierungsschicht
4T	Trenngraben der Isolierungsschicht
41	(erste) Teilschicht der Isolierungsschicht
42	(zweite) weitere Teilschicht der Isolierungsschicht
5 43	(dritte) Teilschicht der Isolierungsschicht
5	Metallschicht
5B	rückseitige Oberfläche der Metallschicht
5F	vorderseitige Oberfläche der Metallschicht
10 5S	Stufen/ Erhöhungen der Metallschicht
6	zweite (n-seitige) Elektrode
60	Durchkontaktierungsstruktur
6A	Passivierungsschicht
15 6B	Durchkontaktierung
6D	Zwischenschicht
70	Kontaktverbindung
71	erste Kontaktschicht
20 72	zweite Kontaktschicht
80	Verbindungsschicht
81	erste Bedeckungsschicht
82	zweite Bedeckungsschicht
25 9	Substrat/ Aufwachssubstrat
11	erste Maske/ erste Lackschicht
12	zweite Maske/ zweite Lackschicht
D31	Schichtdicke der Anschlussschicht
30 D32	Schichtdicke der Stromaufweitungsschicht
D4	Schichtdicke der Isolierungsschicht
D42	Schichtdicke der Teilschicht der Isolierungsschicht
D43	Schichtdicke der Teilschicht der Isolierungsschicht

Patentansprüche

1. Verfahren zur Herstellung eines Halbleiterchips (10) mit folgenden Schritten:

- 5 - Bereitstellen eines Halbleiterkörpers (2) mit einer ersten Halbleiterschicht (21), einer zweiten Halbleiterschicht (22) und einer dazwischenliegenden aktiven Zone (23);
- Ausbilden einer Stromaufweitungsschicht (32) zur elektrischen Kontaktierung der ersten Halbleiterschicht,
- 10 wobei die Stromaufweitungsschicht eine vertikale Schichtdicke (D32) von mindestens 500 nm aufweist;
- Ausbilden einer Isolierungsschicht (4), die die Stromaufweitungsschicht vollständig bedeckt; und
- Ausbilden einer Metallschicht (5), die zur elektrischen
- 15 Kontaktierung der zweiten Halbleiterschicht eingerichtet ist und die Stromaufweitungsschicht vollständig bedeckt, wobei
- die Isolierungsschicht in der vertikalen Richtung zwischen der Metallschicht und der Stromaufweitungsschicht
- 20 angeordnet ist, sodass die Metallschicht von der Stromaufweitungsschicht elektrisch isoliert ist, und
- eine dem Halbleiterkörper abgewandte Oberfläche (4B, 5B) der Isolierungsschicht (4) oder der Metallschicht (5) zunächst Stufen (4S, 5S) aufweist, die anschließend
- 25 eingeebnet werden.

2. Verfahren nach dem vorhergehenden Anspruch zur Herstellung einer Mehrzahl von Halbleiterchips (10), bei dem

- ein zusammenhängender Halbleiterkörperverbund (2V), der in
- 30 eine Mehrzahl von Halbleiterkörpern (2) zerteilbar ist, bereitgestellt wird,

- eine Mehrzahl von den Stromaufweitungsschichten (32) gebildet wird, wobei die Stromaufweitungsschichten lateral voneinander getrennt sind,
- die Isolierungsschicht (4) derart zusammenhängend
5 ausgeführt wird, dass diese alle Stromaufweitungsschichten vollständig bedeckt, und
- die Metallschicht (5) derart ausgeführt wird, dass diese alle Stromaufweitungsschichten vollständig bedeckt, wobei
- 10 - die Metallschicht durch die Isolierungsschicht von den Stromaufweitungsschichten elektrisch isoliert ist; und
- die dem Halbleiterkörperverbund abgewandte Oberfläche (4B, 5B) der Isolierungsschicht (4) oder der Metallschicht (5) vor der Zerteilung des Halbleiterkörperverbunds in eine
15 Mehrzahl von Halbleiterkörpern (2) eingeebnet wird.

3. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die dem Halbleiterkörper (2) abgewandte Oberfläche (4B, 5B) der Isolierungsschicht (4) oder der Metallschicht
20 (5) mittels eines chemisch-mechanischen Planarisierungsprozesses eingeebnet wird.

4. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die dem Halbleiterkörper (2) abgewandte Oberfläche
25 (4B) der Isolierungsschicht (4) und die dem Halbleiterkörper abgewandte Oberfläche (5B) der Metallschicht (5) mittels eines chemisch-mechanischen Planarisierungsprozesses eingeebnet werden.

30 5. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die Isolierungsschicht (4) eine Teilschicht (42) und eine weitere Teilschicht (43) aufweist, wobei

- die Teilschicht in der vertikalen Richtung zwischen dem Halbleiterkörper (2) und der weiteren Teilschicht angeordnet ist, und
- die Teilschicht und die weitere Teilschicht bezüglich deren Materialzusammensetzung derart ausgebildet sind,
5 dass die Teilschicht ätzresistenter und/oder polierresistenter ausgeführt ist als die weitere Teilschicht.

10 6. Verfahren nach dem vorhergehenden Anspruch, bei dem die Teilschicht (42) aus einem Material gebildet ist, das auf einem Nitrid basiert, und die weitere Teilschicht (43) aus einem weiteren Material gebildet ist, das auf einem Oxid basiert.

15

7. Verfahren nach einem der vorhergehenden Ansprüche, bei dem

- die Oberfläche (5B) der Metallschicht (5) derart planarisiert wird, dass diese eine mittlere Rauigkeit von
20 höchstens 30 nm aufweist, und
- die Metallschicht an deren planarisierter Oberfläche mit einem Träger (1) oder einem Trägerverbund (1V) mittels eines Direktbond-Verfahrens mechanisch verbunden wird.

25 8. Verfahren nach einem der Ansprüche 1 bis 6, bei dem

- die dem Halbleiterkörper (2) abgewandte Oberfläche (5B) der Metallschicht (5) planarisiert wird, und
- die Metallschicht an deren planarisierter Oberfläche mit
30 einem Träger (1) oder einem Trägerverbund (1V) mittels einer Verbindungsschicht (80) mechanisch verbunden wird.

9. Halbleiterchip (10) mit einem Träger (1) und einem darauf angeordneten Halbleiterkörper (2), bei dem

- der Halbleiterkörper eine dem Träger zugewandte erste Halbleiterschicht (21), eine dem Träger abgewandte zweite Halbleiterschicht (22) und eine dazwischenliegende aktive Zone (23) aufweist,
- zumindest eine zur elektrischen Kontaktierung der ersten Halbleiterschicht eingerichtete Stromaufweitungsschicht (32) zwischen dem Träger und dem Halbleiterkörper angeordnet ist, wobei die Stromaufweitungsschicht eine vertikale Schichtdicke (D32) von mindestens 500 nm aufweist,
- eine zur elektrischen Kontaktierung der zweiten Halbleiterschicht eingerichtete Metallschicht (5) zwischen dem Träger und der Stromaufweitungsschicht angeordnet ist, wobei die Metallschicht die Stromaufweitungsschicht vollständig bedeckt,
- eine Isolierungsschicht (4) in vertikaler Richtung zwischen der Stromaufweitungsschicht und der Metallschicht angeordnet ist, wobei die Isolierungsschicht die Stromaufweitungsschicht vollständig bedeckt und die Metallschicht von der Stromaufweitungsschicht elektrisch isoliert, und
- der Isolierungsschicht (4) oder die Metallschicht (5) eine dem Halbleiterkörper abgewandte planarisierte Oberfläche (4B, 5B) aufweist.

10. Verfahren oder Halbleiterchip nach einem der vorhergehenden Ansprüche, bei dem

die Isolierungsschicht (4) und/oder die Metallschicht (5) eine dem Halbleiterkörper (2) zugewandte Oberfläche (4F, 5F) mit lokalen vertikalen Erhöhungen (4S, 5S) aufweisen/aufweist.

11. Verfahren oder Halbleiterchip nach einem der vorhergehenden Ansprüche, bei dem zur elektrischen Kontaktierung der zweiten Halbleiterschicht (22) eine Durchkontaktierung (6B) derart ausgeführt ist, dass diese mit der Metallschicht (5) elektrisch verbunden ist und sich durch die erste Halbleiterschicht (21) und die aktive Zone (23) hindurch in die zweite Halbleiterschicht (22) hinein erstreckt.

12. Verfahren oder Halbleiterchip nach dem vorhergehenden Anspruch, bei dem jedem Halbleiterkörper (2) eine Mehrzahl von Durchkontaktierungen (6B) zugeordnet ist, die über die Metallschicht (5) miteinander elektrisch verbunden sind.

13. Verfahren oder Halbleiterchip nach einem der vorhergehenden Ansprüche, bei dem eine Anschlussschicht (31) zwischen der Stromaufweitungsschicht (32) und dem Halbleiterkörper (2) gebildet ist, wobei die Stromaufweitungsschicht in elektrischem Kontakt mit der Anschlussschicht steht und die Anschlussschicht vollständig bedeckt.

14. Verfahren oder Halbleiterchip nach dem vorhergehenden Anspruch, bei dem die Anschlussschicht (31) oder die Stromaufweitungsschicht (32) zumindest eine Öffnung (31R, 32R) aufweist, wobei die Metallschicht (5) durch die zumindest eine Öffnung hindurch mit der zweiten Halbleiterschicht (22) elektrisch verbunden ist.

15. Verfahren oder Halbleiterchip nach einem der vorhergehenden Ansprüche, bei dem

die Isolierungsschicht (4) eine dem Halbleiterkörper (2) abgewandte planarisierte Oberfläche (4B) aufweist, wobei

- die planarisierte Oberfläche bereichsweise durch eine Oberfläche (42B) einer Teilschicht (42) und bereichsweise durch eine Oberfläche (43B) einer weiteren Teilschicht (43) der Isolierungsschicht (4) gebildet ist,
- die Teilschicht (42) aus einem Oxid-Material gebildet ist, und
- die weitere Teilschicht (43) aus einem Nitrid-Material gebildet ist, sodass die planarisierte Oberfläche der Isolierungsschicht bereichsweise eine Oxid-Oberfläche und bereichsweise eine Nitrid-Oberfläche umfasst.

16. Verfahren oder Halbleiterchip nach einem der

vorhergehenden Ansprüche, bei dem der Halbleiterchip (10) eine erste Kontaktschicht (71) und eine zweite Kontaktschicht (72) zur externen elektrischen Kontaktierung aufweist, wobei

- die erste Kontaktschicht und die zweite Kontaktschicht jeweils eine freizugängliche Oberfläche (71F, 72F) aufweisen,
- die erste Kontaktschicht mit der Stromaufweitungsschicht (32) elektrisch verbunden ist,
- die zweite Kontaktschicht mit der Metallschicht (5) elektrisch verbunden ist, und
- die erste und zweite Kontaktschicht auf derselben Randfläche (10E) des Halbleiterchips angeordnet sind.

FIG 1A

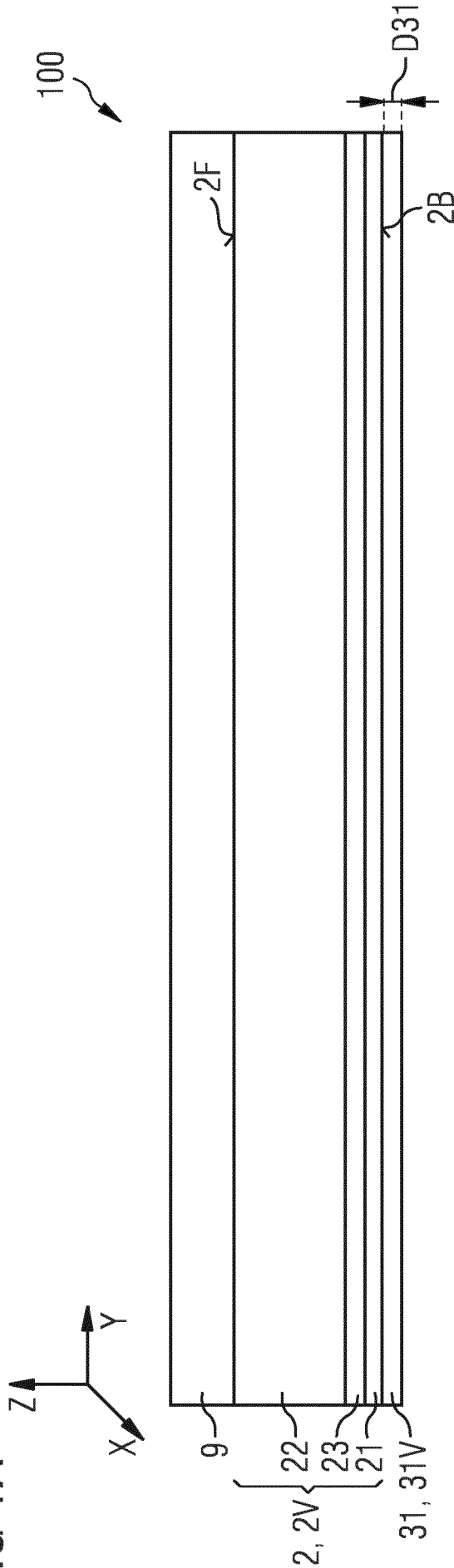
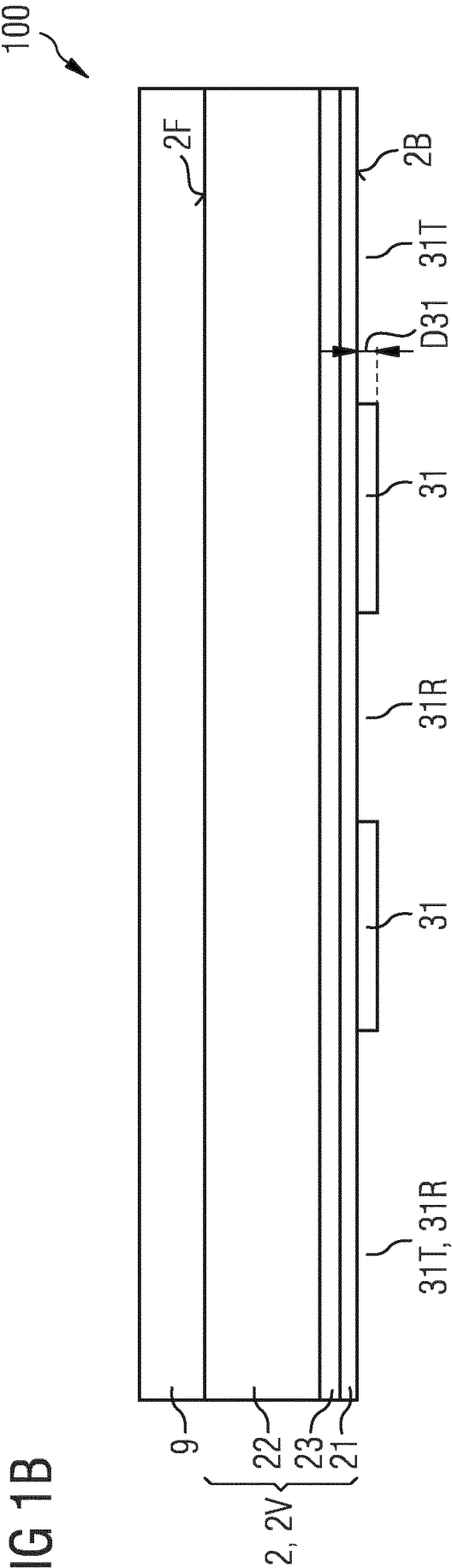
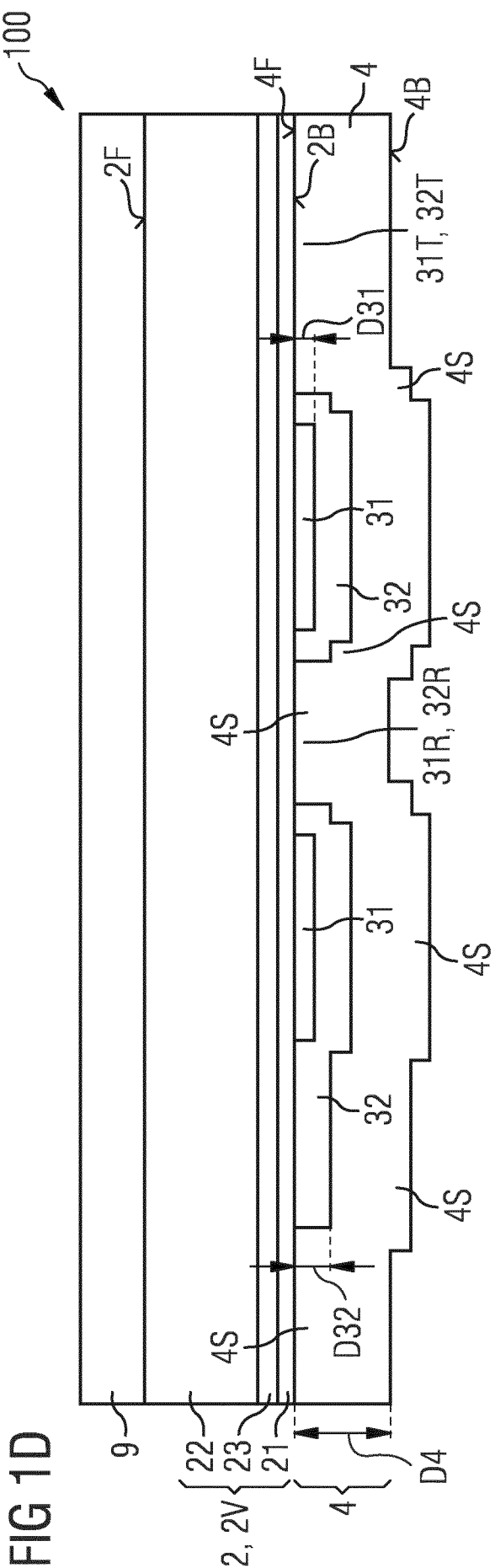
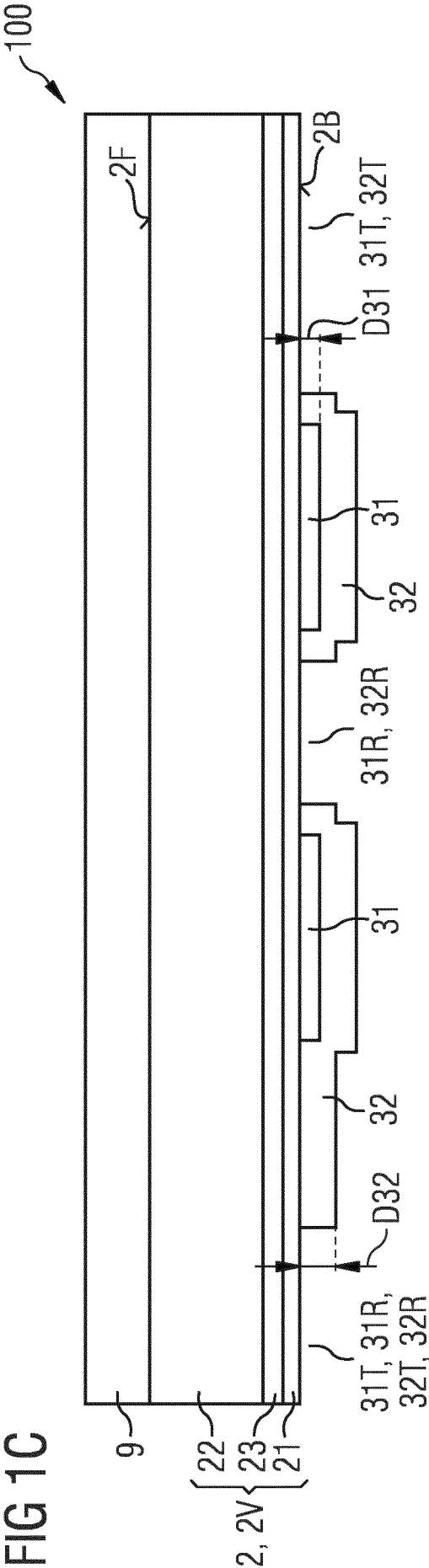


FIG 1B





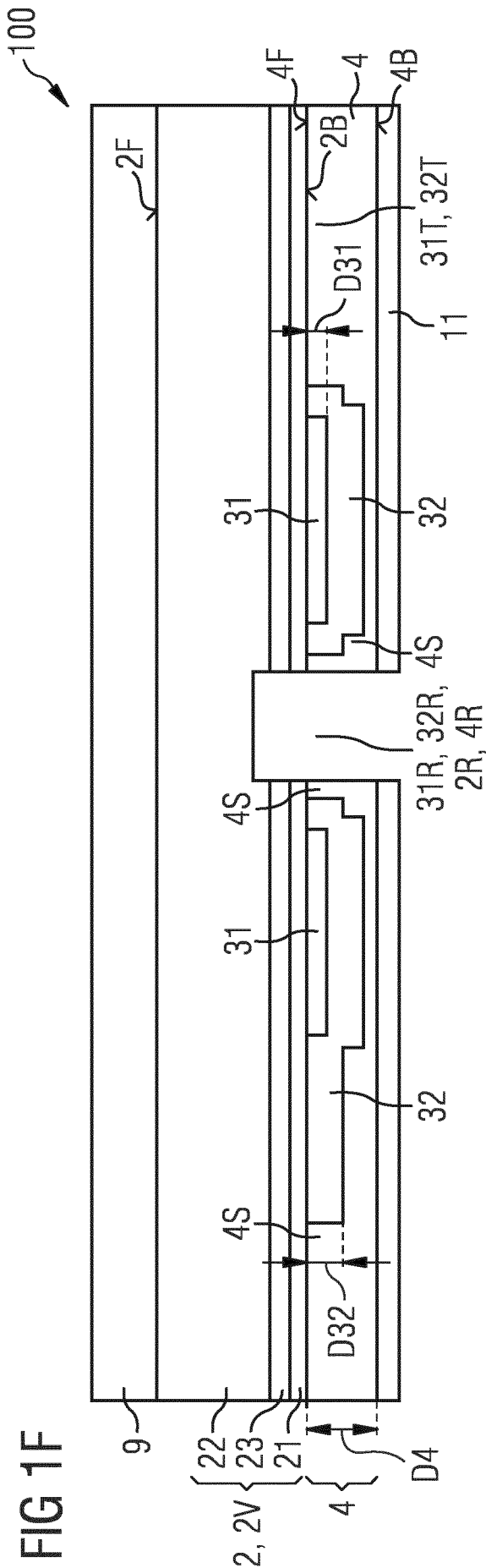
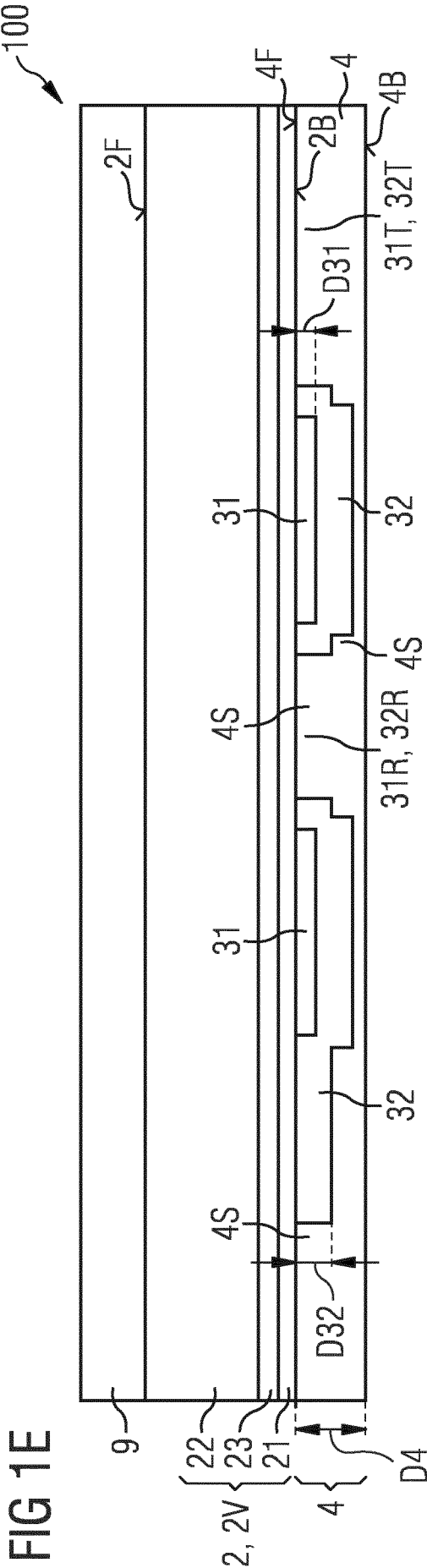
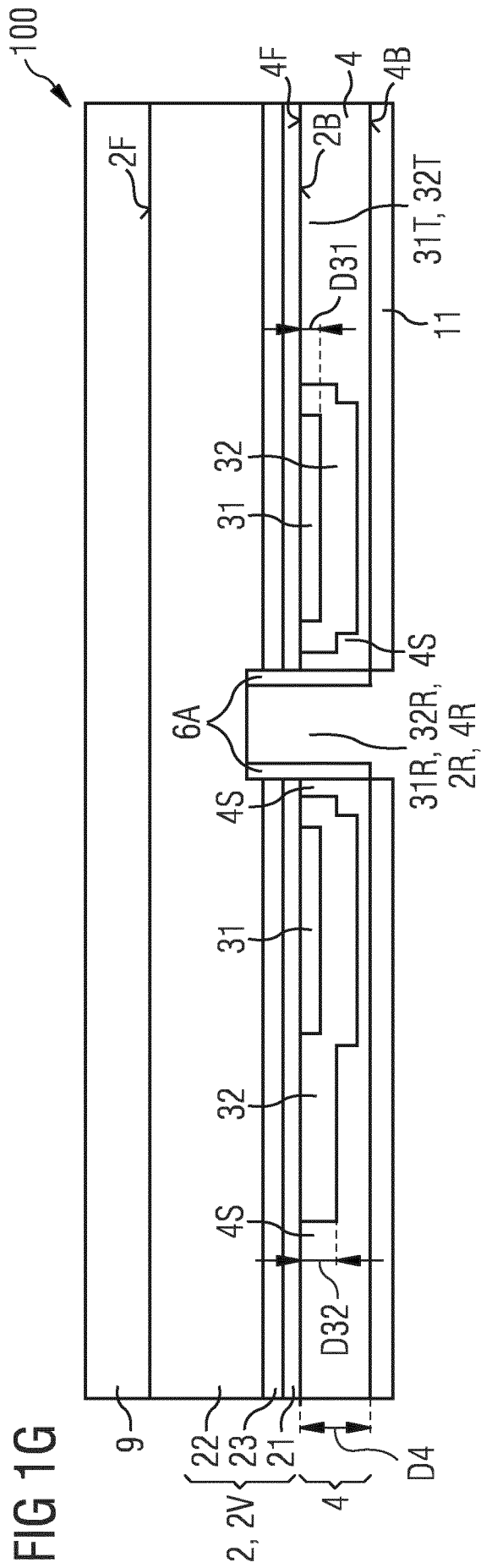
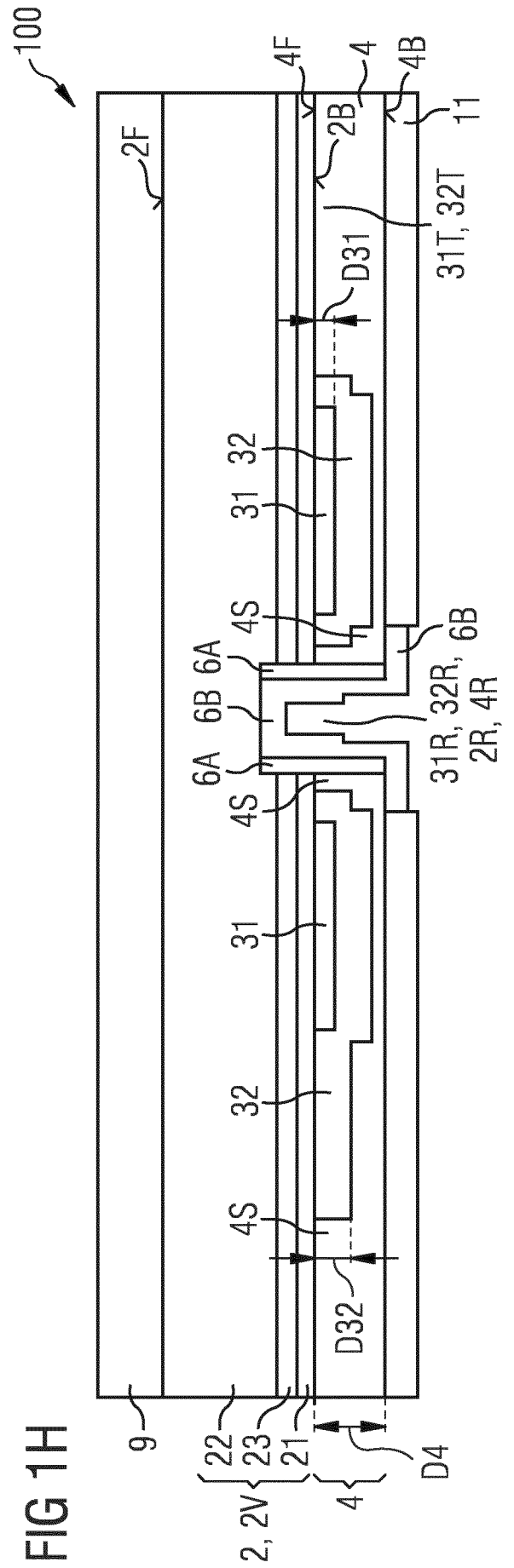


FIG 1G



THE



FFGE

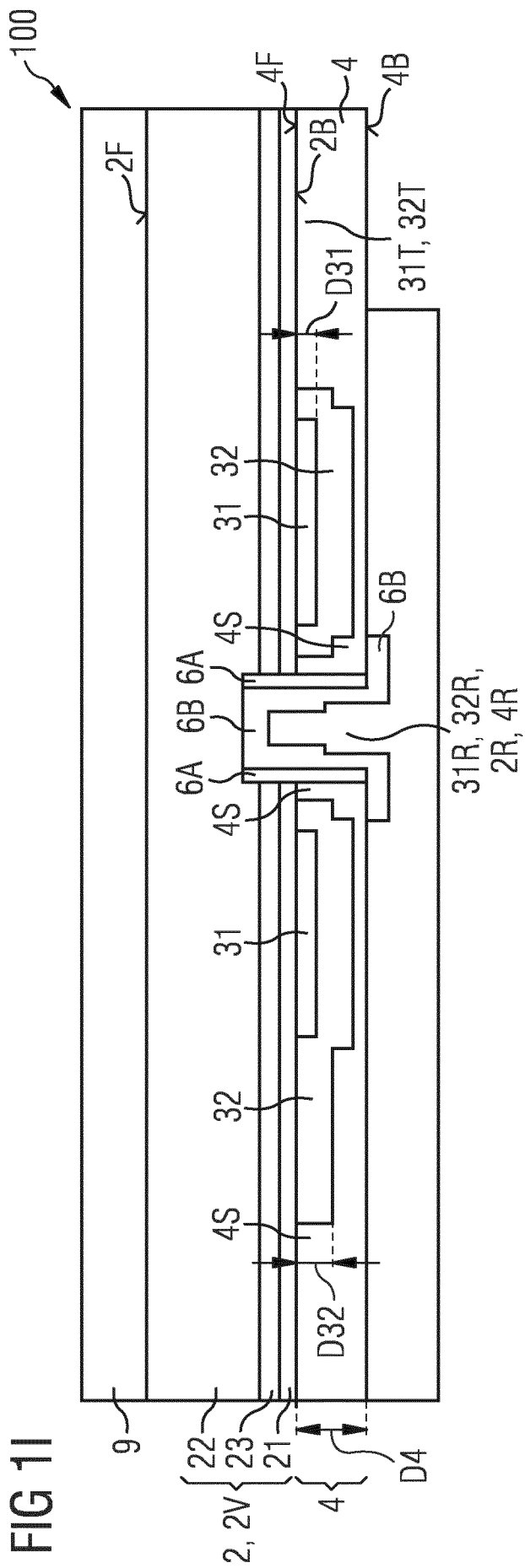


FIG 1J

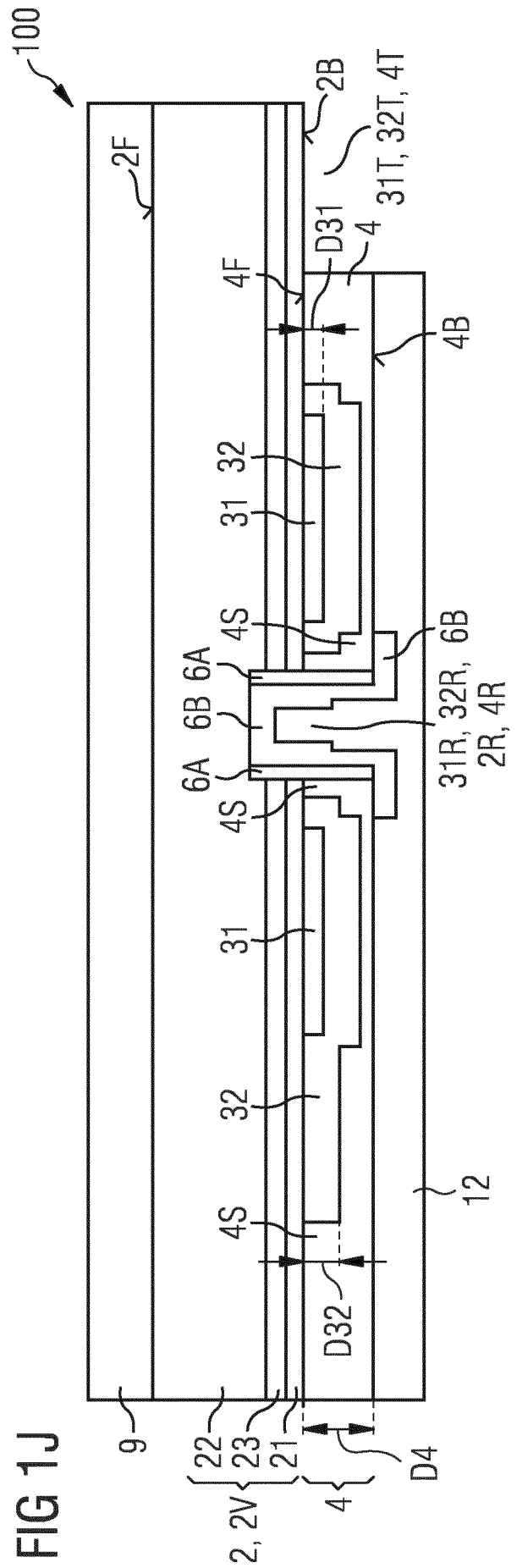


FIG 1K

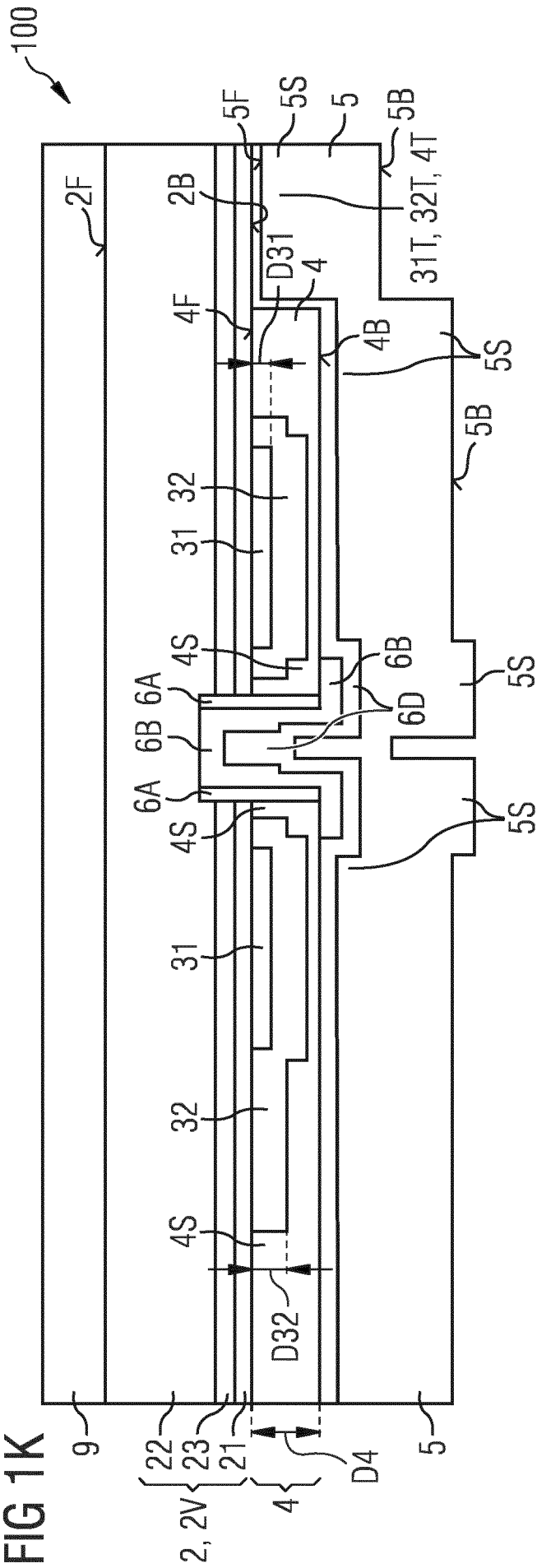


FIG 11

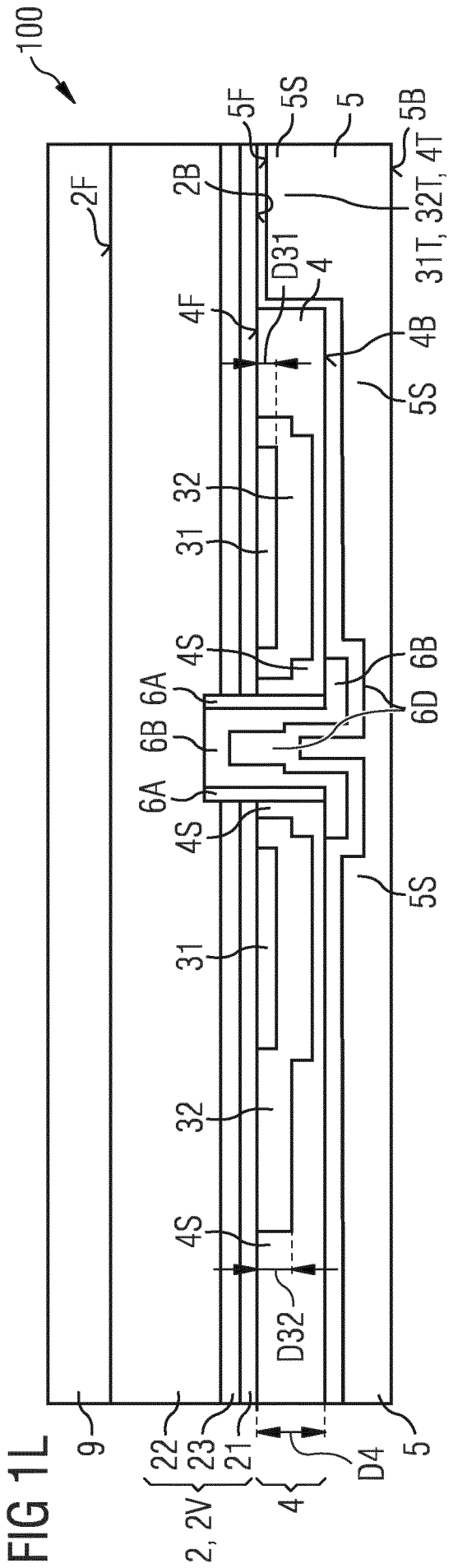
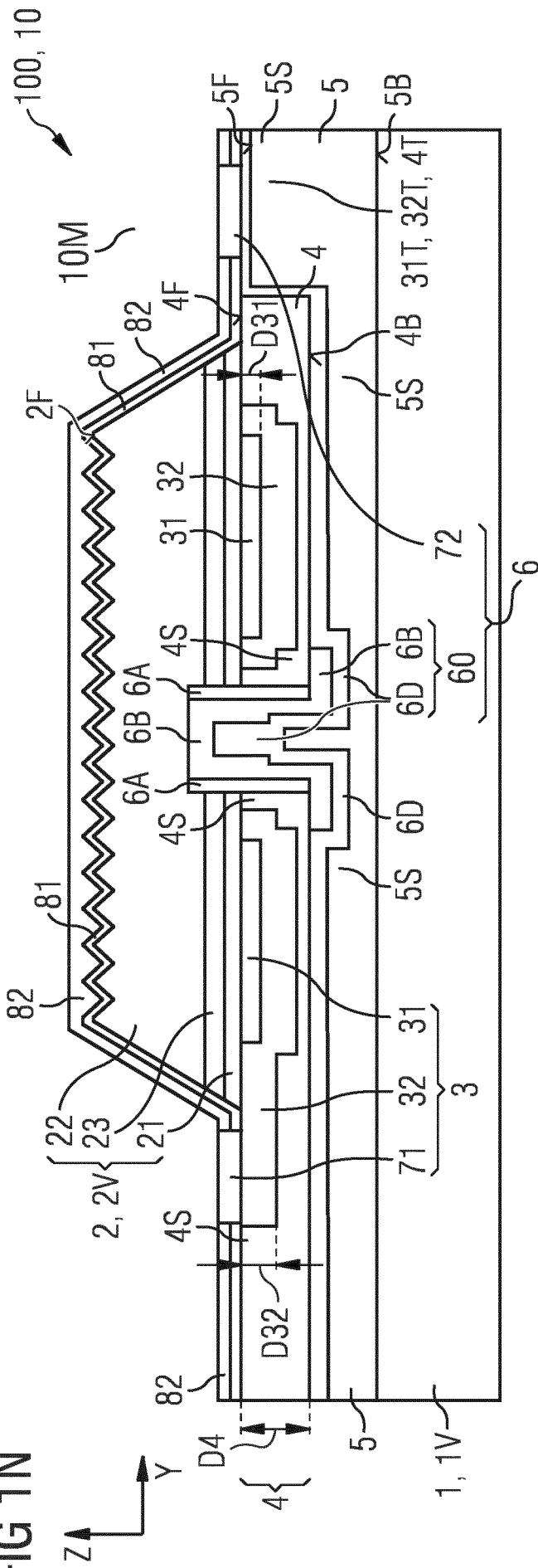
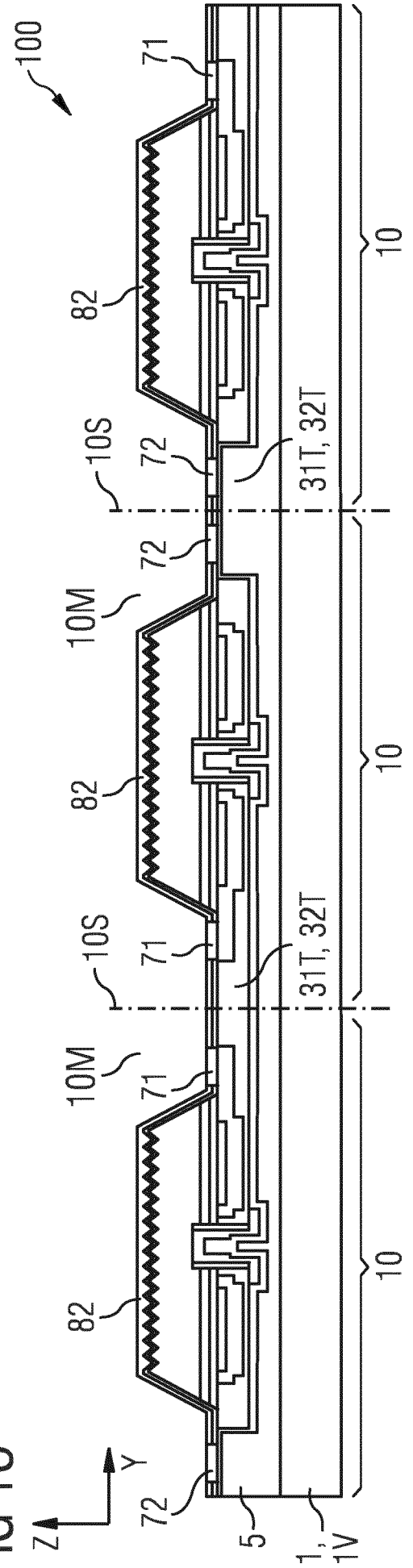


FIG 1N



0154



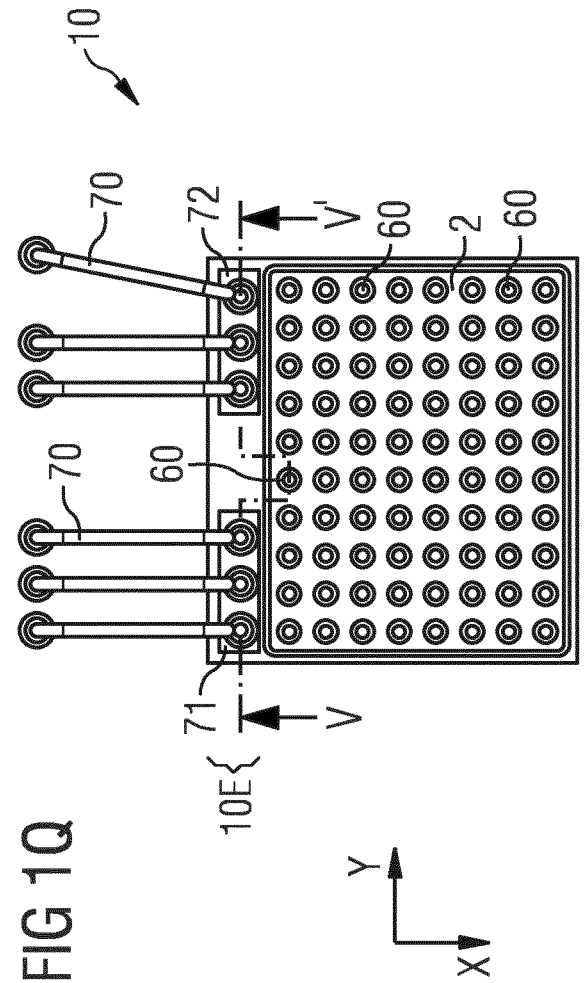
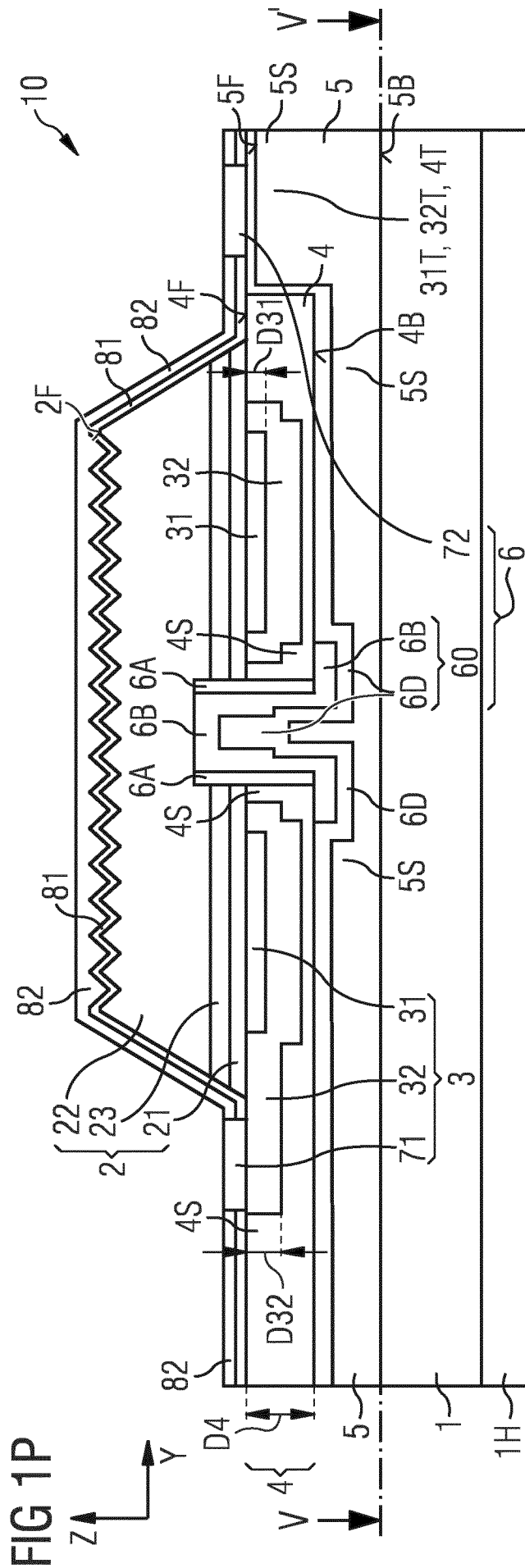


FIG 2A

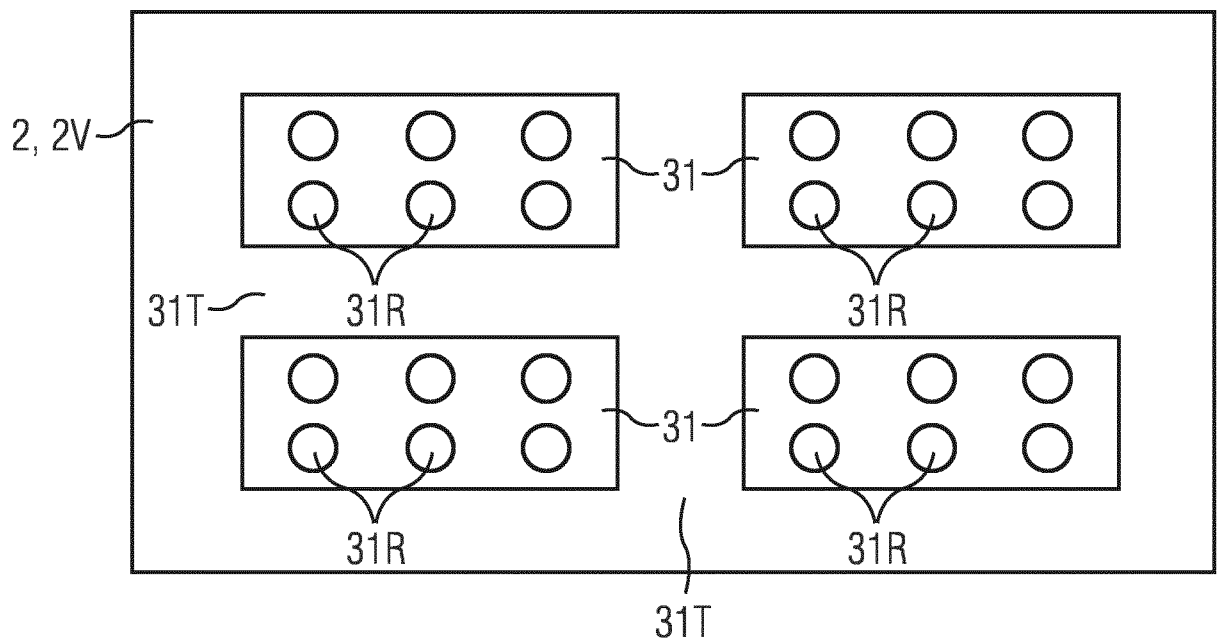
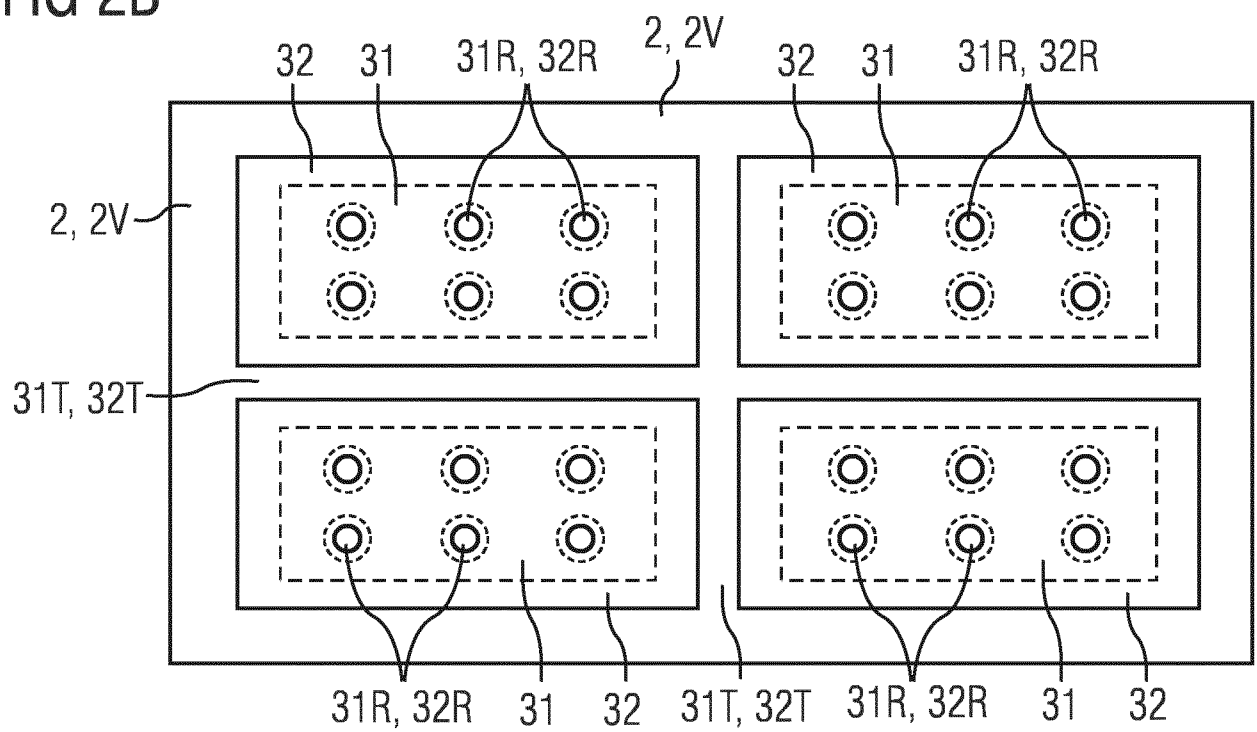


FIG 2B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP2018/076012**A. CLASSIFICATION OF SUBJECT MATTER****H01L 33/38**(2010.01)i; **H01L 33/14**(2010.01)i; **H01L 33/44**(2010.01)i; **H01L 33/00**(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 102010009717 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 01 September 2011 (2011-09-01) paragraphs [0020] - [0062]; figures 1-3	1-16
A	EP 2725629 A2 (NICHIA CORP [JP]) 30 April 2014 (2014-04-30) paragraphs [0011] - [0086]; figures 1-6F	1-16
A	WO 2017093327 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 08 June 2017 (2017-06-08) page 18, line 15 - page 33, line 2; figures 1A-3B	1-16
A	DE 102012108879 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 20 March 2014 (2014-03-20) paragraphs [0042] - [0074]; figures 1-4	1-16
A	DE 102011011140 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 16 August 2012 (2012-08-16) paragraphs [0029] - [0065]; figures 1A-2F	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

30 November 2018

Date of mailing of the international search report

07 December 2018

Name and mailing address of the ISA/EP

European Patent Office
p.b. 5818, Patentlaan 2, 2280 HV Rijswijk
Netherlands

Telephone No. (+31-70)340-2040

Facsimile No. (+31-70)340-3016

Authorized officer

Albrecht, Claus

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/EP2018/076012

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
DE	102010009717	A1	01 September 2011	CN	102782886 A	14 November 2012
				DE	102010009717 A1	01 September 2011
				EP	2543083 A1	09 January 2013
				JP	2013521636 A	10 June 2013
				KR	20130036222 A	11 April 2013
				TW	201145611 A	16 December 2011
				US	2013146910 A1	13 June 2013
				WO	2011107344 A1	09 September 2011
EP	2725629	A2	30 April 2014	EP	2725629 A2	30 April 2014
				TW	201428997 A	16 July 2014
				US	2014110737 A1	24 April 2014
				US	2016005928 A1	07 January 2016
WO	2017093327	A1	08 June 2017	DE	102015121056 A1	08 June 2017
				DE	112016005507 A5	20 September 2018
				TW	201732870 A	16 September 2017
				WO	2017093327 A1	08 June 2017
DE	102012108879	A1	20 March 2014	CN	104823287 A	05 August 2015
				DE	102012108879 A1	20 March 2014
				JP	6139687 B2	31 May 2017
				JP	2015533022 A	16 November 2015
				JP	2017098557 A	01 June 2017
				KR	20150056559 A	26 May 2015
				US	2015270458 A1	24 September 2015
				WO	2014044752 A1	27 March 2014
DE	102011011140	A1	16 August 2012	CN	103384923 A	06 November 2013
				CN	105977359 A	28 September 2016
				DE	102011011140 A1	16 August 2012
				KR	20130105931 A	26 September 2013
				TW	201246626 A	16 November 2012
				US	2014021507 A1	23 January 2014
				US	2016225943 A1	04 August 2016
				US	2017324000 A1	09 November 2017
				WO	2012110364 A1	23 August 2012

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES INV. H01L33/38 H01L33/14 H01L33/44 H01L33/00 ADD.		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
B. RECHERCHIERTE GEBIETE Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) H01L		
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, WPI Data		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 10 2010 009717 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 1. September 2011 (2011-09-01) Absätze [0020] - [0062]; Abbildungen 1-3 -----	1-16
A	EP 2 725 629 A2 (NICHIA CORP [JP]) 30. April 2014 (2014-04-30) Absätze [0011] - [0086]; Abbildungen 1-6F -----	1-16
A	WO 2017/093327 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 8. Juni 2017 (2017-06-08) Seite 18, Zeile 15 - Seite 33, Zeile 2; Abbildungen 1A-3B ----- -/-	1-16
☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche		Absendedatum des internationalen Recherchenberichts
30. November 2018		07/12/2018
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Albrecht, Claus

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	DE 10 2012 108879 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 20. März 2014 (2014-03-20) Absätze [0042] - [0074]; Abbildungen 1-4 -----	1-16
A	DE 10 2011 011140 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 16. August 2012 (2012-08-16) Absätze [0029] - [0065]; Abbildungen 1A-2F -----	1-16

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2018/076012

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 102010009717 A1	01-09-2011	CN 102782886 A	14-11-2012
		DE 102010009717 A1	01-09-2011
		EP 2543083 A1	09-01-2013
		JP 2013521636 A	10-06-2013
		KR 20130036222 A	11-04-2013
		TW 201145611 A	16-12-2011
		US 2013146910 A1	13-06-2013
		WO 2011107344 A1	09-09-2011

EP 2725629 A2	30-04-2014	EP 2725629 A2	30-04-2014
		TW 201428997 A	16-07-2014
		US 2014110737 A1	24-04-2014
		US 2016005928 A1	07-01-2016

WO 2017093327 A1	08-06-2017	DE 102015121056 A1	08-06-2017
		DE 112016005507 A5	20-09-2018
		TW 201732870 A	16-09-2017
		WO 2017093327 A1	08-06-2017

DE 102012108879 A1	20-03-2014	CN 104823287 A	05-08-2015
		DE 102012108879 A1	20-03-2014
		JP 6139687 B2	31-05-2017
		JP 2015533022 A	16-11-2015
		JP 2017098557 A	01-06-2017
		KR 20150056559 A	26-05-2015
		US 2015270458 A1	24-09-2015
		WO 2014044752 A1	27-03-2014

DE 102011011140 A1	16-08-2012	CN 103384923 A	06-11-2013
		CN 105977359 A	28-09-2016
		DE 102011011140 A1	16-08-2012
		KR 20130105931 A	26-09-2013
		TW 201246626 A	16-11-2012
		US 2014021507 A1	23-01-2014
		US 2016225943 A1	04-08-2016
		US 2017324000 A1	09-11-2017
		WO 2012110364 A1	23-08-2012
