



(12) 发明专利

(10) 授权公告号 CN 101855726 B

(45) 授权公告日 2015.09.16

(21) 申请号 200880115194.2

(51) Int. Cl.

(22) 申请日 2008.09.08

H01L 29/73(2006.01)

(30) 优先权数据

H01L 21/04(2006.01)

60/986,694 2007. 11. 09 US

审查员 赵凤瑗

(85) PCT国际申请进入国家阶段日

2010.05.07

(86) PCT国际申请的申请数据

PCT/US2008/010538 2008.09.08

(87) PCT国际申请的公布数据

W02009/061340 EN 2009.05.14

(73) 专利权人 克里公司

地址 美国北卡罗莱纳

(72) 发明人 张清纯 A·K·阿加沃尔

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

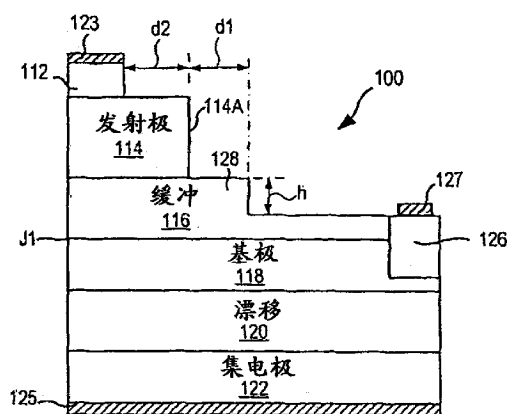
权利要求书2页 说明书8页 附图5页

(54) 发明名称

具有台面结构及包含台面台阶的缓冲层的功率半导体器件

(57) 摘要

双极结晶体管包括具有第一导电类型的集电极、在集电极上的具有第一导电类型的漂移层、在漂移层上的且具有与第一导电类型相反的第二导电类型的基极层、在基极层上的具有第一导电类型的并且与基极层形成 p-n 结的轻度掺杂的缓冲层、以及在缓冲层上的具有第一导电类型的且具有侧壁的发射极台面。缓冲层包括邻接于发射极台面的侧壁的且与其隔离开的台面台阶，并且在发射极台面之下的缓冲层的第一厚度大于在台面台阶之外的缓冲层的第二厚度。



1. 一种双极结晶体管,包括:
 - 具有第一导电类型的集电极;
 - 在所述集电极上的具有所述第一导电类型的漂移层;
 - 在所述漂移层上的且具有与所述第一导电类型相反的第二导电类型的基极层;
 - 在所述基极层上的具有所述第一导电类型的并且与所述基极层形成 p-n 结的缓冲层,其中所述缓冲层具有小于所述基极层的掺杂浓度的掺杂浓度;以及
 - 在所述缓冲层上的具有所述第一导电类型的且具有侧壁的发射极台面;
 - 其中所述缓冲层包括邻接于所述发射极台面的所述侧壁且与其横向隔开的台面台阶,所述缓冲层的在所述发射极台面之下的第一厚度大于所述缓冲层的在所述台面台阶之外的第二厚度;
 - 其中所述漂移层具有小于所述基极层的掺杂浓度的掺杂浓度;
 - 其中所述缓冲层具有的掺杂浓度被选择为使得所述缓冲层的具有所述第二厚度的一部分被在所述缓冲层与所述基极层之间的所述 p-n 结的内建电势完全耗尽。
2. 根据权利要求 1 的双极结晶体管,还包括:
 - 在所述发射极台面上的本地发射极接触区,所述本地发射极接触区具有所述第一导电类型并且具有大于所述发射极台面的掺杂浓度的掺杂浓度并且与所述发射极台面的所述侧壁横向隔开;以及
 - 在所述本地发射极接触区上的发射极欧姆接触。
3. 根据权利要求 2 的双极结晶体管,其中所述本地发射极接触区与所述发射极台面的所述侧壁隔开大约 $2\text{ }\mu\text{m}$ 或更大的距离。
4. 根据权利要求 3 的双极结晶体管,还包括:
 - 延伸至所述基极层之内的基极接触区,所述基极接触区具有所述第二导电类型并且具有大于所述基极层的掺杂浓度的掺杂浓度;以及
 - 在所述基极接触区上的基极欧姆接触。
5. 根据权利要求 1 的双极结晶体管,还包括:
 - 延伸至所述基极层之内的基极接触区,所述基极接触区具有所述第二导电类型并且具有大于所述基极层的掺杂浓度的掺杂浓度;以及
 - 在所述基极接触区上的基极欧姆接触。
6. 根据权利要求 1 的双极结晶体管,其中所述台面台阶具有大约 $0.3\text{ }\mu\text{m}$ 或更小的高度。
7. 根据权利要求 1 的双极结晶体管,其中所述台面台阶与所述发射极台面的所述侧壁隔开大约 $2\text{ }\mu\text{m}$ 或更大的距离。
8. 一种双极结晶体管,包括:
 - 具有第一导电类型的集电极;
 - 在所述集电极上的具有所述第一导电类型的漂移层;
 - 在所述漂移层上的且具有与所述第一导电类型相反的第二导电类型的基极层;
 - 在所述基极层上的具有所述第一导电类型的并且与所述基极层形成 p-n 结的缓冲层,其中所述缓冲层具有小于所述基极层的掺杂浓度的掺杂浓度;以及
 - 在所述缓冲层上的具有所述第一导电类型的且具有侧壁的发射极台面;

其中所述缓冲层包括邻接于所述发射极台面的所述侧壁且与其横向隔开的台面台阶，所述缓冲层的在所述发射极台面之下的第一厚度大于所述缓冲层的在所述台面台阶之外的第二厚度；

在所述发射极台面上的本地发射极接触区，所述本地发射极接触区具有所述第一导电类型并且具有大于所述发射极台面的掺杂浓度的掺杂浓度并且与所述发射极台面的所述侧壁横向隔开；以及

在所述本地发射极接触区上的发射极欧姆接触；

在所述发射极台面的所述侧壁上的并延伸以与所述本地发射极接触区及所述缓冲层两者接触的传导层，其中所述发射极欧姆接触形成与所述传导层的欧姆接触。

9. 一种功率半导体器件，包括：

具有第一导电类型的第一层；

在所述第一层上的第二层，所述第二层具有与所述第一导电类型相反的第二导电类型并且具有高于所述第一层的第一掺杂浓度的第二掺杂浓度；

在所述第二层上的具有所述第一导电类型的并且与所述第二层形成 p-n 结的第三层，所述第三层具有低于所述第二层的所述第二掺杂浓度的第三掺杂浓度；以及

在所述第三层上的具有所述第一导电类型的且具有侧壁的台面；

其中所述第三层包括邻接于所述台面的所述侧壁的且与其横向隔开的台面台阶，所述第三层的在所述台面之下的第一厚度大于所述第三层的在所述台面台阶之外的第二厚度；

在所述台面上的接触区，所述接触区具有所述第一导电类型并且具有大于所述台面的第五掺杂浓度的第四掺杂浓度并且与所述台面的所述侧壁横向隔开；以及

在所述接触区上的欧姆接触；

在所述台面的所述侧壁上的并且延伸以与所述接触区及所述第三层两者接触的传导层，其中所述欧姆接触形成与所述传导层的欧姆接触。

具有台面结构及包含台面台阶的缓冲层的功率半导体器件

[0001] 相关申请

[0002] 本申请要求在 2007 年 9 月 9 日提交的, 题目为“SILICONCARBIDE BIPOLAR JUNCTION TRANSISTOR”的美国临时专利申请 No. 60/986, 694 的利益及优先权, 在此通过全文引用的方式并入该申请的公开内容。

[0003] 政府权益声明

[0004] 本发明在美国政府 (Government) 根据由美国陆军研究实验室 (Army Research Laboratory) 授予的合同 no. W911NF-04-2-0022 的资助下产生。美国政府 (Government) 在本发明中拥有某些权利。

技术领域

[0005] 本发明涉及微电子器件, 并且更特别地涉及功率半导体器件。

背景技术

[0006] 高压碳化硅 (SiC) 器件能够处理高于大约 600V 或更大的电压。取决于它们的有效面积, 这样的器件可以处理差不多大约 100 安培或更大的电流。高压 SiC 器件具有许多重要的应用, 特别是在功率调节、分布及控制的领域中。已经使用碳化硅来制作高压半导体器件, 例如肖特基二极管、MOSFET、GTO、IGBT、BJT 等。

[0007] 常规的 SiC 功率器件, 例如 SiC 肖特基二极管结构, 具有 n 型 SiC 衬底, 在该 n 型 SiC 衬底上形成了起着漂移区的作用的 n- 外延层。该器件典型地包括直接在 n- 层上形成的肖特基接触。在肖特基接触的周围是典型地通过离子注入来形成的 p 型 JTE (结终端扩展) 区。注入物可以是铝、硼、或任何其它适合的 p 型掺杂剂。JTE 区的目的是要降低在结的边缘处的电场聚集, 并且减小或防止耗尽区与器件表面间的相互作用。表面效应可以引起耗尽区散布不均匀, 这可能不利地影响到器件的击穿电压。其它终端技术包括可能受到表面效应更强烈影响的保护环和浮置场环。沟道终止区还可以通过注 n 型掺杂剂 (例如氮或磷) 来形成, 以便减小耗尽区向器件边缘扩展。

[0008] 除了结终端扩展 (JTE) 之外, 多浮置保护环 (MFGR) 及场板 (FP) 也是在高压碳化硅器件中常用的终端方案。另一种常规的边缘终端技术是台面边缘终端。但是, 台面终端的存在可能在台面角落 (mesa corner) 引起高电场, 即使存在结终端扩展或保护环。台面的过蚀会加剧在台面角落的电场聚集的问题。对于给定的漂移层厚度和掺杂, 在台面角落的高电场可能导致比其它情况所预期的击穿电压更低的击穿电压。

[0009] 图 1 示出了常规的台面终端的 PIN 二极管。如图 1 所示, PIN 二极管 10 包括在 p+ 层 16 与 n+ 衬底 14 之间的 n- 漂移层 12。图 1 示出了 PIN 结构的一半; 该结构可以包括镜像部分 (没有示出)。阳极接触 23 处于 p+ 层 16 上, 而阴极接触 25 处于 n+ 衬底 14 上。p+ 层 16 被形成为在 n- 漂移层 12 上的台面。在与 p+ 台面 16 邻接的 n- 漂移层 12 中提供了包括多个 JTE 区 20A、20B、20C 的结终端扩展 (JTE) 区 20。JTE 区 20A、20B、20C 是 p 型区域, 该 p 型区域可以具有随着与在 p+ 台面 16 与 n- 漂移层 12 之间的 PN 结的距离向外减小的

电荷电平。虽然示出了 3 个 JTE 区 20A、20B、20C,但是可以提供更多或更少的 JTE 区。

[0010] 如图 1 所示,与 p+ 台面 16 邻接的 n- 漂移层 12 可以(由于例如蚀刻过程控制的困难)被轻度过蚀,使得在 p+ 台面 16 之下的 n- 漂移层 12 的侧壁 12A 可以露出。高达大约 3000 Å 的过蚀可能在某些情况下发生。要保护露出的侧壁 12A,可以执行侧壁注入,在该注入中 p 型杂质被注入侧壁 12A 内以形成侧壁注入区 22。

[0011] 在常规的台面终端结构中,例如在图 1 中所示出的 PIN 二极管结构 10,电场聚集可能发生于台面角落 29 或其附近,导致在角落 29 处的高电场强度。这些高电场强度能够降低器件的击穿电压。例如,基于漂移层的厚度和掺杂以及 JTE 设计的理论击穿电压为 12kV 的常规的台面终端的 PIN 二极管结构可能具有仅为 8kV 的有效击穿电压。

[0012] 除了电场聚集以外,在 SiC 功率双极结晶体管 (BJT) 的发展中的另一个挑战是电流增益退化现象,也就是,在器件中电流增益随时间的减小。电流增益退化典型地会有助于材料缺陷(例如基面位错 (BPD)),并且有助于表面复合,尤其是沿着器件发射极侧壁及对着器件基极的表面。已经观察到了在无 BPD 的晶片上制作的 SiC BJT 上的电流增益退化的轻微降低。另外, SiC BJT 的发射极指 (emitter finger) 典型地通过反应离子蚀刻 (RIE) 来形成。非均匀的 RIE 蚀刻率能够部分地或完全地蚀刻掉在晶片外围附近的基极材料,这会引起产出率的大量减少。

发明内容

[0013] 根据某些实施方案的双极结晶体管包括:具有第一导电类型的集电极,具有第一导电类型的在集电极上的漂移层,在漂移层上的且具有与第一导电类型相反的第二导电类型的基极层,在基极层上的具有第一导电类型的并形成具有较重掺杂的基极层的 p-n 结的轻度掺杂的缓冲层,以及在缓冲层上的具有第一导电类型的且具有侧壁的发射极台面。缓冲层包括邻接于发射极台面的侧壁且与其横向间隔开的台面台阶,以及在发射极台面之下的缓冲层的第一厚度大于在台面台阶之外的缓冲层的第二厚度。

[0014] 双极结晶体管还可以包括在发射极台面上的本地发射极接触区。本地发射极接触区具有第一导电类型并且具有大于发射极台面的掺杂浓度的掺杂浓度。本地发射极接触区与发射极台面的侧壁横向隔离开。发射极欧姆接触 (ohmic contact) 处于本地发射极接触区上。

[0015] 本地发射极接触区可以与发射极台面的侧壁隔开大约 2 μm 或更大的距离。

[0016] 双极结晶体管还可以包括在发射极台面的侧壁上的并延伸至与本地发射极接触区及缓冲层接触的传导层。发射极欧姆接触可以形成与传导层的欧姆接触。

[0017] 双极结晶体管还可以包括延伸至基极层内的并具有第二导电类型的以及具有大于基极层的掺杂浓度的掺杂浓度的基极接触区。基极欧姆接触处于基极接触区上。

[0018] 台面台阶可以具有大约 0.3 μm 或更小的高度。而且,台面台阶可以与发射极台面的侧壁隔离开大约 2 μm 或更大的距离。

[0019] 缓冲层可以具有小于基极层的掺杂浓度的掺杂浓度。在某些实施方案中,缓冲层可以具有所选择的掺杂浓度使得具有第二厚度的一部分缓冲层由在缓冲层与基极层之间的 p-n 结的内建电势完全耗尽。

[0020] 集电极、漂移层、基极层、缓冲层及发射极台面包含碳化硅。

[0021] 根据某些实施方案的功率半导体器件包括具有第一导电类型的第一层,在第一层上的第二层,具有与第一导电类型相反的第二导电类型的且具有高于第一层的第一掺杂浓度的第二掺杂浓度的第二层。具有第一导电类型的第三层处于第二层上并且与第二层形成 p-n 结。第三层具有低于第二层的第二掺杂浓度的第三掺杂浓度。具有第一导电类型的台面是第三层并且具有侧壁。缓冲层可以包括邻接于台面侧壁的台面台阶并且与其横向隔离开。在台面之下的第三层的第一厚度大于在台面台阶之外的第三层的第二厚度。

[0022] 功率半导体器件还可以包括在台面上的接触区,该接触区具有第一导电类型并且具有大于台面的第五掺杂浓度的第四掺杂浓度并且与台面侧壁横向隔离开。欧姆接触处于接触区上。

[0023] 功率半导体器件还可以包括在台面侧壁上的传导层并且延伸至与接触区及缓冲层接触,而欧姆接触可以形成与传导层的欧姆接触。

[0024] 形成根据某些实施方案的电子器件的方法包括提供具有第一导电类型的漂移层,提供在漂移层上的半导体层,该半导体层具有与第一导电类型相反的第二导电类型,提供在半导体层上的具有第一导电类型的缓冲层,以及选择性地蚀刻缓冲层以形成限定具有第一厚度的第一部分缓冲层以及具有小于第一厚度的第二厚度的第二部分缓冲层的台面台阶。方法还包括提供在第一部分缓冲层上的台面,该台面具有第一导电类型并具有台面侧壁并且部分地露出第一部分缓冲层并与缓冲层的台面台阶横向隔离开。

附图说明

[0025] 为了进一步理解本发明而引入的并且被合并构成本申请的一部分的附图示出了本发明的某一(或某些)实施方案。在附图中:

[0026] 图 1 是常规的台面终端的 PIN 二极管结构的截面图。

[0027] 图 2 和 3 是根据本发明的某些实施方案的二极管结晶体管结构的截面图。

[0028] 图 4A 和 4B 是比较常规的双极结晶体管结构与根据本发明的实施方案的双极结晶体管结构的退化行为的图表。

[0029] 图 5 和 6 是根据本发明的另外实施方案的器件结构的截面图。

[0030] 图 7A 到 7D 是示出根据某些实施方案的半导体器件的形成的截面图。

具体实施方式

[0031] 本发明的实施方案现在将参考附图在下面更全面地描述,在附图中示出了本发明的实施方案。但是,本发明可以用许多不同的形式来实施而不应该被看作仅限于在此所阐述的实施方案。更确切地,提供这些实施方案使得本公开内容将是彻底的且完全的,并且将本发明的范围充分地传达给本领域技术人员。全文中相似的数字指示相似的元件。

[0032] 应当理解,虽然在此可以使用词语第一、第二等来描述各种元素,但是这些元素不应该由这些词语所限定。这些术语仅被用来将一个元素与另外的元素区分开。例如,在没有脱离本发明的范围的情况下,第一元素可以被称为第二元素,并且相似地,第二元素能够被称为第一元素。如在此所使用的,词语“和/或”包括一个或多个关联的列出项的任一或所有组合。

[0033] 在此所使用的术语学是仅为了描述特殊的实施方案的目的而并不是要限定本发

明。如在此所使用的,单数形式的“一”、“一个”及“该”(“a”、“an” and “the”)意指还包括复数形式,除非上下文另外明确说明。还应当理解,词语“包含”“含有”、“包括”和 / 或“具有”在这里使用时指定存在所述的特征、整体 (integer)、步骤、操作、元素、和 / 或组件,但是并不排除存在或另加一个或多个其它特征、整体、步骤、操作、元素、组件、和 / 或它们的分组。

[0034] 除非另有规定,在此使用的所有词语(包括技术及科学术语)具有与本发明所属的领域的技术人员通常所理解的意思相同的意思。还应当理解,在此使用的词语应该理解为具有与它们在本说明书及相关领域的背景下的意思一致的意思而不应该理解为理想化的或过分形式化的意义,除非在此明确这样规定。

[0035] 应当理解,当提到元素(例如层、区域或衬底)处于另一元素“上”或延伸至另一元素“之上”时,它能够是直接处于该另一元素上或直接延伸至该另一元素之上或者也可以存在介入元素。相反地,当提到元素“直接”处于另一元素“上”或者“直接”延伸至另一元素“之上”时,则不存在介入元素。还应当理解,当提到元素与另一元素“连接”或“耦连”时,它能够与该另一元素直接地连接或耦连或者可以存在介入元素。相反地,当提到元素与另一元素“直接连接”或“直接耦连”,则不存在介入元素。

[0036] 相关性词语例如“以下”、“以上”、“上部”、“下部”、“水平的”、“横向的”、“垂直的”、“之方”、“之方”、“上面”等在此可以用来描述一个元素、层或区域与另一元素、层或区域的关系,如附图所示。应当理解,这些词语意指除了附图所示的取向以外还包含器件的不同取向。

[0037] 本发明的实施方案在此参考为本发明理想的实施方案(及中间结构)的示意性示图的截面示图来描述。附图中的层及区的厚度可以为了清晰而夸张。另外,应当预期到由于例如制造技术和 / 或公差而产生的与示图的形状的差异。因而,不应当认为本发明的实施方案限定于在此所示出的特别形状的区域而应当包括由例如制造所引起的形状偏差。例如,示出为矩形的注入区将典型地具有圆形的或弯曲的特征和 / 或在其边缘的注入浓度梯度而不是从注入区到非注入区的分立变化。同样地,由注入所形成的隐埋区可以导致在隐埋区与进行注入所穿过的表面之间的区域内的某些注入。因而,图中所示的区域实际上是示意性的并且它们的形状并不是要示出实际器件的区域的形状也并不是要限定本发明的范围。

[0038] 本发明的某些实施方案参考其特征在于具有如 n 型或 p 型那样的导电类型的半导体层和 / 或半导体区来描述,其中所述导电类型指的是在层和 / 或区内的多数载流子浓度。因而, n 型材料具有带负电的电子的多数平衡浓度,而 p 型材料则具有带正电的空穴的多数平衡浓度。某些材料可以用“+”或“-”(例如 n⁺、n⁻、p⁺、p⁻、n⁺⁺、n⁺⁻、p⁺⁺、p⁺⁻等)来指定,以指示与另一层或区相比相对较大的(“+”)或较小的(“-”)多数载流子浓度。但是,该符号并不隐含存在着在层或区内的多数或少数载流子的特定浓度。

[0039] 如上所述,碳化硅(SiC) 双极结晶体管(BJT)被认为是用于高功率、高温、和 / 或高频率的应用的适用器件。但是,这样的器件会遭受其中器件的电流 - 电压特性随时间和 / 或随操作应力而恶化的电流增益退化。常规的技术通过合并由外延再生在器件表面上沉积的边缘层来解决 SiC BJT 器件中的电流退化。但是,在形成边缘之后由 RIE 和 / 或电感耦合等离子体(ICP)的干法蚀刻过程所引起的晶体破坏没有被去除,结果是表面复合速

率可能得不到显著的提高。在 BJT 器件的导通状态期间,集电极电流聚集使在发射极侧壁上的载流子复合加剧,这可以增强俄歇复合 (Auger recombination) 和 / 或界面阱的产生。

[0040] 本发明的实施方案可以减小和 / 或消除沿着发射极侧壁的和 / 或在基极顶表面上的表面复合,从而潜在地减小和 / 或消除电流增益退化。

[0041] 根据本发明的某些实施方案的器件结构可以包括可以通过改变穿过器件的电流传导路径来单独地或共同地降低界面阱的一个或多个特征。在某些实施方案中,改变穿过器件的电流传导路径可以减少和 / 或减轻可能由于干法蚀刻的使用而引起的问题。

[0042] 本发明的 NPN BJT 结构的实施方案在下文描述。但是,本发明可以用许多其它功率双极器件 (例如 IGBT、GTO 等) 来实施。

[0043] 根据某些实施方案的 BJT 100 的简化截面图在图 2 中示出。BJT 结构 100 包括具有第一导电类型 (即 n 型或 p 型) 的集电极 122,在集电极 122 上的且具有第一导电类型的轻度掺杂的漂移层 120,以及在漂移层 120 上的且具有与第一导电类型相反的第二导电类型 (例如 p 型或 n 型) 的基极层 118。基极层 118 掺杂比漂移层更重,并且可以具有例如大约 $3 \times 10^{17} \text{cm}^{-3}$ 到大约 $5 \times 10^{18} \text{cm}^{-3}$ 的掺杂浓度。

[0044] 在结构 100 中的半导体层可以形成为碳化硅的外延区和 / 或注入区。但是,应当理解,根据某些实施方案的结构能够使用其它材料 / 方法来形成。

[0045] 例如,漂移层 120 可以由具有大约 $2 \times 10^{14} \text{cm}^{-3}$ 到大约 $1 \times 10^{17} \text{cm}^{-3}$ 的掺杂浓度的 2H、4H、6H、3C 和 / 或 15R 多型的碳化硅来形成。可以选择漂移层 120 的厚度及掺杂来提供所期望的阻断电压和 / 或导通电阻。例如,对于阻断电压为 10kV 的器件,漂移层 120 可以具有大约 100 μm 的厚度以及大约 $2 \times 10^{14} \text{cm}^{-3}$ 的掺杂。

[0046] 集电极 122 可以是生长衬底,并且在某些实施方案中可以包括 2H、4H、6H、3C 和 / 或 15R 多型的轴上或离轴碳化硅的体单晶 (bulk single crystal)。集电极 122 可以具有大约 $1 \times 10^{18} \text{cm}^{-3}$ 到大约 $5 \times 10^{20} \text{cm}^{-3}$ 的掺杂浓度。在某些实施方案中,漂移层 120 可以包括体单晶的 4H- 或 6H-SiC 衬底,而集电极 122 可以包括在漂移层 120 上的注入区或外延区。

[0047] 具有第一导电类型的轻度掺杂的缓冲层 116 形成于基极层 118 上,而具有第一导电类型的发射极台面 114 形成于缓冲层 116 上。因为缓冲层 116 与基极层 118 具有相反的导电类型,所以冶金 p-n 结 J1 在缓冲层 116 与基极层 118 之间的界面形成。缓冲层 116 可以具有小于基极层的掺杂浓度,使得 p-n 结 J1 的耗尽区可以足够远地延伸至缓冲层 116 之中以耗尽缓冲层 116 的显著部分。

[0048] 缓冲层 116 包括与发射极台面 114 邻接的台面台阶 128。在缓冲层 116 内的台面台阶 128 可以通过在台面角落提供台阶来减小在发射极 / 基极角落的电流聚集。而且,台面台阶 128 可以提供可能引起基极电流从缓冲层 116 的表面退离开的增加电阻。

[0049] 台面台阶 128 可以通过对在基极层 118 的顶部上的轻度掺杂的缓冲层 116 进行选择性蚀刻来形成。例如,缓冲层 116 可以形成为在基极层 118 上的具有大约 0.3 μm 到大约 0.5 μm 的厚度的外延层。缓冲层 116 可以具有大约 $1 \times 10^{16} \text{cm}^{-3}$ 到大约 $5 \times 10^{17} \text{cm}^{-3}$ 的掺杂浓度,尤其是大约 $1 \times 10^{17} \text{cm}^{-3}$ 。可以掩蔽并各向异性地蚀刻缓冲层 116 以将一部分缓冲层 116 的厚度减小至大约 0.3 μm 的厚度。台面台阶 128 的高度可以为大约 0.4 μm 或更小,并且在某些实施方案中可以为大约 0.3 μm 或更小。台面台阶 128 可以位于与发射极台面 114 的侧壁 114A 大约 2 μm 或更大的距离 (d1) 的位置。

[0050] 具有第二导电类型的重度掺杂的基极接触区 126 (例如, 大于大约 $1 \times 10^{19} \text{cm}^{-3}$) 可以通过例如外延再生来形成, 并且在基极接触区 126 上可以形成基极欧姆接触 127。基极接触区 126 可以延伸穿过和 / 或邻接于缓冲层 116 至基极层 118 内。集电极欧姆接触 125 形成于集电极 122 上。与 n 型及 p 型的碳化硅的欧姆接触的形成是本领域所熟知的。

[0051] 缓冲层 116 的受蚀而形成台阶 128 的部分可以被蚀刻至将由在基极层 118 与缓冲层 116 之间的冶金结 J1 的内建电势完全耗尽的厚度。也就是, 可以联系于厚度来选择缓冲层 116 的掺杂以使缓冲层 116 的蚀刻部分由结 J1 的内建电势完全地耗尽 (尽管在某些实施方案中可能只是部分地耗尽缓冲层 116 的一部分)。

[0052] 因为缓冲层 116 的一部分由结 J1 的内建电势所耗尽, 所以缓冲层 116 能够充当蚀刻台面台阶 128 的蚀刻终止层。也就是, 蚀刻的深度控制可以在蚀刻期间通过探测蚀刻表面并将电压施加于蚀刻表面来执行。响应于所施加的电压而通过探针的电流水平随着正被蚀刻的层的载流子浓度变化而变化。

[0053] 在某些实施方案中, 缓冲层 116 的较厚部分可以由基极 / 缓冲结 J1 的内建电势只是部分地耗尽, 同时仍然减小在发射极 / 基极角落的电流聚集。

[0054] 在某些实施方案中, 可选的本地发射极接触区 112 可以形成于发射极台面 114 上。发射极接触 123 可以形成于本地发射极接触区 112 上。本地发射极接触区 112 可以具有小于发射极台面 114 的宽度的宽度。因而, 本地发射极接触区 112 的面对台面台阶 128 的边缘与发射极台面 114 的边缘横向隔离开。在某些实施方案中, 本地发射极接触区 112 的边缘可以位于距发射极台面 114 的侧壁 114A 大于 $2 \mu\text{m}$ 的距离 (d2) 以提供与发射极台面 114 的侧壁 114A 横向隔离开的电流传导路径。

[0055] 本地发射极接触区 112 可以被重度掺杂 (例如, 大于大约 $1 \times 10^{19} \text{cm}^{-3}$) 以便获得与之良好的欧姆接触, 而发射极台面 114 的掺杂可以小于大约 $2 \times 10^{18} \text{cm}^{-3}$ 。

[0056] 由于发射极台面 114 的横向电阻, 导通状态下的集电极电流可以从发射极台面 114 的侧壁 114A 传导离开, 从而潜在地降低沿着发射极台面 114 的侧壁 114A 的界面阱的发生。

[0057] 本发明另外的实施方案在图 3 中示出。如图 3 所示, 第二导电类型的材料的可选的传导层 224 可以形成于发射极台面 114 的上部及侧表面。传导层 224 可以重度掺杂。在其一端, 传导层 224 形成与发射极接触 123 的欧姆接触。在另一端, 传导层 224 终止于发射极台面 114 与台面台阶 128 之间的缓冲层 116 上。传导层 224 可以充当从基极层 118 注入的载流子 (例如, 空穴, 当基极 118 为 p 型时) 的宿 (sink), 从而减小该载流子与由发射极 114 提供的导电类型相反的载流子 (例如, 电子) 复合的可能性。

[0058] 传导层 224 能够通过例如与形成基极接触区 126 的类型相同的外延再生来形成。可以选择性地蚀刻再生的外延层, 同时在发射极台面 114 上留下一些再生的外延材料。

[0059] 图 4A 和 4B 比较在相同晶片上制作的具有常规结构的 BJT 与具有根据本发明的实施方案的结构的 BJT 的电流退化行为。特别地, 图 4A 示出了常规的 SiC BJT 结构在 5 分钟的 $I_c = 2\text{A}$ 及 $I_b = 50\text{mA}$ 的电流应力之前 (曲线 402) 以及之后 (曲线 404) 的电流 - 电压特性。在图 4A 中观察到了显著的电流退化。

[0060] 图 4B 示出了根据某些实施方案的包括台面台阶、传导层及本地发射极的 SiC BJT 结构的电流 - 电压特性 (曲线 406)。在这种结构中观察不到显著的退化, 即使在 20 分钟的

$I_c = 3A$ 及 $I_b = 100mA$ 的电流应力之后。

[0061] 图 5 和 6 示出了可以采用本发明的各种实施方案的其它类型的器件。在所有情况下,器件包括含有台面台阶的缓冲层及漂移层。如图 5 和 6 的实施方案所示,器件的漂移层可以是 p 型或 n 型,并且缓冲层及隐埋结可以具有相反的导电类型(即 n 型或 p 型)。

[0062] 图 5 示出了根据某些实施方案的 n 型栅极关断(GTO)晶闸管 300。GTO 300 包括在 p 型层 322 上的 n 型漂移层 320。p 型层 318 形成于 n 型漂移层 320 上。包括台面台阶 328 的 n 型缓冲层 316 形成于 p 型层 318 上。n 型台面 314 形成于 n 型缓冲层 316 上,而 n+ 接触层 312 形成于 n 型台面 314 上。缓冲层 316 形成延伸经过台面 314 的侧壁至 p 型层 318 之上的台面台阶 328。p 型传导层 324 处于台面 314 的侧壁上并接触缓冲层 316。阴极接触 323 形成与 n+ 接触层 312 的以及传导层 324 的欧姆接触。阳极接触 325 处于 p 型层 322 上。虽然在图 5 中没有示出,栅极接触可以形成于 p 型层 322 上。

[0063] 图 6 示出了根据某些实施方案的 UMOSFET(U 形金属-氧化物半导体场效应晶体管)结构 400,该结构 400 包括在 n+ 漏极层 422 上的 n 型漂移层 420。p 型主体层 418 形成于 n 型漂移层 420 上。包括台面台阶 428 的 n 型缓冲层 416 形成于 p 型主体层 418 上。n 型源极台面 414 形成于 n 型缓冲层 416 上。缓冲层 416 形成延伸经过源极台面 414 的第一侧壁在 p 型主体层 418 之上的台面台阶 428。栅极氧化层 432 形成于与第一表面相对的源极台面 414 的第二表面,并且栅电极 430 处于栅极氧化层 432 上。源极欧姆接触 423 处于源极台面 414 上,并且漏极欧姆接触 425 处于 n+ 漏极层 422 上。

[0064] 图 7A 到 7D 是示出根据某些实施方案的半导体器件的截面图。参考图 7A,具有第一导电类型的漂移层 120 形成为在具有第一导电类型的集电极层 122 上的外延半导体层。例如,集电极层 122 可以是 n+ 碳化硅衬底。具有与第一导电类型相反的第二导电类型的衬底层 118 形成于漂移层 120 上。具有第一导电类型的轻度掺杂的缓冲层 116 形成于基极层 118 上。缓冲层 116 具有比基极层 118 低的掺杂浓度并且与基极层 118 形成 p-n 结。

[0065] 参考图 7B,掩膜 170 形成于缓冲层 116 上并且被选择性地图形化以露出部分缓冲层 116。然后使用例如反应离子蚀刻 175 来蚀刻缓冲层以形成台面台阶 128,该台面台阶 128 限定具有第一厚度的缓冲层的第一部分以及具有小于第一厚度的第二厚度的缓冲层的第二部分。

[0066] 参考图 7C,掩膜 170 被去除并且具有第一导电类型的发射极台面 114 形成于第一部分缓冲层上。例如,发射极台面 114 能够通过掩蔽及外延再生来形成。在某些实施方案中,发射极台面能够通过掩蔽并蚀刻外延层来形成。发射极台面 114 具有台面侧壁 114A。发射极台面 114 部分地露出了第一部分缓冲层并且台面侧壁 114A 与台面台阶 128 横向隔离开。具有第一导电类型的本地发射极接触区 112 形成于台面 114 上。本地发射极接触区 112 可以与台面侧面 114A 隔离开。

[0067] 参考图 7D,传导层 224 可以形成于发射极台面 114 的侧壁 114A 上。传导层 224 可以具有第二导电类型并且可以从缓冲层 116 延伸至本地发射极接触区 112。可以设置重度掺杂的基极接触区 126 与基极层 118 接触。传导层 224 及基极接触区 126 可以通过例如掩蔽及外延再生来形成。欧姆接触 123、125 及 127 可以分别形成于本地发射极接触区 112、集电极层 122 及基极接触层 127 上。

[0068] 在附图及说明书中,已经公开了本发明典型的优选实施方案以及,尽管使用了具

体的条件,但它们只是以一般性的及描述性的意义使用而并非为了限制的目的,本发明的范围在权利要求书中阐述。

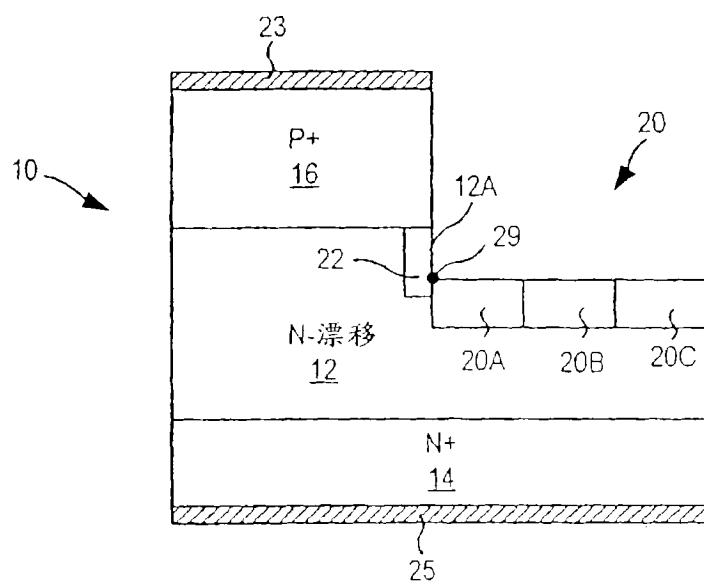


图 1(现有技术)

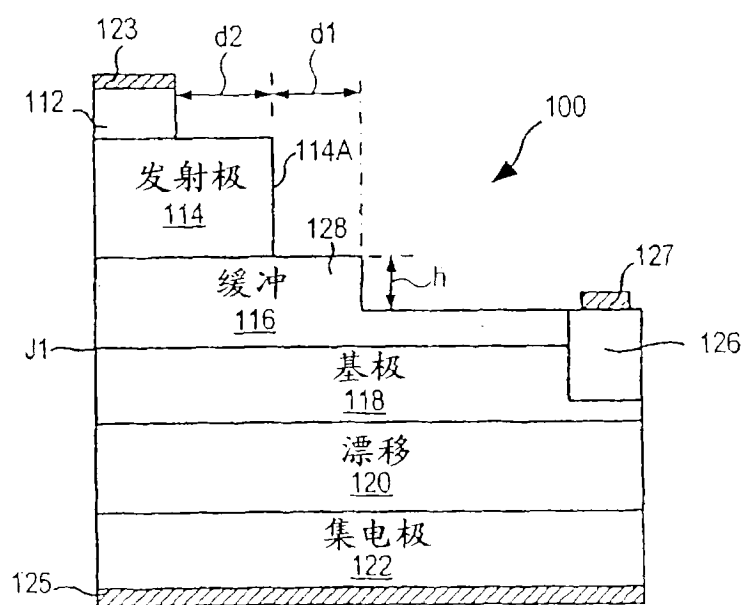


图 2

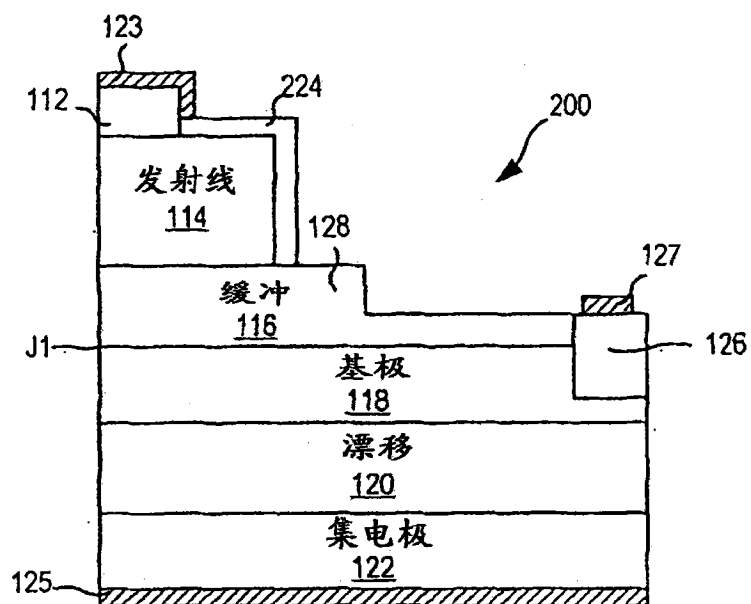


图 3

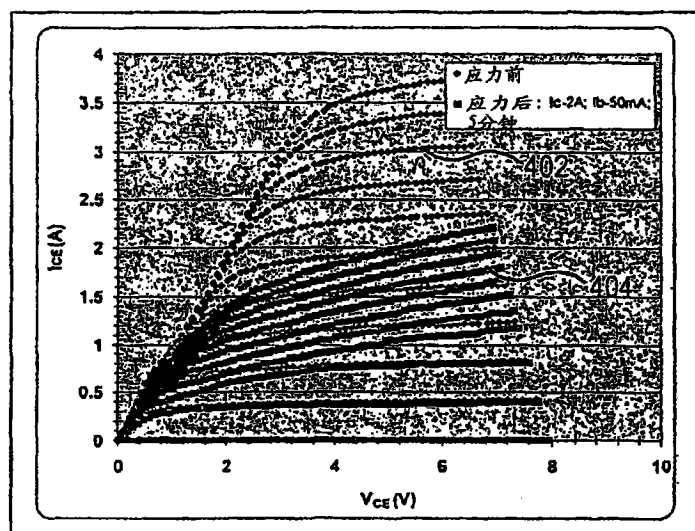


图 4A

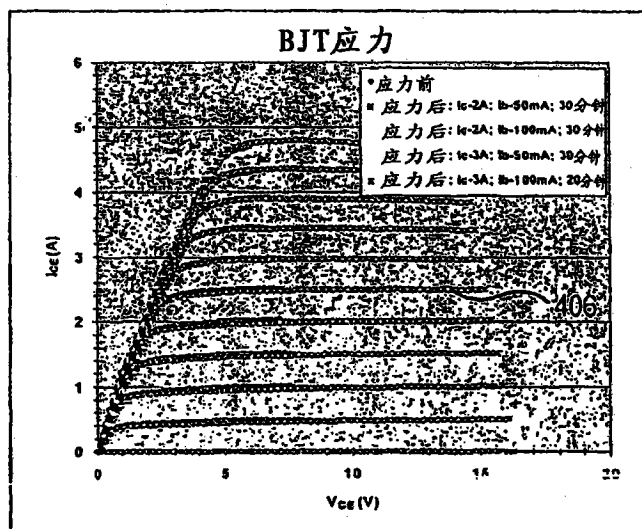


图 4B

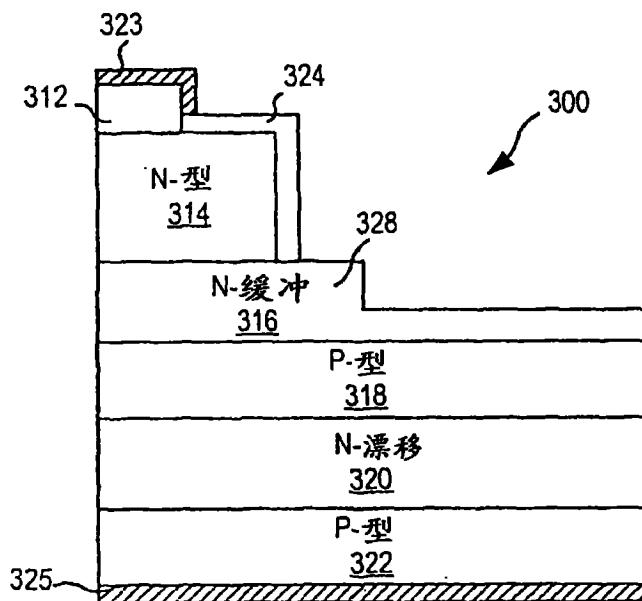


图 5

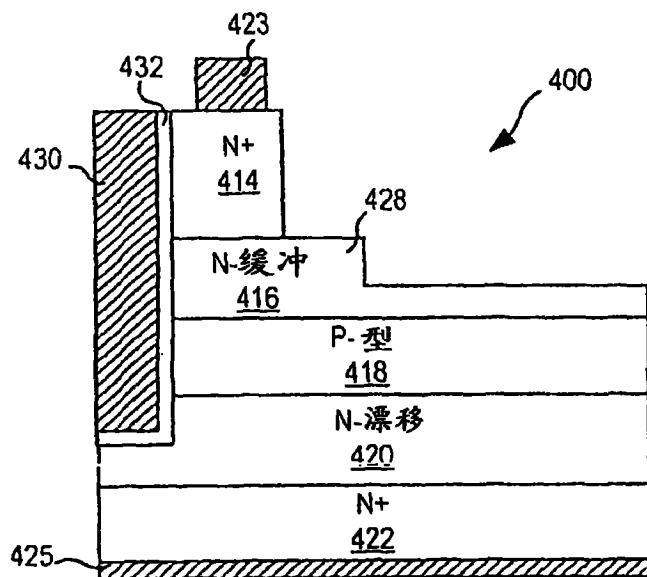


图 6

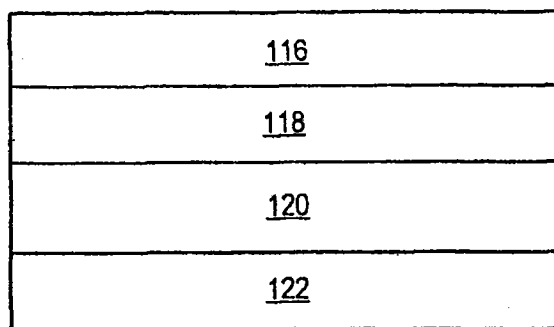


图 7A

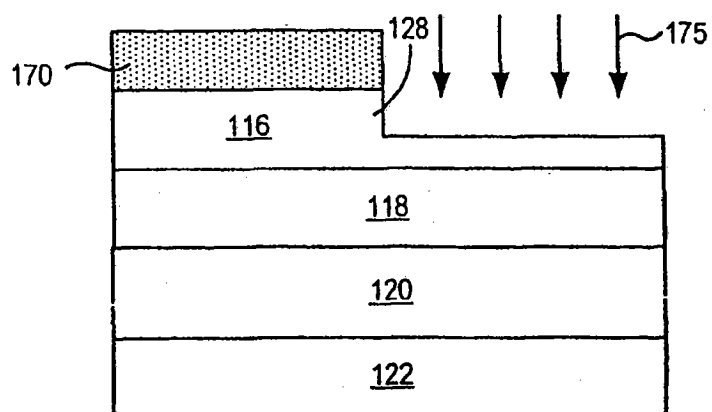


图 7B

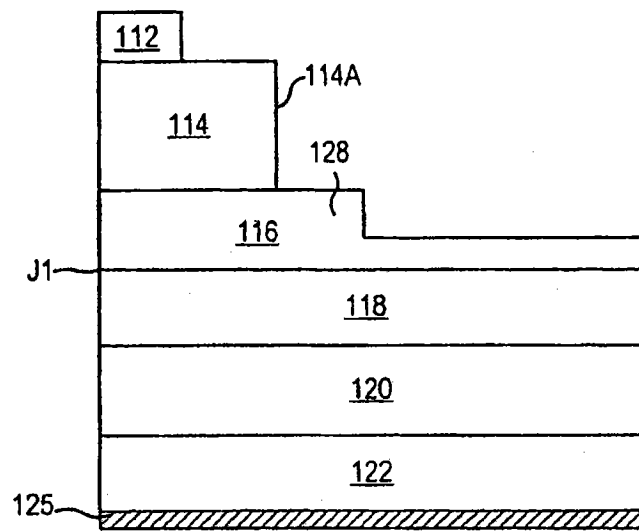


图 7C

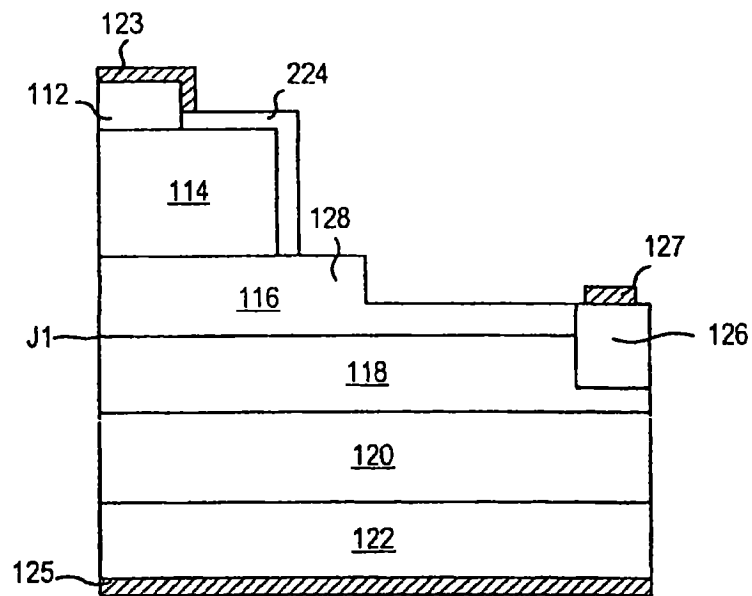


图 7D