(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G11C 5/14

(45) 공고일자 2002년10월30일
(11) 등록번호 10-0347356
(24) 등록일자 2002년07월22일

(21) 출원번호 10-1997-0006905
(22) 출원일자 1997년03월03일

(65) 공개번호 특1997-0067328
(43) 공개일자 1997년10월13일

(30) 우선권주장 96-069820 1996년03월26일 일본(JP)

(73) 특허권자 오끼 덴끼 고오교 가부시끼가이샤
일본 도쿄도 미나토쿠 도라노몬 1쵸메 7반 12고

(72) 발명자 가이 야스카즈
일본국 미야자키켄 미야자키시 오이와마치 9반 2고 가부시끼가이샤 오끼 마이크로 디자인 미야자키 나이
사토우 켄지
일본국 미야자키켄 미야자키시 오이와마치 9반 2고 가부시끼가이샤 오끼 마이크로 디자인 미야자키 나이
마츠시타 유이치
일본국 미야자키켄 미야자키시 오이와마치 9반 2고 가부시끼가이샤 오끼 마이크로 디자인 미야자키 나이

(74) 대리인 이화익

심사관 : 강철수

(54) 승압회로

요약

통상 동작시와 번인(burn-in)시험할때의 승압레벨을 변환한다.

VBOOST는 정(+)전원VDD(도시하지 않음)보다 고 레벨의 승압용전원이다.

통상 동작시(MODEB=H레벨)는 타이밍 조정회로K2로부터의 구동 타이밍신호TG2가 L 레벨로부터 H 레벨이 되면 인버터I1 및 I3에 의해 노드 6,7이 VDD가 되어 NMOS 용량C11 및 C12을 구동하여 노드3를 승압하나, 번인 시험시(MODEB=H 레벨)은 NAND 게이트 Na1 및 I3에 의해 노드6를 GND레벨로 고정하여 C11만을 승압구동한다.

다음에, K2로부터의 구동타이밍신호TG1이 H 레벨로부터 L 레벨로 되며 레벨시프터 K1에 의해 노드1이 VBOOST 레벨로 되면 NTr2로부터 노드3의 승압전압이 부하(도시하지 않음)로 공급되지만 이 때의 승압전압은 C12를 구동하지 않으므로 통상동작시보다 낮다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1의 실시형태의 승압회로를 표시하는 회로구성도.

도 2는 본 발명의 제 1 제 5의 실시형태의 승압회로에 있어서의 타이밍 조정회로의 회로도.

도 3은 본 발명의 승압회로에 있어서의 레벨시프터의 회로도.

도 4는 본 발명의 제 1의 실시형태의 승압회로의 동작을 표시하는 타임 챠트.

도 5는 본 발명의 제 2의 실시형태의 승압회로를 표시하는 회로 구성도.

도 6은 본 발명의 제 2의 실시형태의 승압회로의 동작을 표시하는 타임 챠트.

도 7은 본 발명의 제 3의 실시형태의 승압회로를 표시하는 회로 구성도.

도 8은 본 발명의 제 3의 실시형태의 승압회로의 동작을 표시하는 타임 챠트.

도 9는 본 발명의 제 4의 실시형태의 승압회로를 표시하는 회로 구성도.

도 10은 본 발명의 제 4 및 제 5의 실시형태의 승압회로에서의 전원 스위칭 회로의 회로도.

도 11은 본 발명의 제 4의 실시형태의 승압회로의 동작을 표시하는 타임 챠트.

도 12는 본 발명의 제 5의 실시형태의 승압회로를 표시하는 회로 구성도.

도 13은 본 발명의 제 5의 실시형태의 승압회로의 동작을 표시하는 타임 챠트.

도 14는 본 발명의 제 6의 실시형태의 승압회로를 표시하는 회로 구성도.

도 15는 본 발명의 제 6의 실시형태의 승압회로에 있어서의 타이밍 조정회로의 회로도.

도 16은 본 발명의 제 6의 실시형태의 승압회로의 동작을 표시하는 타임 챠트.

도 17은 종래의 승압회로의 일례를 표시하는 회로 구성도.

도 18은 종래의 승압회로의 동작을 표시하는 타임 챠트.

* 도면의 주요부분에 대한 부호의 설명

K1 : 레벨시프터K2,K4 : 타이밍 조정회로

K3 : 전원스위칭회로

NTr1 NTr3,NTr21 NTr23,NTr51,NTr7I : NMOS 트랜지스터

C1,C2,C11,C12 : NMOS 커패시터I1 3,I21,I31,I51,I61 : 인버터

Na1,Na31 Na33,Na81 : NAND 게이트D31 : 지연용 인버터열

PTr21 PTr23,PTr51,PTr61,PTr62 : PMOS 트랜지스터

No5I : NOR 게이트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 DRAM 등에 있어서 X 디코더와 워드 드라이버내의 레벨시프터의 전원으로서 사용되는 승압회로에 관한 것이며, 특히 번인(burn-in)시험시 등 고전압으로 승압레벨이 지나치게 높아지는 가능성이 있는 용도에 적합한 승압회로에 관한 것이다.

도 17은 종래의 승압회로의 일례를 표시하는 회로 구성도이고, 도 18은 도 17의 승압회로의 동작을 표시하는 타이밍 챠트이다.

도 17 및 도 18에 있어서 외부입력 클럭 CLK이 High 레벨(VDD, 이하, H라 표기한다)일때는 노드1 및 7은 Low 레벨(GND, 이하, L이라 표기함)이다.

또, NMOS 트랜지스터 NTr1 및 3은 드레인과 게이트가 동전위 이기 때문에 각각 Vt의 전압강하가 생기며, 노드2 및 3의 전위는 공히 VBOOST-Vt이다.

여기서 VBOOST는 승압용 전원레벨을 표시하며, Vt는 트랜지스터의 문턱값를 표시한다.

따라서, NTr2도 드레인과 게이트가 동전위 이기 때문에 Vt의 전압강하가 발생하고 있으며, 승압전압 공급선 BOOSTA의 전위는 VBOOST-2Vt이다.

외부입력클럭 CLK이 H에서 L로 되면, 타이밍 조정회로 K2에 의해 구동 타이밍신호 TG2가 L에서 H로 변화하고, 또 TG1은 CLK의 변화에서 소정의 지연시간을 가지고 H에서 L로 변화한다.

TG2가 L에서 H로 되면 인버터 I1 및 I2에 의해 노드 7의 전위는 GND(L)에서 VDD(H)로 변화한다.

이에 따라, 노드 3의 전위는 VBOOST-Vt에서 VDD+VBOOST-Vt로 승압된다.

이 때, 노드 3은 BOOSTB 보다도 고 전위가 되기 때문에 NTr1은 OFF 한다.

TG1이 L에서 H로 되면 레벨시프터 K1에 의해 노드1은 GND(L)에서 VBOOST 로된다.

이에 따라, 노드2의 전위는 VBOOST-Vt에서 2VBOOST-Vt로 승압된다.

이 때, 노드 2는 BOOSTB 보다도 고 전위가 되기 때문에 NTr3은 OFF 한다.

상기 노드2 및 3의 승압에 의해 NTr2의 게이트 전위는 2VBOOST-Vt, 드레인 전위는 VBOOST+VDD-Vt가 되기 때문에, 노드 3의 전하가 NTr2 및 BOOSTA를 통해 부하(도시하지 않음)에 공급되어 노드 3과 BOOSTA가 동전위 VBOOST+VDD-Vt-α로 된다.

여기서, α는 부하와의 접속에 의한 노드 3의 전압 강하분을 표시한다.

다음에 CLK가 L에서 H가 되면 타이밍 조정회로 K2에 의해 TG1이 L에서 H로 되어 레벨시프터 K1에 의해 노드 1이 VBOOST에서 L로 되어 이에 따라 노드 2가 2VBOOST-Vt에서 VBOOST-Vt 로 된다.

또, 타이밍 조정회로 K2에 의해 TG2가 소정의 지연시간을 가지고 H에서 L로 되어 노드 6 및 7이 H에서 L로 되기 때문에 노드 3이 VBOOST+VDD-Vt-α에서 VBOOST -Vt 로 된다.

이와 같이, 타이밍 조정회로 K2는 MOS 커패시터 C1, C2의 승압타이밍을 제어하여 효율적으로 BOOSTA를 승압하기 위한 것이며, 또 레벨시프터 K1은 승압전원 VBOOST를 전원으로서 이용함으로서 노드 4의 진폭을 크게하고 승압노드인 노드 5를 보다 높게 승압하기 위한 것이다.

그리고, 도 17의 승압회로는 노드 2 및 3에 접속된 승압용의 MOS 커패시터 C1, C2을 제어함으로 NTr2를 통해 BOOSTA에 전하를 공급하는 회로이고 BOOSTA를 BOOSTB보다도 고 전압으로 승압하기 위한 회로이다.

발명이 이루고자 하는 기술적 과제

DRAM 등의 선별시험에는 디바이스를 고온중에서 고전압을 장시간 인가함으로서 메모리셀의 초기불량을 제거하는 것을 목적으로 한 번인 시험이 행하여진다.

승압회로에서 승압레벨은 승압 커패시티(도 17의 C1,C2)의 크기에 따라서 조절되지만, 번인 시험시(고전압시)의 승압레벨은 동작 보증범위(통상동작)에서의 승압레벨 보다도 높아지는 일이 있었다.

이 때문에, 원래 메모리셀의 초기불량을 제거하기 위한 시험인데 번인시험시의 승압레벨이 통상 동작시 이상의 고전압이되어 그 레벨이 장시간 유지되기 때문에 정상적인 트랜지스터가 파괴되어 디바이스가 불량하게 되는 일이 있었다.

본 발명은 이러한 종래의 문제점을 해결하는 것이며 통상 동작시와 번인시험시에서의 승압레벨의 전환을 가능하게 하는 승압회로를 제공하는 것을 목적으로 한다.

상기 목적을 달성하기 위해서 본 발명의 청구항 1에 기재한 승압회로는, 제 1 전위, 제 2 전위, 제 3 전위, 클럭신호 및 모드신호를 수신하며, 상기 제 2 전위는 상기 제 1 전위와 제 3 전위사이에 있고, 상기 클럭신호는 제 1 레벨과 제 2 레벨사이에서 변환되며, 상기 모드신호는 제 1상태와 제 2 상태를 가지는 승합회로에 있어서, 출력단자와, 상기 클럭신호를 수신하여 액티브 상태와 인액티브 상태를 가지는 제 1 타이밍 신호 및 제 2 타이밍 신호를 생성하며, 상기 제 1 타이밍 신호는 상기 클럭신호가 상기 제 1 레벨로 된 후, 소정의 시점에서 액티브 상태로 되고, 상기 클럭신호가 상기 제 2 레벨로될 때 인액티브 상태로 되며, 상기 제 2 타이밍신호는 상기 클럭신호가 상기 제 2 레벨로될 때 액티브 상태로 되고, 상기 클럭신호가 상기 제 2 레벨로 된 후, 소정의 시점에서 인액티브 상태로 되는 타이밍 조정회로와, 상기 타이밍 조정회로에 접속되어, 상기 제 1 타이밍 신호가 인액티브 상태일 때 상기 제 1 전위의 제 1 구동신호를 출력하고, 상기 제 1 타이밍 신호가 액티브 상태일 때 상기 제 3 전위의 상기 제 1 구동신호를 출력하는 제 1 구동회로와, 상기 타이밍 조정회로에 접속되어, 상기 제 2 타이밍 신호가 인액티브상태 일 때, 상기 제 1 전위의 제 2 구동신호를 출력하고, 상기 제 2 타이밍 신호가 액티브 상태일 때 상기 제 2 전위의 상기 제 2 구동신호를 출력하는 제 2 구동회로와, 상기 타이밍 조정회로에 접속되어, 상기 모드신호가 제 1 상태이고 상기 제 2 타이밍 신호가 인액티브 상태일 때, 상기 제 1 전위의 제 3 구동신호를 출력하고, 상기 모드 신호가 제 1 상태에 있고 상기 제 2 타이밍 신호가 액티브 상태일 때 상기 제 2 전위의 상기 제 3 구동신호를 출력하며, 상기 모드신호가 제 2 상태일 때, 상기 제 3 구동신호의 출력이 불가능한 제 3 구동회로와, 상기 제 1 구동회로에 접속되고, 제 1 전극과 제 2 전극을 가지며, 상기 제 1 전극이 상기 제 1 구동신호를 수신하는 제 1 커패시터와, 상기 제 2 구동회로에 접속 되고, 제 1 전극과 제 2 전극을 가지며, 상기 제 1 전극이 상기 제 2 구동신호를 수신하는 제 2 커패시터와, 상기 제 3 구동회로에 접속되고, 제 1 전극과 제 2 전극을 가지며, 상기 제 1 전극이 상기 제 3 구동신호를 수신하고, 상기 제 2 전극이 상기 제 2 커패시터의 제 2 전극에 결합되어 있는 제 3 커패시터와, 상기 제 1 커패시터의 상기 제 2 전극에 결합되어, 상기 제 1 커패시터에 상기 제 3 전위를 공급하여, 상기 제 1 커패시터가 상기 제 3 전위로부터 방전되는 것을 방지하는 제 1 스위치 회로와, 상기 제 1 커패시터의 제 2 전극,

상기 제 2 커패시터의 제 2 전극 및 상기 출력단자에 결합되어, 상기 제 2 커패시터의 제 2 전극이 상기 제 1 전위와 상기 제 1 커패시터의 제 2 전극의 전위사이의 중간 전위에 있을 때, 상기 제 2 커패 시터와 제 3 커패시터가 상기 출력단자로 방전되도록 하여, 상기 제 1 커패시터의 제 2 전극과 상기 제 2 커패시터의 제 2 전극이 동일 전위에 있을 때, 상기 제 2 커패시터와 제 3 커패시터가 상기 출력단자로부터 충전되어지는 것을 방지하는 제 2 스위치 회로와, 상기 제 2 커패시터의 제 2 전극에 결합되어, 상기 제 2 캐패시터와 제 3 커패시터에 상기 제 3 전위를 공급하여, 상기 제 2 커패시터와 제 3 커패시터가 상기 제 3 전위로부터 방전되는 것을 방지하는 제 3 스위치 회로를 구비하는 것을 특징으로 하는 것이다.

청구항 2에 기재한 승압회로는 제 1 전위, 제 2 전위, 제 3 전위, 클럭신호 및 모드신호를 수신하며, 상기 제 2 전위는 상기 제 1 전위와 제 3 전위사이에 있고, 상기 클럭신호는 제 1 레벨과 제 2 레벨사이에서 변환되며, 상기 모드신호는 제 1 상태와 제 2 상태를 가지는 승압회로에 있어서, 출력단자와, 상기 제 2 전위, 상기 제 3 전위 및 상기 모드 신호를 수신하여, 상기 모드 신호가 상기 제 1 상태일 때 상기 제 3 전위와 동일한 전위를 출력하고, 상기 모드 신호가 상기 제 2 상태일 때, 상기 제 2 전위와 동일한 전위를 출력하는 전원 스위칭 회로와, 상기 클럭신호를 수신하여 액티브 상태와 인액티브 상태를 가지는 제 1 타이밍 신호 및 제 2 타이밍 신호를 생성하며, 상기 제 1 타이밍 신호는 상기 클럭신호가 상기 제 1 레벨 된 후, 소정의 시점에서 액티브 상태로 되고, 상기 클럭신호가 상기 제 2 레벨로될 때 인액티브 상태로 되며, 상기 제 2 타이밍신호는 상기 클럭신호가 상기 제 2 레벨로될 때 액티브 상태로 되고, 상기 클럭신호가 상기 제 2 레벨로 된후, 소정의 시점에서 인액티브 상태로 되는 타이밍 조정회로와, 상기 타이밍 조정회로에 접속되어, 상기 제 1 타이밍 신호가 인액티브 상태일 때, 상기 제 1 전위의 제 1 구동신호를 출력하고, 상기 제 1 타이밍 신호가 액티브 상태일 때 상기 제 3 전위의 상기 제 1 구동신호를 출력하는 제 1 구동회로와, 상기 타이밍 조정회로에 접속되어, 상기 제 2 타이밍 신호가 인액티브 상태일 때, 상기 제 1 전위의 제 2 구동신호를 출력하고, 상기 제 2 타이밍 신호가 액티브 상태일 때 상기 제 2 전위의 상기 제 2 구동신호를 출력하는 제 2 구동회로와, 상기 제 1 구동회로에 접속되고, 제 1 전극과 제 2 전극을 가지며, 상기 제 1 전극이 상기 제 1 구동신호를 수신하는 제 1 커패시터와, 상기 제 2 구동회로에 접속되고, 제 1 전극과 제 2 전극을 가지며, 상기 제 1 전극이 상기 제 2 구동신호를 수신하는 제 2 커패시터와, 상기 전원 스위칭 회로와 상기 제 1 커패시터의 상기 제 2 전극에 결합되어, 상기 전원 스위치 회로의 출력 전위를 상기 제 1 캐패시터에 공급하여, 상기 제 1 커패시터로부터 상기 전원 스위치회로로 방전되는 것을 방지하는 제 1 스위치회로와, 상기 제 1 커패시터의 제 2 전극, 상기 제 2 커패시터의 제 2 전극 및 상기 출력단자에 결합되어, 상기 제 2 커패시터의 제 2 전극이 상기 제 1 전위와 상기 제 1 커패시터의 제 2 전극의 전위사이의 전위 중간에 있을 때, 상기 제 2 커패시터가 상기 출력단자로 방전되도록 하여, 상기 제 1 커패시터의 제 2 전극과 상기 제 2 커패시터의 제 2 전극이 동일 전위에 있을 때, 상기 제 2 캐패시터가 상기 출력단자로부터 충전되어 지는 것을 방지하는 제 2 스위치 회로와, 상기 전원 스위치 회로와 상기 제 2 커패시터의 제 2 전극에 결합되어, 상기 상기 전원 스위치회로의 출력전위를 상기 제 2 커패시터에 공급하여, 상기 제 2 커패시터가 상기 전원 스위치 회로로 방전되는 것을 방지하는 제 3 스위치 회로를 구비하는 것을 특징으로 하는 것이다.

청구항 3에 기재한 승압회로는 제 1 전위, 제 2 전위, 제 3 전위, 클럭신호 및 모드신호를 수신하며, 상기 제 2 전위는 상기 제 1 전위와 제 3 전위사이에 있고, 상기 클럭신호는 제 1 레벨과 제 2 레벨사이에서 변환되며, 상기 모드신호는 제 1 상태와 제 2 상태를 가지는 승압회로에 있어서, 출력단자와, 상기 제 2 전위, 상기 제 3 전위 및 상기 모드 신호를 수신하여, 상기 모드 신호가 상기 제 1 상태일 때 상기 제 3 전위와 동일한 전위를 출력하고, 상기 모드 신호가 상기 제 2 상태일 때, 상기 제 2 전위와 동일한 전위를 출력하는 전원 스위칭 회로와, 상기 클럭신호를 수신하여 액티브 상태와 인액티브 상태를 가지는 제 1 타이밍 신호 및 제 2 타이밍 신호를 생성하며, 상기 제 1 타이밍 신호는 상기 클럭신호가 상기 제 1 레벨로 된 후, 소정의 시점에서 액티브 상태로 되고, 상기 클럭신호가 상기 제 2 레벨될 때 인액티브 상태로 되며, 상기 제 2 타이밍 신호는 상기 클럭신호가 상기 제 2 레벨로될 때 액티브 상태로 되고, 상기 클럭 신호가 상기 제 2 레벨로 된 후, 소정의 시점에서 인액티브 상태로 되는 타이밍 조정회로와, 상기 전원 스위치 회로와 타이밍 조정회로에 접속되어, 상기 제 1 타이밍 신호가 인액티브 상태일 때 상기 제 1 전위의 제 1 구동신호를 출력하고, 상기 제 1 타이밍 신호가 액티브 상태일 때 상기 전원 스위치회로의 출력전위의 상기 제 1 구동신호를 출력하는 제 1 구동회로와, 상기 타이밍 조정회로에 접속되어, 상기 제 2 타이밍 신호가 인액티브 상태일 때, 상기 제 1 전위의 제 2 구동신호를 출력하고, 상기 제 2 타이밍 신호가 액티브 상태일 때 상기 제 2 전위의 상기 제 2 구동신호를 출력하는 제 2 구동 회로와,

상기 제 1 구동회로에 접속되고, 제 1 전극과 제 2 전극을 가지며, 상기 제 1 전극이 상기 제 1 구동신호를 수신하는 제 1 커패시터와, 상기 제 2 구동회로에 접속되고, 제 1 전극과 제 2 전극을 가지며, 상기 제 1 전극이 상기 제 2 구동신호를 수신하는 제 2 커패시터와, 상기 제 1 커패시터의 상기 제 2 전극에 결합되어, 상기 제 3 전위를 상기 제 1 커패시터에 공급하여, 상기 제 1 커패시터가 상기 제 3 전위로 방전하는 것을 방지하는 제 1 스위치 회로와, 상기 제 1 커패시터의 제 2 전극, 상기 제 2 커패시터의 제 2 전극 및 상기 출력단자에 결합되어, 상기 제 2 커패시터의 제 2 전극이 상기 제 1 전위와 상기 제 1 커패시터의 제 2 전극의 전위사이의 중간 전위에 있을 때, 상기 제 2 커패시터가 상기 출력단자로 방전되도록 하여, 상기 제 1 커패시터의 제 2 전극과 상기 제 2 커패시터의 제 2 전극이 동일 전위에 있을 때, 상기 제 2 커패시터가 상기 출력단자로부터 충전되어 지는 것을 방지하는 제 2 스위치 회로와, 상기 제 2 커패시터의 제 2 전극에 결합되어, 상기 제 3 전위를 상기 제 2 커패시터에 공급하여, 상기 제 2 커패시터가 상기 제 3 전위로 방전되는 것을 방지하는 제 3 스위치 회로를 구비하는 것을 특징으로 하는 것이다.

청구항 4에 기재한 승압회로는, 제 1 전위, 제 2 전위, 제 3 전위, 클럭신호 및 모드신호를 수신하며, 상기 제 2 전위는 상기 제 1 전위와 제 3 전위사이에 있고, 상기 클럭신호는 제 1 레벨과 제 2 레벨사이에서 변환되며, 상기 모드신호는 제 1 상태와 제 2 상태를 가지는 승압회로에 있어서, 출력단자와, 상기 클럭신호 및 모드 신호를 수신하여, 액티브 상태와 인액티브 상태를 가지는 제 1 타이밍 신호 및 제 2 타이밍 신호를 생성하며, 상기 제 1 타이밍 신호는 상기 모드신호가 상기 제 2 상태일 때 상기 인액티브 상태를 유지하고, 상기 클럭신호가 상기 제 1 레벨로된 후, 소정의 시점에서 액티브 상태로 되어, 상기 모드 신호가 상기 제 1 상태로 제공되고, 상기 클럭신호가 상기 제 2 레벨로 될 때 인액티브 상태로 되며, 상기 제 2 타이밍 신호는 상기 클럭신호가 제 1 레벨로될 때 액티브상태로 되고, 상기 클럭신호가 상기 제 2 레벨로된 후 소정의 시점에 인액티브 상태로되는 타이밍 조정회로와, 상기 타이밍 조정회로에 접속되어, 상기 제 1 타이밍 신호가 인액티브 상태일 때, 상기 제 1 전위의 제 1 구동신호를 출력하고, 상기 제 1 타이밍 신호가 액티브 상태일 때, 상기 제 3 전위의 상기 제 1 구동신호를 출력하는 제 1 구동회로와, 상기 타이밍 조정회로에 접속되어 , 상기 제 2 타이밍 신호가 인액티브 상태일 때, 상기 제 1 전위의 제 2 구동신호를 출력하고, 상기 제 2 타이밍 신호가 액티브 상태일 때 상기 제 2 전위의 상기 제 2 구동신호를 출력하는 제 2 구동회로와, 상기 제 1 구동회로에 접속되고, 제 1 전극과 제 2 전극을 가지며, 상기 제 1 전극이 상기 제 1 구동신호를 수신하는 제 1 커패시터와, 상기 제 2 구동회로에 접속되고, 제 1 전극과 제 2 전극을 가지며, 상기 제 1 전극이 상기 제 2 구동신호를 수신하는 제 2 커패시터와, 상기 제 1 커패시터의 상기 제 2 전극에 결합되어, 상기 제 1 커패시터에 상기 제 3 전위를 공급하여, 상기 제 1 캐패시터가 상기 제 3 전위로부터 방전되는 것을 방지하는 제 1 스위치 회로와, 상기 제 1 캐패시터의 제 2 전극, 상기 제 2 캐패시터의 제 2 전극 및 상기 출력단자에 결합되어, 상기 제 2 커패시터의 제 2 전극이 상기 제 1 전위와 상기 제 1 커패시터의 제 2 전극의 전위사이의 중간 전위에 있을 때, 상기 제 2 커패 시터가 상기 출력 단자로 방전되도록 하여, 상기 제 1 커패시터의 제 2 전극과 상기 제 2 커패시터의 제 2 전극이 동일 전위에 있을 때, 상기 제 2 커패시터가 상기 출력단자로부터 충전되어지는 것을 방지하는 제 2 스위치 회로와, 상기 제 2 커패시터의 제 2 전극에 결합되어, 상기 제 2 커패시터에 상기 제 3 전위를 공급하여, 상기 제 2 커패시터가 상기 제 3 전위로부터 방전되는 것을 방지하는 제 3 스위치 회로와, 상기 제 2 커패시터의 제 2 전극과 상기 출력단자에 결합되어, 상기 제 2 커패시터가 전압강하와 함께 상기 출력단자로 방전되어, 상기 제 2 커패시터가 출력 단자로부터 충전되는 것을 방지하는 제 4 스위치 회로를 구비하는 것이다.

상기 청구항 1 에 기재한 승압회로에 의하면 제 2 및 제 3 용량에 각각의 구동회로를 설치하며 모드 변환신호가 제 2 전위로 되는 통산모드시에는 양 용량을 구동하여 모드 변환신호가 제 2 전위로 되는 번인 모드시에는 제 3 구동회로의 출력을 기준 전원전위에 고정하여 제 3 용량을 구동하지 않고 제 2 용량만을 구동함으로서 번인모드시의 승압레벨을 통상모드시 보다도 작게 할 수 있기 때문에 통상 동작시와 번인시험할때의 승압레벨의 전환이 가능해진다.

상기 청구항 2에 기재한 승압회로에 의하면 번인모드시에 전압스위칭 회로에 의해 제 1 및 제 3 스위칭회로의 제 1 주단자에 인가되는 전압을 승압용 전원전위보다 낮은 전원전위로 하고 승압 동작전의 제 1 및 제 3 스위칭 회로의 제 2 주단자의 전위를 통상 모드시 보다 낮게 함으로 번인 모드시의 승압레벨을 통상 모드시 보다도 작게 할 수 있기 때문에 통상 동작시와 번인시험 할때의 승압레벨의 전환이 가능해진다.

상기 청구항 3에 기재한 승압회로에 의하면 번인 모드시에 전원스위칭회로에 의해 제 1 구동회로의 전원을 승압용 전원으로부터 승압용 전원 보다 저전위의 전원으로 하여 제 1 구동신호가 제 1 전위일 때에 제 1 구동회로가 상기 전원전위를 출력하도록 하고 제 1 용량의 승압레벨을 작게 함으로서 번인모드시의 승압레벨을 통상 모드시 보다도 작게 할 수 있기 때문에 통상동작시와 번인시험할때의 승압레벨의 전환이 가능해진다.

상기 청구항 4에 기재한 승압회로에 의하면 번인모드시에 제 1 용량을 구동하지 않고 제 1 스위칭회로의 제 2 주단자의 전위를 고정하고 제 4 스위칭 회로를 사용하여 부하에 승압전압을 공급함으로 부하에 인가하는 승압전압의 레벨을 통상모드시 보다도 작게 할 수 있기 때문에 통상동작시와 번인시험할 때의 승압레벨의 전환이 가능해진다.

발명의 구성 및 작용

＜발명의실시의형태＞

제 1의 실시형태

도 1은 본 발명의 제 1의 실시형태의 승압회로를 표시하는 회로구성도이다.

도 1에 표시하는 승압회로는 외부 입력클럭 CLK가 입력되는 입력단자 IN과 출력단자 OUT1 및 OUT2을 가지며 CLK에 따라서 정(+)전원 VDD(도시하지 않음)의 레벨인 High 레벨(이하, H라고 표기한다)과 GND 레벨인 Low 레벨(이하, L라고 표기한다)의 2값을 이루어지는 구동 타이밍신호 TG1 및 TG2을 작성하며 TG1을 OUT1에서 출력하고 TG2를 OUT2에서 출력하는 타이밍 조정회로 K2와, TG2 및 H와 L의 2값으로 이루어지는 모드 변환신호 MODEB가 입력되는 2입력의 NAND 게이트 Na1과, 입력단자를 Na1의 출력단자에 접속한 인버터 I3과 TG2가 입력되는 인버터I2와 입력단자를 I2의 출력단자에 접속한 인버터I1과, TG1이 입력되는 입력단자 IN과 출력단자 OUT가 있으며 TG1이 H일 때 L를 출력하며, TG1이 L일때 승압용 전원 VBOOST의 레벨을 출력하는 레벨시프터 K1(제 1 구동회로)과, 드레인과 소스를 I3의 출력단자에 공통접속한 NMOS 커패시터 C11(제 2 용량)과, 드레인과 소스를 I1의 출력단자에 공통접속하고 게이트를 C11의 게이트에 접속한 NMOS 커패시터 C12(제 3 커패시터)와, 드레인과 소스를 K1의 출력단자에 공통접속한 NMOS 커패시터 C2(제 1 커패시터)와, 드레인 및 게이트를 VBOOST이 공급되는 승압용 전원선 BOOSTB에 접속하고, 소스를 C11의 게이트에 접속한 NMOS 트랜지스터 NTr1(제 3 NMOS 트랜지스터)와, 드레인을 NTr1의 소스에 접속하며 소스를 승압전압 출력선 BOOSTA에 접속하고 게이트를 C2의 게이트에 접속한 NMOS 트랜지스터 NTr2(제 2 NMOS 트랜지스터)와, 드레인과 게이트를 BOOSTB에 접속하고 소스를 C2의 게이트에 접속한 NMOS 트랜지스터 NTr3(제 1 NMOS 트랜지스터)가 있다.

즉, 도 1에 표시하는 승압회로는 도 17에 표시하는 종래의 승압회로에 있어서의 NMOS 커패시터 C1을 C11과 C12로 분할하며, 각각의 구동회로를 설치한 것이며 MODEB가H(VDD)일 때는 C1l과 C12를 함께 승압구동하는 통상모드가 되고 L(GND)일 때는 C12만을 승압 구동하는 번인모드가 된다.

또한, 설명을 간단화하기 위해서 각 NTr1 3의 문턱값 전압은 같으며 어느것이나 Vt이라고 한다.

또한, 정(+)전원 VDD(도시하지 않음)와 승압용 전원 VBOOST는 VBOOST> VDD+Vt의 관계를 만족시키는것으로 한다.

또, NAND 게이트 Na1 및 인버터 I3는 제 3 구동회로를 구성하며, 인버터I2 및 I1은 제 2 구동회로를 구성한다.

도 2는 상기한 타이밍 조정회로 K2의 회로도이다.

도 2에 표시하는 타이밍 조정회로 K2는 4개의 인버터를 직렬접속하고, 초단의 인버터의 입력단자를 외부입력클럭이 입력되는 입력단자 IN에 접속하며 최종단의 인버터의 출력단자를 그 출력단자로 하는 지연용 인버터 열 D31과 한편의

입력단자를 입력단자 IN에 접속하며 타편쪽의 입력단자를 D31의 출력단자에 접속하고 출력단자를 구동타이밍 신호 TG2를 출력하는 출력단자 OUT2에 접속한 2입력의 NAND 게이트 Na33과, 한편의 입력단자를 구동 타이밍신호 TG1를 출력하는 출력단자 OUT1에 접속하며 타편쪽의 입력단자를 D31의 출력단자에 접속한 2입력의 NAND 게이트 Na 32와, 입력단자를 입력단자 IN에 접속한 인버터 I31과, 한편의 입력단자를 I31의 출력단자에 접속하여 타편쪽의 입력단자를 Na32의 출력단자에 접속하여 출력단자를 출력단자 OUT1에 접속한 NAND 게이트 Na31를 가진다.

도 3은 상기한 레벨시프터 K1의 회로도이다.

도 3에 표시하는 레벨시프터 K1은 소스를 BOOSTB에 접속한 PMOS 트랜지스 PTr21과 게이트를 입력단자 IN에 접속하고 드레인을 PTr21의 드레인에 접속하며 소스를 GND에 접속한 NMOS 트랜지스터 NTr21과 입력단자를 입력단자 IN에 접속한 인버터 I21과 소스를 BOOSTB에 접속하며 게이트를 PTr21의 드레인에 접속한 PMOS 트랜지스터 PTr22와, 드레인을 PT22의 드레인에 접속하며 게이트를 I21의 출력단자에 접속하여, 소스를 GND에 접속한 NMOS 트랜지스터 NTr22와, 소스를 VBOOST에 접속하며 게이트를 PTr22의 드레인에 접속하고, 드레인을 출력단자 OUT에 접속한 PMOS 트랜지스터 PTr23과 드레인을 출력단자 OUT에 접속하고 게이트를 PTr23의 게이트에 접속하여 소스를 GND에 접속한 NMOS 트랜지스터 NTr23를 가진다.

도 4는 도 1의 승압회로의 동작을 표시하는 타이밍 챠트이다.

우선, 통상모드(MODEB=H)의 동작에 관해서 설명한다.

외부 입력클럭 CLK가 H일때는 노드1,6,7은 L이다.

또, 노드 2 및 3은 BOOSTB 보다도 저전위이고, NTr1 및 3은 드레인과 게이트가 동전위 이기 때문에 각각 Vt의 전압강하가 생기며 노드 2 및 3의 전위는 공히 VBOOST-Vt이다.

따라서 NTr2도 드레인과 게이트가 동전위이기 때문에, 소스·드레인간에 Vt의 전압강하가 생기며, 승압전압 공급선 BOOSTA의 전위는 VBOOST-2Vt이다.

외부 입력클럭 CLK이 H로부터 L로 되면, 도 2에 표시하는 타이밍 조정회로 K2에 있어서 Na33의 출력이 H로 확정하여 TG2가 L에서 H로 변화한다.

이 때, I31의 출력은 L에서 H로 되며, 또 지연용 인버터열 D31의 출력은 소정의 지연시간을 가지고 로부터 L로되며 이에 따라 Na32의 출력은 H로 확정하기 때문에, Na31의 입력이 공히 H가 되고, TG1은 CLK의 변화로부터 소정의 지연시간을 가지고 H로부터 L로 변화한다.

구동 타이밍신호 TG2가 L에서 H 로 되면 인버터 I1 및 I2에 의해 노드 7의 전위는 GND(L)부터 VDD(H)로 변화하며, 또 모드전환 신호 MODEB는 H이며 Na1의 출력은 H로부터 L로 되기 때문에 인버터 I3에 의해 노드 6의 전위도 GND(L)부터 VDD(H)로 변화한다.

이에 따라 노드 3의 전위는 VBOOST-Vt에서 VDD+VBOOST-Vt로 된다.

이 때, 노드 3은 BOOSTB 보다도 고전위로 되기 때문에 NTr1은 OFF 한다.

구동 타이밍신호 TG1이 L에서 H 로 되면, 도 3에 표시하는 레벨시프터에 있어서 NTr21이 OFF하고, NTr22가 ON하기 때문에 노드 21은 H에서 L가 되며 이에 따라 PTr21이 ON하여 노드 22가 L에서 H(VBOOST)로 되어 PTr22가 OFF 한다.

노드 21이 L가 되면 PTr23이 ON하며, NTr23이 OFF 하기 때문에 출력단자 OUT(도 1의 노드1)은 GND(L)부터 VBOOST로된다.

이에 따라, 노드 2의 전위는 VBOOST-Vt로부터 2VBOOST-Vt가 된다.

이 때 노드 2는 VBOOST 보다도 고전위로 되기 때문에 NTr3는 OFF 한다.

상기 노드 2 및 3의 승압에 의해 NTr2의 게이트 전위는 2VBOOST-Vt, 소스 전위는 VBOOST+VDD-Vt 가되기 때문에 노드 3의 전하가 NTr2 및 BOOSTA를 통해 부하(도시하지 않음)에 공급되어 노드 3과 BOOSTA가 동전위 VBOOST+VDD-Vt-α가 된다.

여기서, α는 부하와의 접속에 의한 노드 3의 전압강하분을 표시하며 NMOS 커패시터 C11 및 C12의 병렬합성 용량치와 부하 임피던스에 의해서 결정되는 정수이다.

다음에 CLK가 L에서 H 가 되면, 타이밍 조정회로 K2에 의해 TG1이 L에서 H로 되어 레벨시프터 K1에 의해 노드 1이 VBOOST로부터 L로 되어, 이에 따라 노드 2가 2VBOOST-Vt에서 VBOOST-Vt 가 된다.

또, 타이밍 조정회로 K2에 의해 TG2가 소정의 지연시간을 가지고 H에서 L로 되어 노드 6 및 7이 H에서 L가 되기 때문에, 노드 3이 VBOOST+VDD-Vt-α로부터 VBOOST-Vt가 된다.

다음에, 번인모드(MODEB=L)의 동작에 관해서 설명한다.

또한, 이 번인모드에 있어서 레벨시프터 K1, 타이밍 조정회로 K2, 인버터 I2 및 I1의 동작은 통상모드 때와 마찬가지이며, 따라서 노드 1,2의 타임 챠트 및 노드 4,5,7의 타임 챠트(도시하지 않음)은 통상 모드일 때와 마찬가지이다.

CLK는 H로부터 L로 되며 타이밍 조정회로 K2에 의해 TG2가 L에서 H로 되면 인버터 I1 및 I2에 의해 노드 7의 전위는 GND(L)부터 VDD(H)로 변화하지만, 모드 전환신호 MODEB는 L이며, Na1의 출력은 항상 L이기 때문에 노드 6의 전위는 항상 GND(L)이다.

노드 6이 GND 그대로 이기 때문에 노드 4가 레벨변화해도 노드 3의 전위는 통상 모드동작시와 같이 VDD+VBOOST-Vt까지 승압되지 않고, VDD+VBOOST-Vt-β가 된다.

여기서, β는 NMOS 커패시터 C11과 C12의 용량비에 의해서 결정되는 정수이다.

이 때 노드 3은 VBOOST 보다도 고전위가 되기 때문에 NTr1은 OFF 한다.

또, 타이밍 조정회로 K2에 의해 TG1이 L에서 H로 되면 레벨시프터 K1에 의해 노드1은 GND(L) 부터 VBOOST로 된다.

이에 따라, 노드 2의 전위는 VBOOST-Vt에서 2VBOOST-Vt가 된다.

이 때, 노드 2는 VBOOST 보다도 고전위가 되기 때문에 NTr3은 OFF 한다.

상기 노드 2 및 3의 승압에 의해 NTr2의 게이트 전위는 2VBOOST-Vt, 소스 전위는 VBOOST+VDD-Vt-β가 되기 때문에 노드 3의 전하가 NTr2 및 BOOSTA를 통해서 부하(도시하지 않음)에 공급되어 노드 3과 BOOSTA가 동전위 즉 통상 동작시 보다도 작은 승압전압 VBOOST+VDD-Vt-β-α가 된다.

또한, 타이밍 조정회로 K2의 구성은 도 2에 표시하는 것에 한정되는 것이 아니고 또 레벨시프터 K1의 구성은 도 3에 표시하는 것에 한정 되는 것이 아니다.

이와 같이 상기 제 1의 실시 형태에 의하면 2개의 NMOS 커패시터 C11과 C12에 각각의 구동회로를 설치하고 모드 변환신호에 따라서 통상모드시에는 양 NMOS 커패시터를 구동하여 번인 모드시에는 C11 만을 구동하여 C12를 구동하지 않고 노드 7를 GND 레벨에 고정함으로 번인 모드시의 승압레벨을 통상 모드시 보다도 작게 할 수 있기 때문에, 통상 동작시와 번인시험시의 승압레벨의 전환이 가능해진다.

제 2 실시형태

상기 제 1 실시형태의 승압회로에 있어서는 번인모드시에 노드 6은 인버터 I3에 의해서 L로 고정되어 있기 때문에, 노드 3이 승압레벨(VBOOST+VDD-Vt-α)로부터 저전압 레벨(VBOOST-Vt)로 떨어지면, 그것을 받아 노드 6에 회로소자의 래치업의 트리거가되는 위험성이 있는 언더슈트가 발생한다.

제 2 실시형태는 이것을 개선한 것이다.

도 5는 본 발명의 제 2 실시형태의 승압회로를 표시하는 회로 구성도이다.

도 5에 표시하는 승압회로는 도 1의 승압회로에 있어서 인버터 I3으로 바꿔 모드변환신호 MODEB가 입력 되는 인버터 I51과 구동 타이밍신호 TG2 및 I51의 출력이 입력되는 2입력의 N0R 게이트 No51과 소스를 정(+)전원 VDD에 접속하고 게이트를 Na1의 출력단자에 접속하며 드레인을 NMOS 커패시터 C11의 소스·드레인단자(노드6)에 접속한 PMOS 트랜지스터 PTr51과 드레인을 C11의 소스·드레인단자(노드6)에 접속하며 게이트를 No51의 출력단자에 접속하고 소스를 GND에 접속한 NMOS 트랜지스터 NTr51를 설치한 것이다.

또한, NAND 게이트 Na1과 인버터 I51과 N0R 게이트 No51과 PMOS 트랜지스터 PTr51과 NMOS 트랜지스터 NTr51은 제 3의 구동회로를 구성한다.

다음에, 통상모드(MODEB=H)의 동작에 관해서 설명한다.

또한, 이 때의 타이밍 챠트는 도 4(a)에 표시하는 바와 동일하다.

외부입력 클럭CLK가 H일 때는 노드 1,6,7은 L이다.

또, 노드 2 및 3은 BOOSTB 보다도 저전위이고, NTr1 및 3은 드레인과 게이트가 동전위 이기 때문에 각각 Vt의 전압강하가 생겨 노드 2 및 3의 전위는 공히 VBOOST-Vt이다.

따라서, NTr2도 드레인과 게이트가 동전위이기 때문에 소스·드레인 사이에 Vt의 전압강하가 생겨 승압전압 공급선 BOOSTA의 전위는 VBOOST-2Vt이다.

외부입력 클럭 CLK가 H로부터 L로 되면 타이밍 조정회로 K2에 의해 구동타이밍신호 TG2가 L에서 HFH 변화하며, 또 CLK의 변화로부터 소정의 지연시간을 가지고 구동 타이밍신호 TG1이 H로부터 L로 변화한다.

구동 타이밍신호 TG2가 L에서 H가 되면, 인버터 I1 및 I2에 의해 노드 7의 전위는 GND(L)부터 VDD(H)로 변화한다.

또, 모드 변환신호 MODEB는 H이고, Na1의 출력은 H로부터 L로 되며 No51의 출력은 H로부터 L로 되기 때문에, PTr51은 ON하고 NTr51은 OFF하여 노드 6의 전위도 GND(L)부터 VDD(H)로 변화한다.

이에 따라, 노드 3의 전위는 VBOOST-Vt에서 VDD+VBOOST-Vt가 된다.

이 때, 노드 3은 BOOSTB 보다도 고전위가 되기 때문에 NTr1은 OFF 한다.

이하의 승압동작은 도 1의 승압회로와 동일하다.

다음에, CLK가 L에서 H가 되면 타이밍 조정회로 K2에 의해 TG2가 소정의 지연시간을 가지고 H로부터 L로 되어 인버터 I1 및 I2에 의해 노드 7의 전위는 VDD(H)부터 GNG(L)로 변화한다.

또, MODEB는 H이며 Na1의 출력은 L로부터 H로 되고 No51의 출력은 L로부터 H로 되어 PTr51은 OFF하고 NTr51은 ON하여 노드 6의 전위도 VDD(H)부터 GND(L)로 변화한다.

이에 따라, 노드 3이 VBOOST+VDD-Vt-α로 부터 VB00ST-Vt가 된다.

다음에, 번인모드(MODEB=H)의 동작에 관해서 설명한다.

도 6은 도 5의 승압회로에 있어서의 번인모드시의 동작을 표시하는 타임 챠트이다. 또한, 이 번인모드에 있어서 레벨시프터 K1, 타이밍 조정회로 K2, 인버터 I2 및 I1의 동작은 통상모드 때와 같다.

MODEB가 L이고 인버터 I51의 출력이 H 이기 때문에 TG2 에 관계 없이 Na1의 출력은 항상 H가 되며 No51의 출력은 항상 L가 되기 때문에 PTr51 및 NTr51은 항상 OFF상태이다.

따라서, 노드 6은 VDD 및 GND 에 대하여 항상 플로우팅이 된다.

또한, 번인모드에 들어가기 직전의 동작에 의해 초기의 노드 6의 전위는 GND 로 되어 있다.

CLK가 H로부터 L로 되어 타이밍 조정회로 K2에 의해 TG2가 L에서 H가 되면 인버터 I1 및 I2에 의해 노드 7의 전위는 GND(L)부터 VDD(H)로 변화하고 노드 3의 전위가 VBOOST-Vt에서 VBOOST+VDD-Vt가 된다.

노드 3이 승압되면 노드 6의 전위는 이것에 따라 GND에서 VDD가 된다.

이 때 노드 3은 BOOSTB 보다도 고전위가 되기 때문에 NTr1은 OFF 한다.

TG1이 L에서 H가 되면 레벨시프터 K1에 의해 노드 1은 GND(L)부터 VBOOST 로된다.

이에 따라, 노드 2의 전위는 VBOOST-Vt에서 2VBOOST-Vt가 된다.

이 때, 노드 2는 BOOSTB 보다도 고전위가 되기 때문에 NTr3은 OFF한다.

상기 노드 2 및 3의 승압에 의해 NTr2의 게이트 전위는 2VBOOST-Vt, 소스 전위는 VBOOST+VDD-Vt가 되기 때문에 노드 3의 전하가 NTr2 및 BOOSTA를 통해 부하(도시하지 않음)에 공급되고 노드 3과 BOOSTA가 동전위, 즉 통상 모드시 보다도 작은 승압전압 VBOOST+VDD-Vt-γ가 된다.

이 때, 노드 6의 전위는 노드 3의 전위변화에 추종하여 VDD에서 VDD-γ가 된다.

여기서, γ는 부하와의 접속에 의한 노드 3의 전압 강하분을 표시하며 NMOS 커패시터 C12의 용량치와 부하 임피던스에 의해서 결정되는 정수이고 $\gamma < \alpha$이다.

다음에, CLK가 L에서 H로 되면 TG1이 L에서 H로 되고 노드 1의 전위가 VBOOST에서 GND가 되어 노드 2의 전위가 2VBOOST-Vt에서 BOOST-Vt로 된다.

또, TG2가 소정의 지연시간을 가지고 H에서 L로 되면 노드 7의 전위가 H로 부터 L로 되기 때문에 노드 3의 전위가 VBOOST+VDD-Vt-γ로부터 VBOOST-Vt가 되어 이것에 따라 노드 6의 전위는 VDD-γ로 부터 GND가 된다.

이와 같이, 상기 제 2 실시형태에 의하면 NMOS 커패시터 C11, C12에 각각의 구동회로를 설치하고, 모드 변환신호에 따라서 통상 모드시에는 양 NMOS 커패시터를 구동하여 번인 모드시에는 PTr51 및 NTr51의 드레인을 고 임피던스로 하여 C12를 구동하지 않고, C11만을 구동하므로 번인모드시의 승압레벨을 통상모드시 보다도 작게 할 수 있기 때문에, 통상 동작시와 번인시험시 에서의 승압레벨의 전환이 가능해진다.

또, 번인 모드시에 PTr51 및 NTr51의 드레인을 고 임피던스로 하는 것에 의해 노드 6에 있어서의 언더슈트를 감소 할 수 있다.

제 3 실시형태

상기 제 2 실시형태의 승압회로에 있어서는, NMOS 트랜지스터 NTr2 및 B00STA를 통해 노드 3이 부하에 접속되며 부하에 있어서 전력이 소비되고 노드 3의 전위가 내려가면(이 전압 강하분은 상기한 γ에 해당함),이것에 추종하여 노드 6의 전위도 VDD에서 VDD-γ로 내려 가기 때문에, 이 γ가 크면 구동 인버터 I1의 출력이 H로부터 L로 되어 노드 3의 전위가 VBOOST-Vt 로 내려 갈 때에 노드 6에 언더슈우트가 발생한다.

제 3 실시형태는 이것을 개선한 것이다.

도 7은 본 발명의 제 3 실시형태의 승압회로를 표시하는 회로 구성도이다.

도 7에 표시하는 승압회로는 도 5의 승압회로에 있어서 인버터 I51 및 N0R 게이트 No51를 제거하며 NMOS 트랜지스터 NTr51의 게이트를 인버터 I2의 출력단자에 접속한 것이다.

또한, NAND 게이트 Na1과 PMOS 트랜지스터 PTr51과 NMOS 트랜지스터 NTr51은 제 3 구동회로를 구성한다.

다음에, 통상모드(MODEB=H)의 동작에 관해서 설명한다.

또한, 이 때의 타임 챠트는 도 4(a)에 표시하는 바와 동일하다.

외부 입력클럭 CLK이 H일 때는 노드1,6,7은 L이다.

또, 노드 2 및 3은 BOOSTB 보다도 저전위이고 NTr1 및 3은 드레인과 게이트가 동전위 이기 때문에 각각 Vt의 전압 강하가 생기며 노드 2 및 3의 전위는 공히 VBOOST-Vt이다.

따라서, NTr2도 드레인과 게이트가 동전위 이기 때문에 소스·드레인간에 Vt의 전압 강하가 생기며 승압전압 공급선 BOOSTA의 전위는 VBOOST-2Vt이다.

외부입력클럭 CLK이 H로부터 L로 되면 타이밍 조정회로 K2에 의해 구동 타이밍신호 TG2가 L에서 H로 변화하고, 또 CLK의 변화에서 소정의 지연시간을 가지고 구동 타이밍신호 TG1이 H로부터 L로 변화한다.

구동 타이밍신호 TG2가 L에서 H로 되면, 인버터 I1의 출력은 H에서 L로 되어 ,I2의 출력은 L에서 H가 되기 때문에 노드 7의 전위는GND(L)부터 VDD(H)로 변화한다.

또, 모드 변환신호 MODEB는 H이고, Na1의 출력은 H로부터 L로 되기 때문에 PTr51은 ON하고 NTr51은 OFF하여 노드 6의 전위도 GND(L)부터 VDD(H)로 변화한다.

이에 따라, 노드 3의 전위는 VBOOST-Vt에서 VDD+VBOOST-Vt가 된다.

이 때, 노드 3은 B0OSTB 보다도 고전위로 되기 때문에 NTr1은 OFF 한다.

이하의 승압동작은 도 1의 승압회로와 동일하다.

다음에, CLK가 L에서 H로 되면 타이밍 조정회로 K2에 의해 TG2가 소정의 지연시간을 가지고 H로 부터 L로 되며, I1의 출력은 L에서 H가 되고 ,I2의 출력은 H로 부터 L가 되기 때문에 노드 7의 전위는 VDD(H)부터 GNG(L)로 변화한다.

또, MODEB는 H이고 Na1의 출력은 L에서 H로 되기 때문에 PTr51는 OFF하고 NTr51은 ON하여 노드 6의 전위 도 VDD(H)부터GND(L)로 변화한다.

이에 따라, 노드 3이 VBOOST+VDD-Vt-α로 부터 VBOOST-Vt로 된다.

다음에, 번인모드(MODEB=H)의 동작에 관해서 설명한다.

도 8은 도 7의 승압회로에 있어서의 번인모드시의 동작을 표시하는 타이밍 챠트이다. 또한, 이 번인모드에 있어서 레벨시프터 K1, 타이밍 조정회로 K2, 인버터 I2 및 I1의 동작은 통상 모드일 때와 동일하다.

MODEB가 L 이기 때문에 TG2에 관계 없이 Na1의 출력은 항상 H가 되고 따라서 PTr51은 항상 OFF 상태이다.

또, 인버터 I2의 출력이 L 때 NTr51이 OFF하여 노드 6은 VDD 및 GND 에 대하여 플로우팅이 된다.

CLK가 H로 부터 L로 되고 타이밍 조정회로 K2에 의해 TG2가 L에서 H가 되면 인버터 I1의 출력은 H로 부터 L로 되어, I2에 의해 노드 7의 전위는 GND(L)부터 VDD(H)로 변화하여 노드 3의 전위가 VBOOST-Vt에서 VDD+VBOOST-Vt가 된다.

I1이 H로 부터 L로 되면 NTr51가 OFF 하기 때문에 노드 6는 플로우팅이 되어 노드 3이 승압되면, 노드 6의 전위는 이것에 따라 GND에서 VDD가 된다.

이 때, 노드 3은 BO0STB 보다도 고전위가 되기 때문에 NTr1는 OFF 한다.

이하의 승압동작은 도 5의 승압회로와 동일하다.

다음에 CLK가 L에서 H로 되면 TG1이 L에서 H가 되고 노드 1의 전위가 VBOOST에서 GND가 되어 노드 2의 전위가 2VBOOST-Vt에서 BOOST-V로 된다.

또, TG2이 소정의 지연시간을 가지고 H로 부터 L가 되면 I2의 출력이 L에서 H로 되고, 이에 따라 NTr51이 ON하는 동시에 I1의 출력이 H로 부터 L로 되고 노드 7의 전위가 H로 부터 L가 되어 노드 3의 전위가 VBOOST+VDD-Vt-γ로부터 VBOOST-Vt가 되기 때문에 이것에 따라 노드 6의 전위는 VDD -γ로부터 GND로 된다.

이와 같이, 상기 제 3 실시형태에 의하면 NMOS 커패시터 C11, C12에 각각의 구동회로를 설치하고, 모드변환신호 MODOB에 따라서 통상 모드시에는 양 NMOS 커패시터를 구동하며 번인모드시에 있어서는 TG2가 H때 PTr51 및 NTr51의 드레인을 고 인피던스로 하고, TG2가 L인 때 NTr51의 드레인을 접지 레벨로서 C12를 구동하지 않고 C11만을 구동함으로서 번인모드시의 승압레벨을 통상 모드시 보다도 작게 할 수 있기 때문에 통상 동작시와 번인시험시 에서의 승압 레벨의 전환이 가능해진다.

또, TG2가 H인 때 PTr51 및 NTr51의 드레인을 고 임피던스로 하고 TG2가 L일 때 NTr51의 드레인을 접지 레벨로 함으로서 노드 6에 있어서의 언더슈트를 감소할 수 있다.

또한, 인버터 I1 및 I2와 별도로 구동 타이밍신호 TG2가 입력되는 인버터를 설치하고, NMOS 트랜지스터51의 게이트를 I2의 출력단자가 아닌 이 인버터의 출력단자에 접속해도 된다.

제 4 실시형태

도 9는 본 발명의 제 4 실시형태의 승압회로를 표시하는 회로구성도이다.

도 9에 표시하는 승압회로는 외부입력클럭 CLK가 입력되는 입력단자 IN과 출력단자 OUT1 및 OUT2를 가지며 CLK에 근거해서 구동 타이밍신호 TG1 및 TG2을 작성하도록 TG1를 OUT1에서 출력하며 TG2를 OUT2에서 출력하는 타이밍 조정회로 K2와 TG2가 입력되는 인버터 I2와 입력단자를 I2의 출력단자에 접속한 인버터 I1과 TG1이 입력되는 입력단자IN과 출력단자 OUT를 가지며, TG1이 H일 때 L를 출력하며 TG1이 L때 승압용 전원 VBOOST의 레벨을 출력하는 레벨시프터 K1(제l 구동회로)와 드레인과 소스를 I1의 출력단자에 공통으로 접속한 NMOS 커패시터 C1(제 2 커패시터)과, 드레인과, 소스를 K1의 출력단자에 공통접속한 NMOS 커패시터C2(제 1 커패시터)과 승압용전원 VBOOST에 접속하는 전압 입력단자 Vinl 정(+)전원 VDD에 접속하는 전압입력 단자 Vin2, 모드 변환신호 MODEB가 입력되는 모드변환신호 입력단자 IN 및 전압출력단자 Vout를 가지며 MODEB가 L일때 VDD를 출력하고 MODEB가 H일 때 VBOOST를 출력하는 전원 스위칭회로 K3와, 드레인 및 게이트를 K3의 출력단자 Vout에 접속하며, 소스를 C1의 게이트에 접속한 NMOS 트랜지스터NTr1(제 3 NMOS 트랜지스터)와 소스를 NTr1의 소스에 접속하고 드레인을 승압전압 출력선BOOSTA에 접속하며 게이트를 C2의 게이트에 접속한 NMOS 트랜지스터 NTr2(제 2 NMOS 트랜지스터)와 소스와 게이트를 K3의 출력단자 Vout에 접속하여 드레인을 C2의 게이트에 접속한 NMOS 트랜지스터 NTr3(제 l NMOS 트랜지스터)가 있다.

즉, 도 9에 표시하는 승압회로는 도 17에 표시하는 종래의 승압회로에 있어서 전원 스위칭회로 K3를 설치하며 NMOS 트랜지스터 Tr1과 Tr3의 드레인과 게이트를 K3의 Vout에 접속하고 번인모드에 있어서는 Tr1과 Tr3의 드레인과 게이트에 VBOOST가 아닌 VDD를 공급하도록 한 것이다.

또한, 설명을 간단히 하기 위해서 각 NTr1 3의 문턱값 전압은 같으며 어느것이나 Vt로 한다.

또, 정(+)전원 VDD(도시하지 않음)와 승압용 전원 VBOOST는 VBOOST＞VDD+Vt의 관계를 만족 시키는 것으로 한다.

또, 인버터 I2 및 I1은 제 2 구동회로를 구성한다.

도 10은 상술한 전원 스위칭회로 K3의 회로도이다.

도 10에 표시하는 전원 스위칭회로 K3는 입력단자를 모드변환신호 입력단자 IN에 접속한 인버터 I61과, 게이트를 I61의 출력단자에 접속하고, 소스와 벌크(기판)을 전압입력 단자 Vin1에 접속하고, 드레인을 전압출력단자 Vout에 접속한 PMOS 트랜지스터 PTr61과 게이트를 IN에 접속하고 소스를 전압입력단자 Vin2에 접속하여 벌크를 Vin1에 접속하여 드레인을 Vout에 접속한 PMOS 트랜지스터 PTr62가 있다.

이 전원 스위칭회로 K3 회로는 모드 변환신호에 의해서 Vout의 전압레벨를 바꾸는 것이다.

다음에, 통상모드(MODEB=H)의 동작에 관해서 설명한다.

또한, 이 때의 타이밍 챠트는 도 18에 표시하는 바와 같다.

모드 변환신호 MODEB가 H이기 때문에 도 10의 전원 스위칭회로 K3에 있어서 I61의 출력은 L이고, PTr61은 ON해 있으며 PTr62는 OFF 해 있다.

따라서, Vout에서는 VBOOST가 출력되어 이하의 승압동작은 도 17의 승압회로와 같게 된다.

다음에, 번인모드(MODEB=L)의 동작에 관해서 설명한다.

도 11은 도 9의 승압회로에 있어서의 번인 모드시의 동작을 표시하는 타이밍 챠트이다. 또한, 이 번인모드에 있어서의 레벨 시프터 K1, 타이밍 조정회로 K2, 인버터 I2 및 I1의 동작은 통상 모드 때와 동일하다.

모드 변환신호 MODEB가 L이기 때문에 도 10의 전원스위칭회로 K3에 있어서 I61의 출력은 H이고, PTr61은 OFF해 있고 PTr62는 ON하고 있다.

따라서, Vout에서는 VDD가 출력되어 있다.

외부입력클럭 CLK가 H일 때는 NTr1 및 3은 드레인과 게이트가 동전위 이기 때문에 각각 Vt의 전압강하가 있으며 노드 2 및 3의 전위는 공히 VDD-Vt이다.

따라서, NTr2 도 드레인과 게이트가 동전위 이기 때문에 소스·드레인 사이에 Vt의 전압강하가 있으며, 승압전압 공급선 BOOSTA의 전위는 VDD-2Vt이다.

CLK가 H로 부터 L가 되고, 타이밍 조정회로 K2에 의해 TG2가 L에서 H가 되면 인버터 I1 및 I2에 의해 노드 7의 전위는 GND(L)부터 VDD(H)로 변화하고 노드 3의 전위가 VDD-Vt에서 2VDD-Vt로 된다.

이 때, 노드 3은 전원출력단자 Vout(VDD) 보다도 고 전위로 되기 때문에 NTr1은 OFF 한다.

타이밍 신호 TG1이 L에서 H로 되면 레벨시프터 K1에 의해 노드 1은 GND(L)부터 VBOOST로 된다.

이에 따라, 노드 2의 전위는 VDD-Vt에서 VBOOST+VDD-Vt로 된다.

이 때, 노드 2는 Vout(VDD) 보다도 고 전위로되기 때문에 NTr3은 OFF 한다.

상기 노드 2 및 3의 승압에 의해 NTr2의 게이트 전위는 VDD+VBOOST-Vt 소스전위는 2VDD-Vt로 되기 때문에, 노드 3의 전하가 NTr2 및 BOOSTA를 통해 부하(도시하지 않음)에 공급되어 노드 3과 BOOSTA가 동전위, 즉 통상 모드시 보다도 작은 승압전압 2VDD-Vt-δ가 된다.

여기서, δ은 부하와의 접속에 의한 노드 3의 전압강하분을 표시하며 NMOS 커패시터 C1의 용량치와 부하 임피던스에 의해서 결정되는 정수이다.

또한, C1의 용량치가 도 1의 승압회로의 C11과 C12의 합성용량과 같은 경우는, δ=α가 된다.

다음에, CLK가 L에서 H로 되면 TG1이 L에서 H가 되고 노드 1의 전위가 VBOOST에서 GND로 되어 노드 2의 전위가 VBOOST+VDD-Vt에서 VDD-Vt가 된다.

또, TG2가 소정의 지연시간을 가지고 H에서 L로 되면 노드 7의 전위가 H로 부터 L이 되기 때문에 노드 3의 전위모기 2VDD-Vt-δ로부터 VDD-Vt가 된다.

또, 전원스위칭회로 K3의 구성은 도 10에 표시하는 것에 한정되는 것은 아니다.

이와 같이, 상기 제 4 실시형태에 의하면, 번인모드시에 전압스위칭회로 K3에 의해 NMOS 트랜지스터 NTr1 및 NTr3의 드레인 및 게이트에 인가하는 전압을 VBOOST가 아니고 VDD로 하여 노드 3의 초기전압을 낮게 함으로 번인 모드시의 승압레벨을 통상 모드시 보다도 작게 할 수 있기 때문에 통상 동작시와 번인시험시에서의 승압레벨의 전환이 가능해진다.

제 5 실시형태

도 12는 본 발명의 제 5 실시형태의 승압회로를 표시하는 회로 구성도이다.

도 12에 표시하는 승압회로는 도 9의 승압회로에 있어서 전원 스위칭회로 K3의 전압출력단자 Vout를 NTr1 및 3의 드레인과 게이트가 아니고 레벨시프터 K1의 도 3에 표시하는 PTr21-23의 소스에 접속하며 NTr1 및 3의 드레인을 승압용 전원선 BOOSTB에 의해 승압용 전원 VBOOST에 접속한 것이다.

다음에 통상 모드(MODEB=H)의 동작에 관해서 설명한다.

또, 이 때의 타이밍 챠트는 도 18에 표시하는 바와 같다.

모드 변환신호 MODEB가 H이기 때문에 도 10의 전원스위칭 회로 K3에 있어서 I61의 출력은 L이고, PTr61은 ON하고 있으며 PTr62는 OFF 하고 있다.

따라서, Vout에서는 VBOOST가 출력되어 있고 도 3의 레벨시프터 K1에 있어서 PTr21-23의 소스전압은 VBOOST로 되기 때문에 이하의 승압동작은 도 9의 승압회로와 같게 된다.

다음에 번인모드(MODEB=L)의 동작에 대해서 설명한다.

도 13은 도 12의 승압회로에 있어서의 번인모드시의 동작을 표시하는 타임 챠트이다.

또, 이 번인모드에 있어서의 타이밍 조정회로 K2, 인버터 I2 및 I1의 동작은 도 9의 승압회로와 같다.

모드 변환신호 MODEB가 L이기 때문에 도 10의 전원스위칭회로 K3에 있어서 I61의 출력은 H이며 PTr61은 OFF하고 있으며 PTr62는 ON 하고 있다.

따라서, Vout에서는 VDD가 출력되어 있고 도 3의 레벨시프터 K1에 있어서 PTr21-23의 소스전압은 VDD가 된다.

외부입력클럭 CLK가 H일때는 NTr1 및 3은 드레인과 게이트가 동전위이기 때문에 각각 Vt의 전압강하가 생기며 노드 2 및 3의 전위는 공히 VBOOST-Vt이다.

따라서, NTr2도 드레인과 게이트가 동전위 이기 때문에 소스·드레인 사이에 Vt의 전압강하가 생기며 승압전압 공급선 BOOSTA의 전위는 VBOOST-2Vt이다.

CLK가 H로 부터 L이 되어 타이밍 조정회로 K2에 의해 TG2가 L에서 H가 되면 인버터 I1 및 I2에 의해 노드 7의 전위는 GND(L)부터 VDD(H)로 변화하여 노드 3의 전위가 VBOOST-Vt에서 VDD+VBOOST-Vt가 된다.

이 때, 노드 3은 BOOSTB 보다도 고 전위가 되기 때문에 NTr1은 OFF 한다.

타이밍 신호 TG1이 L에서 H가 되면 레벨시프터 K1에 의해 노드 1은 GND(L)부터 VDD가 된다.

이에 따라, 노드 2의 전위는 VBOOST-Vt에서 VBOOST+VDD-Vt가 된다.

이 때, 노드 2는 VBOOST 보다도 고 전위가 되기 때문에 NTr3은 OFF 한다.

상기 노드 2 및 3의 승압에 의해 NTr2의 게이트와 드레인의 전위는 공히 VBOOST+ VDD-Vt 이기 때문에, NTr2는 소스·드레인 사이에 Vt의 전압강하가 생긴 그대로 노드 3의 전하가 NTr2 및 BOOSTA를 통해 부하(도시하지 않음)에 공급되며 노드 3의 전위는 VBOOST+VDD-Vt-ε가 되어 BOOSTA의 전위는 통상 모드시 보다도 작은 VBOOST+VDD-2Vt-ε가 된다.

여기서, ε는 부하와의 접속에 의한 노드 3의 전압 강하분을 나타낸다.

이와 같이, 상기 제 5 실시형태에 의하면 번인 모드시에 전원스위칭회로 K3에 의해 레벨시프터 K1의 전원을 VBOOST에서 VDD로 하는 것에 의해 노드 2의 승압레벨을 작게 함으로서 번인 모드시의 승압레벨을 통상 모드시 보다도 작게 할 수 있어 통상 동작시와 번인시험시에서의 승압레벨의 전환이 가능해진다.

제 6 실시형태

도 14는 본 발명의 제 6 실시형태의 승압회로를 표시하는 회로구성도이다.

도 14에 표시하는 승압회로는 도 9의 승압회로에 있어서 타이밍 조정회로 K2 및 전원 스위칭회로 K3로 바꾸어서 외부 입력클럭 CLK가 입력되는 입력단자 IN1과 모드변환신호 MODEB가 입력되는 입력단자 IN2와 출력단자OUT1 및 OUT2를 가지며 CLK에 근거해서 구동 타이밍신호 TG1 및 TG2을 작성하고 TG2를 OUT2에서 출력하며 MODEB가 H일 때 TG1를 OUT1에서 출력하고 MODEB가 L일 때 OUT1를 H에 고정하는 타이밍 조정회로 K4를 설치하며, 또 소스를 NTr2의 드레인에 접속하여 드레인 및 게이트를 NTr2의 소스에 접속한 NMOS 트랜지스터 NTr71를 설치한 것이다.

도 15는 상기한 타이밍 조정회로 K4의 회로도이다.

도 15에 표시하는 타이밍 조정회로 K4는 도 2의 타이밍 조정회로 K4에 있어서 2입력의 NAND 게이트 31로 바꾸어 3입력의 NAND 게이트 71를 설치하고 NAND 게이트 71의 제 1 입력단자를 Na32의 출력단자에 접속하며 제 2 단자를 인버터 I31에 접속하여 제 3 입력단자를 MODEB가 입력되는 입력단자 IN2에 접속한 것이다.

다음에, 통상 모드(MODEB=H)의 동작에 관해서 설명한다.

또, 이 때의 타이밍 챠트는 도 18에 표시하는 것으로 동일하다.

모드 변환신호 MODEB가 H이기 때문에 타이밍 조정회로 K4의 출력단자 OUT1로부터는 구동 타이밍신호 TG1이 출력된다.

이하의 승압동작은 도 9의 승압회로와 같게 되지만, 이 때 NTr2가 0FF일 때는 NTr71에 의해서 노드 3과 B000STA는 전위차 Vt로 도통하고 있으며 노드 2 및 3이 승압되어 NTr2가 포화하면, 노드 3과 B000STA의 전위차는 없어지며 부하(도시하지 않음)에 노드 3의 승압전압이 공급된다.

다음에, 번인모드(MODEB=L)의 동작에 관해서 설명한다.

도 16은 도 14의 승합회로에서의 번인모드시의 동작을 표시하는 타이밍 챠트이다.

또, 이 번인모드에 있어서의 인버터 I2 및 I1의 동작은 도 9의 승압회로와 동일하다.

MODEB가 L이기 때문에 타이밍 조정회로 K4의 출력단자 OUT1은 항상 H로 되어있다.

따라서, 노드 1은 L에 고정되어 있고 노드 2는 VBOOST-Vt에 고정되어 있다.

외부 입력클럭 CLK가 H일 때는 노드 3의 전위는 VBOOST-Vt이고 NTr2는 OFF 하고 있다.

또, NTr71에 의해서 노드 3과 BOOSTA는 전위차 Vt를 가지고 도통하고 있다.

CLK가 H로 부터 L가 되면 TG2가 L에서 H가 되며 I2 및 I1에 의해 노드 7의 전위는 GND(L)부터 VDD(H)로 변화하고 노드 3의 전위가 VBOOST-Vt에서 VDD+ VBOOST-Vt가 된다. 이 때 노드 3은 BOOSTB 보다도 고 전위가 되기 때문에 NTr1은 OFF 한다.

그러나, 노드 2의 전위는 VBOOST-Vt에 고정되어 있기 때문에 NTr2는 OFF하고 NTr71에 의해서 BOOSTA의 전위는 통상 모드시 보다도 작은 VDD+ VBOOST-2Vt가 된다.

다음에, CLK가 L에서 H가 되고 TG2가 소정의 지연시간을 가지고 H로 부터 L가 되면, 노드 7의 전위가 H로 부터 L가 되기 때문에 노드 3의 전위가 VDD+VBOOST -2Vt에서 VBOOST-Vt가 된다.

또, 타이밍 조정회로 K4의 구성은 도 15에 표시하는 것에 한정되지 않는다.

이와 같이, 상기 제 6 실시형태에 의하면, 번인모드시에 NMOS 커패시터 C2를 구동하지 않고, 노드 2의 전위를 BOOSTB-Vt에 고정하며 NMOS 트랜지스터 NTr71를 사용하여 부하에 노드 3의 승압전압을 공급함으로 부하에 인가하는 승압전압의 레벨를 통상모드시 보다도 작게 할 수 있기 때문에 통상동작시와 번인시험시에서의 승압레벨의 전환이 가능해진다.

또, 상기 제 4 실시형태 또는 제 5 실시형태에 비하여 간단한 회로변경으로 승압레벨의 전환이 가능해진다.

발명의 효과

이상과 같이 본 발명의 청구항 1에 기재한 승압회로에 의하면 제 2 및 제 3 용량에 각각의 구동회로를 설치하며 번인모드시에 제 3 용량을 구동하지 않고 제 2 용량만을 구동함으로서 번인 모드시의 승압레벨을 통상모드시 보다도 작게 할 수 있기 때문에 통상 동작시와 번인시험할때의 승압레벨의 전환이 가능해진다고 하는 효과가 있다.

또, 청구항 2에 기재한 승압회로에 의하면 번인 모드시에 제 1 및 제 3 스위칭 회로의 제 1 주단자에 이러한 전압을 승압용 전원전위 보다 낮은 전원전위로 하는 것에 의해 번인모드시의 승압레벨을 통상모드시 보다도 작게 할 수 있기 때문에 통상 동작시와 번인시험시에서의 승압레벨의 전환이 가능해진다고 하는 효과가 있다.

또, 청구항 3에 기재한 승압회로에 의하면 번인모드시에 제 1 구동회로의 전원을 승압용 전원으로 부터 이것 보다 저전위의 전원으로 하는 것으로 번인모드시의 승압레벨을 통상모드시 보다도 작게 할 수 있기 때문에 통상 동작시와 번인시험시에서의 승압레벨의 전환이 가능해진다고 하는 효과가 있다.

또, 청구항 4에 기재한 승압회로에 의하면 번인모드시에 제 1 용량을 구동 하지 않고 제 4 스위칭 회로에 의해 승압전압을 공급함으로 부하에 인가하는 승압전압의 레벨을 통상 모드시 보다도 작게 할 수 있기 때문에 통상 동작시와 번인시험시에서의 승압레벨의 전환이 가능해진다고 하는 효과가 있다.

(57) 청구의 범위

청구항 1.

제 1 전위, 제 2 전위, 제 3 전위, 클럭신호 및 모드신호를 수신하며, 상기 제 2 전위는 상기 제 1 전위와 제 3 전위사이에 있고, 상기 클럭신호는 제 1 레벨과 제 2 레벨사이에서 변환되며, 상기 모드신호는 제 1 상태와 제 2 상태를 가지는 승압회로에 있어서,

출력단자와,

상기 클럭신호을 수신하여 액티브 상태와 인액티브 상태를 가지는 제 1 타이밍 신호 및 제 2 타이밍 신호를 생성하며, 상기 제 1 타이밍 신호는 상기 클럭신호가 상기 제 1 레벨로 된 후, 소정의 시점에서 액티브 상태로 되고, 상기 클럭신호가 상기 제 2 레벨로될 때 인액티브 상태로 되며, 상기 제 2 타이밍 신호는 상기 클럭신호가 상기 제 2 레벨로될 때 엑티브 상태로 되고, 상기 클럭신호가 상기 제 2 레벨로 된 후, 소정의 시점에서 인액티브 상태로 되는 타이밍 조정회로와,

상기 타이밍 조정회로에 접속되어, 상기 제 1 타이밍 신호가 인액티브 상태 일 때 상기 제 1 전위의 제 1 구동신호를 출력하고, 상기 제 1 타이밍 신호가 액티브 상태일 때 상기 제 3 전위의 상기 제 1 구동신호를 출력하는 제 1 구동회로와,

상기 타이밍 조정회로에 접속되어, 상기 제 2 타이밍 신호가 인액티브상태일 때, 상기 제 1 전위의 제 2 구동신호를 출력하고, 상기 제 2 타이밍 신호가 액티브 상태일 때 상기 제 2 전위의 상기 제 2 구동신호를 출력하는 제 2 구동회로와.

상기 타이밍 조정회로에 접속되어, 상기 모드신호가 제 1 상태이고 상기 제 2 타이밍 신호가 인액티브 상태일 때, 상기 제 1 전위의 제 3 구동신호를 출력하고, 상기 모드 신호가 제 1 상태에 있고 상기 제 2 타이밍 신호가 액티브 상태일 때 상기 제 2 전위의 상기 제 3 구동신호를 출력하며, 상기 모드신호가 제 2 상태 일 때, 상기 제 3 구동신호의 출력이 불가능한 제 3 구동회로와,

상기 제 1 구동회로에 접속되고, 제 1 전극과 제 2 전극을 가지며, 상기 제 1 전극이 상기 제 2 구동신호를 수신하는 제 2 커패시터와,

상기 제 3 구동회로에 접속되고, 제 1 전극과 제 2 전극을 가지며, 상기 제 1 전극이 상기 제 3 구동신호를 수신하고, 상기 제 2 전극이 상기 제 2 커패시터의 제 2 전극에 결합되어 있는 제 3 커패시터와,

상기 제 1 커패시터의 상기 제 2 전극에 결합되어, 상기 제 1 커패시터에 상기 제 3 전위를 공급하여, 상기 제 1 커패시터가 상기 제 3 전위로부터 방전되는 것을 방지하는 제 1 스위치와,

상기 제 1 커패시터의 제 2 전극, 상기 제 2 커패시터의 제 2 전극 및 상기 출력단자에 결합되어, 상기 제 2 커패시터의 제 2 전극이 상기 제 1 전위와 상기 제 1 커패시터의 제 2 전극의 전위사이의 중간 전위에 있을 때, 상기 제 2 커페시터와 제 3 커패시터가 상기 출력단자로 방전되도록 하여, 상기 제 1 커패시터의 제 2 전극과 상기 제 2 커패시터의 제 2 전극이 동일 전위에 있을 때, 상기 제 2 커패시터와 제 3 커패시터가 상기 출력단자로부터 충전되어지는 것을 방지하는 제 2 스위치 회로와,

상기 제 2 커패시터의 제 2 전극에 결합되어, 상기 제 2 커패시터와 제 3 커패시터에 상기 제 3 전위를 공급하여, 상기 제 2 커패시터와 제 3 커페시터가 상기 제 3 전위로부터 방전되는 것을 방지하는 제 3 스위치 회로를 구비하는 것을 특징으로 하는 승압회로.

청구항 2.

제 1 전위, 제 2 전위, 제 3 전위, 클럭신호 및 모드신호를 수신하며, 상기 제 2 전위는 상기 제 1 전위와 제 3 전위사이에 있고, 상기 클럭신호는 제 1 레벨과 제 2 레벨사이에서 변환되며, 상기 모드신호는 제 1 상태와 제 2 상태를 가지는 승압회로에 있어서,

출력단자와,

상기 제 2 전위, 상기 제 3 전위 및 상기 모드 신호를 수신하여, 상기 모드신호가 상기 제 1 상태일 때 상기 제 3 전위와 동일한 전위를 출력하고, 상기 모드 신호가 상기 제 2 상태일 때, 상기 제 2 전위와 동일한 전위를 출력하는 전원 스위칭 회로와,

상기 클럭신호을 수신하여 액티브 상태와 인액티브 상태를 가지는 제 1 타이밍 신호 및 제 2 타이밍 신호를 생성하며, 상기 제 1 타이밍 신호는 상기 클럭신호가 상기 제 1 레벨로 된 후, 소정의 시점에서 액티브 상태로 되고, 상기 클럭신호가 상기 제 2 레벨로될 때 인액티브 상태로 되며, 상기 제 2 타이밍신호는 상기 클럭신호가 상기 제 2 레벨로될 때 엑티브 상태로 되고, 상기 클럭신호가 상기 제 2 레벨로 된 후, 소정의 시점에서 인액티브 상태로 되는 타이밍 조정회로와,

상기 타이밍 조정회로에 접속되어, 상기 제 1 타이밍 신호가 인액티브 상태 일 때 상기 제 1 전위의 제 1 구동신호를 출력하고, 상기 제 1 타이밍 신호가 액티브 상태일 때 상기 제 3 전위의 상기 제 1 구동신호를 출력하는 제 1 구동회로와,

상기 타이밍 조정회로에 접속되어, 상기 제 2 타이밍 신호가 인액티브 상태일 때, 상기 제 1 전위의 제 2 구동신호를 출력하고, 상기 제 2 타이밍 신호가 액티브 상태일 때 상기 제 2 전위의 제 2 구동신호를 출력하는 제 2 구동회로와,

상기 제 1 구동회로에 접속되고, 제 1 전극과 제 2 전극을 가지며, 상기 제 1 전극이 상기 제 1 구동신호를 수신하는 제 1 커패시터와,

상기 제 2 구동회로에 접속되고, 제 1 전극과 제 2 전극을 가지며, 상기 제 1 전극이 상기 제 2 구동신호를 수신하는 제 2 커패시터와,

상기 전원 스위칭 회로와 상기 제 1 커패시터의 상기 제 2 전극에 결합되어, 상기 전원 스위치 회로의 출력 전위를 상기 제 1 커패시터에 공급하여, 상기 제 1 커패시터로부터 상기 전원 스위치회로로 방전되는 것을 방지하는 제 1 스위치 회로와,

상기 제 1 커패시터의 제 2 전극, 상기 제 2 커패시터의 제 2 전극 및 상기 출력단자에 결합되어, 상기 제 2 커패시터의 제 2 전극이 상기 제 1 전위와 상기 제 1 커패시터의 제 2 전극의 전위사이의 전위 중간에 있을 때, 상기 제 2 커패시터가 상기 출력단자로 방전되도록 하여, 상기 제 1 커패시터의 제 2 전극과 상기 제 2 커패시터의 제 2 전극이 동일 전위에 있을 때, 상기 제 2 커패시터가 상기 출력단자로부터 충전되어 지는 것을 방지하는 제 2 스위치 회로와,

상기 전원 스위치 회로와 상기 제 2 커패시터의 제 2 전극에 결합되어, 상기 상기 전원 스위치회로의 출력전위를 상기 제 2 커패시터에 공급하여, 상기 제 2 커패시터가 상기 전원 스위치 회로로 방전되는 것을 방지하는 제 3 스위치 회로를 구비하는 것을 특징으로 하는 승압회로.

청구항 3.

제 1 전위, 제 2 전위, 제 3 전위, 클럭신호 및 모드 신호를 수신하며, 상기 제 2 전위는 상기 제 1 전위와 제 3 전위사이에 있고, 상기 클럭신호는 제 1 레벨과 제 2 레벨사이에서 변환되며, 상기 모드신호는 제 1 상태와 제 2 상태를 가지는 승압회로에 있어서,

출력단자와,

상기 제 2 전위, 상기 제 3 전위 및 상기 모드 신호를 수신하여, 상기 모드신호가 상기 제 1 상태일 때 상기 제 3 전위와 동일한 전위를 출력하고, 상기 모드 신호가 상기 제 2 상태일 때, 상기 제 2 전위와 동일한 전위를 출력하는 전원 스위칭 회로와,

상기 클럭신호을 수신하여 액티브 상태와 인액티브 상태를 가지는 제 1 타이밍 신호 및 제 2 타이밍 신호를 생성하며, 상기 제 1 타이밍 신호는 상기 클럭신호가 상기 제 1 레벨로 된 후, 소정의 시점에서 액티브 상태로 되고, 상기 클럭신호가 상기 제 2 레벨로될 때 인액티브 상태로 되며, 상기 제 2 타이밍 신호는 상기 클럭신호가 상기 제 2 레벨로될 때 액티브 상태로 되고, 상기 클럭신호가 상기 제 2 레벨로 된 후, 소정의 시점에서 인액티브 상태로 되는 타이밍 조정회로와,

상기 전원 스위치회로와 타이밍 조정회로에 접속되어, 상기 제 1 타이밍 신호가 인액티브 상태일 때 상기 제 1 전위의 제 1 구동신호를 출력하고, 상기 제 1 타이밍 신호가 액티브 상태일 때 상기 전원 스위치회로의 출력전위의 상기 제 1 구동신호를 출력하는 제 1 구동회로와,

상기 타이밍 조정회로에 접속되어, 상기 제 2 타이밍 신호가 인액티브 상태일 때, 상기 제 1 전위의 제 2 구동신호를 출력하고, 상기 제 2 타이밍 신호가 액티브 상태일 때 상기 제 2 전위의 상기 제 2 구동신호를 출력하는 제 2 구동회로와,

상기 제 1 구동회로에 접속되고, 제 1 전극과 제 2 전극을 가지며, 상기 제 1 전극이 상기 제 1 구동신호를 수신하는 제 1 커패시터와,

상기 제 2 구동회로에 접속되고, 제 1 전극과 제 2 전극을 가지며, 상기 제 1전극이 상기 제 2 구동신호를 수신하는 제 2 커패시터와,

상기 제 1 커패시터의 상기 제 2 전극에 결합되어, 상기 제 3 전위를 상기 제 1 커패시터에 공급하여, 상기 제 1 커패시터가 상기 제 3 전위로 방전하는 것을 방지하는 제 1 스위치 회로와,

상기 제 1 커패시터의 제 2 전극, 상기 제 2 커패시터의 제 2 전극 및 상기 출력단자에 결합되어, 상기 제 2 커패시터의 제 2 전극이 상기 제 1 전위와 상기 제 1 커패시터의 제 2 전극의 전위사이의 중간 전위에 있을 때, 상기 제 2 커패시터가 상기 출력단자로 방전되도록 하여, 상기 제 1 커패시터의 제 2 전극과 상기 제 2 커패시터의 제 2 전극이 동일 전위에 있을 때, 상기 제 2 커패시터가 상기 출력단자로부터 충전되어 지는 것을 방지하는 제 2 스위치와,

상기 제 2 커패시터의 제 2 전극에 결합되어, 상기 제 3 전위를 상기 제 2 커패시터에 공급하여, 상기 제 2 커패시터가 상기 제 3 전위로 방전되는 것을 방지하는 제 3 스위치 회로를 구비하는 것을 특징으로 하는 승압회로.

청구항 4.

제 1 전위, 제 2 전위, 제 3 전위, 클럭신호 및 모드신호를 수신하며, 상기 제 2 전위는 상기 제 1 전위와 제 3 전위사이에 있고, 상기 클럭신호는 제 1 레벨과 제 2 레벨사이에서 변환되며, 상기 모드신호는 제 1 상태와 제 2 상태를 가지는 승압회로에 있어서,

출력단자와,

상기 클럭신호 및 모드신호를 수신하여, 액티브 상태와 인액티브 상태를 가지는 제 1 타이밍 신호 및 제 2 타이밍 신호를 생성하며, 상기 제 1 타이밍 신호는 상기 모드신호가 상기 제 2 상태일 때 상기 인액티브 상태를 유지하고, 상기 클럭신호가 상기 제 1 레벨로된 후, 소정의 시점에서 액티브 상태로 되어, 상기 모드 신호가 상기 제 1 상태로 제공되고, 상기 클럭신호가 상기 제 2 레벨로 될 때 인액티브 상태로 되며, 상기 제 2 타이밍 신호는 상기 클럭신호가 제 1 레벨로 될 때 액티브상태로 되고, 상기 클럭신호가 상기 제 2 레벨로된 후 소정의 시점에 인액티브 상태로되는 타이밍 조정회로와,

상기 타이밍 조정회로에 접속되어, 상기 제 1 타이밍 신호가 인액티브 상태일 때, 상기 제 1 전위의 제 1 구동신호를 출력하고, 상기 제 1 타이밍 신호가 액티브 상태일 때, 상기 제 3 전위의 상기 제 1 구동신호를 출력하는 제 1 구동회로와.

상기 타이밍 조정회로에 접속되어, 상기 제 2 타이밍 신호가 인액티브 상태일 때, 상기 제 1 전위의 제 2 구동신호를 출력하고, 상기 제 2 타이밍 신호가 액티브 상태일 때, 상기 제 2 전위의 상기 제 2 구동신호를 출력하는 제 2 구동회로와.

상기 제 1 구동회로에 접속되고, 제 1 전극과 제 2 전극을 가지며, 상기 제 1 전극이 상기 제 1 구동신호를 수신하는 제 1 커패시터와,

상기 제 2 구동회로에 접속되고, 제 1 전극과 제 2 전극을 가지며, 상기 제 1 전극이 상기 제 2 구동신호를 수신하는 제 2 커패시터와,

상기 제 1 커패시터의 상기 제 2 전극에 결합되어, 상기 제 1 커패시터에 상기 제 3 전위를 공급하여, 상기 제 1 커패시터가 상기 제 3 전위로 방전되는 것을 방지하는 제 1 스위치 회로와,

상기 제 1 커패시터의 제 2 전극, 상기 제 2 커패시터의 제 2 전극 및 상기 출력단자에 결합되어, 상기 제 2 커패시터의 제 2 전극이 상기 제 1 전위와 상기 제 1 커패시터의 제 2 전극의 전위사이의 중간 전위에 있을 때, 상기 제 2 커패시터가 상기 출력단자로 방전되도록 하여, 상기 제 1 커패시터의 제 2 전극과 상기 제 2 커패시터의 제 2 전극이 동일 전위에 있을 때, 상기 제 2 커패시터가 상기 출력단자로부터 충전되어지는 것을 방지하는 제 2 스위치 회로와,

상기 제 2 커패시터의 제 2 전극에 결합되어, 상기 제 2 커패시터에 상기 제 3 전위를 공급하여, 상기 제 2 커패시터가 상기 제 3 전위로부터 방전되는 것을 방지하는 제 3 스위치 회로와,

상기 제 2 커패시터의 제 2 전극과 상기 출력단자에 결합되어, 상기 제 2 커패시터가 전압강하와 함께 상기 출력단자로 방전되어, 상기 제 2 커패시터가 출력단자로부터 충전되는 것을 방지하는 제 4 스위치 회로를 구비하는 것을 특징으로 하는 승압회로.

청구항 5.

제 1 항에 있어서,

상기 제 3 구동회로는 상기 제 3 구동신호의 출력이 디스에이블되었을 때 상기 제 3 구동신호를 상기 제 1 전위로 유지하는 것을 특징으로 하는 승압회로.

청구항 6.

제 1 항에 있어서,

상기 제 3 구동회로는 상기 제 3 구동신호의 출력이 디스에이블되었을 때 상기 제 1 전위 및 상기 제 3 전위에 대하여 상기 제 3 구동신호를 부유상태로 유지하는 것을 특징으로 하는 승압회로.

청구항 7.

제 1 항에 있어서,

상기 제 3 구동회로는 상기 제 2 타이밍 신호가 인액티브 상태에 있고, 상기 제 3 구동신호의 출력이 디스에이블 되었을 때, 상기 제 3 구동신호를 상기 상기 제 1 전위로 유지하고, 상기 제 2 타이밍 신호가 액티브 상태에 있고, 상기 제 3 구동신호의 출력이 디스에이블 되었을 때, 상기 제 3 구동신호를 상기 제 1 전위 및 제 2 전위에 대하여 부유상태로 유지하는 것을 특징으로 하는 승압회로.

청구항 8.

제 1 항에 있어서,

상기 제 1 커패시터, 제 2 커패시터 및 제 3 커패시터는 금속-산화물-반도체 커패시터인 것을 특징으로 하는 승압회로.

청구항 9.

제 1 항에 있어서,

상기 제 1 스위치 회로, 제 2 스위치 회로 및 제 3 스위치 회로는 전계효과트랜지스터인 것을 특징으로 하는 승압회로.

청구항 10.

제 9 항에 있어서,

상기 제 1 스위치 회로는 상기 제 1 커패시터의 제 2 전극에 결합된 소스, 및 상기 제 3 전위를 받는 게이트와 드레인을 가지는 것을 특징으로 하는 승압회로.

청구항 11.

제 9 항에 있어서.

상기 상기 제 2 스위치 회로는 상기 출력단자에 결합된 소스, 상기 제 1 커패시터의 제 2 전극에 결합된 게이트 및 상기 제 2 커패시터의 제 2 전극에 결합된 드레인을 가지는 것을 특징으로 하는 승압회로.

청구항 12.

제 9항에 있어서,

상기 제 3 스위치 회로는 상기 제 2 커패시터의 제 2 전극에 결합된 소스, 및 상기 제 3 전위를 받는 게이트와 드레인을 가지는 것을 특징으로 하는 승압회로.

청구항 13.

제 2 항에 있어서,

상기 제 1 커패시터, 제 2 커패시터 및 제 3 커패시터는 금속-산화물-반도체 커패시터인 것을 특징으로 하는 승압회로.

청구항 14.

제 2 항에 있어서,

상기 제 1 스위치 회로, 제 2 스위치 회로 및 제 3 스위치 회로는 전계효과 트랜지스터 인 것을 특징으로 하는 승압회로.

청구항 15.

제 14 항에 있어서.

상기 제 1 스위치 회로는 상기 제 1 커패시터의 제 2 전극에 결합된 소스, 및 상기 전원 스위치 회로의 출력전위를 받는 게이트 및 드레인을 가지는 것을 특징으로 하는 승압회로.

청구항 16.

제 14 항에 있어서

상기 상기 제 2 스위치 회로는 상기 출력단자에 결합된 소스, 상기 제 1 커패시터의 제 2 전극에 결합된 게이트 및 상기 제 2 커패시터의 제 2 전극에 결합된 드레인을 가지는 것을 특징으로 하는 승압회로.

청구항 17.

제 14 항에 있어서.

상기 제 3 스위치 회로는 상기 제 2 커패시터의 제 2 전극에 결합된 소스, 및 상기 전원 스위치회로의 출력전위를 받는 게이트와 드레인을 가지는 것을 특징으로 하는 승압회로.

청구항 18.

제 3항에 있어서.

상기 제 1 커패시터 및 제 2 커패시터는 금속-산화물-반도체 커패시터인 것을 특징을 하는 승압 회로.

청구항 19.

제 3 항에 있어서.

상기 제 1 스위치 회로, 제 2 스위치 회로 및 제 3 스위치 회로는 전계효과 트랜지스터 인 것을 특징으로 하는 승압회로.

청구항 20.

제 19항에 있어서,

상기 제 1 스위치 회로는 상기 제 1 커패시터의 제 2 전극에 결합된 소스, 및 상기 상기 제 3 전위를 받는 게이트와 드레인을 가지는 것을 특징으로 하는 승압회로.

청구항 21.

제 19 항에 있어서,

상기 제 2 스위치 회로는 상기 출력단자에 결합된 소스, 상기 제 1 커패시터의 제 2 전극에 결합된 게이트 및 상기 제 2 커패시터의 제 2 전극에 결합된 드레인을 가지는 것을 특징으로 하는 승압회로.

청구항 22.

제 19 항에 있어서,

상기 제 3 스위치 회로는 상기 제 2 커패시터의 제 2 전극에 결합된 소스, 및 상기 제 3 전위를 받는 게이트와 드레인을 가지는 것을 특징으로 하는 승압회로.

청구항 23.

제 4 항에 있어서,

상기 제 1 커패시터 및 제 2 커패시터는 금속-산화물-반도체 커패시터인 것을 특징으로 하는 승압회로.

청구항 24.

제 4 항에 있어서.

상기 제 1 스위치 회로, 제 2 스위치 회로, 제 3 스위치 회로 및 제 4 스위치 회로는 전계효과 트랜지스터 인 것을 특징으로 하는 승압회로.

청구항 25.

제 24 항에 있어서,

상기 제 1 스위치 회로는 상기 제 1 커패시터의 제 2 전극에 결합된 소스, 및 상기 제 3 전위를 받는 게이트와 드레인을 가지는 것을 특징으로 하는 승압회로.

청구항 26.

제 24 항에 있어서,

상기 제 2 스위치 회로는 상기 출력단자에 결합된 소스, 상기 제 1 커패시터의 제 2 전극에 결합된 게이트, 및 상기 제 2 커패시터의 제 2 전극에 결합된 드레인을 가지는 것을 특징으로 하는 승압회로.

청구항 27.

제 24 항에 있어서,

상기 제 3 스위치 회로는 상기 제 2 커패시터의 제 2 전극에 결합된 소스, 및 상기 제 3 전위를 받는 게이트와 드레인을 가지는 것을 특징으로 하는 승압회로.

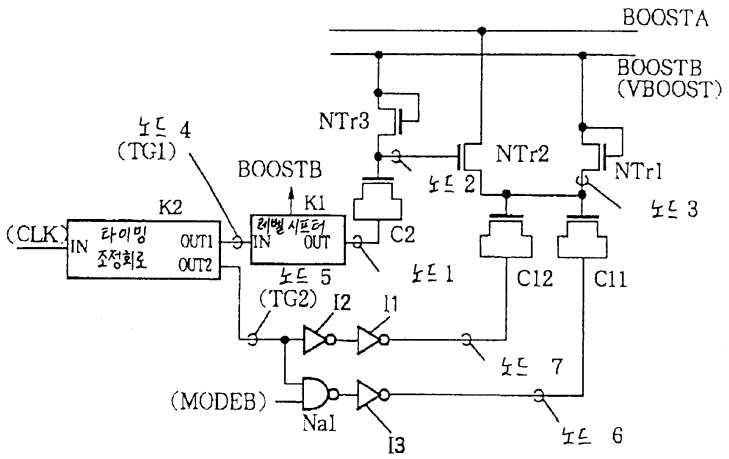
청구항 28.

제 24 항에 있어서,

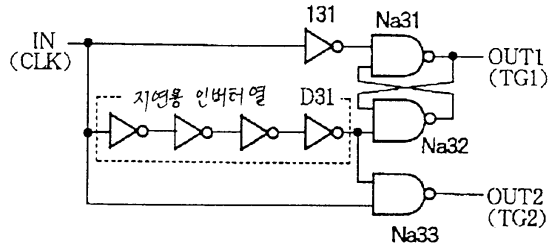
상기 제 4 스위치 회로는 상기 출력단자에 결합된 소스, 및 상기 제 2 커패시터의 제 2 전극에 결합된 게이트와 드레인을 가지는 것을 특징으로 하는 승압회로.

도면

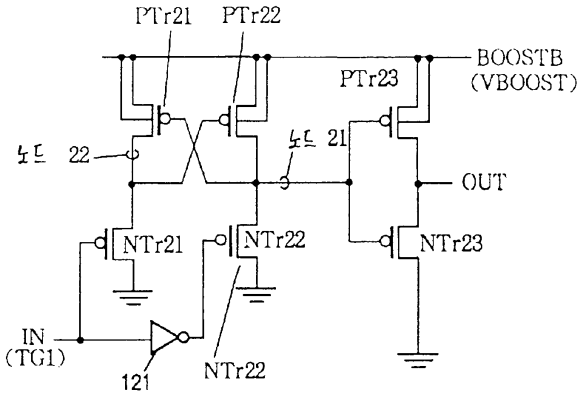
도면 1



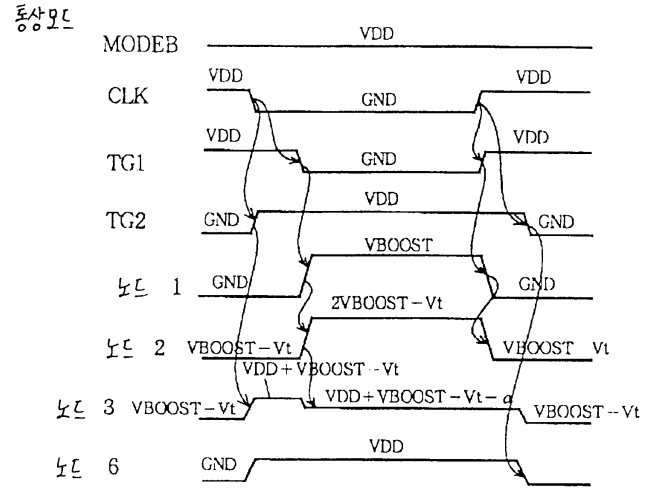
도면 2


IN
(CLK)
131
Na31
OUT1
(TG1)
지연용 인버터열
D31
Na32
OUT2
(TG2)
Na33

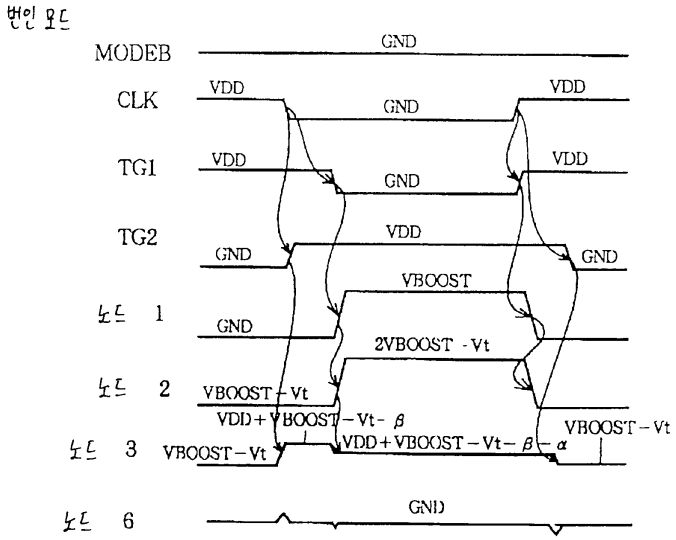
도면 3


PTr21
PTr22
BOOSTB
(VBOOST)
PTr23
노드 22
노드 21
OUT
NTr21
NTr22
NTr23
IN
(TG1)
121
NTr22

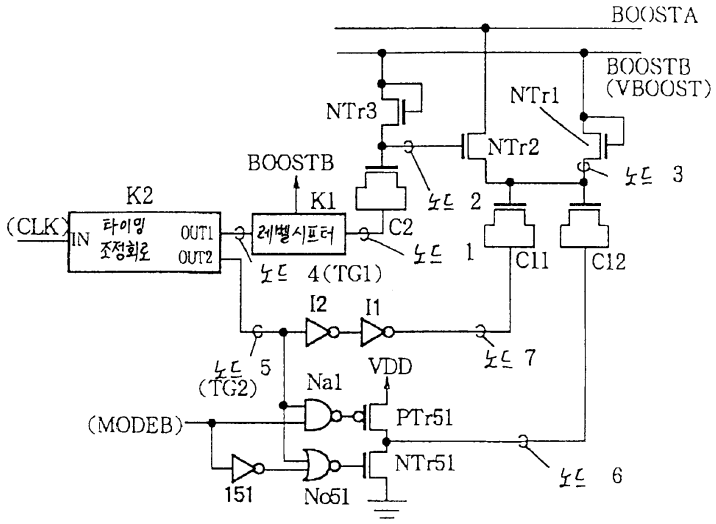
도면 4a


통상모드
MODEB
CLK
TG1
TG2
노드 1
노드 2
노드 3
노드 6
VDD
GND
VBOOST
2VBOOST－Vt
VBOOST－Vt
VDD＋VBOOST－Vt
VDD＋VBOOST－Vt－α
VBOOST－Vt

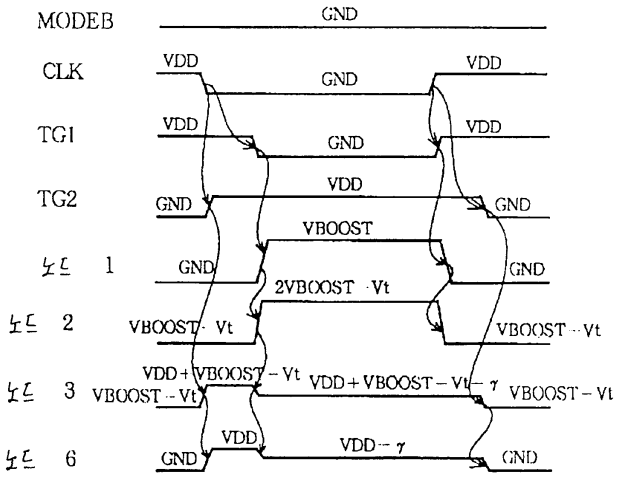
도면 4b


번인모드
MODEB
CLK
TG1
TG2
노드 1
노드 2
노드 3
노드 6
GND
VDD
VBOOST
2VBOOST－Vt
VBOOST－Vt
VDD＋VBOOST－Vt－β
VDD＋VBOOST－Vt－β－α
VBOOST－Vt

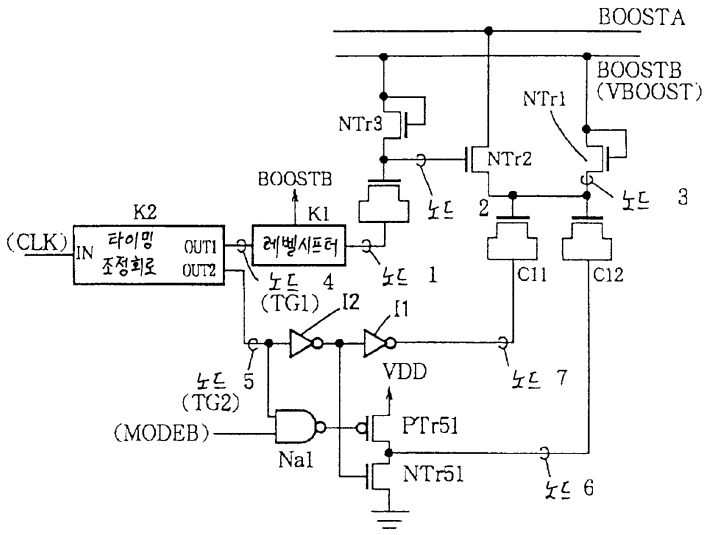
도면 5


BOOSTA
BOOSTB
(VBOOST)
NTr3
NTr1
NTr2
노드 3
BOOSTB
K2
K1
노드 2
(CLK)
IN
타이밍
조정회로
OUT1
OUT2
레벨시프터
C2
노드 1
C11
C12
노드 4(TG1)
I2
I1
노드
(TG2)
5
VDD
Na1
노드 7
(MODEB)
PTr51
NTr51
노드 6
151
No51

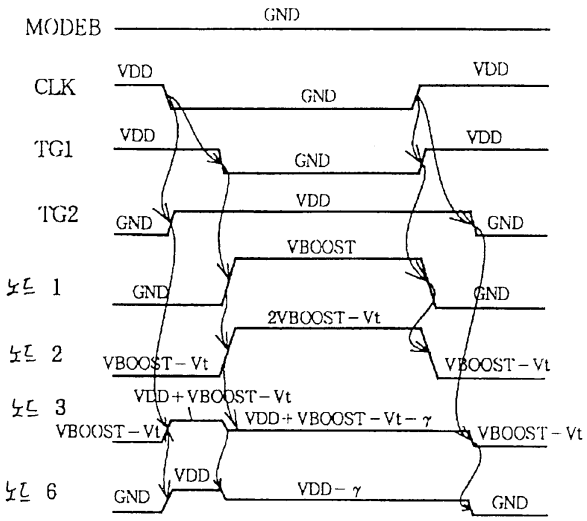
도면 6


MODEB
GND
CLK
VDD
GND
VDD
TG1
VDD
GND
VDD
TG2
GND
VDD
GND
VBOOST
노드 1
GND
2VBOOST - Vt
GND
노드 2
VBOOST - Vt
VBOOST - Vt
노드 3
VDD+VBOOST-Vt
VBOOST - Vt
VDD+VBOOST-Vt-γ
VBOOST - Vt
노드 6
VDD
GND
VDD-γ
GND

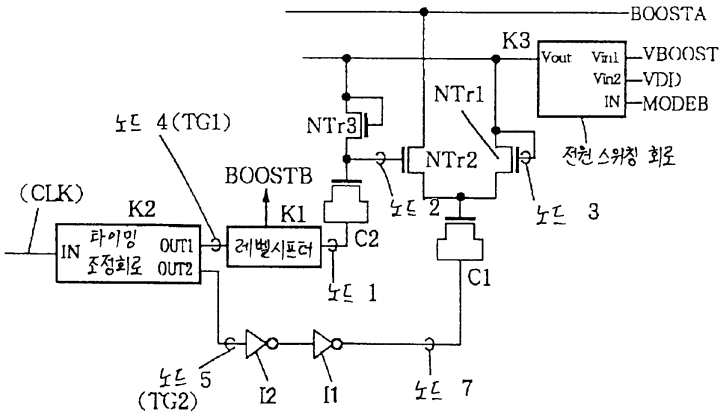
도면 7


BOOSTA
BOOSTB
(VBOOST)
NTr1
NTr3
NTr2
BOOSTB
K2
K1
(CLK)
IN
타이밍
조정회로
OUT1
OUT2
레벨시프터
노드 1
노드 2
노드 3
노드 4
(TG1)
C11
C12
I2
I1
VDD
노드 5
(TG2)
노드 7
(MODEB)
Na1
PTr51
NTr51
노드 6

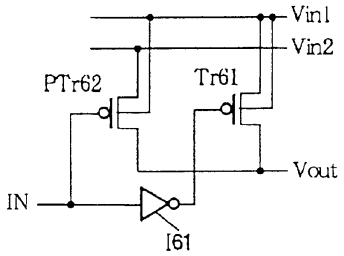
도면 8


MODEB
GND
CLK
VDD
TG1
TG2
VBOOST
노드 1
2VBOOST - Vt
노드 2
VBOOST - Vt
노드 3
VDD + VBOOST - Vt
VDD + VBOOST - Vt - γ
노드 6
VDD - γ

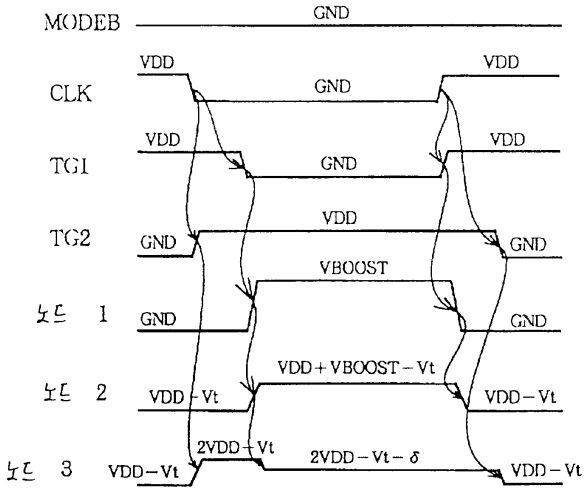
도면 9


BOOSTA
K3
Vout
Vin1
Vin2
IN
VBOOST
VDD
MODEB
NTr1
노드 4(TG1)
NTr3
NTr2
전원 스위칭 회로
BOOSTB
(CLK)
K2
K1
노드 2
노드 3
IN
타이밍
조정회로
OUT1
OUT2
레벨시프터
C2
C1
노드 1
노드 5
(TG2)
I2
I1
노드 7

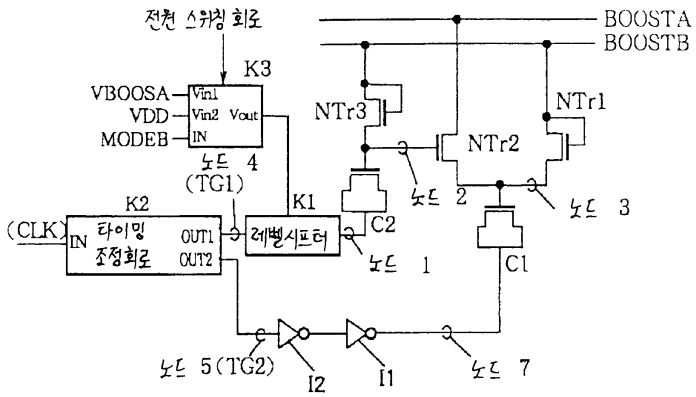
도면 10


Vin1
Vin2
PTr62
Tr61
Vout
IN
I61

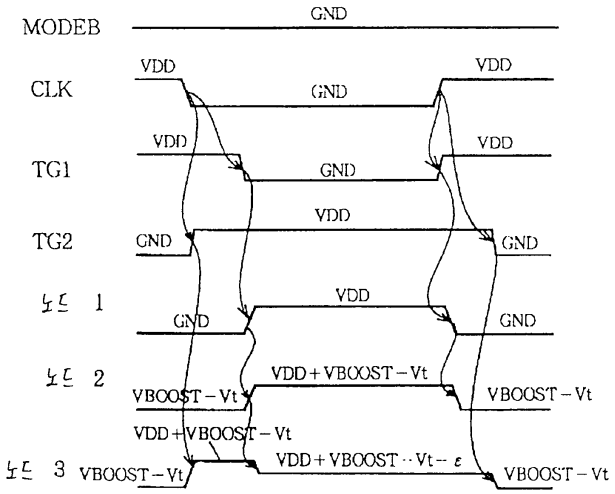
도면 11


MODEB
GND
CLK
VDD
GND
VDD
TG1
VDD
GND
VDD
TG2
VDD
GND
GND
VBOOST
노드 1
GND
GND
VDD+VBOOST-Vt
노드 2
VDD-Vt
VDD-Vt
2VDD-Vt
노드 3
VDD-Vt
2VDD-Vt-δ
VDD-Vt

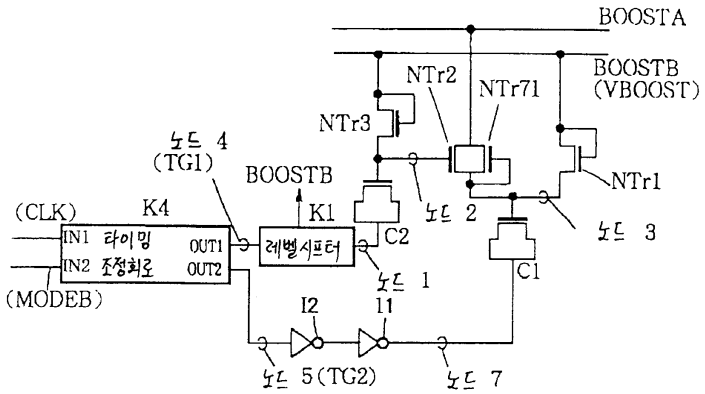
도면 12


전천 스위칭 회로
K3
VBOOSA
VDD
MODEB
Vin1
Vin2
Vout
IN
노드 4
(TG1)
K2
(CLK)
IN
타이밍
조정회로
OUT1
OUT2
K1
레벨시프터
C2
노드 1
C1
노드 5(TG2)
I2
I1
노드 7
NTr3
NTr2
NTr1
노드 2
노드 3
BOOSTA
BOOSTB

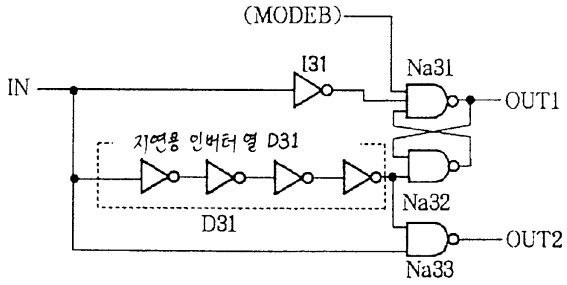
도면 13


MODEB
GND
CLK
VDD
GND
VDD
TG1
VDD
GND
VDD
TG2
VDD
GND
GND
노드 1
VDD
GND
GND
노드 2
VDD+VBOOST-Vt
VBOOST-Vt
VBOOST-Vt
VDD+VBOOST-Vt
노드 3
VBOOST-Vt
VDD+VBOOST··Vt-ε
VBOOST-Vt

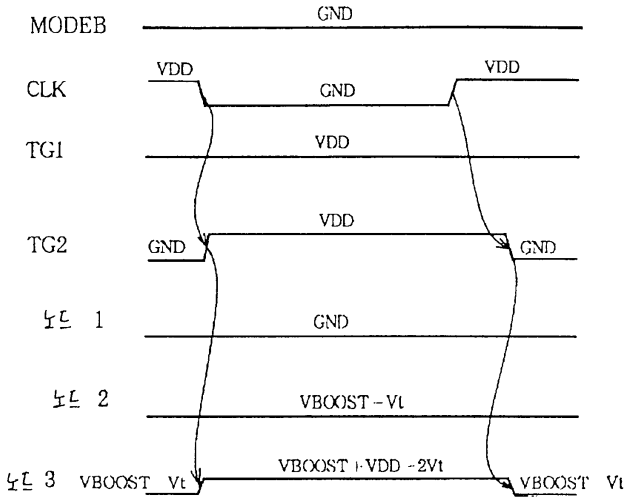
도면 14


BOOSTA
BOOSTB
(VBOOST)
NTr2
NTr71
NTr3
노드 4
(TG1)
BOOSTB
NTr1
(CLK)
K4
K1
노드 2
C2
노드 3
IN1 라이밍
OUT1
레벨시프터
IN2 조정회로
OUT2
노드 1
C1
(MODEB)
I2
I1
노드 5(TG2)
노드 7

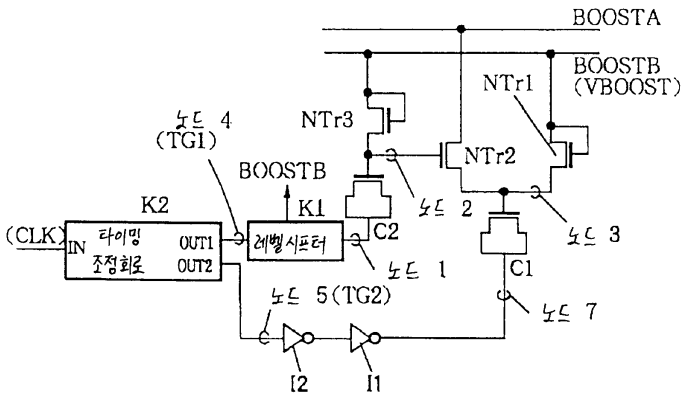
도면 15


(MODEB)
I31
Na31
IN
OUT1
지연용 인버터 열 D31
Na32
D31
OUT2
Na33

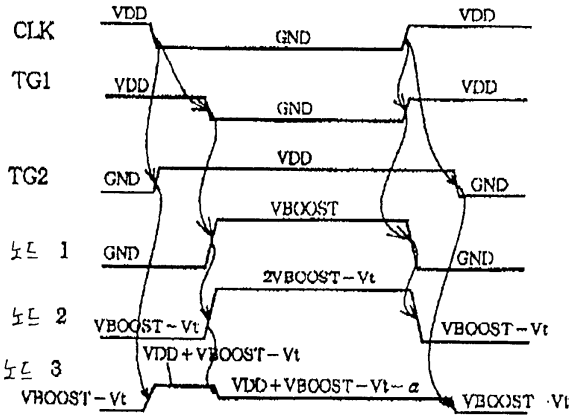
도면 16


MODEB
GND
CLK
VDD
GND
VDD
TG1
VDD
TG2
VDD
GND
GND
노드 1
GND
노드 2
VBOOST - Vt
노드 3
VBOOST Vt
VBOOST + VDD - 2Vt
VBOOST Vt

도면 17


BOOSTA
BOOSTB
(VBOOST)
NTr1
노드 4
(TG1)
NTr3
NTr2
BOOSTB
K2
K1
C2
노드 2
노드 3
(CLK)
IN
타이밍
조정회로
OUT1
OUT2
레벨시프터
노드 1
C1
노드 5(TG2)
노드 7
I2
I1

도면 18


CLK
TG1
TG2
노드 1
노드 2
노드 3
VDD
GND
VBOOST
2VBOOST-Vt
VBOOST-Vt
VDD+VBOOST-Vt
VDD+VBOOST-Vt-α