

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008 年 10 月 2 日 (02.10.2008)

PCT

(10) 国際公開番号
WO 2008/117367 A1(51) 国際特許分類:
G06F 15/173 (2006.01)

(21) 国際出願番号: PCT/JP2007/055994

(22) 国際出願日: 2007 年 3 月 23 日 (23.03.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 田村 泰孝 (TAMURA, Hirotaka) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 木船 雅也 (KIBUNE, Masaya) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 伊東 忠彦 (ITO, Tadahiko); 〒1506032 東京都渋谷区恵比寿 4 丁目 20 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階 Tokyo (JP).

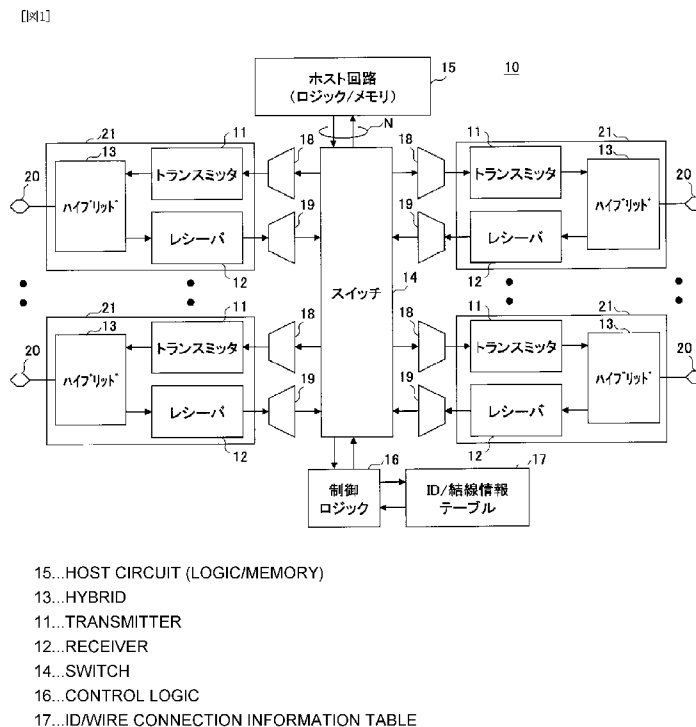
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: INTEGRATED CIRCUIT CHIP AND CIRCUIT NETWORK

(54) 発明の名称: 集積回路チップ及び回路ネットワーク



(57) Abstract: An integrated circuit chip comprises a plurality of bidirectional transceivers capable of simultaneously transmitting and receiving signals, a switch circuit connected to the plurality of bidirectional transceivers and a predetermined node and making it possible to switch the connections between the plurality of bidirectional transceivers and the predetermined node, a wire connection information storage unit for storing wire connection information, and a control circuit for setting a connection state of the switch circuit according to the wire connection information.

[続葉有]

WO 2008/117367 A1



IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(57) 要約: 集積回路チップは、信号を同時に送信及び受信可能な複数の双方向トランシーバと、該複数の双方向トランシーバと所定のノードとに結合され、該複数の双方向トランシーバと該所定のノードとの間の接続を切替え可能にするスイッチ回路と、結線情報を保持する結線情報格納部と、該結線情報に応じて該スイッチ回路の接続を設定する制御回路とを含む

明 細 書

集積回路チップ及び回路ネットワーク

技術分野

- [0001] 本発明は、一般に集積回路チップ及び回路ネットワークに関し、詳しくはLSIチップ間の信号伝送を高速に行う信号伝送機能を備えた集積回路チップ及びそのような集積回路チップで構成された回路ネットワークに関する。

背景技術

- [0002] コンピュータ等の情報処理機器を構成する部品、例えばSRAM(Static Random Access Memory)、DRAM(Dynamic Random Access Memory)、プロセッサ、スイッチ用LSI等の部品について、性能が大きく向上してきている。これらの部品或いは要素の性能向上に伴い、各部品或いは要素の間の信号伝送速度を向上(伝送容量を増加及び伝送遅延を減少)させていかなければ、システム全体としての性能を向上できない。例を挙げると、SRAMやDRAM等のメモリとプロセッサとの間の速度のギャップは大きくなる傾向になり、近年はこの速度ギャップがコンピュータの性能向上の妨げになりつつある。また、これらSRAM、DRAM、プロセッサ等のチップ間の信号伝送だけでなく、チップの大型化に伴いチップ内の素子や回路ブロック間の信号伝送速度も、チップの性能を制限する大きな要因となってきている。更にはサーバ間或いはボード間の接続においても、信号伝送速度を向上させる必要がある。
- [0003] 複数のチップでシステムを構成する場合、それぞれパッケージに収納した複数のチップをプリント基板上に配置し、その間をプリント基板上の配線で接続する構成が一般的である。プリント基板上の配線は複雑に交差する可能性が高い。このため、多層プリント基板を用いて多数の配線層を使用する構成が広く用いられている。また一つの信号線に複数のチップが接続される場合が多い。
- [0004] このような配線では、複数の信号間の相互干渉やマルチドロップ接続点でのインピーダンス不整合に起因する信号の多重反射等により、信号の品質が劣化する。信号品質の劣化をなるべく防ぐためには、プリント基板の設計を入念に時間をかけて行う必要があり、価格が高価なものとなりやすい。またシステムに修正がある場合に、プリ

ント基板上の配線を変更するのは容易でなく、基板全体を作り直すことが必要になる。

- [0005] 信号を高速に伝送するためには、全ての配線を1対1で接続して、その両端を配線の特性インピーダンスで終端することが有効である。しかし1対1の接続では1つの端子から複数箇所に信号を送ることができないので、信号端子の数が多くなってしまう。一方、チップが高性能となるに伴い端子数は増加するが、パッケージのピン数を増やすことは容易でないのが現状である。従って、1対1接続方式の採用により端子数が更に増加することは好ましくない。

特許文献1:特開2001-268141号公報

発明の開示

発明が解決しようとする課題

- [0006] 以上を鑑みて本発明は、物理的には1対1接続の配線による高速な信号伝送を実現しながらも、自由な配線の接続・変更を可能にしてピン数の増加を抑えることが可能な半導体集積回路チップを提供することを目的とする。

課題を解決するための手段

- [0007] 集積回路チップは、信号を同時に送信及び受信可能な複数の双方向トランシーバと、該複数の双方向トランシーバと所定のノードとに結合され、該複数の双方向トランシーバと該所定のノードとの間の接続を切替え可能にするスイッチ回路と、結線情報を保持する結線情報格納部と、該結線情報に応じて該スイッチ回路の接続を設定する制御回路とを含むことを特徴とする。
- [0008] また回路ネットワークは、複数の双方向入出力ポートを有する複数の集積回路チップと、該複数の集積回路チップ間を接続するために該双方向入出力ポート同士を一对一に接続する信号配線とを含み、該複数の集積回路チップの各々は、信号を同時に送信及び受信可能な複数の双方向トランシーバと、該複数の双方向トランシーバと該所定のノードとの間の接続を切替え可能にするスイッチ回路と、結線情報を保持する結線情報格納部と、該結線情報に応じて該スイッチ回路の接続を設定する制御回路とを含むことを特徴とする。

発明の効果

- [0009] 本発明の少なくとも1つの実施例によれば、上記集積回路チップを複数個用いてネットワークを構築し、結線情報に基づいて各チップ内部のスイッチ回路の接続を制御することにより、信号の送出側と受信側との関係を自由に設定することができる。信号の送出側と受信側との関係が設定された後に各チップ間で信号の伝送を行う際には、各信号伝送は全て双方向入出力ポートから双方向入出力ポートへの1対1接続(ポイント・トゥー・ポイント接続)により実現され、高速な信号伝送を実現することができる。またスイッチ回路の切り替え機能により自由な接続を設定でき、相互接続の柔軟性を確保するとともに必要なピン数を削減することができる。また双方向入出力ポートには入出力の区別がないので、チップ間の物理的な接続に際しては入出力の区別無く自由に接続することが可能となり、更にピン数を削減することができる。

図面の簡単な説明

- [0010] [図1]本発明による半導体集積回路チップの基本構成の一例を示す図である。
[図2]本発明により実現されるチップ間ネットワークの構成の一例を示す図である。
[図3]ID情報及び結線情報の送付による接続設定制御の流れを示すフローチャートである。
[図4]ID情報及び結線情報の送付による接続設定制御の動作タイミングを示すタイミング図である。
[図5]スイッチ回路における双方向トランシーバ間の接続設定機構について説明するための図である。
[図6]ハイブリッド回路の構成について説明するための図である。
[図7]本発明による集積回路チップにおいてHIGHインピーダンス状態制御を行う構成の一例を示す図である。
[図8]出力をHIGHインピーダンス状態に設定する処理を示すフローチャートである。
[図9]本発明による集積回路チップの第1の実施例を示す図である。
[図10]図9の集積回路チップを用いたネットワークの構成例を示す図である。
[図11]本発明による集積回路チップの第2の実施例を示す図である。
[図12]図11の集積回路チップ及びデバイスを用いたネットワークの構成例を示す図

である。

[図13]本発明による集積回路チップの第3の実施例を示す図である。

[図14]本発明による集積回路チップの第4の実施例を示す図である。

[図15]クロックデータリカバリ回路の構成の一例を示す図である。

[図16]本発明による集積回路チップにおいてバーストモードCDRを用いる構成の一例を示す図である。

[図17]バーストCDR回路の構成の一例を示す図である。

[図18]バーストCDRにおけるデータサンプリングのタイミングを示す図である。

[図19]信号送信のクロック源を選択可能にした構成の一例を示す図である。

[図20]本発明による集積回路チップの第5の実施例を示す図である。

[図21]各チップに対するチップID設定処理の一例を示すフローチャートである。

符号の説明

- [0011] 10 集積回路チップ
- 11 トランスミッタ
- 12 レシーバ
- 13 ハイブリッド回路
- 14 スイッチ回路
- 15 ホスト回路
- 16 制御ロジック
- 17 ID／結線情報テーブル
- 18 マルチプレクサ
- 19 デマルチプレクサ
- 20 双方向入出力ポート

発明を実施するための最良の形態

[0012] 以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

[0013] 図1は、本発明による半導体集積回路チップの基本構成の一例を示す図である。

図1に示す集積回路チップ10は、複数のトランスミッタ11、複数のレシーバ12、複数のハイブリッド回路13、スイッチ回路14、ホスト回路15、制御ロジック16、ID／結線

情報テーブル17、複数のマルチプレクサ18、複数のデマルチプレクサ19、複数の双方向入出力ポート20を含む。

- [0014] 1つのトランスミッタ11、1つのレシーバ12、及び1つのハイブリッド回路13により、1つの双方向トランシーバ21が構成される。こうして構成された複数の双方向トランシーバ21がスイッチ回路14に接続されている。ハイブリッド回路13は、トランスミッタ11が信号出力するのと同時にレシーバ12が信号入力するのを可能にする回路である。ハイブリッド回路13は、双方向入出力ポート20上に現れる出力信号と入力信号とが重畳された信号から入力信号を分離して、分離された入力信号をレシーバ12に供給する機能を有する。
- [0015] マルチプレクサ18は、チップ内部の低速なパラレル信号をマルチプレクスし、高速なシリアル信号としてチップ外部に送出する機能を有する。デマルチプレクサ19は、チップ外部から受信した高速なシリアル信号をデマルチプレクスし、低速なパラレル信号としてチップ内部に供給する機能を有する。
- [0016] スイッチ回路14は、マルチプレクサ18及びデマルチプレクサ19を介して複数の双方向トランシーバ21に結合され、また所定のノードNを介してホスト回路15に結合される。スイッチ回路14は、複数の双方向トランシーバ21間を切替え可能に接続する。また複数の双方向トランシーバ21とチップ内部のホスト回路15(プロセッサ、論理回路、メモリ等)との間も、スイッチ回路14により切替え可能に接続される。スイッチ回路14の切替え可能接続は、制御ロジック16により制御される。具体的には、ID/結線情報テーブル17に格納された情報に応じて、制御ロジック16が、スイッチ回路14内部の接続状態を制御する。
- [0017] 制御ロジック16は、専用のID/結線情報入力端子を介して又はデータ入出力用の双方向入出力ポート20を介して、ID情報及び結線情報を集積回路チップ10の外部から受け取り、受信したID情報及び結線情報をID/結線情報テーブル17に格納する。また制御ロジック16は、ID/結線情報テーブル17の結線情報に基づいて、各双方向入出力ポート20に対する他ポートからの接続の有無を判定する。他ポートからの接続の有無の判定結果及び他ポートからの信号入力の有無に応じて、制御ロジック16は、当該信号入力に対応する信号出力を行うべき双方向入出力ポート20の

出力を適宜HIGHインピーダンス状態に設定する。信号入力の有無の検出は、各双方向入出力ポート20に設けられていてよい。

[0018] 図1に示す集積回路チップ10を複数個用いてシステムを構築すれば、チップ間の接続に関する情報を各チップに送付し、この情報に基づいて各チップ内部のスイッチ回路14の接続を制御することにより、信号の送出側と受信側との関係を自由に設定することができる。信号の送出側と受信側との関係が設定された後に各チップ間で信号の伝送を行う際には、各信号伝送は全て双方向入出力ポート20から双方向入出力ポート20への1対1接続(ポイント・トゥー・ポイント接続)により実現され、高速な信号伝送を実現することができる。またスイッチ回路14の切り替え機能により自由な接続を設定でき、相互接続の柔軟性を確保するとともに必要なピン数を削減することができる。また双方向入出力ポート20には入出力の区別がないので、チップ間の物理的な接続に際しては入出力の区別無く自由に接続することが可能となり、また更にピン数を削減することができる。

[0019] 図2は、本発明により実現されるチップ間ネットワークの構成の一例を示す図である。本発明による集積回路チップ10を複数個接続することによりネットワークが構成される。チップIDが0であるチップが親となるルートデバイスであり、ネットワークのツリー構造のルートに位置する。このルートデバイスに、チップIDが11乃至n1である子デバイスが直接に接続される。またこれらの子デバイス(チップID:11乃至n1)に、チップIDが12乃至n2である孫デバイスが直接に接続される。以下同様に、デバイスが数珠繋ぎに縦続接続される。各デバイスは、図1に示した構成を有する集積回路チップ10である。本発明によれば、集積回路チップ10のスイッチ回路14の制御により、各デバイス間の信号伝送を切り替えることができるため、システムの要求に応じて柔軟に変更可能なネットワークを構成することができる。

[0020] なお例えばチップIDが0であるルートデバイスと一連の数珠繋ぎに縦続接続されるチップIDが11乃至1nであるn個のデバイスとに着目すると、マルチドロップ型バス接続と同等の機能を持つ配線を実現できることが分かる。即ち、ルートデバイスの集積回路チップ10のホスト回路15から他のn個の集積回路チップ10のホスト回路15へ1対nのマルチドロップ接続となるように、各デバイスのスイッチ回路14の接続を設定す

ることができる。

- [0021] 図3は、ID情報及び結線情報の送付による接続設定制御の流れを示すフローチャートである。例えば図2のチップIDが0であるルートデバイスをコントローラとして、コントローラから各デバイスに情報を送付する。図4は、ID情報及び結線情報の送付による接続設定制御の動作タイミングを示すタイミング図である。
- [0022] 以下に、図3及び図4を用いて、接続設定制御動作について説明する。なおID情報及び結線情報の送付による接続設定制御は、専用のID／結線情報入力端子を介して又はデータ入出力用の双方向入出力ポート20を介して実行可能であるが、以下の説明では、専用のID／結線情報入力端子を介しての場合について説明する。
- [0023] ステップS1で、リセット信号をコントローラより各デバイスに送付する。これは例えば、コントローラが、各デバイスのリセット信号端子に接続されるリセット信号線を活性化することにより実行される。リセット信号の送付が図4の(a)に示される。
- [0024] ステップS2で、リセット後、各デバイスが完了信号をコントローラに送付する。即ち、各デバイスからコントローラに接続される制御信号線を介して、各デバイスの制御ロジック16(図1参照)がリセット完了をコントローラに通知する。
- [0025] ステップS3で、チップIDをコントローラより各デバイスに送付する。即ち、コントローラから各デバイスのID／結線情報入力端子に接続される制御信号線を介して、コントローラが、各デバイスの制御ロジック16にそのチップIDを通知する。チップIDの送付が図4の(b)に示される。
- [0026] ステップS4で、ID設定後、各デバイスが設定完了の信号をコントローラに送付する。即ち、各デバイスからコントローラに接続される制御信号線を介して、各デバイスの制御ロジック16が設定完了をコントローラに通知する。この設定完了の信号は、結線情報のリクエストを兼ねる。設定完了信号の送付(結線情報リクエストの送付)が図4の(d)に示される。
- [0027] ステップS5で、結線情報をコントローラより各デバイスに送付する。即ち、コントローラから各デバイスのID／結線情報入力端子に接続される制御信号線を介して、コントローラが、各デバイスの制御ロジック16に結線情報を通知する。結線情報の送付が図4の(e)に示される。各デバイスにおいて制御ロジック16が、受信した結線情報をI

D／結線情報テーブル17に格納する。この結線情報は、双方向入出力ポート20間の接続及び双方向入出力ポート20とホスト回路15との間の接続を規定する情報である。即ち結線情報は、何れの双方向入出力ポート20が何れの双方向入出力ポート20に接続され、何れの双方向入出力ポート20がホスト回路15に接続されるのかを示す。

- [0028] ステップS6で、各デバイスが、結線テーブルを基にポートの設定を実行し、完了信号をコントローラに送付する。即ち各集積回路チップ10において、ID／結線情報テーブル17に格納された結線情報に応じて、制御ロジック16がスイッチ回路14の接続を設定することにより、結線情報が示す接続状態(双方向入出力ポート20間の接続及び双方向入出力ポート20とホスト回路15間の接続)を確立する。その後、各集積回路チップ10の制御ロジック16が、各デバイスからコントローラに接続される制御信号線を介して、完了信号をコントローラに通知する。
- [0029] ステップS7において、コントローラが、全てのデバイスから設定完了信号を受信後に、リンクレディ信号を各デバイスに送付する。即ち、コントローラから各デバイスに接続される制御信号線を介して、コントローラが、各デバイスの制御ロジック16にリンクレディ信号を通知する。リンクレディ信号の送付が図4の(f)に示される。
- [0030] ステップS8において制御終了する。その後、ステップS9において信号伝送を開始する。信号伝送が図4の(g)に示される。
- [0031] ステップS2における各チップへのチップID設定の一例を以下に示す。図21は、各チップに対するチップID設定処理の一例を示すフローチャートである。コントローラはチップID設定信号を全チップに対してブロードキャストする。コントローラは、ブロードキャストした後、一定の時間チップからの応答を待つ。チップIDが未決であるチップは、これに対し、コントローラにリクエスト信号を送信し、リクエスト信号を送信した場合に限り、一定の時間、チップIDを受信可能な状態となるようにする。各チップの送信のタイミングは、各チップでランダムな値となるように、例えば、熱雑音の強度がある閾値を超えたタイミングとする。コントローラは、待機時間の間に一つのチップからの応答が観測された場合にのみ、チップIDをブロードキャストする。複数のチップからのリクエスト信号を観測した場合には、チップIDは送信せず、再びブロードキャスト

ト信号を送信する。チップIDを受信可能なチップは、コントローラからのチップIDを受信し、設定を行う。以上の処理を繰り返し、全てのチップに対して、チップIDを設定する。

[0032] 上記説明は、専用のID／結線情報入力端子を介してID情報及び結線情報の送付による接続設定を行う場合について説明したが、同様の処理を双方向入出力ポート20を介して実行することも可能である。この場合、リセット後の初期状態において、各デバイスのスイッチ回路14は、一方の隣接チップからの信号入力を他方の隣接チップに伝送するような設定となるように構成してよい。このような状態において、コントローラから各デバイスに伝送する信号に特定の識別信号を含ませ、この識別信号によりID情報及び結線情報を各デバイスの制御ロジック16に認識させるように構成してよい。またIETF (Internet Engineering Task Force) で規定されるAODVやOLSR等のプロトコルと同様に、経路要求 (Route Request) の送信・転送及び経路応答 (Route Reply) の返信により、デバイス間の接続経路をコントローラで把握するように構成してよい。コントローラは、把握した経路情報に基づいて各デバイスについての結線情報を生成し、各デバイスに結線情報を送信するよう構成されてよい。

[0033] 図5は、スイッチ回路14における双方向トランシーバ間の接続設定機構について説明するための図である。図5において、図1と同一の構成要素は同一の番号で参照し、その説明は省略する。図5においては、ホスト回路15及びID／結線情報テーブル17は図示を省略してある。また複数の双方向トランシーバ21が示されるが、その各々が、図1に示される1つのトランスミッタ11、1つのレシーバ12、及び1つのハイブリッド回路13を含む。

[0034] スwitch回路14は、複数のセレクトタ22を含む。各セレクトタ22は、制御ロジック16から対応する制御信号CNTを受け取り、制御信号CNTが指示する入力信号を選択して出力する。このようにして、制御ロジック16により制御信号CNTを設定することにより、双方向入出力ポート20間の接続を指定することができる。制御ロジック16による制御信号CNTの設定は、ID／結線情報テーブル17の結線情報に応じて行われる。

[0035] このようにして例えば矢印Aで示す信号伝送経路や矢印Bで示す信号伝送経路が

確立される。なお図5では、双方向入出力ポート20間の信号接続についてのみ示してあるが、双方向入出力ポート20とホスト回路15との間の信号接続も同様にして確立される。

- [0036] 図6は、ハイブリッド回路13の構成について説明するための図である。図6において、トランスミッタ33から出力された送信電圧 V_f が特性インピーダンス Z_0 の伝送線路30に送信される。また伝送線路30を介して受信電圧 V_r が外部から到来する。送信電圧 V_f と受信電圧 V_r との重ね合わせとして、電圧 $V(=V_f+V_r)$ が現れる。抵抗値 r の抵抗に流れる電流量を I とすると、ゲイン Z_0/r である増幅回路31の入力端子間の差電圧は rI である。従って、増幅回路31の出力は $(Z_0/r) \times rI = Z_0 I$ となる。減算器32は、電圧 $V(=V_f+V_r)$ から増幅回路31の出力である $Z_0 I$ を減算する。従って、減算器32の出力は、

$$\begin{aligned} & V_f + V_r - Z_0 I \\ &= V_f + V_r - Z_0 [(V_f - V_r) / Z_0] \\ &= 2V_r \end{aligned}$$

となる。このようにして送信信号電圧と受信信号電圧とが同時に存在し重なっている場合でも、図6に示すような回路構成により、受信電圧 V_r を検出することができる。図1に示すハイブリッド回路13は、図6に示すような回路を内蔵することにより、受信信号を検出してレシーバ12に供給することができる。

- [0037] 図7は、本発明による集積回路チップにおいてHIGHインピーダンス状態制御を行う構成の一例を示す図である。図7において、図1に示すホスト回路15及びID／結線情報テーブル17の図示を省略してある。また図1に示すハイブリッド回路13を、図6に示すような回路構成を有する補償信号回路41及び減算器42として示してある。また更に、図1に示すスイッチ回路14、マルチプレクサ18、及びデマルチプレクサ19を纏めて、スイッチ制御ユニット43として示してある。

- [0038] 図7の構成において、3値コンパレータであるレシーバ12によって入力信号を受信する。レシーバ12は、入力信号電圧が+1、-1、又はHIGHインピーダンス状態の何れであるかを検出して、検出結果を出力する。ある双方向入出力ポート20に接続された信号線の先に信号送信デバイスが接続されていないとき、或いは信号送信デ

バイスが接続されていても信号出力がHIGHインピーダンス状態となっているとき、この双方向入出力ポート20に到来する信号は0となる。レシーバ12は、双方向入出力ポート20に到来する信号が0の時には0を出力し、+1の時には+1を出力し、-1の時には-1を出力する。制御ロジック16は、3値コンパレータであるレシーバ12の出力を監視することにより、各双方向入出力ポート20への入力信号がHIGHインピーダンス状態であるか否かを認識することができる。

[0039] 制御ロジック16は、ID／結線情報テーブル17(図1参照)の結線情報により、双方向入出力ポート20間の接続及び双方向入出力ポート20とホスト回路15との間の接続を把握している。従って、入力信号がHIGHインピーダンス状態である場合には、対応する出力信号をHIGHインピーダンス状態に設定することができる。図7に示す例では、制御ロジック16の制御の下にスイッチ制御ユニット43がゲート44の導通／遮断を制御することにより、必要に応じてトランスミッタ11の出力を遮断して出力HIGHインピーダンス状態を実現する。

[0040] このように出力をHIGHインピーダンス状態に設定することで、システムの消費電力を削減することが可能となる。また双方向入出力ポート20に配線が繋がっているかどうかを自動的に検出できるので、配線の断線やトランスミッタの故障の検出が可能となる。この機能を使うことにより、配線に冗長性を持たせて、システムの信頼性を向上させることができる。

[0041] 図8は、出力をHIGHインピーダンス状態に設定する処理を示すフローチャートである。ステップS1で制御ロジック16が結線情報を取得して、ID／結線情報テーブル17に格納する。ステップS2で、制御ロジック16がID／結線情報テーブル17の結線情報を参照して、ある双方向入出力ポート20の入力側から他の双方向入出力ポート20の出力側への接続が有るか否かを判定する。接続がある場合には、ステップS3で、制御ロジック16が、入力側ポートの入力信号がアクティブであるか否かを判定する。即ち、3値コンパレータであるレシーバ12の出力を監視することにより、入力信号がHIGHインピーダンス状態であるか否かを判定する。

[0042] 入力信号がアクティブである場合には、ステップS4で、出力側ポートに入力側ポートの入力信号を出力する。即ち、この場合には、図7に示すゲート44を遮断しない。

入力信号がアクティブでない場合には、ステップS5で、出力側ポートをHIGHインピーダンス状態に設定する。即ち、この場合には、図7に示すゲート44を遮断する。

[0043] ステップS2において接続が無いと判断されると、ステップS6で、内部ロジックからの出力要求があるか否かを判定する。即ち、ホスト回路15(図1参照)から当該双方向入出力ポート20への出力要求があるか否かを判断する。出力要求がない場合には、ステップS5で、出力側ポートをHIGHインピーダンス状態に設定する。即ち、図7に示すゲート44を遮断する。出力要求が有る場合には、ステップS7で、出力側ポートに内部ロジックのデータを出力する。即ち、この場合には、図7に示すゲート44を遮断しない。

[0044] 図9は、本発明による集積回路チップの第1の実施例を示す図である。図9において、図1と同一の構成要素は同一の番号で参照し、その説明は省略する。なお図9において、双方向入出力ポート20は2つだけ示されているが、図1と同様に2つ以上の双方向入出力ポート20及び対応する双方向トランシーバ21が設けられてよい。図9以降の図についても同様である。

[0045] 図9に示す集積回路チップ10Aは、制御ロジック16に接続される結線情報入力端子50を含む。この構成では、結線情報入力端子50を介して、制御ロジック16がコントローラデバイスから結線情報を受け取ることになる。結線情報の取得及び結線の設定については、図3及び図4を用いて説明したとおりである。

[0046] 図10は、図9の集積回路チップ10Aを用いたネットワークの構成例を示す図である。コントローラ51を起点として、複数の集積回路チップ(デバイス)10Aが数珠繋ぎに縦続接続されている。制御信号線52を介して、コントローラ51から各集積回路チップ10Aの結線情報入力端子50に結線情報を供給する構成となっている。

[0047] 図10のネットワーク構成は、コントローラ51を起点とした集積回路チップ10Aの縦続接続という単純なトポロジである。しかし信号伝送に関しては、コントローラ51からすべてのデバイス10Aへの略同時の信号送出、任意のデバイス10Aからコントローラ51へのデータの転送、デバイス10A間でのコントローラ51を介さない直接の信号送受が可能である。このような構成では、ネットワークのトポロジが限定される分、制御回路がシンプルとなる利点があると同時に、十分に柔軟性のある相互接続が実現さ

れる。

[0048] 図11は、本発明による集積回路チップの第2の実施例を示す図である。図11において、図9と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0049] 図11に示す集積回路チップ10Bは、図9に示す集積回路チップ10Aと異なり、ホスト回路15が外付けのデバイス15Bとして集積回路チップ10Bの専用I/Oポート55に接続される構成となっている。集積回路チップ10Bが信号入出力及びスイッチング等の制御を専ら実行し、論理演算機能やメモリ機能は外付けデバイス15Bにより提供される。

[0050] 図12は、図11の集積回路チップ10B及びデバイス15Bを用いたネットワークの構成例を示す図である。図12において、図10と同一の構成要素は同一の番号で参照し、その説明は省略する。図12では、集積回路チップ10Bがリピータ10Bとして示されている。これは、集積回路チップ10Bが信号入出力及びスイッチングの制御を専ら実行するものであるという点を、反映したものである。

[0051] この構成では、ホスト回路(デバイス15B)を外付けとすることにより、集積回路チップ10Bの構成を全て同一とすることができる。デバイス15Bを自由に配置し、入れ替え、置換することが可能であり、システム全体としてより柔軟な機能を提供することができる。

[0052] 図13は、本発明による集積回路チップの第3の実施例を示す図である。図13において、図9と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0053] 図13に示す集積回路チップ10Cは、図9に示す集積回路チップ10Aと異なり、結線情報入力端子50の代わりに結線情報識別コード検出回路60が設けられている。この構成では、結線情報の送受信が専用端子ではなく、データ送受信のポート(双方向入出力ポート20)を介して行われる。結線情報識別コード検出回路60は、双方向入出力ポート20から入力される信号をモニタしており、結線情報であることを示すヘッダ(識別コード)が受信されるとそのヘッダを識別する。結線情報識別コード検出回路60がヘッダを識別すると、制御ロジック16は、受信データが通常データではなく結線情報であると認識し、受信データ内容に応じてID/結線情報テーブル17を変更する。変更したID/結線情報テーブル17の内容に応じて、制御ロジック16がス

スイッチ回路14の接続を設定する。この構成では、受信データが結線情報であることを検出するハードウェア(結線情報識別コード検出回路60)が必要になるが、結線情報配布用の専用の制御線(例えば図10の制御信号線52)を配線する必要がない。

[0054] 図14は、本発明による集積回路チップの第4の実施例を示す図である。図14において、図11と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0055] 図14に示す集積回路チップ10Dにおいては、図11に示す集積回路チップ10Bに加え、セクタ65、セクタ66、及びI/Oユニット67が設けられている。I/Oユニット67は入出力用のバッファを含むとともに、入力されるデータ信号からクロックを復元してデータ信号のタイミングを再生するクロックデータリカバリの機能を有する。従って、一方の双方向入出力ポート20から入力され、双方向トランシーバ21、デマルチプレクサ19、I/Oユニット67、スイッチ回路14、I/Oユニット67、マルチプレクサ18、及び双方向トランシーバ21を介して他方の双方向入出力ポート20に出力されるデータ経路においては、タイミングが回復された正しいタイミングのデータ信号を出力することができる。

[0056] 図14の構成では、セクタ65とセクタ66とを設けることにより、I/Oユニット67によるクロックデータリカバリの機能を介さないデータ経路を選択的に提供することができる。即ち、セクタ66により、図面左側の双方向トランシーバ21からのデータを図面右側の双方向トランシーバ21へ直接に供給する経路と、クロックデータリカバリの機能を有したI/Oユニット67を通るデータ経路との何れか一方を選択することができる。同様に、セクタ65により、図面右側の双方向トランシーバ21からのデータを図面左側の双方向トランシーバ21へ直接に供給する経路と、クロックデータリカバリの機能を有したI/Oユニット67を通るデータ経路との何れか一方を選択することができる。なお図14においては、図示による説明を簡単にするために、クロックデータリカバリ機能を介さない直接のデータ経路についてはスイッチ回路14を介さないものであるかのように示してあるが、実際にはスイッチ回路14による結線情報に基づく接続制御がなされてよい。

[0057] このような構成により、クロックデータリカバリの機能を提供するデータ転送モードと単にバッファによる波形復元のみを行うデータ転送モードとを切り替えて使用すること

が可能である。波形復元のみを行うデータ転送モードは、相対的に信号の伝送遅延が小さいという利点がある。チップ間の接続距離が短い場合にはレベル復元のみを行うだけでも十分な信号品質を維持できるので、そのような場合には波形復元のみを行うデータ転送モードが好ましい。

[0058] 図15は、クロックデータリカバリ回路の構成の一例を示す図である。図15に示されるクロックデータリカバリ回路が、図14のI/Oユニット67の内部に設けられている。

[0059] 図15のクロックデータリカバリ回路は、フリップフロップ71、位相検出器72、フィルタ73、及び位相発生器74を含む。フリップフロップ71は、位相発生器74が生成するクロック信号のタイミングに同期して入力データを取り込むことにより、入力データのデータレベルをバイナリ判定する。位相検出器72は、位相発生器74が生成するクロック信号のタイミングに応じて、入力データ信号のデータの中心タイミングで信号判定するとともにデータ間の境界タイミングで信号判定し、これらの信号判定の結果同士を位相比較する。位相検出器72による位相比較結果はフィルタ73により時間的に積分される。位相発生器74は、フィルタ73の出力に応じた位相を有するクロック信号を生成する。

[0060] 位相発生器74が生成するクロック信号が正しいデータ判定タイミングに一致するときは、レベル遷移するデータ間の境界タイミングでの信号判定結果はデータ値と略無相関となる。それに対して、位相発生器74が生成するクロック信号が正しいデータ判定タイミングより早すぎる又は遅すぎるときは、レベル遷移するデータ間の境界タイミングでの信号判定結果はデータ値と相関を有する。フィルタ73により位相比較結果を時間的に長い期間にわたり観測することにより、位相発生器74が生成するクロック信号が正しいデータ判定タイミングよりも早すぎるか遅すぎるかを判定することができる。このフィルタ73の出力に基づいて位相発生器74がクロック信号を生成することにより、正しいデータ判定タイミングに一致した位相のクロック信号を生成することができる。フリップフロップ71は、この正しいタイミングのクロック信号を用いて、タイミングが回復された正しいデータを得ることができる。

[0061] 図16は、本発明による集積回路チップにおいてバーストモードCDRを用いる構成の一例を示す図である。図16において、図1と同一の構成要素は同一の番号で参照

し、その説明は省略する。図16では、図1に示すスイッチ回路14、マルチプレクサ18、及びデマルチプレクサ19を纏めて、スイッチ制御ユニット77として示してある。

[0062] バーストモードのCDR(クロックデータリカバリ)を実行するバーストCDR回路76を、レシーバ12に接続してある。これにより、受信信号から高速にクロック信号を復元することによりタイミングを回復したデータをレシーバ12から出力することが可能になる。

[0063] 図17は、バーストCDR回路76の構成の一例を示す図である。図17に示すバーストCDR回路76は、データ判定回路81、FIFO82、遷移検出回路83、アップ／ダウン・カウンタ84、及び多相クロック生成回路85を含む。データ判定回路81は、多相クロック生成回路85が生成する異なる位相を有する複数のクロック信号のエッジタイミングで入力信号をサンプリングし、サンプリング点におけるデータ値を出力する。この際オーバーサンプリングにより、サンプリング点の位置は、例えば図18に示すようなタイミングとなっている。

[0064] 遷移検出回路83は、サンプリングされたデータ値を監視し、データ値の遷移が発生した位置を検出する。遷移検出回路83の出力はアップ又はダウンを指示する信号であり、この信号に応じてアップ／ダウン・カウンタ84のカウント値がアップ又はダウンする。アップ／ダウン・カウンタ84は、カウント値に応じたポインタをFIFO82に供給する。FIFO82は、ポインタが示す位置にあるデータ値を出力する。

[0065] 遷移検出回路83が検出した遷移位置に応じてポインタ位置を前後にずらすことにより、遷移位置(データ境界位置)からデータ幅の1/2だけずれた位置(タイミング)における正しいデータ値をFIFO82から出力することができる。アップ／ダウン・カウンタ84は、カウント値がオーバーフロー又はアンダーフローすると、周波数調整を指示する信号を多相クロック生成回路85に供給する。周波数調整を指示する信号に応じて、多相クロック生成回路85が出力クロック信号の周波数を修正する。これにより、信号周波数が多相クロック生成回路85の生成するクロック信号の周波数からずれてしまった場合であっても、多相クロック信号の周波数を調整して追従することができる。

[0066] 通常のクロックリカバリ回路では、入力信号が長時間停止するとクロックが復元できず、その後信号受信が始まっても、クロック復元して正しく信号を受信できるようにな

るまでに長い時間がかかってしまう。上記説明したバーストCDR回路76は、バーストモードを使うことにより、非限定長の一定の入力信号レベルの後(入力信号が長時間停止した後)に信号受信が開始しても高速にクロック復元することが可能となる。即ち、入力信号を任意の時間停止することができ、使用する信号形式に制限を設ける必要が無いという効果が得られる。

[0067] 図19は、信号送信のクロック源を選択可能にした構成の一例を示す図である。図19において、図16と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0068] 図19の構成では、バーストCDR回路76付きレシーバ12から出力されるタイミング回復後の受信信号値を、FIFO81に入力して格納する。PLL (Phase Locked Loop) 回路82は、システムから供給される参照クロック信号に基づいて内部クロック信号を生成する。このPLL回路82が生成する内部クロック信号が示すタイミングで、FIFO81から格納されている信号値を読み出す。セクタ80は、レシーバ12から出力されるタイミング回復後のデータ信号と、FIFO81から出力され参照クロック信号に同期したデータ信号との何れかを選択して出力する。

[0069] 上記のような構成により、データから復元したタイミングのクロック又システムから提供されるグローバルクロック(参照クロック)の何れかを選択して、信号送信のクロック源として使用することができる。システムを構成する上で、クロック源の選択は、システム設計思想により大きく異なる。クロック源の選択はまた、通常の動作モードかテストモードかにも依存する。図19のような構成とすることで、クロック源に対する異なる要求に応えることができるという利点が得られる。

[0070] 図20は、本発明による集積回路チップの第5の実施例を示す図である。図20において、図1と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0071] 図20に示す集積回路チップ10Eは、図1に示される集積回路チップ10と比較して、アドホックネットワーク・プロトコル処理プロセッサ90が新たに設けられている。アドホックネットワーク技術は、既存の確立された技術であり、例えばIEEE802.15のBluetooth、UWB、ZigBee等として標準化されている。アドホックネットワーク・プロトコル処理プロセッサ90は、通信経路にリピータのようなデバイスが挿入されたり削除されたりする経路変更に対応するために、通信経路探索機能及び経路再設定機能を有

する。

- [0072] アドホックネットワークとは、無線通信において複数の端末がランダムに存在する場合にネットワークを構成する手法である。有線通信においても、相互の配線の本数が多く殆どランダム接続と見なせるような場合には、アドホックネットワーク手法と同様の手法により、信頼性の高いネットワークを構築することができる。
- [0073] 具体的には、まずルートデバイスからの親子関係を利用してすべてのデバイスにユニークなIDを配布する。次に親子関係のツリーを通してデバイス情報をルートデバイスまで送出する。配線構造はルートデバイス(プロセッサ等)の内部で決定し、結線情報を各デバイスに配布する。無線と異なり、デバイスの接続関係はダイナミックに変動しないため、より簡単なアルゴリズムでネットワークが構成できる。このような構成とすれば、相互配線のランダム性や断線等の不具合に柔軟に対応でき、極めて配線本数の多いシステムにも適用できるという利点がある。
- [0074] 以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

請求の範囲

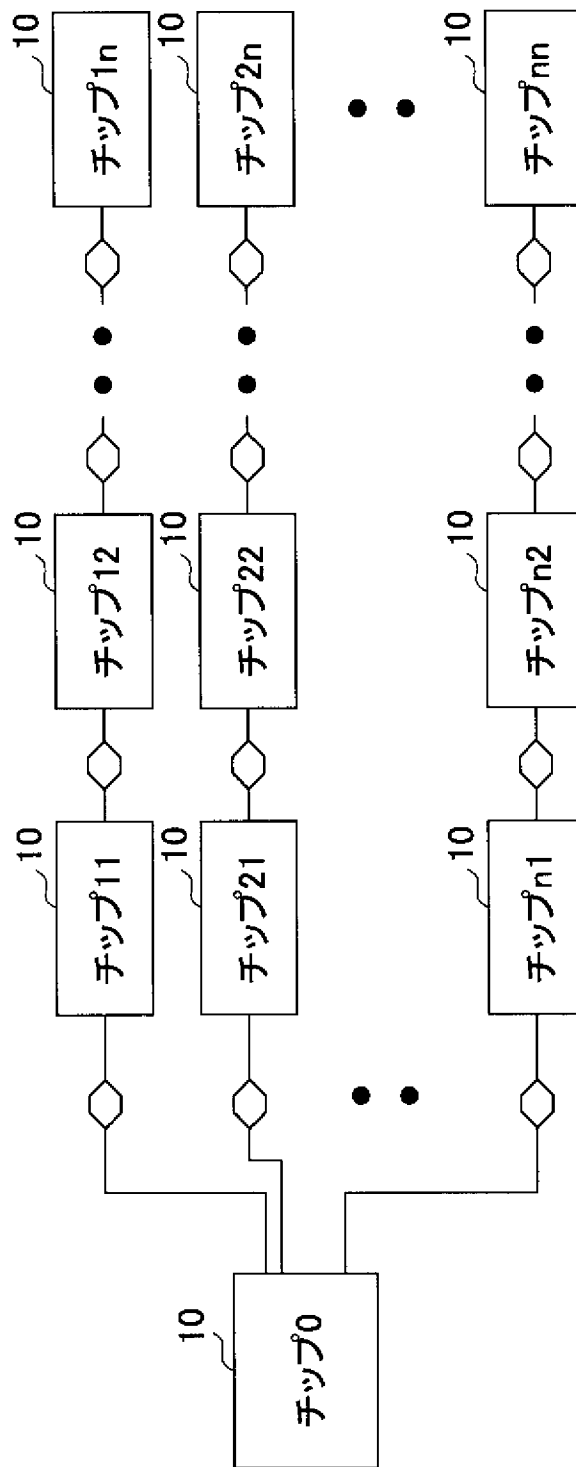
- [1] 信号を同時に送信及び受信可能な複数の双方向トランシーバと、
該複数の双方向トランシーバと所定のノードとに結合され、該複数の双方向トランシーバと該所定のノードとの間の接続を切替え可能にするスイッチ回路と、
結線情報を保持する結線情報格納部と、
該結線情報に応じて該スイッチ回路の接続を設定する制御回路と
を含むことを特徴とする集積回路チップ。
- [2] 該所定のノードに接続されるホスト回路を更に含むことを特徴とする請求項1記載の集積回路チップ。
- [3] 該ホスト回路はプロセッサ及びメモリの少なくとも一方であることを特徴とする請求項2記載の集積回路チップ。
- [4] 該所定のノードは、外部のホスト回路を接続可能な入出力ポートであることを特徴とする請求項1乃至3のいずれか1項に記載の集積回路チップ。
- [5] 該結線情報を受信するための専用のポートを更に含むことを特徴とする請求項1～4のいずれか1項に記載の集積回路チップ。
- [6] 該制御回路は、該複数の双方向トランシーバの少なくとも1つを介して該結線情報を受信し、該受信した結線情報を該結線情報格納部に格納することを特徴とする請求項1～5のいずれか1項に記載の集積回路チップ。
- [7] 該複数の双方向トランシーバの少なくとも1つは、外部からアクティブな信号を受信しているか否かを検出する受信回路を含むことを特徴とする請求項1～6のいずれか1項に記載の集積回路チップ。
- [8] 該制御回路は、アクティブな信号を受信していないことを該受信回路が検出したことに応答して、該受信回路に対応する双方向トランシーバの出力をHIGHインピーダンス状態に設定することを特徴とする請求項7記載の集積回路チップ。
- [9] 該複数の双方向トランシーバを介して受信した信号からクロックを復元し、該復元したクロックに基づいて該受信した信号のデータタイミングを回復するクロックリカバリ回路を更に含むことを特徴とする請求項1～8のいずれか1項に記載の集積回路チップ。

- [10] 該クロックデータリカバリ回路はバーストモードの信号受信が可能なクロックデータリカバリ回路であることを特徴とする請求項9記載の集積回路チップ。
- [11] 該クロックデータリカバリ回路によるデータタイミング回復機能が介在する第1の信号経路と該クロックデータリカバリ回路によるデータタイミング回復機能が介在しない第2の信号経路との何れかの信号経路を選択可能なセレクトを更に含むことを特徴とする請求項9又は10に記載の集積回路チップ。
- [12] 該受信した信号とは別に外部から入力されるクロック信号に応じて該受信した信号のデータタイミングを回復するタイミング回復回路と、
該タイミング回復回路の出力と該クロックデータリカバリ回路の出力との何れか一方を選択可能なセレクト
を更に含むことを特徴とする請求項9～11のいずれか1項に記載の集積回路チップ。
- [13] アドホックネットワークを形成するためのアドホックネットワーク・プロトコル処理プロセッサを更に含むことを特徴とする請求項1～12のいずれか1項に記載の集積回路チップ。
- [14] 複数の双方向入出力ポートを有する複数の集積回路チップと、
該複数の集積回路チップ間を接続するために該双方向入出力ポート同士を一对一に接続する信号配線と
を含み、該複数の集積回路チップの各々は、
信号を同時に送信及び受信可能な複数の双方向トランシーバと、
該複数の双方向トランシーバと該所定のノードとの間の接続を切替え可能にするスイッチ回路と、
結線情報を保持する結線情報格納部と、
該結線情報に応じて該スイッチ回路の接続を設定する制御回路と
を含むことを特徴とする回路ネットワーク。
- [15] 該信号配線は、該複数の集積回路チップを一系列に縦続接続するように設けられることを特徴とする請求項14記載の回路ネットワーク。
- [16] 該所定のノードに接続されるホスト回路を更に含むことを特徴とする請求項14又は

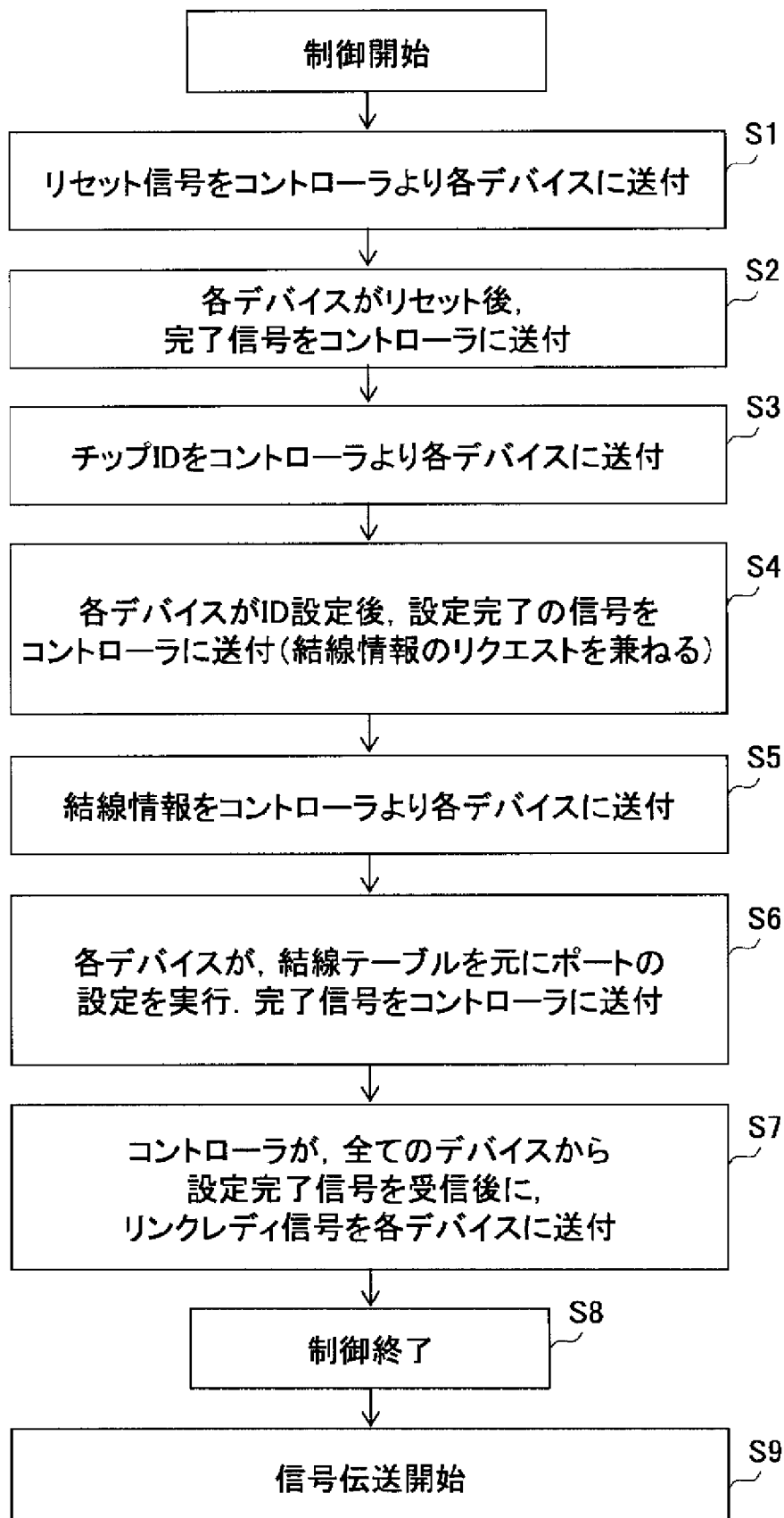
15に記載の回路ネットワーク。

- [17] 該ホスト回路はプロセッサ及びメモリの少なくとも一方であることを特徴とする請求項
16記載の回路ネットワーク。

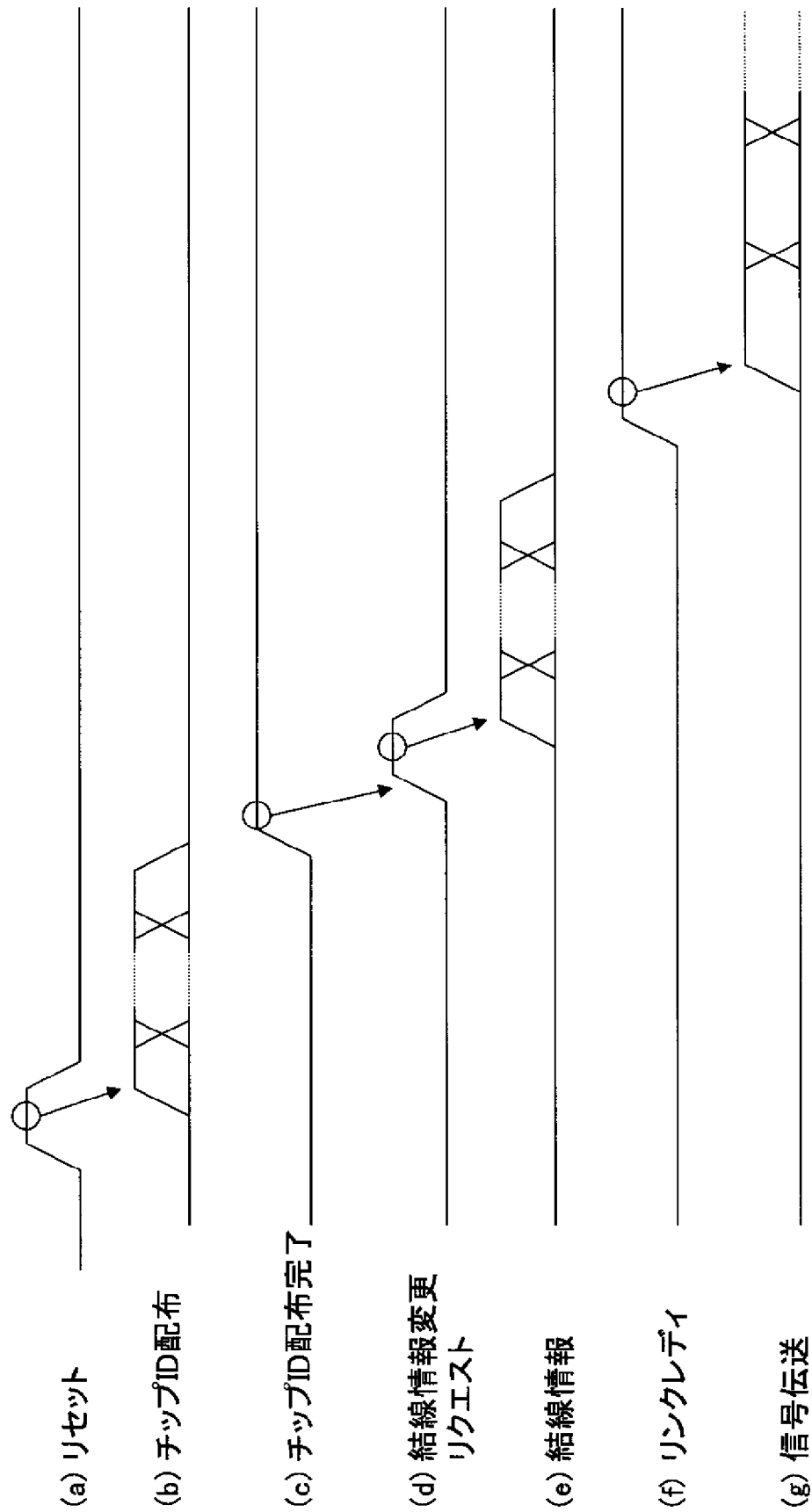
[図2]



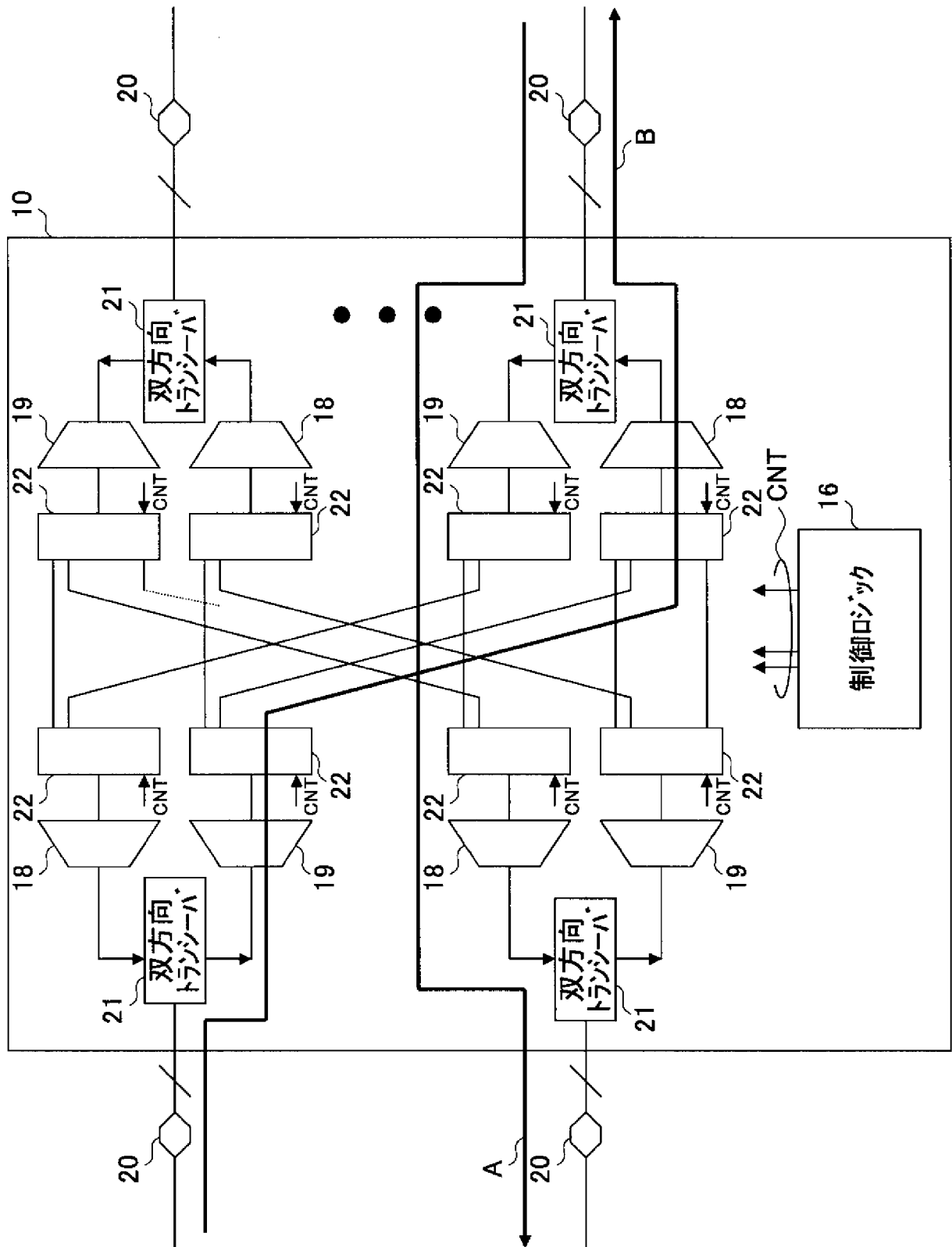
[図3]



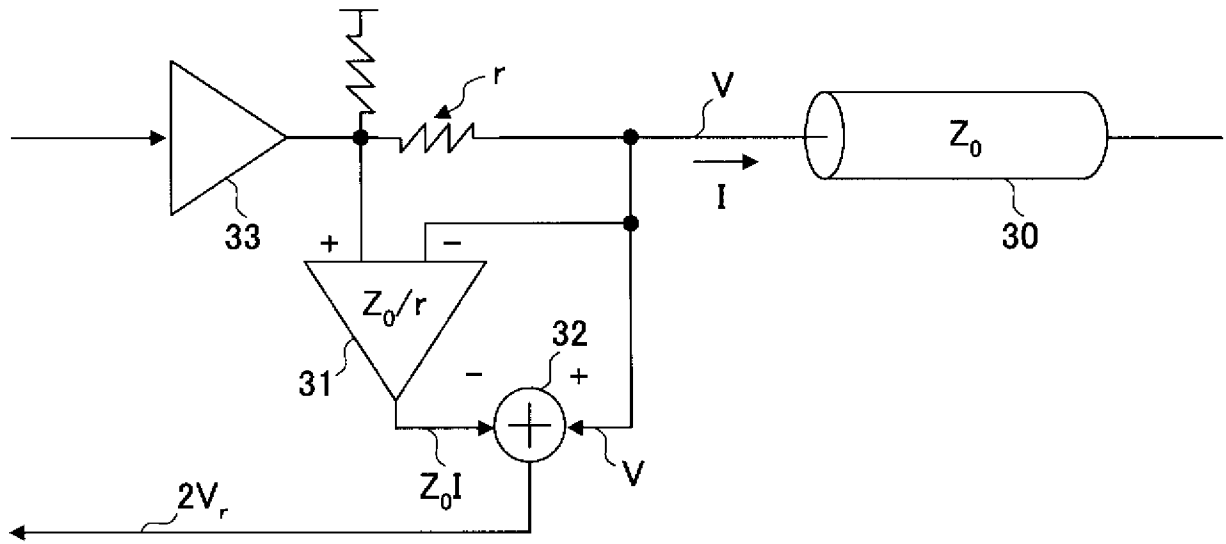
[図4]



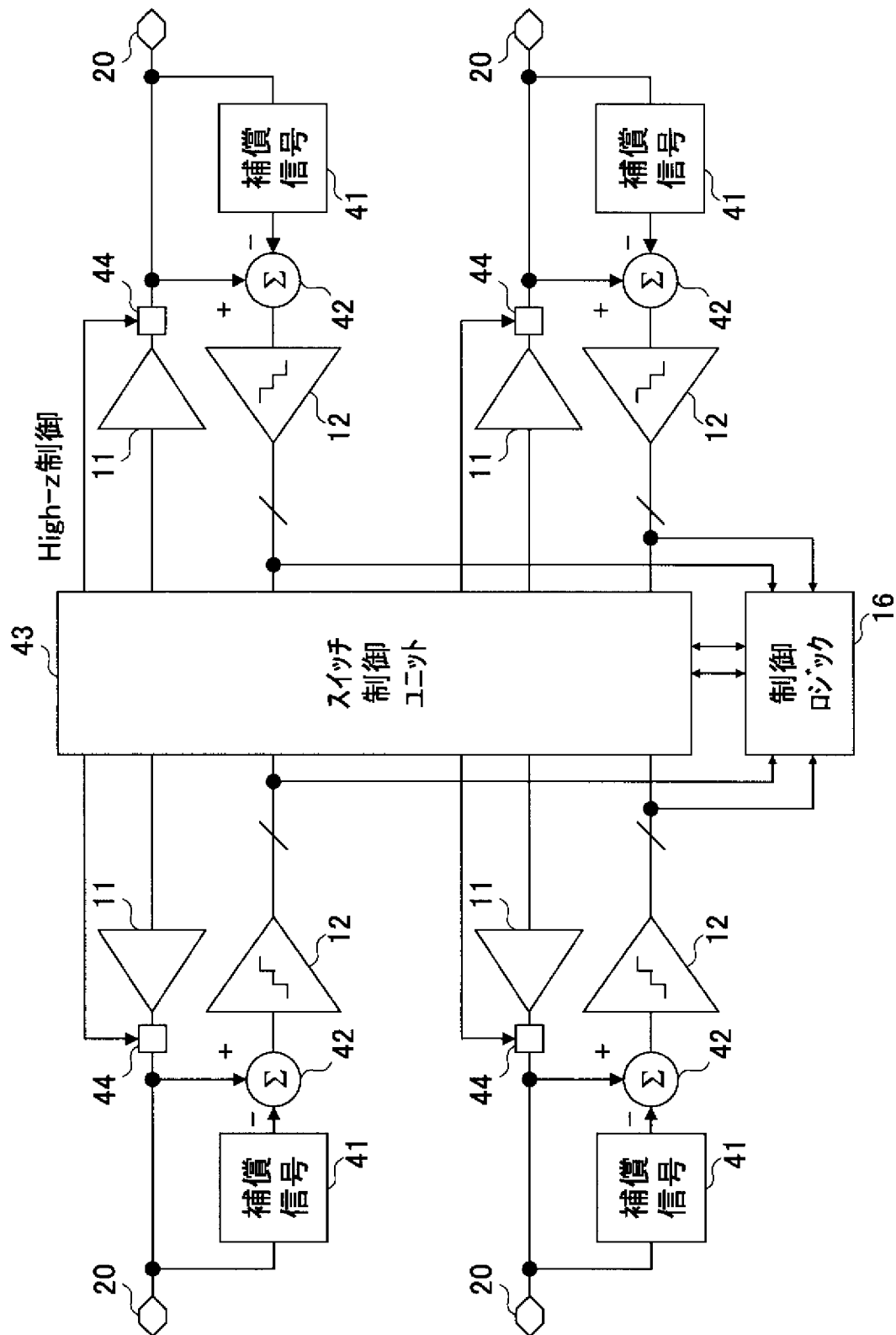
[図5]

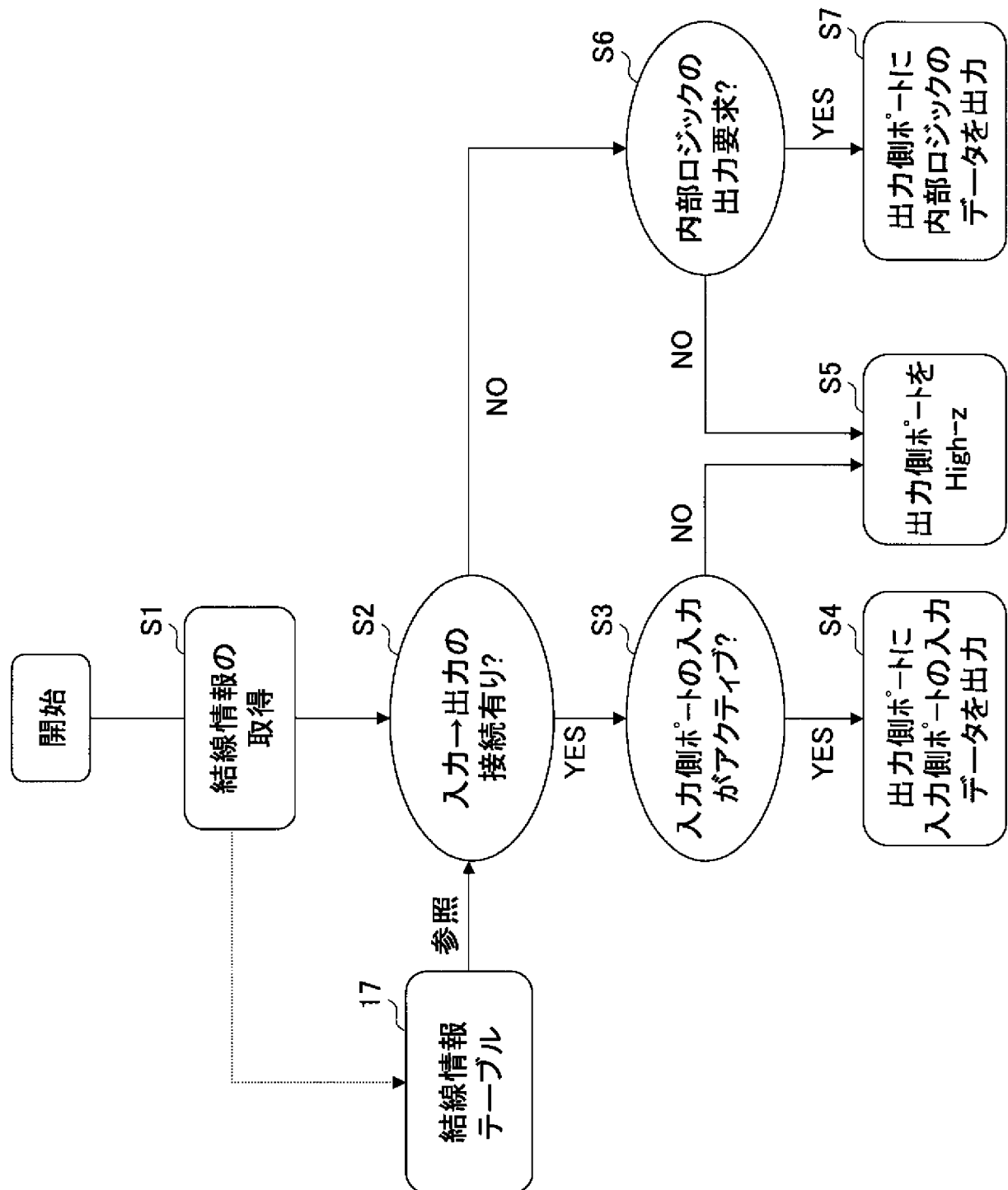


[図6]

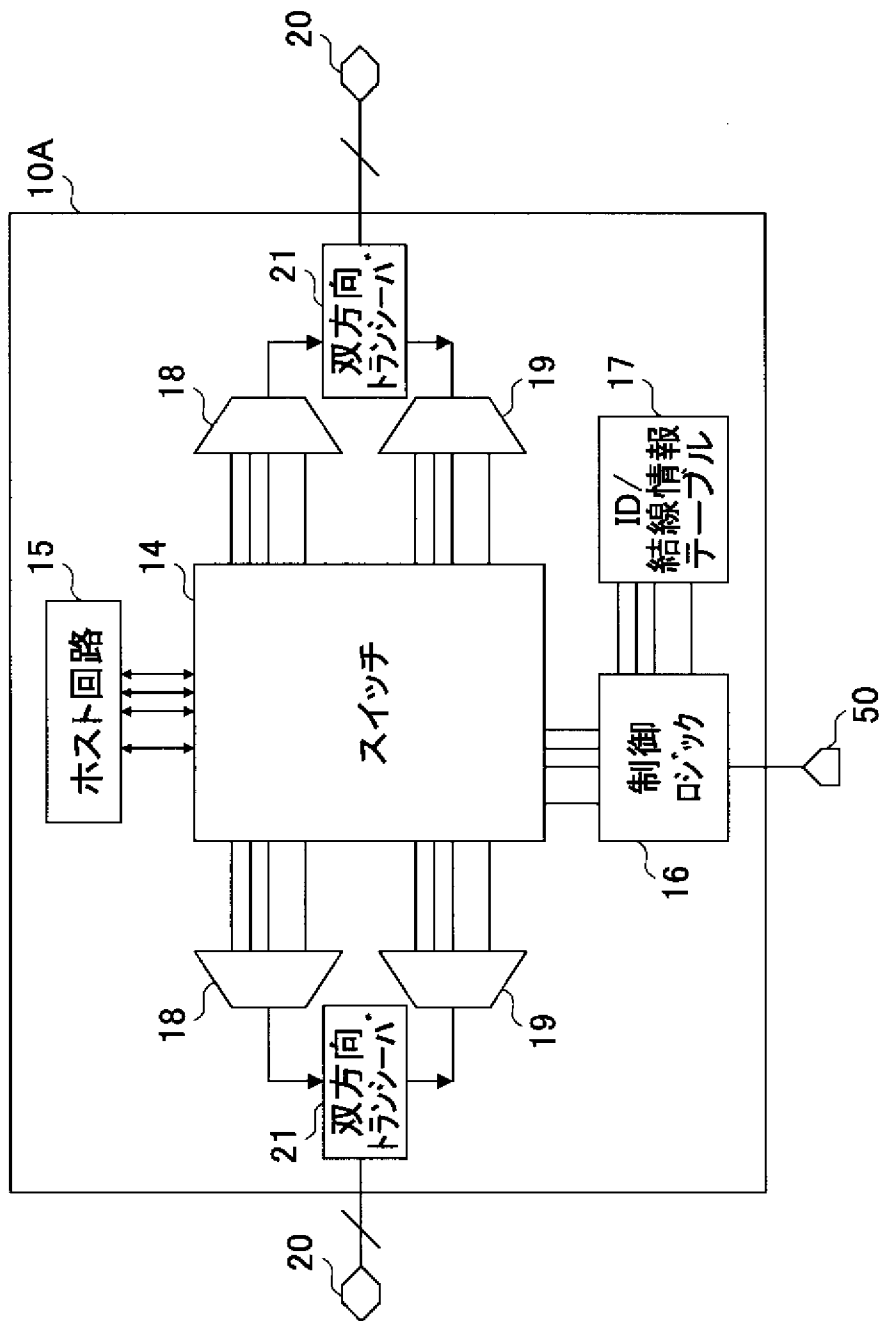


[図7]

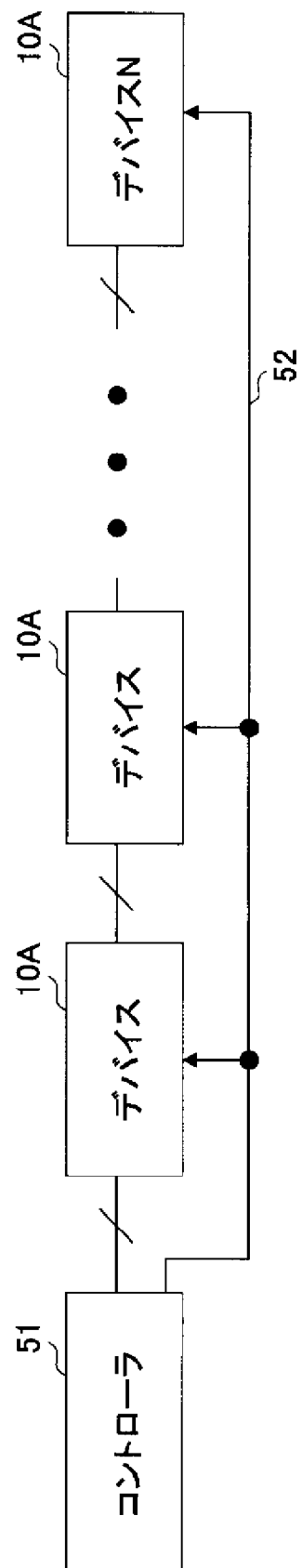




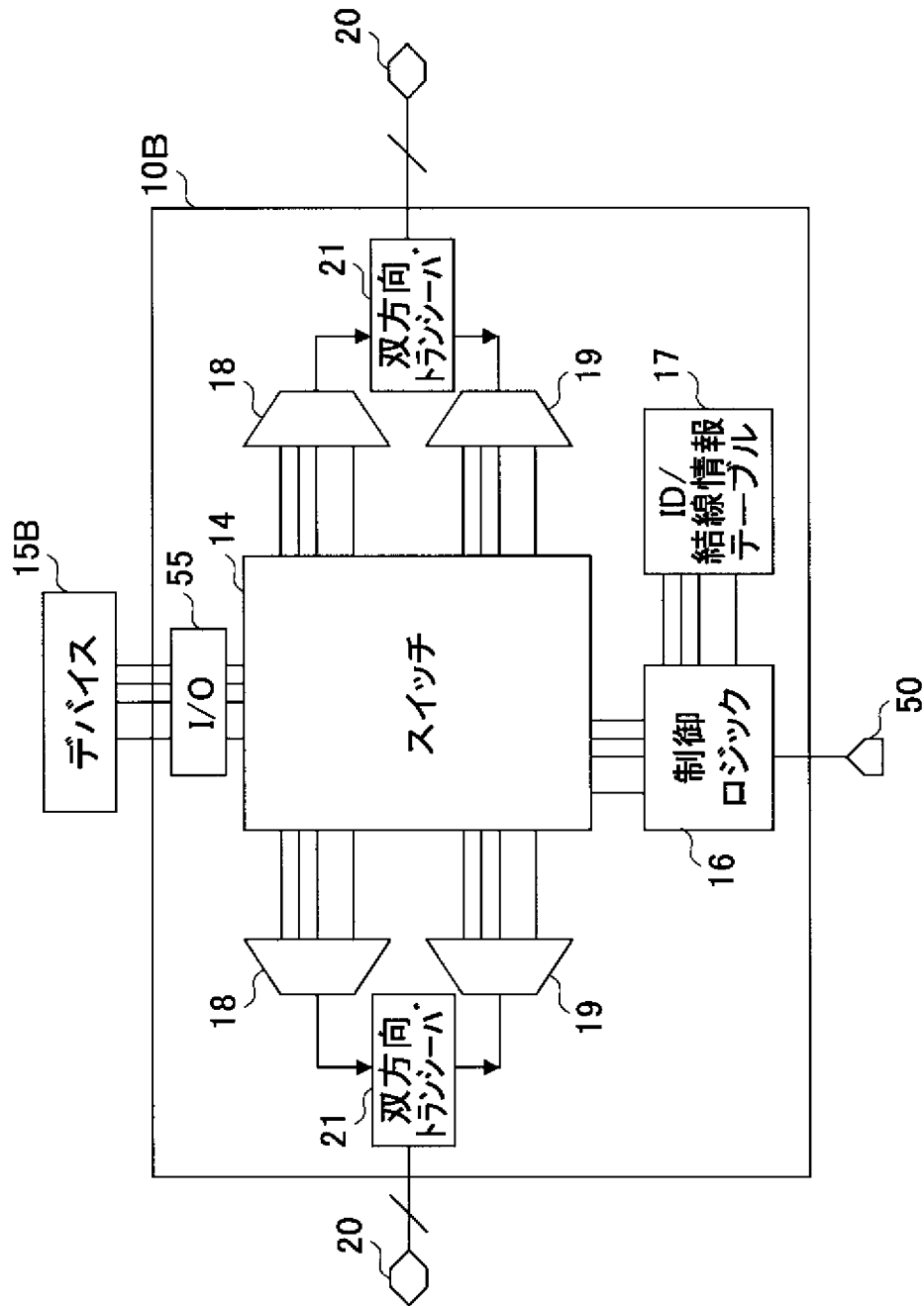
[図9]



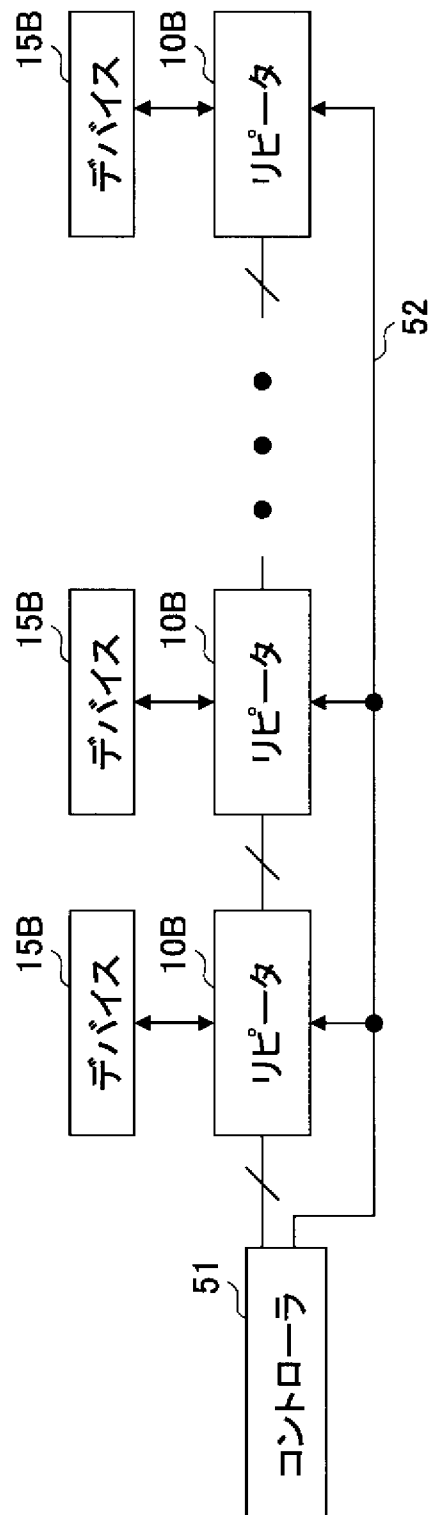
[図10]



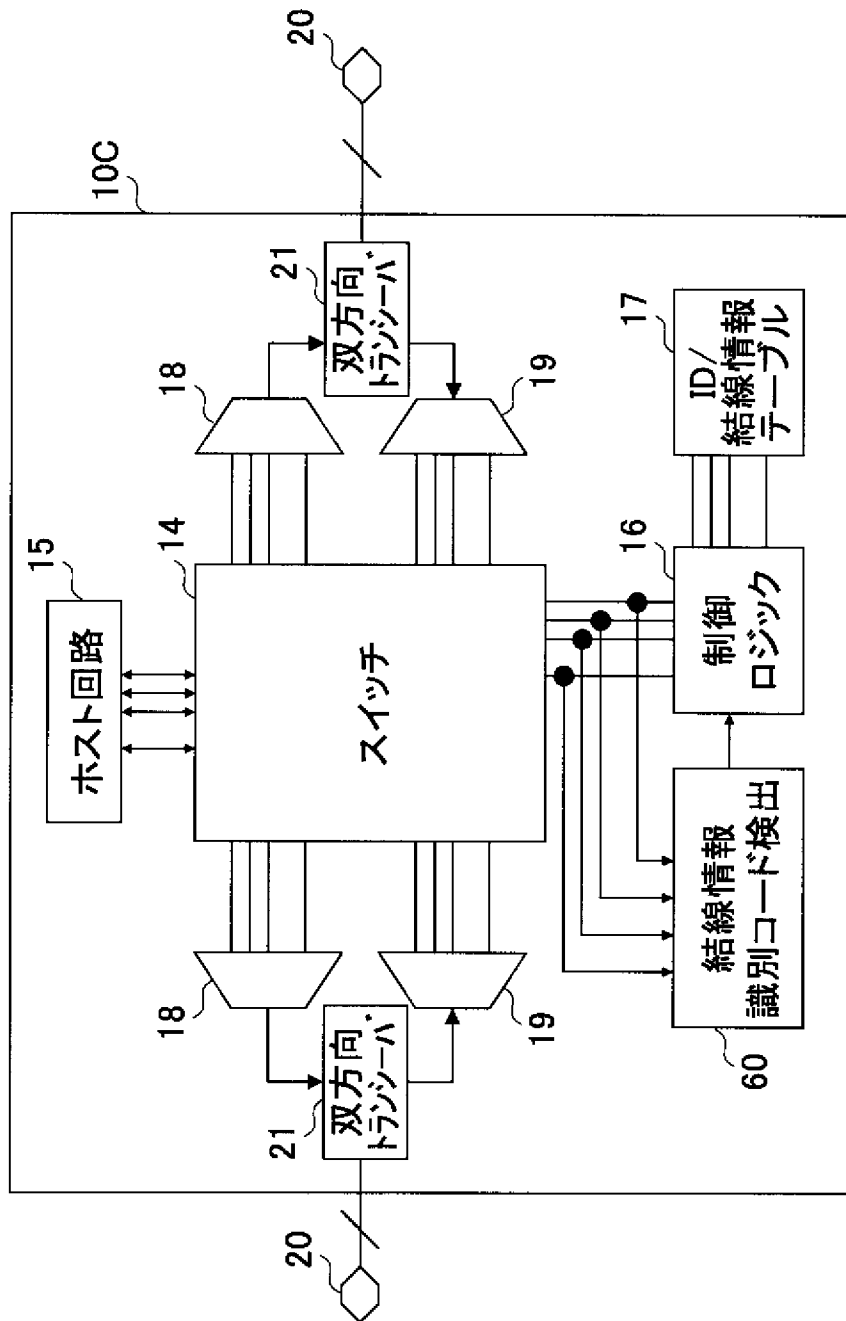
[図11]



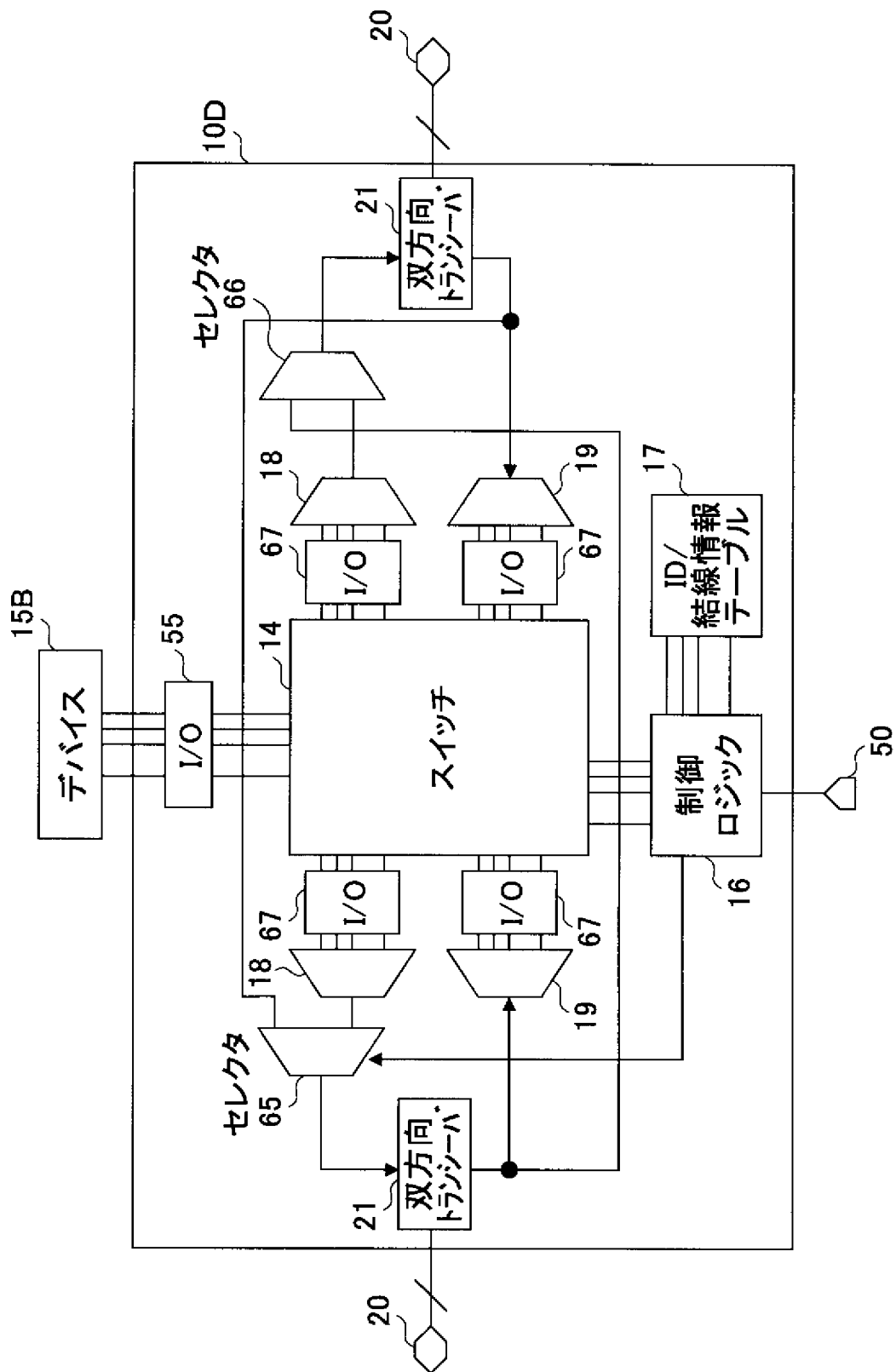
[図12]



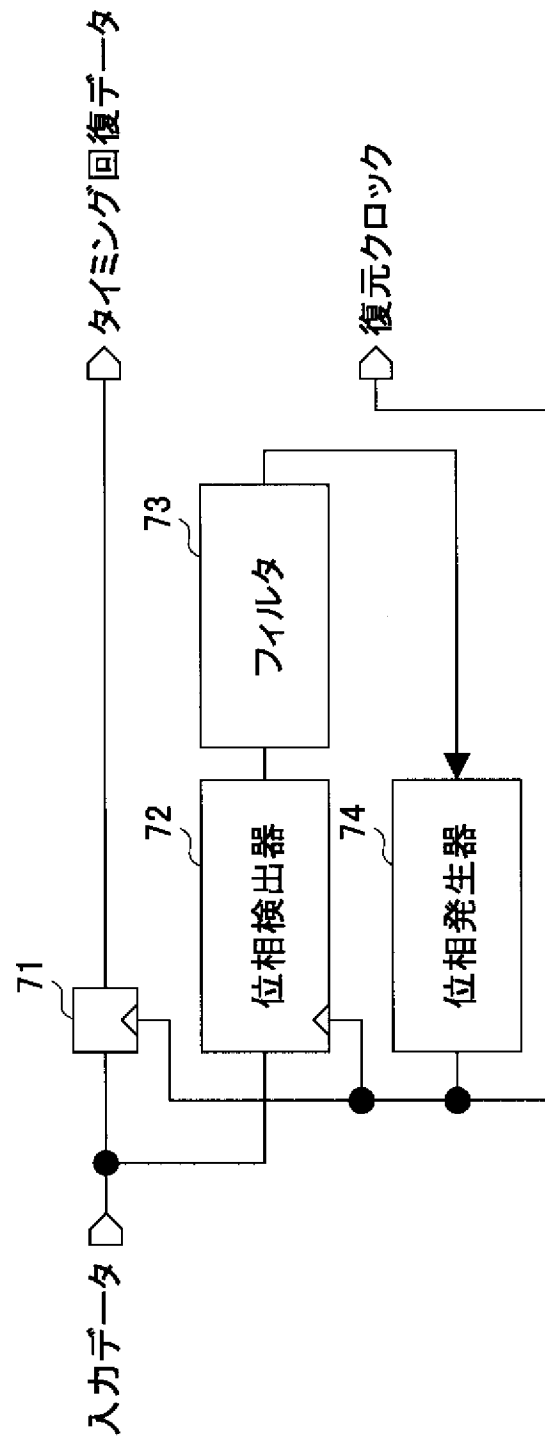
[図13]



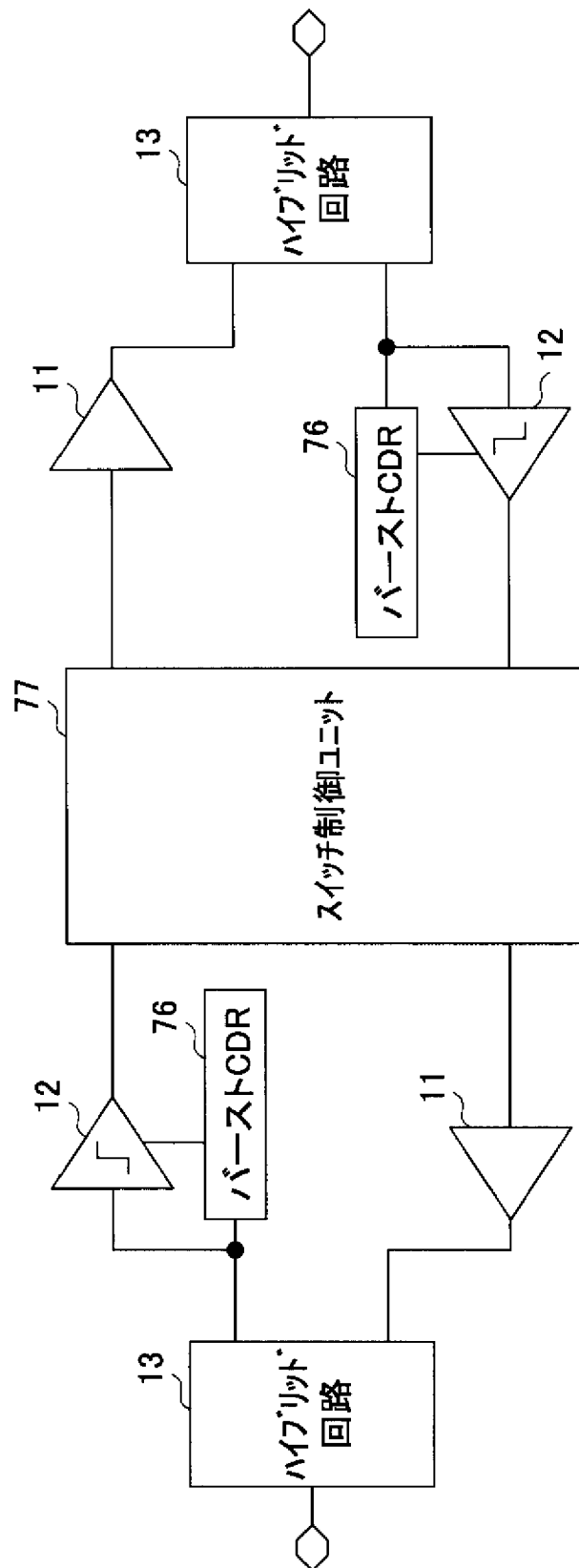
[図14]



[図15]

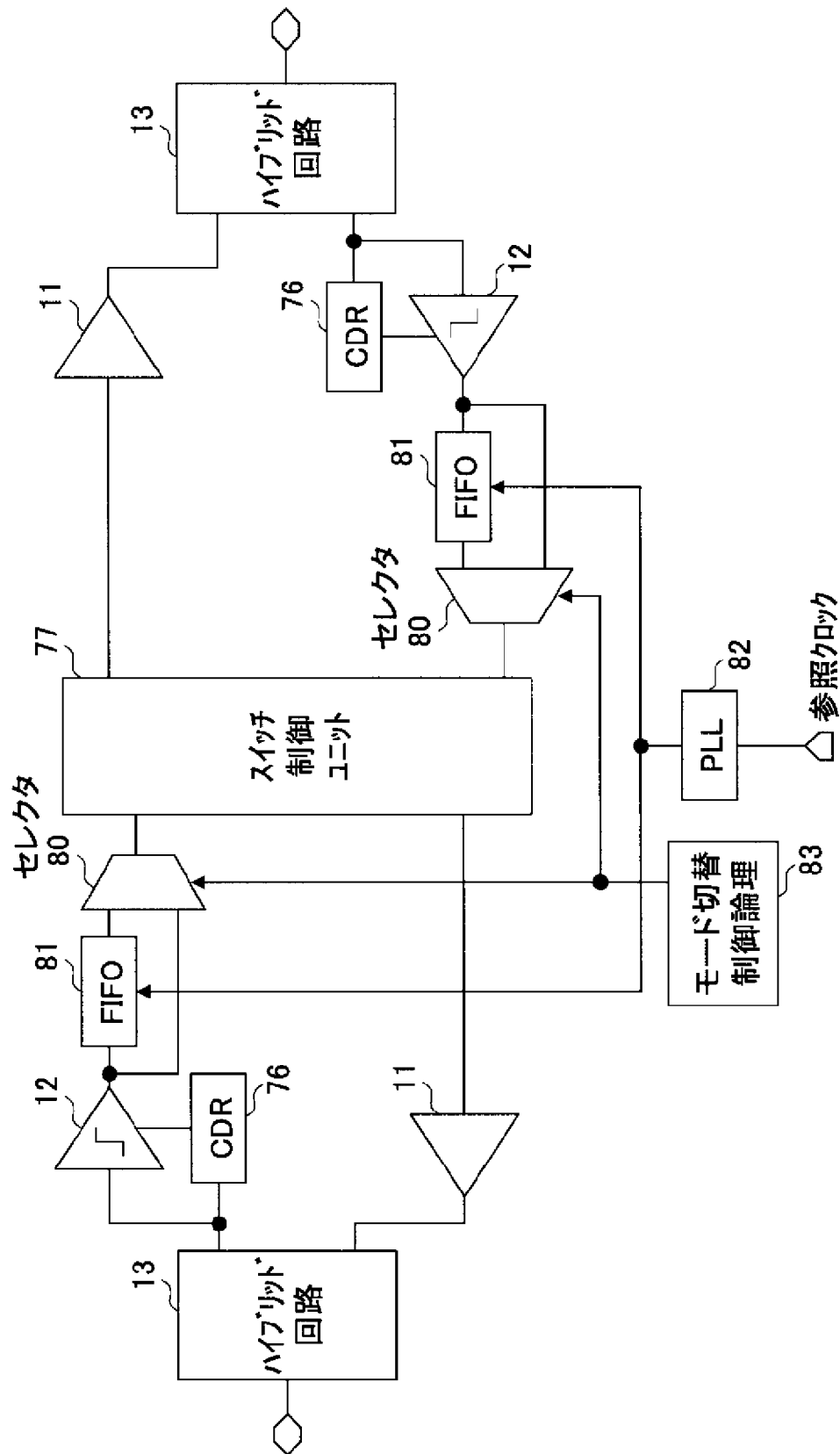


[図16]

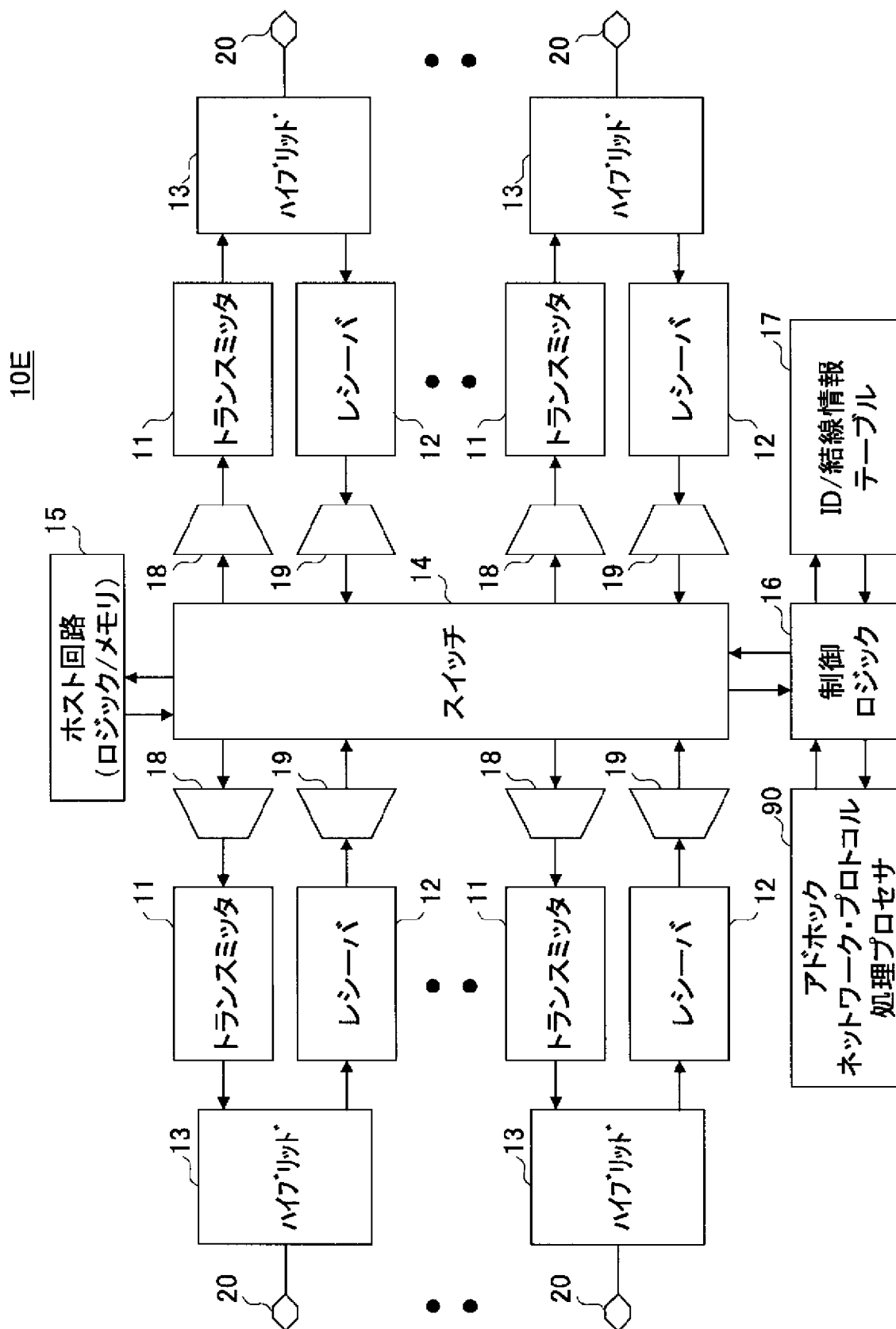


A diagram of a serial data bus. A horizontal line on the left represents the bus input, which enters a rectangular block. Inside the block, there are several dots representing data bits. Below the block, there are six upward-pointing arrows, each aligned with a dot. Below these arrows are the labels 'クロック位相 0', '1', '2', '0', '1', '2', indicating the clock phase for each bit.

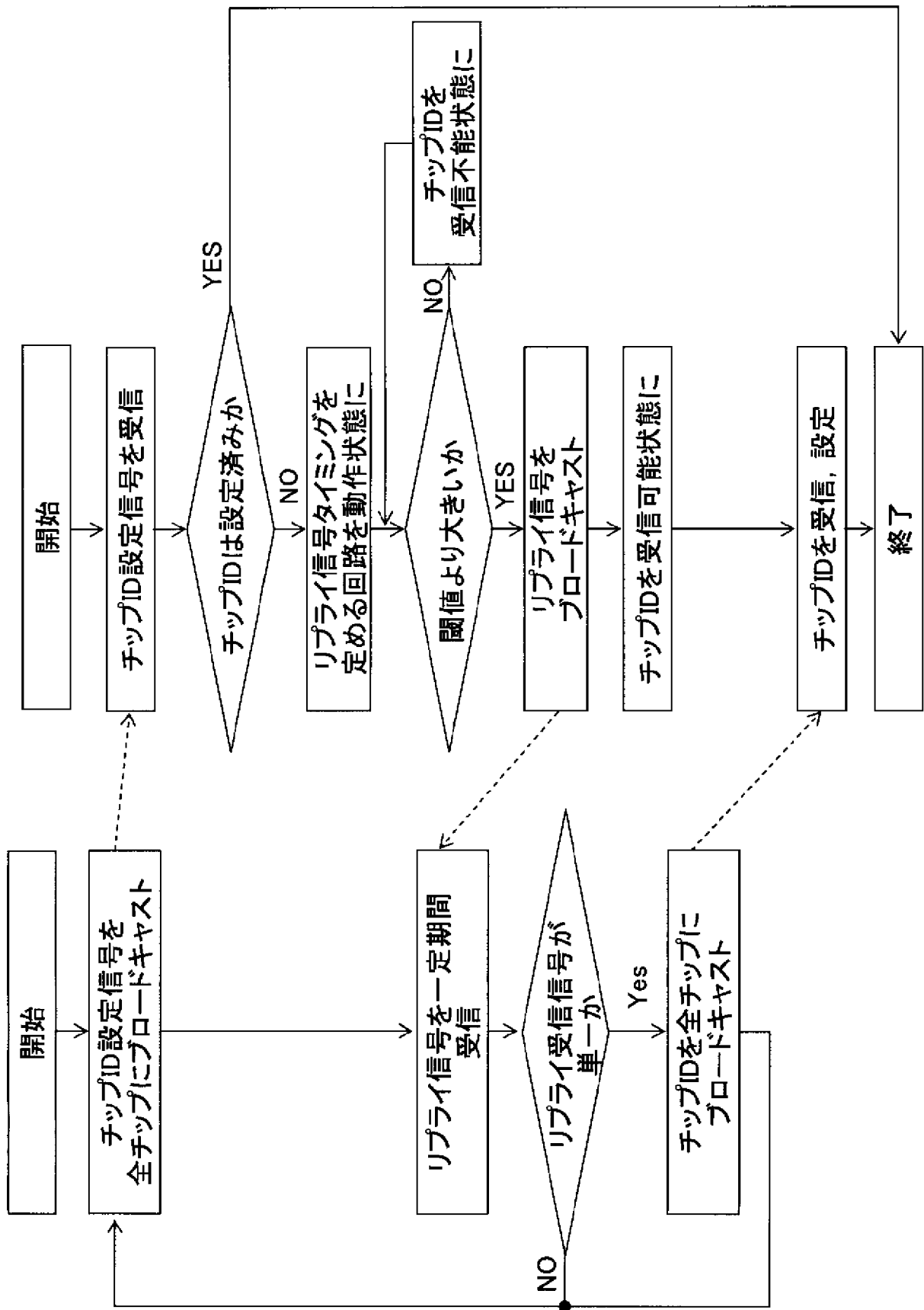
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/055994

A. CLASSIFICATION OF SUBJECT MATTER

G06F15/173 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F15/173, G06F15/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 6-250766 A (Oki Electric Industry Co., Ltd.),	1-5, 7, 8, 13-17
Y	09 September, 1994 (09.09.94),	9-10
A	Full text; all drawings (Family: none)	6, 11, 12
Y	JP 2001-313624 A (Nippon Telegraph And Telephone Corp.),	9-10
A	09 November, 2001 (09.11.01), Full text; all drawings & EP 1172956 A1 & US 7058002 B1 & WO 2000/065756 A1	11, 12
Y	JP 2004-208222 A (Fujitsu Ltd.),	9-10
A	22 July, 2004 (22.07.04), Full text; all drawings & EP 1355444 A2 & US 2003/0198105 A1	11, 12

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 June, 2007 (15.06.07)Date of mailing of the international search report
26 June, 2007 (26.06.07)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/055994

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-54762 A (Hitachi, Ltd.), 25 February, 1997 (25.02.97), Full text; all drawings (Family: none)	1-17

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F15/173(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F15/173, G06F15/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2－1 9 9 6年
日本国公開実用新案公報	1 9 7 1－2 0 0 7年
日本国実用新案登録公報	1 9 9 6－2 0 0 7年
日本国登録実用新案公報	1 9 9 4－2 0 0 7年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 6－2 5 0 7 6 6 A（沖電気工業株式会社） 1 9 9 4．0 9．0 9，全文，全図（ファミリーなし）	1－5， 7，8， 1 3－1 7
Y		9－1 0
A		6，1 1， 1 2

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 5．0 6．2 0 0 7

国際調査報告の発送日

2 6．0 6．2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号1 0 0－8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

久保 正典

5 B

9 6 4 2

電話番号 0 3－3 5 8 1－1 1 0 1 内線 3 5 4 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2 0 0 1 - 3 1 3 6 2 4 A (日本電信電話株式会社)	9 - 1 0
A	2 0 0 1 . 1 1 . 0 9 , 全文, 全図 & E P 1 1 7 2 9 5 6 A 1 & U S 7 0 5 8 0 0 2 B 1 & W O 2 0 0 0 / 0 6 5 7 5 6 A 1	1 1 , 1 2
Y	J P 2 0 0 4 - 2 0 8 2 2 2 A (富士通株式会社)	9 - 1 0
A	2 0 0 4 . 0 7 . 2 2 , 全文, 全図 & E P 1 3 5 5 4 4 4 A 2 & U S 2 0 0 3 / 0 1 9 8 1 0 5 A 1	1 1 , 1 2
A	J P 9 - 5 4 7 6 2 A (株式会社日立製作所) 1 9 9 7 . 0 2 . 2 5 , 全文, 全図 (ファミリーなし)	1 - 1 7