

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5941793号
(P5941793)

(45) 発行日 平成28年6月29日(2016.6.29)

(24) 登録日 平成28年5月27日(2016.5.27)

(51) Int.Cl. F I
H03M 1/56 (2006.01) H03M 1/56

請求項の数 5 (全 20 頁)

(21) 出願番号	特願2012-187723 (P2012-187723)	(73) 特許権者	000000376
(22) 出願日	平成24年8月28日 (2012.8.28)		オリンパス株式会社
(65) 公開番号	特開2014-45432 (P2014-45432A)		東京都八王子市石川町2951番地
(43) 公開日	平成26年3月13日 (2014.3.13)	(74) 代理人	100106909
審査請求日	平成27年7月8日 (2015.7.8)		弁理士 棚井 澄雄
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100094400
			弁理士 鈴木 三義
		(74) 代理人	100086379
			弁理士 高柴 忠夫
		(74) 代理人	100129403
			弁理士 増井 裕士
		(74) 代理人	100139686
			弁理士 鈴木 史朗

最終頁に続く

(54) 【発明の名称】 AD変換回路および固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

アナログ信号と、時間の経過とともに増加または減少する参照信号とが入力され、前記アナログ信号と前記参照信号の電圧を比較し、前記アナログ信号と前記参照信号の電圧が所定の関係になる第1のタイミングに第1の比較信号を出力する比較部と、

前記第1のタイミングから所定の時間だけ経過した第2のタイミングに論理状態が切り替わる第2の比較信号を出力し、前記第1の比較信号と前記第2の比較信号との論理演算の結果である第3の比較信号を出力する信号生成部と、

少なくとも前記比較部の比較開始に係るタイミングから前記第2のタイミングまでイネーブル信号を出力する制御部と、

互いに位相が異なる第1から第n (nは2以上の自然数) のクロック信号を出力するクロック生成部と、

前記第1から第nのクロック信号の対応する1つが入力される入力端子、前記第3の比較信号またはイネーブル信号が入力される第1の制御端子、前記第2の比較信号が入力される第2の制御端子、および出力端子の各々を有し、前記入力端子に入力されたクロック信号の論理状態をラッチする第1から第nのラッチユニットを有するラッチ部と、

前記第nのラッチユニットの前記出力端子からの信号に基づきカウントを行うカウント部と、

を有し、

第1から第(n-k) (kは1以上かつn-1以下の自然数) のラッチユニットの各々は、前

記第3の比較信号に基づいてイネーブル状態となり、第 $(n - k + 1)$ から第 n のラッチユニットの各々は、前記イネーブル信号に基づいてイネーブル状態となり、前記第1から第 n のラッチユニットの各々は、前記第2の比較信号の論理状態が切り替わったときに前記第1から第 n のクロック信号の各々をラッチすることを特徴とするAD変換回路。

【請求項2】

前記第1から第 n のラッチユニットの各々は、
 前記入力端子に接続された第1の入力端子と、前記第1の制御端子に接続された第2の入力端子とを有する論理回路と、
 前記論理回路と前記出力端子との間に接続された第1の反転回路と、
 前記第1の反転回路と前記出力端子との間に接続された第2の反転回路と、
 前記第2の制御端子に接続され、前記第2の制御端子に前記第2の比較信号が入力される前は前記論理回路、前記第1の反転回路、および前記第2の反転回路を前記入力端子と前記出力端子との間で直列に接続し、前記第2の制御端子に前記第2の比較信号が入力された後は前記論理回路と前記第1の反転回路を非接続にするとともに前記第1の反転回路および前記第2の反転回路を、一方から出力された信号が他方に入力されるように接続するスイッチ回路と、
 を有し、
 前記第2の入力端子にHigh状態もしくはLow状態の前記第3の比較信号が入力された場合に、前記第1の入力端子に入力されたクロック信号の論理状態に関わらず、前記出力端子の論理状態がHigh状態もしくはLow状態に固定されることを特徴とする請求項1に係る前記AD変換回路。

10

20

【請求項3】

前記信号生成部は、
 前記第1の比較信号を所定の時間遅延させた前記第2の比較信号を出力する比較信号遅延部と、
 前記第1の比較信号と前記第2の比較信号との論理演算を行い、前記第3の比較信号を出力する第1の出力部と、
 を有することを特徴とする請求項1に係る前記AD変換回路。

【請求項4】

前記イネーブル信号は第1のイネーブル信号であり、
 前記信号生成部と前記第 $(n - k + 1)$ から第 n のラッチユニットのいずれかとの間に接続され、前記第1のイネーブル信号と前記第2の比較信号とが入力され、前記第1のイネーブル信号と前記第2の比較信号との論理演算の結果である第2のイネーブル信号を出力する第2の出力部を有し、
 前記第2の出力部に接続された前記第 $(n - k + 1)$ から第 n のラッチユニットのいずれかにおいて前記第1のイネーブル信号の代わりに前記第2のイネーブル信号が前記第1の制御端子に入力されることを特徴とする請求項1に係る前記AD変換回路。

30

【請求項5】

入射される物理量に応じて画素信号を出力する複数の画素が行列状に配置された撮像部と、
 前記画素信号に応じた前記アナログ信号が入力される請求項1に係る前記AD変換回路と、
 を有し、
 前記比較部、前記ラッチ部、前記カウント部、および前記信号生成部は、前記撮像部を構成する前記画素の1列又は複数列毎に配置されていることを特徴とする固体撮像装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログ信号をデジタルデータに変換するAD変換回路、およびAD変換回路を有する固体撮像装置に関する。

50

【背景技術】

【0002】

従来の固体撮像装置に用いられるAD変換回路の一例として、図8に示した構成（例えば、特許文献1参照）が知られている。はじめに、図8に示すAD変換回路の構成および動作について説明する。図8に示すAD変換回路は、比較部11、信号生成部12、ラッチ部13、カウンタ部14、および遅延部15で構成されている。

【0003】

遅延部15は、入力信号を遅延させて出力する複数の遅延ユニットDU[0]～DU[7]を有する。先頭の遅延ユニットDU[0]にスタートパルスStart_Pが入力される。比較部11は、時間検出の対象となるアナログ信号Signalと、時間の経過と共に減少するランプ波Rampとが入力され、アナログ信号Signalとランプ波Rampの信号電圧を比較した結果を示す出力信号C0を出力する。比較部11において、アナログ信号Signalの振幅に応じたタイムインターバル（時間軸方向の大きさ）が生成される。

10

【0004】

信号生成部12は、出力信号C0を反転および遅延させる反転遅延回路DLYと、出力信号C0と反転遅延回路DLYの出力信号xC0_Dの論理積（AND）をとった出力信号Hold_Lを出力するAND回路AND1とを有する。ラッチ部13は、遅延部15の各遅延ユニットDU[0]～DU[7]の出力信号CK0～CK7の論理状態をラッチするラッチ回路D_0～D_7を有する。また、ラッチ部13は、信号生成部12の反転遅延回路DLYの出力信号xC0_Dと制御信号Enableとの論理積（AND）をとった出力信号Hold_Cをラッチ回路DU[7]へ出力するAND回路AND2を有する。カウンタ部14は、遅延部15からラッチ回路D_7を介して入力される出力信号CK7に基づいてカウントを行うカウンタ回路を有する。

20

【0005】

ラッチ回路D_0～D_6は、出力信号Hold_LがHigh状態（論理値「1」）のときにイネーブル（有効）状態となり、遅延ユニットDU[0]～DU[6]の出力信号CK0～CK6を出力する。また、ラッチ回路D_0～D_6は、出力信号Hold_LがLow状態（論理値「0」）のときにディスエーブル（無効）状態となり、遅延ユニットDU[0]～DU[6]の出力信号CK0～CK6に応じた論理状態をラッチする。

【0006】

ラッチ回路D_7は、出力信号Hold_CがHigh状態のときにイネーブル（有効）状態となり、遅延ユニットDU[7]の出力信号CK7を出力する。また、ラッチ回路D_7は、出力信号Hold_CがL状態のときにディスエーブル（無効）状態となり、遅延ユニットDU[7]の出力信号CK7に応じた論理状態をラッチする。

30

【0007】

なお、カウンタ部14のカウント結果の論理状態をラッチするカウンタラッチ回路は示していないが、ラッチ機能を有するカウンタ回路を用いることにより、カウンタ部14がカウンタラッチ回路を兼ねている。

【0008】

次に、従来例の動作について説明する。図9は、従来例に係るAD変換回路の動作を示している。図9において、Q0～Q7は、ラッチ回路D_0～D_7から出力される信号を示している。

40

【0009】

はじめに、比較部11での比較開始に係るタイミング（第1のタイミング）で、スタートパルスStart_Pとして遅延部15の遅延時間（8個の遅延ユニットDU[0]～DU[7]の遅延時間の合計）に略一致する周期のクロックが遅延部15に入力される。これにより遅延部15が動作を開始する。遅延部15を構成する遅延ユニットDU[0]は、スタートパルスStart_Pを遅延させて出力信号CK0として出力し、遅延部15を構成する遅延ユニットDU[1]～DU[7]はそれぞれ前段の遅延ユニットの出力信号を遅延させて出力信号CK1～CK7として出力する。遅延ユニットDU[0]～DU[7]の出力信号CK0～CK7はラッチ部13のラッチ回路D_0～D_7に入力される。このとき、比較部11の出力信号C0がLow状態であり、反転遅延回路DLYの出力信号xC0_D

50

がHigh状態であるため、信号生成部12のAND回路AND1の出力信号Hold_LがLow状態となってラッチ回路D_0~D_6はディスエーブル状態であり、動作を停止している。

【0010】

一方、反転遅延回路DLYの出力信号xCO_DがHigh状態であり、制御信号EnableがHigh状態であるため、ラッチ部13のAND回路AND2の出力信号Hold_CがHigh状態となってラッチ回路D_7はイネーブル状態であり、ラッチ回路D_7は、入力された遅延ユニットDU[7]の出力信号CK7をそのままカウント部14に出力する。

【0011】

カウント部14は、ラッチ部13のラッチ回路D_7から出力される遅延ユニットDU[7]の出力信号CK7に基づいてカウント動作を行う。このカウント動作では、出力信号CK7の立ち上りまたは立ち下りでカウント値が増加または減少する。

10

【0012】

アナログ信号Signalとランプ波Rampの信号電圧が略一致したタイミング（第2のタイミング）で比較部11の出力信号COが反転し、信号生成部12のAND回路AND1の出力信号Hold_LがHigh状態となる。これによりラッチ回路D_0~D_6がイネーブル状態となる。第2のタイミングから、信号生成部12の反転遅延回路DLYの遅延時間に一致する時間が経過した後（第3のタイミング）、信号生成部12の反転遅延回路DLYの出力信号xCO_Dが反転し、信号生成部12のAND回路AND1の出力信号Hold_LがLow状態となる。これにより、ラッチ回路D_0~D_6がディスエーブル状態となる。このとき、遅延ユニットDU[0]~DU[6]の出力信号CK0~CK6に応じた論理状態がラッチ回路D_0~D_6にラッチされる。また、第3のタイミングでラッチ部13のAND回路AND2の出力信号Hold_CがLow状態となるため、ラッチ回路D_7がディスエーブル状態となり、遅延ユニットDU[7]の出力信号CK7に応じた論理状態がラッチ回路D_7にラッチされる。

20

【0013】

カウント部14は、ラッチ回路D_7が動作を停止することでカウント値をラッチする。ラッチ部13がラッチしている論理状態と、カウント部14がラッチしているカウント値とにより、アナログ信号Signalに対応したデジタルデータが得られる。

【0014】

上記の従来例に係るAD変換回路によれば、第2のタイミングから第3のタイミングまでの期間のみ、ラッチ回路D_0~D_6が動作するため、ラッチ部での消費電流を低減し、AD変換回路の消費電流を低減することができる。

30

【先行技術文献】

【特許文献】

【0015】

【特許文献1】特開2012-039386号公報

【発明の概要】

【発明が解決しようとする課題】

【0016】

しかしながら、上記従来例のAD変換回路には以下に示す課題がある。すなわち、ラッチ回路D_0~D_6の動作を制御する信号Hold_Lとラッチ回路D_7の動作を制御する信号Hold_Cとが別々のAND回路で生成されるため、遅延ユニットDU[0]~DU[7]の出力信号CK0~CK7のパルスがLow状態からHigh状態へ切り替わるときのエッジが出力信号CK6, CK7付近にある場合、AND回路AND1, AND2における入力信号の遅延や回路閾値電圧のばらつき、動作速度のばらつきによって、信号Hold_Lと信号Hold_Cの間でHigh状態とLow状態が切り替わるタイミングにずれが生じると入力信号を正確にラッチできず、AD変換結果に誤差が生じ、AD変換精度が低下する可能性がある。

40

【0017】

以下にAD変換精度が低下する場合を説明する。図10は、信号Hold_Lを出力するAND回路AND1と信号Hold_Cを出力するAND回路AND2の動作タイミングが t だけずれた場合を示している。この場合、信号Hold_LがHigh状態からLow状態に切り替わるタイミングと、信号Hol

50

d_CがHigh状態からLow状態に切り替わるタイミングとが t だけ異なるため、ラッチ回路D_0~D_6が遅延ユニットDU[0]~DU[6]の出力信号CK0~CK6をラッチするタイミングと、ラッチ回路D_7が遅延ユニットDU[7]の出力信号CK7をラッチするタイミングとが t だけ異なる。

【0018】

これにより、ラッチ回路D_0~D_7のラッチ結果は2進数で $(10011100)_2 = (D_7=1, D_6=0, D_5=0, D_4=1, D_3=1, D_2=1, D_1=0, D_0=0)$ となる（『0』はLow状態に対応し、『1』はHigh状態に対応する）。この場合、ラッチ回路D_0~D_7のラッチ結果の0から1（または1から0）への切り替わりが2箇所ある。一方、ラッチ回路D_7がラッチ回路D_0~D_6と同じタイミングで出力信号CK7をラッチする場合のラッチ回路D_0~D_7のラッチ結果は2進数で $(00011100)_2 = (D_7=0, D_6=0, D_5=0, D_4=1, D_3=1, D_2=1, D_1=0, D_0=0)$ となる。この場合、ラッチ回路D_0~D_7のラッチ結果の0から1（または1から0）への切り替わりが1箇所ある。

10

【0019】

ラッチ回路D_0~D_7のラッチ結果の0から1（または1から0）への切り替わりの位置に応じてエンコードを行うエンコーダを用いる場合、その切り替わりが2箇所あると、ミスエンコードの原因となり、1LSB以上の誤差が生じる可能性がある。

【0020】

本発明は、上述した課題に鑑みてなされたものであって、AD変換精度の低下を抑制することができるAD変換回路および固体撮像装置を提供することを目的とする。

20

【課題を解決するための手段】

【0021】

本発明は、上記の課題を解決するためになされたもので、アナログ信号と、時間の経過とともに増加または減少する参照信号とが入力され、前記アナログ信号と前記参照信号の電圧を比較し、前記アナログ信号と前記参照信号の電圧が所定の関係になる第1のタイミングに第1の比較信号を出力する比較部と、前記第1のタイミングから所定の時間だけ経過した第2のタイミングに論理状態が切り替わる第2の比較信号を出力し、前記第1の比較信号と前記第2の比較信号との論理演算の結果である第3の比較信号を出力する信号生成部と、少なくとも前記比較部の比較開始に係るタイミングから前記第2のタイミングまでイネーブル信号を出力する制御部と、互いに位相が異なる第1から第 n (n は2以上の自然数) のクロック信号を出力するクロック生成部と、前記第1から第 n のクロック信号の対応する1つが入力される入力端子、前記第3の比較信号またはイネーブル信号が入力される第1の制御端子、前記第2の比較信号が入力される第2の制御端子、および出力端子の各々を有し、前記入力端子に入力されたクロック信号の論理状態をラッチする第1から第 n のラッチユニットを有するラッチ部と、前記第 n のラッチユニットの前記出力端子からの信号に基づきカウントを行うカウント部と、を有し、第1から第 $(n-k)$ (k は1以上かつ $n-1$ 以下の自然数) のラッチユニットの各々は、前記第3の比較信号に基づいてイネーブル状態となり、第 $(n-k+1)$ から第 n のラッチユニットの各々は、前記イネーブル信号に基づいてイネーブル状態となり、前記第1から第 n のラッチユニットの各々は、前記第2の比較信号の論理状態が切り替わったときに前記第1から第 n のクロック信号の各々をラッチすることを特徴とするAD変換回路である。

30

40

【0022】

また、本発明のAD変換回路において、前記第1から第 n のラッチユニットの各々は、前記入力端子に接続された第1の入力端子と、前記第1の制御端子に接続された第2の入力端子とを有する論理回路と、前記論理回路と前記出力端子との間に接続された第1の反転回路と、前記第1の反転回路と前記出力端子との間に接続された第2の反転回路と、前記第2の制御端子に接続され、前記第2の制御端子に前記第2の比較信号が入力される前は前記論理回路、前記第1の反転回路、および前記第2の反転回路を前記入力端子と前記出力端子との間で直列に接続し、前記第2の制御端子に前記第2の比較信号が入力された後は前記論理回路と前記第1の反転回路を非接続にするとともに前記第1の反転回路および前記第2の反

50

転回路を、一方から出力された信号が他方に入力されるように接続するスイッチ回路と、を有し、前記第2の入力端子にHigh状態もしくはLow状態の前記第3の比較信号が入力された場合に、前記第1の入力端子に入力されたクロック信号の論理状態に関わらず、前記出力端子の論理状態がHigh状態もしくはLow状態に固定されることを特徴とする。

【0023】

また、本発明のAD変換回路において、前記信号生成部は、前記第1の比較信号を所定の時間遅延させた前記第2の比較信号を出力する比較信号遅延部と、前記第1の比較信号と前記第2の比較信号との論理演算を行い、前記第3の比較信号を出力する第1の出力部と、を有することを特徴とする。

【0024】

また、本発明のAD変換回路において、前記イネーブル信号は第1のイネーブル信号であり、前記信号生成部と前記第 $(n - k + 1)$ から第 n のラッチユニットのいずれかとの間に接続され、前記第1のイネーブル信号と前記第2の比較信号とが入力され、前記第1のイネーブル信号と前記第2の比較信号との論理演算の結果である第2のイネーブル信号を出力する第2の出力部を有し、前記第2の出力部に接続された前記第 $(n - k + 1)$ から第 n のラッチユニットのいずれかにおいて前記第1のイネーブル信号の代わりに前記第2のイネーブル信号が前記第1の制御端子に入力されることを特徴とする。

【0025】

また、本発明は、入射される物理量に応じて画素信号を出力する複数の画素が行列状に配置された撮像部と、前記画素信号に応じた前記アナログ信号が入力される上記のAD変換回路と、を有し、前記比較部、前記ラッチ部、前記カウント部、および前記信号生成部は、前記撮像部を構成する前記画素の1列又は複数列毎に配置されていることを特徴とする固体撮像装置である。

【発明の効果】

【0026】

本発明によれば、第1から第 n のラッチユニットの各々が、1つの信号生成部から出力される第2の比較信号に基づいて第1から第 n のクロック信号の各々をラッチするため、第1から第 n のラッチユニットの各々がラッチを行うタイミングのずれを低減し、AD変換精度の低下を抑制することができる。

【図面の簡単な説明】

【0027】

【図1】本発明の第1の実施形態に係るAD変換回路の構成を示すブロック図である。

【図2】本発明の第1の実施形態に係るAD変換回路が有する遅延部の構成を示すブロック図である。

【図3】本発明の第1の実施形態に係るAD変換回路が有するラッチ部を構成するラッチ回路の構成を示す回路図である。

【図4】本発明の第1の実施形態に係るAD変換回路の動作を示すタイミングチャートである。

【図5】本発明の第2の実施形態に係るAD変換回路の構成を示すブロック図である。

【図6】本発明の第2の実施形態に係るAD変換回路の動作を示すタイミングチャートである。

【図7】本発明の第3の実施形態に係る固体撮像装置の構成を示すブロック図である。

【図8】従来のAD変換回路の構成を示すブロック図である。

【図9】従来のAD変換回路の動作を示すタイミングチャートである。

【図10】従来のAD変換回路の動作を示すタイミングチャートである。

【発明を実施するための形態】

【0028】

(第1の実施形態)

まず、本発明の第1の実施形態を説明する。図1は、本実施形態に係るAD変換回路の構成の一例を示している。以下、本例の構成について説明する。図1に示すAD変換回路は、比

10

20

30

40

50

較部11、信号生成部101、ラッチ部102、カウント部14、遅延部15、および制御部16で構成されている。

【0029】

遅延部15(クロック生成部)は、入力信号を遅延させて出力する複数の遅延ユニットDU[0]~DU[7]を有する。遅延ユニットDU[0]~DU[7]は、遅延ユニットDU[0]、遅延ユニットDU[1]、遅延ユニットDU[2]、・・・、遅延ユニットDU[7]の順に直列に接続されており、先頭の遅延ユニットDU[0]にスタートパルスStart_Pが入力される。遅延ユニットDU[0]は、入力されたスタートパルスStart_Pを遅延させて出力し、遅延ユニットDU[1]~DU[7]はそれぞれ前段の遅延ユニットの出力信号を遅延させて出力する。これにより、遅延ユニットDU[0]~DU[7]は、それぞれ位相が異なるクロック信号である出力信号CK0~CK7を出力する。

10

【0030】

遅延部15として、図1に示す構成の代わりに、複数の遅延ユニットDU[0]~DU[7]をリング状に接続することで実現される円環遅延回路を用いても構わない。図2は遅延部を円環遅延回路として構成した例を示している。遅延部15aでは、遅延ユニットDU[7]の出力信号が遅延ユニットDU[0]に入力される。遅延部15aは、スタートパルスStart_Pの論理状態がLow状態からHigh状態に変化することで動作を開始する。

【0031】

比較部11は、検出の対象となるアナログ信号Signalと、時間の経過と共に増加あるいは減少するランプ波Rampとが入力され、アナログ信号Signalとランプ波Rampの信号電圧を比較した結果を示す出力信号CO(第1の比較信号)を出力する電圧比較器で構成される。これにより、アナログ信号Signalに応じたタイムインターバルが生成されることになる。

20

【0032】

信号生成部101は、ラッチ部102およびカウント部14の動作を制御する制御信号を生成する。信号生成部101は、比較部11の出力信号COを反転および遅延させる反転遅延回路DLY(比較信号遅延部)と、反転遅延回路DLYの出力信号Hold(第2の比較信号)と比較部11の出力信号COとの論理積(AND)をとった出力信号SET0-6(第3の比較信号)を出力するAND回路AND1(第1の出力部)とを有する。詳細は後述するが、この構成により、信号生成部101は、スタートパルスStart_Pが入力された後の第1のタイミングでラッチ部102のラッチ回路D_0~D_6をイネーブル(有効)状態にし、第1のタイミングから所定の時間だけ経過した第2のタイミングでラッチ回路D_0~D_7およびカウント部14にラッチを実行させるための制御信号を生成する。

30

【0033】

ラッチ部102は、遅延部15の出力信号CK0~CK7の論理状態をラッチするラッチ回路D_0~D_7(ラッチユニット)を有する。カウント部14は、遅延部15からの出力信号CK7に基づいてカウントを行うカウンタ回路を有する。制御部16は、制御信号Enable(イネーブル信号)をラッチ部102へ出力する。制御信号Enableは、ラッチ回路D_7を制御するための信号である。

【0034】

ラッチ部102を構成するラッチ回路D_0~D_7について説明する。図3は、本実施形態に係るラッチ回路D_0~D_7の構成の一例を示している。図3に示すラッチ回路D_0~D_7は、NAND回路NAND1(論理回路)、反転回路NOT1(第1の反転回路)、NOT2(第2の反転回路)、NOT3、およびスイッチ回路SWで構成されている。スイッチ回路SWは、さらにスイッチ回路SW1、SW2で構成されている。

40

【0035】

NAND回路NAND1の一方の入力端子(第1の入力端子)は、入力端子Dに接続されている。NAND回路NAND1の他方の入力端子(第2の入力端子)は、入力端子SET(第1の制御端子)に接続されている。スイッチ回路SW1の一端は、NAND回路NAND1の出力端子に接続されている。スイッチ回路SW1の他端は、反転回路NOT1の入力端子およびスイッチ回路SW2の一端に接続されている。反転回路NOT2の入力端子は、反転回路NOT1の出力端子に接続されている。

50

スイッチ回路SW2の他端は、反転回路NOT2の出力端子および反転回路NOT3の入力端子に接続されている。反転回路NOT3の出力端子は、出力端子Qに接続されている。ここで、本実施形態では、ラッチ回路D₀~D₇の入力信号の論理状態と同じ論理状態の信号を出力するためにラッチ回路D₀~D₇に反転回路NOT3を用いているが、これに限るものではなく、ラッチ回路D₀~D₇の後段に反転回路NOT3を配置し、ラッチ回路D₀~D₇の後段の反転回路NOT3でラッチ回路D₀~D₇の出力信号を反転させて信号処理を行ってもよい。

【 0 0 3 6 】

ラッチ回路D₀~D₇の入力端子SETの入力信号がLow状態のときには、入力端子Dの入力信号の論理状態に関わらず、NAND回路NAND1の出力信号がHigh状態になるので、ラッチ回路D₀~D₇はディスエーブル状態となり、ラッチ回路D₀~D₇の入力端子SETの入力信号がHigh状態のときには、NAND回路NAND1は入力端子Dの入力信号の論理状態を反転して出力するので、ラッチ回路D₀~D₇はイネーブル状態となる。なお、本実施形態ではラッチ回路D₀~D₇のイネーブル状態、ディスエーブル状態を制御するためにNAND回路NAND1を用いているが、これに限るものではなく、AND回路や、OR回路、NOR回路を用いてもよい。つまり、入力端子SETにHighもしくはLowの論理状態の一方が入力されたときに、入力端子Dの論理状態に関わらず出力端子Qの論理状態がHighもしくはLowの一方になればよい。

10

【 0 0 3 7 】

スイッチ回路SW1, SW2の制御端子CK'は、入力端子CK(第2の制御端子)に接続されており、スイッチ回路SW1, SW2は、入力端子CKの入力信号によって制御される。スイッチ回路SW1は、入力端子CKの入力信号がHigh状態のときONとなり、入力端子CKの入力信号がLow状態のときOFFとなる。スイッチ回路SW2は、入力端子CKの入力信号がLow状態のときONとなり、入力端子CKの入力信号がHigh状態のときOFFとなる。

20

【 0 0 3 8 】

ラッチ回路D₀~D₆の入力端子CKに入力される信号は、信号生成部101の出力信号Holdであり、入力端子SETに入力される信号は、信号生成部101の出力信号SET0-6である。ラッチ回路D₀~D₆は、信号生成部101の出力信号SET0-6がHigh状態の場合にイネーブル状態となり、イネーブル状態において信号生成部101の出力信号HoldがHigh状態の場合に遅延ユニットDU[0]~DU[6]の出力信号CK0~CK6をそのまま出力する。ラッチ回路D₀~D₆は、信号生成部101の出力信号HoldがHigh状態からLow状態に遷移するとそのときの遅延ユニットDU[0]~DU[6]の出力信号CK0~CK6に応じた論理状態をラッチする。ラッチ回路D₀~D₆は、信号生成部101の出力信号SET0-6がHigh状態からLow状態に遷移するとディスエーブル状態となる。

30

【 0 0 3 9 】

一方、ラッチ回路D₇の入力端子CKに入力される信号は、信号生成部101の出力信号Holdであり、入力端子SETに入力される信号は、制御信号Enableである。ラッチ回路D₇は、制御信号EnableがHigh状態の場合にイネーブル状態となり、イネーブル状態において信号生成部101の出力信号HoldがHigh状態の場合に遅延ユニットDU[7]の出力信号CK7をそのまま出力する。ラッチ回路D₇は、信号生成部101の出力信号HoldがHigh状態からLow状態に遷移するとそのときの遅延ユニットDU[7]の出力信号CK7に応じた論理状態をラッチする。ラッチ回路D₇は、制御信号EnableがHigh状態からLow状態に遷移するとディスエーブル状態となる。

40

【 0 0 4 0 】

図1では、カウント部14のカウント結果の論理状態をラッチするカウントラッチ回路を明示していないが、ラッチ機能を有するカウンタ回路を用いることにより、カウンタ回路がカウントラッチ回路を兼ねている。尚、本構成はあくまで一例であり、これに限らない。

【 0 0 4 1 】

次に、本実施形態の動作について説明する。図4は、本実施形態に係るAD変換回路の動作を示している。図4において、Q0~Q7は、ラッチ回路D₀~D₇から出力される信号を示している。

50

【 0 0 4 2 】

はじめに、比較部11での比較開始に係るタイミングで、スタートパルスStart_Pとして、遅延部15の遅延時間（8個の遅延ユニットDU[0]～DU[7]の遅延時間の合計）に略一致する周期のクロックが入力される。これにより、遅延部15が動作を開始する。遅延部15を構成する遅延ユニットDU[0]は、スタートパルスStart_Pを遅延させて出力信号CK0として出力し、遅延部15を構成する遅延ユニットDU[1]～DU[7]はそれぞれの前段の遅延ユニットの出力を遅延させて出力信号CK1～CK7として出力する。遅延ユニットDU[0]～DU[7]の出力信号CK0～CK7はラッチ部102のラッチ回路D_0～D_7にそれぞれ入力される。反転遅延回路DLYに入力される比較部11の出力信号C0がLow状態であり、反転遅延回路DLYの出力信号HoldがHigh状態、信号生成部101のAND回路AND1の出力信号SET0-6がLow状態であるため、ラッチ回路D_0～D_6はディスエーブル状態であり、動作を停止している。

10

【 0 0 4 3 】

一方、反転遅延回路DLYの出力信号HoldがHigh状態、制御信号EnableがHigh状態であるため、ラッチ回路D_7はイネーブル状態であり、遅延ユニットDU[7]の出力信号CK7をそのまま出力する。

【 0 0 4 4 】

カウント部14は、ラッチ回路D_7から出力される遅延部15の出力信号CK7に基づいてカウント動作を行う。このカウント動作では、出力信号CK7の立ち上りまたは立ち下りでカウント値が増加または減少する。

【 0 0 4 5 】

遅延部15が動作を開始した後、ランプ波Rampに応じた信号電圧がアナログ信号Signalに応じた信号電圧よりも大きい間、比較部11の出力信号C0はLow状態である。ランプ波Rampに応じた信号電圧がアナログ信号Signalに応じた信号電圧以下になると、比較部11の出力信号C0がHigh状態となる（第1のタイミング）。比較部11の比較処理の開始に係る時点から、比較部11の出力信号C0がHigh状態となるまでの期間が、検出の対象となるタイムインターバルである。この期間内にスタートパルスStart_Pが、遅延部15を構成する遅延ユニットDU[0]～DU[7]を通過する数は、アナログ信号Signalのレベルに応じた数になる。

20

【 0 0 4 6 】

比較部11の出力信号C0が反転する第1のタイミングで信号生成部101のAND回路AND1の出力信号SET0-6がHigh状態となる。これにより、ラッチ回路D_0～D_6はイネーブル状態となる。第1のタイミングから、信号生成部101の反転遅延回路DLYの遅延時間に一致する時間が経過した後（第2のタイミング）、信号生成部101の反転遅延回路DLYの出力信号Holdが反転してLow状態となる。このとき、遅延ユニットDU[0]～DU[7]の出力信号CK0～CK7に応じた論理状態がラッチ部102のラッチ回路D_0～D_7にラッチされる。また、信号生成部101の反転遅延回路DLYの出力信号HoldがLow状態となることにより、信号生成部101のAND回路AND1の出力信号SET0-6がLow状態となる。これにより、ラッチ回路D_0～D_6がディスエーブル状態となる。

30

【 0 0 4 7 】

カウント部14は、ラッチ回路D_7が出力信号CK7をラッチすることでカウント値をラッチする。ラッチ部102がラッチしている論理状態と、カウント部14がラッチしているカウント値とにより、タイムインターバルに対応したデータが得られる。ラッチされたデータは、例えば後段の演算部（不図示）に出力され、2進化等の処理が行われる。

40

【 0 0 4 8 】

AD変換期間に一致する時間が経過した後、制御信号EnableがLow状態となる。これにより、ラッチ回路D_7がディスエーブル状態となる。

【 0 0 4 9 】

上記のように、図1に示した構成によれば、ラッチ回路D_0～D_7のラッチ動作を制御する出力信号Holdは信号生成部101のAND回路AND1で生成されるため、ラッチ回路D_0～D_6とラッチ回路D_7の間で遅延ユニットDU[0]～DU[7]の出力信号CK0～CK7をラッチするタイミングにずれが生じず、AD変換精度の低下を防ぐことができる。

50

【 0 0 5 0 】

なお、本実施形態では、ラッチ回路D₀~D₆のイネーブル状態/ディスエーブル状態の遷移が信号生成部101のAND回路AND1の出力信号SET0-6によって制御され、ラッチ回路D₇のイネーブル状態/ディスエーブル状態の遷移が制御信号Enableによって制御されるが、これに限るものではない。例えば、ラッチ回路D₁~D₅のイネーブル状態/ディスエーブル状態の遷移が信号生成部101のAND回路AND1の出力信号SET0-6によって制御され、ラッチ回路D₀, D₆, D₇のイネーブル状態/ディスエーブル状態の遷移が制御信号Enableによって制御されるようにAD変換回路を構成してもよい。

【 0 0 5 1 】

また、本実施形態のラッチ回路D₀~D₇の構成は図3に示される構成であるが、これに限るものではなく、ラッチ回路D₀~D₇のイネーブル状態とディスエーブル状態を入力端子SETに入力される信号に応じて制御でき、入力端子Dに入力される信号を入力端子CKに入力される信号に応じてラッチするようにラッチ回路D₀~D₇が構成されていればよい。

10

【 0 0 5 2 】

また、本実施形態の出力信号SET0-6はAND回路を用いて生成されているが、これに限るものではなく、信号生成部やラッチ回路の構成によっては、NAND回路や、OR回路、NOR回路、XOR回路を用いてもよい。つまり、ラッチ回路D₀~D₆をイネーブル状態/ディスエーブル状態にする信号を出力する回路は、2つの入力端子を有し、一方の入力端子の論理状態がHigh状態もしくはLow状態から、それと異なる状態に変化したときにラッチ回路D₀~D₆をイネーブル状態にし、その後、他方の入力端子の論理状態がHigh状態もしくはLow状態から、それと異なる状態に変化したときにラッチ回路D₀~D₆をディスエーブル状態にできればよい。

20

【 0 0 5 3 】

(第2の実施形態)

次に、本発明の第2の実施形態を説明する。図5は、本実施形態に係るAD変換回路の構成の一例を示している。図5中で用いている各構成のうち、図1中で用いている構成と同一の構成には同一の符号を付与し、説明を省略する。以下では、第1の実施形態との相違点を中心に、本実施形態の構成と動作について説明する。図1に示した構成と異なるのは、ラッチ部102をラッチ部201に変更している点である。

【 0 0 5 4 】

ラッチ部201は、遅延部15の出力信号CK0~CK7の論理状態をラッチするラッチ回路D₀~D₇と、信号生成部101の出力信号Holdと制御信号Enable(第1のイネーブル信号)との論理積(AND)をとった信号SET7(第2のイネーブル信号)を出力するAND回路AND2(第2の出力部)とを有する。この構成により、信号生成部101およびAND回路AND2は、ラッチ回路D₀~D₇を同時にディスエーブル状態にするための制御信号を生成する。これ以外は、図1と同様であるので説明は省略する。

30

【 0 0 5 5 】

次に、本実施形態の動作について説明する。図6は、本実施形態に係るAD変換回路の動作を示している。図6において、Q0~Q7は、ラッチ回路D₀~D₇から出力される信号を示している。

40

【 0 0 5 6 】

はじめに、比較部11での比較開始に係るタイミングで、スタートパルスStart_Pとして、遅延部15の遅延時間(8個の遅延ユニットDU[0]~DU[7]の遅延時間の合計)に略一致する周期のクロックが入力される。これにより、遅延部15が動作を開始する。遅延部15を構成する遅延ユニットDU[0]は、スタートパルスStart_Pを遅延させて出力信号CK0として出力し、遅延部15を構成する遅延ユニットDU[1]~DU[7]はそれぞれの前段の遅延ユニットの出力を遅延させて出力信号CK1~CK7として出力する。遅延ユニットDU[0]~DU[7]の出力信号CK0~CK7はラッチ部102のラッチ回路D₀~D₇にそれぞれ入力される。反転遅延回路DLYの入力信号C0がLow状態であり、反転遅延回路DLYの出力信号HoldがHigh状態、信号生成部101のAND回路AND1の出力信号SET0-6がLow状態であるため、ラッチ回路D₀~D₆はディス

50

エーブル状態であり、動作を停止している。

【 0 0 5 7 】

一方、反転遅延回路DLYの出力信号HoldがHigh状態、制御信号EnableがHigh状態であるため、ラッチ回路D_7はイネーブル状態であり、遅延ユニットDU[7]の出力信号CK7をそのまま出力する。

【 0 0 5 8 】

カウント部14は、ラッチ回路D_7から出力される遅延部15の出力信号CK7に基づいてカウント動作を行う。このカウント動作では、出力信号CK7の立ち上りまたは立ち下りでカウント値が増加または減少する。

【 0 0 5 9 】

遅延部15が動作を開始した後、ランプ波Rampに応じた信号電圧が信号Signalに応じた信号電圧よりも大きい間、比較部11の出力信号COはLow状態である。ランプ波Rampに応じた信号電圧が信号Signalに応じた信号電圧以下になると、比較部11の出力信号COがHigh状態となる（第1のタイミング）。比較部11の比較処理の開始に係る時点から比較部11の出力信号COがHigh状態となるまでの期間が、検出の対象となるタイムインターバルである。この期間内にスタートパルスStart_Pが、遅延部15を構成する遅延ユニットDU[0]～DU[7]を通過する数は、アナログ信号Signalのレベルに応じた数になる。

【 0 0 6 0 】

比較部11の出力信号COが反転する第1のタイミングで信号生成部101のAND回路AND1の出力信号SET0-6がHigh状態となる。これにより、ラッチ回路D_0～D_6はイネーブル状態となる。第1のタイミングから、信号生成部101の反転遅延回路DLYの遅延時間に一致する時間が経過した後（第2のタイミング）、信号生成部101の反転遅延回路DLYの出力信号Holdが反転してLow状態となる。このとき、遅延ユニットDU[0]～DU[7]の出力信号CK0～CK7に応じた論理状態がラッチ部201のラッチ回路D_0～D_7にラッチされる。また、信号生成部101の反転遅延回路DLYの出力信号HoldがLow状態となることにより、信号生成部101のAND回路AND1の出力信号SET0-6およびラッチ部201のAND回路AND2の出力信号SET7がLow状態となる。これにより、ラッチ回路D_0～D_7がディスエーブル状態となる。

【 0 0 6 1 】

カウント部14は、ラッチ回路D_7が出力信号CK7をラッチすることでカウント値をラッチする。ラッチ部201がラッチしている論理状態と、カウント部14がラッチしているカウント値とにより、タイムインターバルに対応したデータが得られる。ラッチされたデータは、例えば後段の演算部（不図示）に出力され、2進化等の処理が行われる。所定のAD変換期間が経過した後、制御信号EnableがLow状態となる。

【 0 0 6 2 】

上記のように、図5に示した構成によれば、ラッチ回路D_0～D_7のラッチ動作を制御する信号Holdは信号生成部101のAND回路AND1で生成されるため、ラッチ回路D_0～D_6とラッチ回路D_7の間で遅延ユニットDU[0]～DU[7]の出力信号CK0～CK7をラッチするタイミングにずれが生じず、AD変換精度の低下を防ぐことができる。

【 0 0 6 3 】

また、本実施形態では、ラッチ回路D_7は遅延ユニットDU[7]の出力信号CK7をラッチした直後にディスエーブル状態となり動作を停止するため、第1の実施形態と比較して、ラッチ回路D_7の動作に関する消費電力をより削減することができる。

【 0 0 6 4 】

なお、本実施形態では、ラッチ回路D_0～D_6のイネーブル状態/ディスエーブル状態の遷移が信号生成部101のAND回路AND1の出力信号SET0-6によって制御され、ラッチ回路D_7のイネーブル状態/ディスエーブル状態の遷移がラッチ部201のAND回路AND2の出力信号SET7によって制御されるが、これに限るものではない。例えば、ラッチ回路D_1～D_5のイネーブル状態/ディスエーブル状態の遷移が信号生成部101のAND回路AND1の出力信号SET0-6によって制御され、ラッチ回路D_0, D_6, D_7のイネーブル状態/ディスエーブル状態の遷移がラッチ部201のAND回路AND2の出力信号SET7によって制御されるようにAD変換回路を

10

20

30

40

50

構成してもよい。

【 0 0 6 5 】

また、本実施形態のラッチ回路D₀~D₇の構成は図3に示される構成であるが、これに限るものではなく、ラッチ回路D₀~D₇のイネーブル状態とディスエーブル状態を入力端子SETに入力される信号に応じて制御でき、入力端子Dに入力される信号を入力端子CKに入力される信号に応じてラッチするようにラッチ回路D₀~D₇が構成されていればよい。

【 0 0 6 6 】

また、本実施形態の出力信号SET0-6, SET7はAND回路を用いて生成されているが、これに限るものではなく、信号生成部やラッチ回路の構成によっては、NAND回路や、OR回路、NOR回路、XOR回路を用いてもよい。つまり、ラッチ回路D₀~D₇をイネーブル状態/ディスエーブル状態にする信号を出力する回路は、2つの入力端子を有し、一方の入力端子の論理状態がHigh状態もしくはLow状態から、それと異なる状態に変化したときにラッチ回路D₀~D₇をイネーブル状態にし、その後、他方の入力端子の論理状態がHigh状態もしくはLow状態から、それと異なる状態に変化したときにラッチ回路D₀~D₇をディスエーブル状態にできればよい。

【 0 0 6 7 】

(第3の実施形態)

次に、本発明の第3の実施形態を説明する。図7は、本実施形態に係る固体撮像装置の構成の一例を示している。以下、本実施形態の構成について説明する。図7に示す固体撮像装置1は、撮像部301、読出電流源部304、アナログ部305、カラム処理部306、演算部321、ランプ部313、遅延部315、垂直選択部317、制御部319、水平選択部320で構成されている。

【 0 0 6 8 】

撮像部301は、入射される電磁波の大きさに応じた信号を生成し出力する単位画素302が複数、行列状に配置されている。垂直選択部317は、撮像部301の各行を選択する。読出電流源部304は、撮像部301からの信号を電圧信号として読み出す。アナログ部305は、CDS回路などで構成され、撮像部301から読み出された信号にアナログ的な処理を施す。遅延部315は、第1の実施形態および第2の実施形態で説明した遅延部15に対応し、円環遅延回路316を有する。ランプ部313は、時間の経過とともに増加または減少する参照信号としてランプ波を生成する。カラム処理部306は、ランプ部313と参照信号線314を介して接続される。水平選択部320は、カラム処理部306で生成されたデータを水平信号線312に読み出す。演算部321は、水平信号線312に接続されている。制御部319は各部を制御し、上述した第1の実施形態および第2の実施形態の制御部16の機能を含んでいる。

【 0 0 6 9 】

図7では、簡単のため4行×6列の単位画素302から構成される撮像部301の場合について説明しているが、現実には、撮像部301の各行や各列には、数十から数万の単位画素302が配置されることになる。尚、図示を割愛するが、撮像部301を構成する単位画素302は、フォトダイオード/フォトゲート/フォトリジスタなどの光電変換素子、およびトリジスタ回路によって構成されている。

【 0 0 7 0 】

このシステム構成において、撮像部301の各単位画素302を駆動制御する周辺の駆動系や信号処理系、即ち垂直選択部317、水平選択部320、カラム処理部306、演算部321、遅延部315、ランプ部313、および制御部319などの周辺回路は、撮像部301と共に、半導体集積回路製造技術と同様の技術を用いて単結晶シリコンなどの半導体領域に一体的に形成されていてもよい。

【 0 0 7 1 】

以下では、各部のより詳細な説明を行う。撮像部301は、単位画素302が4行6列分だけ2次元に配置されるとともに、この4行6列の画素配列に対して行ごとに行制御線318が配線されている。行制御線318の各一端は、垂直選択部317の各行に対応した各出力端に接続されている。垂直選択部317は、シフトレジスタあるいはデコーダなどによって構成され、

撮像部301の各单位画素302の駆動に際して、行制御線318を介して撮像部301の行アドレスや行走査の制御を行う。また、撮像部301の画素配列に対して列ごとに垂直信号線303が配線されている。

【 0 0 7 2 】

読出電流源部304は、例えばNMOSトランジスタを用いて構成される。読出電流源部304を構成するNMOSトランジスタのドレイン端子には撮像部301からの垂直信号線303が接続され、制御端子には適宜所望の電圧が印加され、ソース端子はGNDに接続される。これにより、各单位画素302からの信号が電圧モードとして出力されることになる。尚、電流源としてNMOSトランジスタを用いた場合で説明しているがこれに限る必要はない。

【 0 0 7 3 】

アナログ部305は、詳細な説明は省略するが、垂直信号線303を介して入力された電圧モードの画素信号に対して、画素リセット直後の信号レベル（リセットレベル）と真の信号レベルとの差分をとる処理を行うことで、画素ごとの固定なバラツキであるFPN（=Fixed Pattern Noise：固定パターンノイズ）やリセットノイズといわれるノイズ成分を取り除く。尚、必要に応じて信号増幅機能を持つAGC（=Auto Gain Control）回路などを設けても構わない。

【 0 0 7 4 】

カラム処理部306は、例えば撮像部301の画素列ごと、即ち垂直信号線303ごとに設けられたADC部307を有し、撮像部301の各单位画素302から画素列ごとに垂直信号線303を介して読み出されるアナログの画素信号をデジタルデータに変換する。尚、本実施形態では、撮像部301の画素列に対して1対1の対応関係をもってADC部307を配置する構成をとっているが、これは一例に過ぎず、この配置関係に限定されるものではない。例えば、複数の画素列に対してADC部307を1つ配置し、この1つのADC部307を複数の画素列間で時分割にて使用する構成をとることも可能である。カラム処理部306は、後述するランプ部313、遅延部315、および演算部321と共に、撮像部301の選択画素行の各单位画素302から読み出されるアナログの画素信号をデジタルの画素データに変換するAD変換回路を構成している。

【 0 0 7 5 】

遅延部315は、対称発振回路であるVCO（=Voltage Controlled Oscillator）で構成された円環遅延回路316を有する。しかし、遅延部315はこれに限らず、対称発振回路と同様に円環遅延回路自体は奇数個の遅延ユニットで構成されるが、その出力は等価的に偶数（特に、2のべき乗）である所謂非対称発振回路を用いても構わない。更に、円環遅延回路自体が偶数個（特に、2のべき乗個）の遅延ユニットで構成され、下位論理状態の出力（端子）が偶数（特に、2のべき乗）となる構成の回路や、円環遅延回路自体が偶数個（特に、2のべき乗個）の遅延ユニットで構成され、更に遅延ユニットを構成する全差動型反転回路の最終段の出力がそれぞれ初段の入力の逆側に帰還されて構成される所謂全差動型発振回路を用いても構わない。尚、遅延部315として円環遅延回路が好適であるが、これに限る必要もない。

【 0 0 7 6 】

ランプ部313は、例えば積分回路によって構成され、制御部319による制御に従って、時間が経過するにつれてレベルが傾斜状に変化する、いわゆるランプ波を生成し、参照信号線314を介して比較部308の入力端子の一方に供給する。尚、ランプ部313としては、積分回路を用いたものに限られるのではなく、DAC回路を用いても構わない。ただし、DAC回路を用いてデジタル的にランプ波を生成する構成をとる場合には、ランプ波のステップを細かくする、あるいはそれと同等な構成をとる必要がある。

【 0 0 7 7 】

水平選択部320は、シフトレジスタあるいはデコーダなどによって構成され、カラム処理部306のADC部307の列アドレスや列行走査の制御を行う。この水平選択部320による制御に従って、ADC部307でAD変換されたデジタルデータは順に水平信号線312に読み出される。

【 0 0 7 8 】

演算部321は、水平信号線312に出力されたデジタルデータに基づいてバイナリ化等のコ

10

20

30

40

50

ード変換を実施し、2進化したデジタルデータを出力する。また、演算部321は、例えば黒レベル調整、列バラツキ補正、色処理などの信号処理機能を内蔵しても構わない。更に、演算部321は、nビットパラレルのデジタルデータをシリアルデータに変換して出力するようにしても構わない。

【0079】

制御部319は、ランプ部313、遅延部315、垂直選択部317、水平選択部320、演算部321などの各部の動作に必要なクロックや所定タイミングのパルス信号を供給するTG (=Timing Generator : タイミングジェネレータ) の機能ブロックと、このTGと通信を行うための機能ブロックとを備える。また、制御部319は、上述した第1の実施形態および第2の実施形態の制御部16としての機能も備えており、カラム処理部306のラッチ回路D_0~D_7を制御する制御信号Enableを出力する。

10

【0080】

尚、制御部319は、撮像部301や垂直選択部317および水平選択部320など、他の機能要素とは独立して、別の半導体集積回路として提供されても構わない。その場合、撮像部301や垂直選択部317および水平選択部320などからなる撮像デバイスと制御部319とにより、半導体システムの一例である撮像装置が構築される。この撮像装置は、周辺の信号処理や電源回路なども組み込まれた撮像モジュールとして提供されても構わない。

【0081】

次に、ADC部307の構成について説明する。ADC部307は各々、撮像部301の各单位画素302から垂直信号線303を介して読み出されるアナログの画素信号を、ランプ部313から与えられる、AD変換するためのランプ波と比較することにより、画素信号の大きさに対応した時間軸方向の大きさ(パルス幅)を持つタイムインターバルを生成する。そして、このタイムインターバルに対応したデータを画素信号の大きさに応じたデジタルデータとすることによってAD変換を行う。

20

【0082】

以下では、ADC部307の構成の詳細について説明する。ADC部307は列ごとに設けられており、図7では6個のADC部307が設けられている。各列のADC部307は同一の構成となっている。ADC部307は、比較部308、ラッチ制御部309、ラッチ部310、カラムカウンタ部311で構成される。

【0083】

比較部308は、上述した第1の実施形態および第2の実施形態で説明した比較部11に対応する。比較部308は、撮像部301の単位画素302から垂直信号線303を通して出力されるアナログの画素信号に応じた信号電圧と、ランプ部313から供給されるランプ波のランプ電圧とを比較することによって、画素信号の大きさを、時間軸方向の情報であるタイムインターバル(パルス幅)に変換する。比較部308の比較出力は、例えばランプ電圧が信号電圧よりも大なるときにはLowレベルになり、ランプ電圧が信号電圧以下のときにはHighレベルになる。

30

【0084】

ラッチ制御部309は、上述した第1の実施形態および第2の実施形態で説明した信号生成部101に対応する。ラッチ制御部309は、比較部308の比較出力に基づいて、ラッチ部310およびカラムカウンタ部311を制御するための制御信号を生成する。

40

【0085】

ラッチ部310は、上述した第1の実施形態および第2の実施形態で説明したラッチ部102またはラッチ部201に対応する。ラッチ部310は、遅延部315の出力信号の論理状態をラッチ(保持/記憶)するラッチ回路D_0~D_7を有する。ラッチ回路D_0~D_7が遅延部315の出力信号の論理状態をラッチすることによって、デジタルデータを構成する下位ビットのデータ(下位データ)が得られる。

【0086】

比較部308の比較出力を受けて、この比較出力が反転するタイミング(第1のタイミング)で、ラッチ部310を構成するラッチ回路D_0~D_6がイネーブル状態となる。第1のタイミ

50

ングから所定の時間が経過した後（第2のタイミング）、ラッチ部310の各ラッチ回路D₀～D₇が遅延部315の出力信号の論理状態をラッチする。例えば、ラッチ部310として、上述した第2の実施形態のラッチ部201を用いた場合には、ラッチ部310のラッチ回路D₀～D₇が遅延部315の出力信号に応じた論理状態をラッチするタイミングでラッチ回路D₀～D₇がディスエーブル状態になる。

【0087】

カラムカウンタ部311は、上述した第1の実施形態および第2の実施形態で説明したカウンタ部14に対応する。カラムカウンタ部311は、ラッチ部310のラッチ回路D₇の出力信号に基づいてカウントを行う。ここで、カラムカウンタ部311は、カラムカウンタ部311の論理状態を保持するラッチ機能を合わせ持つカウンタ回路を想定している。カラムカウンタ部311がカウントを行うことによって、デジタルデータを構成する上位ビットのデータ（上位データ）が得られる。

10

【0088】

ここで、ラッチ部310にラッチされる遅延部315の出力信号の論理状態に応じた下位データ信号は、例えば8ビットのデータである。また、カラムカウンタ部311のカウント値が構成する上位データ信号は、例えば10ビットのデータである。尚、この10ビットは一例であって、10ビット未満のビット数（例えば、8ビット）や10ビットを超えるビット数（例えば、12ビット）などであっても構わない。

【0089】

次に、本例の動作について説明する。ここでは、単位画素302の具体的な動作については説明を省略するが、周知のように単位画素302ではリセットレベルと信号レベルとが出力される。出力されたりセットレベルと信号レベルは、アナログ部305においてCDS（=Correlated Double Sampling）処理され、差分信号として出力される。

20

【0090】

AD変換は、以下のようにして行われる。例えば所定の傾きで下降するランプ波と、画素信号との各電圧を比較し、この比較処理が開始された時点から、差分信号の電圧とランプ波の電圧（ランプ電圧）とが一致した時点（第1のタイミング）から所定の時間が経過した時点（第2のタイミング）までの期間を、円環遅延回路316の出力信号（例えば出力信号CK7に相当）に基づいてカウントした値と、円環遅延回路316の出力信号であり一定の位相差を有する多相クロック（出力信号CK0～CK7に相当）の論理状態とを用いて計測することによって、差分信号の大きさに対応したデジタルデータを得る。尚、撮像部301の選択行の各単位画素302から、1回目の読み出し動作で雑音を含むリセットレベルを読み出してAD変換し、2回目の読み出し動作で信号レベルを読み出してAD変換し、その後、デジタル的にCDS処理することにより、差分信号に応じたデジタルデータを得るようにしても構わない。また、これに限る必要もない。

30

【0091】

任意の画素行の単位画素302から垂直信号線303へ出力された画素信号が安定した後、制御部319は、ランプ部313に対して、ランプ波生成の制御データを供給する。これを受けてランプ部313は、比較部308の一方の入力端子に与える比較電圧として、波形が全体として時間的にランプ状に変化するランプ波を出力する。比較部308は、このランプ波とアナログ部305からの差分信号とを比較する。また、制御部319は、このとき、円環遅延回路316へ出力するスタートパルス Low状態からHigh状態に変化させる。カラムカウンタ部311は、ラッチ部310のラッチ回路D₇の出力信号をカウントクロックとしてカウントを行う。

40

【0092】

比較部308は、ランプ部313から与えられるランプ波と、アナログ部305からの差分信号とを比較し、双方の信号電圧が略一致したとき（第1のタイミング）に、比較出力を反転する。この比較出力は、更に反転され、遅延が加えられて出力される（第2のタイミング）。第1のタイミングにおいて、比較部308の比較出力に基づいてラッチ部310のラッチ回路D₀～D₆がイネーブル状態となり、第2のタイミングにおいて、ラッチ制御部309からの制御信号がHigh状態からLow状態に変化することによってラッチ部310のラッチ回路D₀～D

50

_7が遅延部315の出力信号に応じた論理状態をラッチする。例えば、ラッチ部310として、上述した第2の実施形態のラッチ部201を用いた場合には、ラッチ部310のラッチ回路D_0～D_7が遅延部315の出力信号に応じた論理状態をラッチするタイミングでラッチ回路D_0～D_7がディスエーブル状態になる。

【0093】

カラムカウンタ部311は、ラッチ部310のラッチ回路D_7が停止することでカウント値をラッチする。これにより、差分信号に応じたデジタルデータ（データ信号）が得られる。制御部319は、所定の期間が経過すると、ランプ部313への制御データの供給と、遅延部315からの出力とを停止する。これにより、ランプ部313は、ランプ波の生成を停止する。

【0094】

その後、デジタルデータは、水平選択部320により水平信号線312を介して演算部321に転送される。演算部321において、バイナリ化処理が実施され、2進化データが得られる。尚、演算部321をカラム処理部306に内蔵する構成でも構わない。

【0095】

上記の動作では、第2のタイミングにおいてラッチ制御部309からの制御信号がHigh状態からLow状態に変化することによってラッチ部310のラッチ回路D_0～D_7が遅延部315の出力信号に応じた論理状態をラッチするため、ラッチ回路D_0～D_6とラッチ回路D_7の間で遅延部315の出力信号をラッチするタイミングにずれが生じず、AD変換精度の低下を防ぐことができる。

【0096】

尚、本実施形態におけるラッチ部310を構成するラッチ回路D_0～D_7の構成や制御に関して、第1の実施形態や第2の実施形態で説明した各種の変形を施してもよい。

【0097】

以上、図面を参照して本発明の実施形態について詳述してきたが、具体的な構成は上記の実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。

【符号の説明】

【0098】

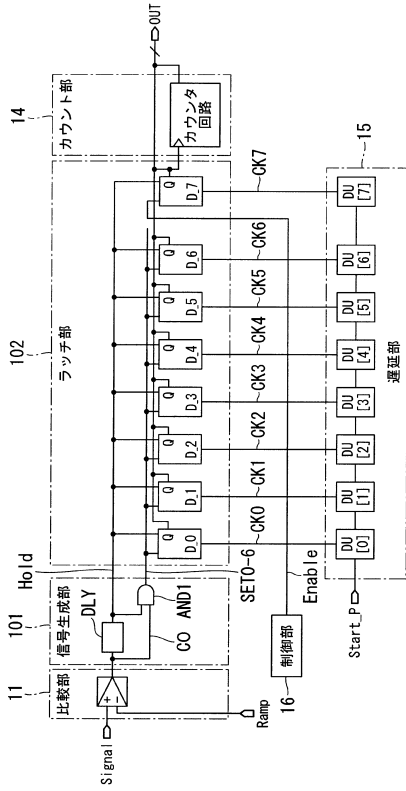
11, 308・・・比較部、12, 101・・・信号生成部、13, 102, 201, 310・・・ラッチ部、14・・・カウンタ部、15, 15a・・・遅延部、16, 319・・・制御部、301・・・撮像部、302・・・単位画素、304・・・読出電流源部、305・・・アナログ部、306・・・カラム処理部、307・・・ADC部、309・・・ラッチ制御部、311・・・カラムカウンタ部、313・・・ランプ部、315・・・遅延部、316・・・円環遅延回路、317・・・垂直選択部、320・・・水平選択部

10

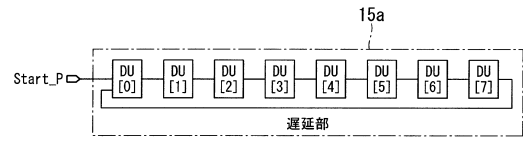
20

30

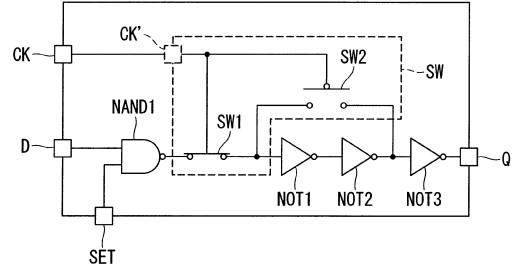
【図1】



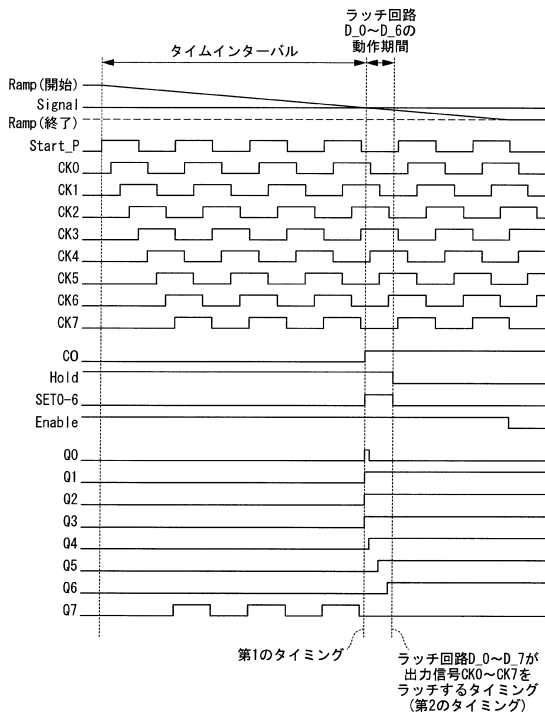
【図2】



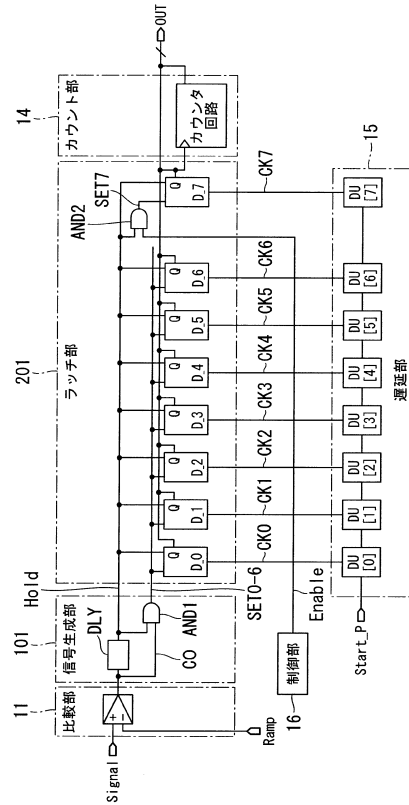
【図3】



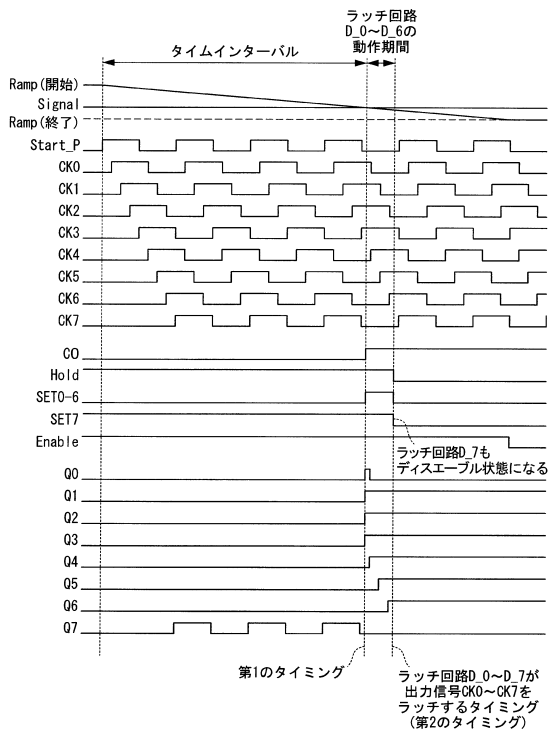
【図4】



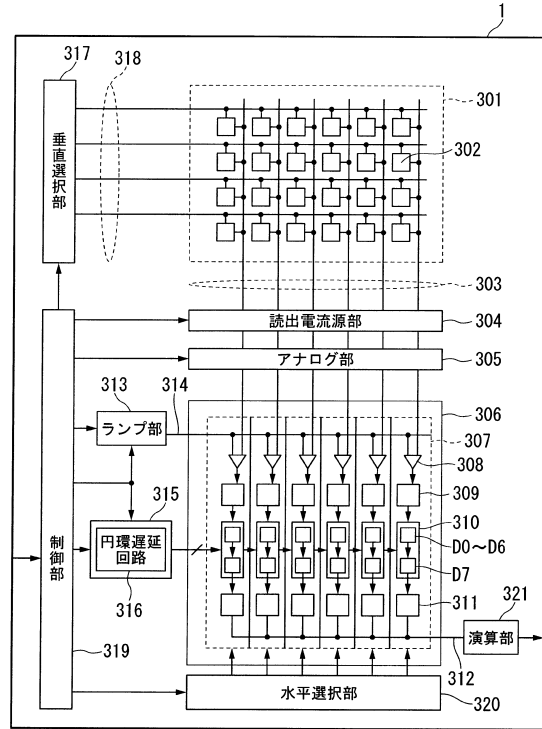
【図5】



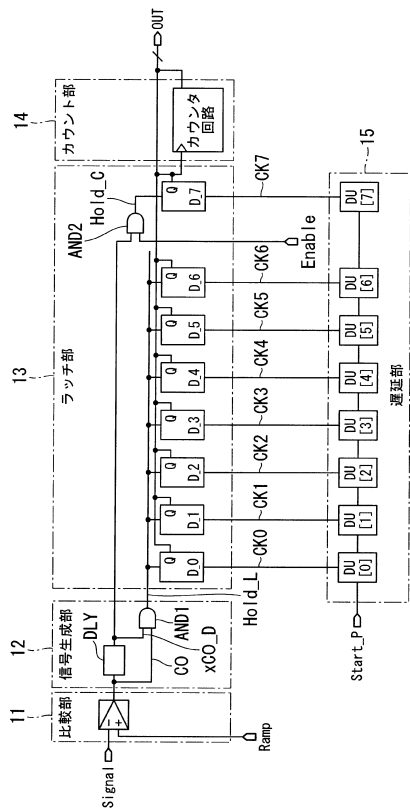
【図6】



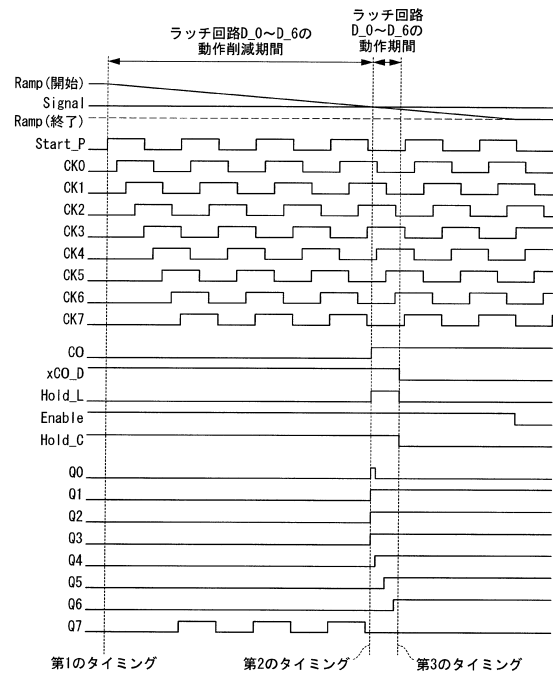
【図7】



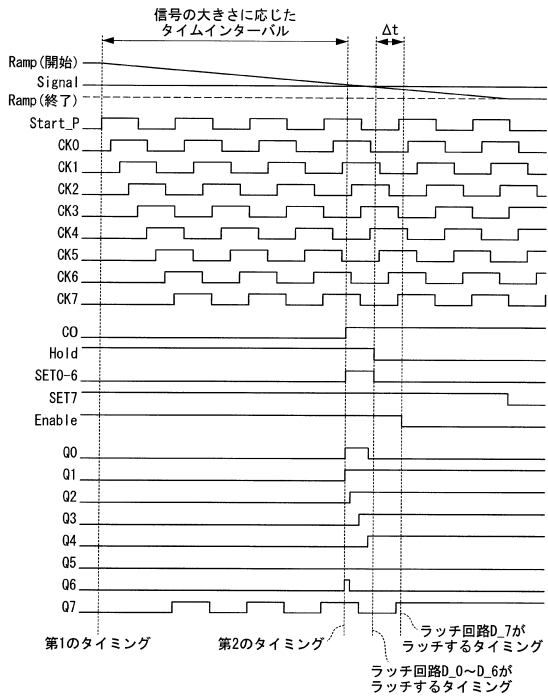
【図8】



【図9】



【図10】



フロントページの続き

(74)代理人 100161702

弁理士 橋本 宏之

(72)発明者 山崎 晋

東京都渋谷区幡ヶ谷 2丁目43番2号 オリパス株式会社内

審査官 白井 亮

(56)参考文献 特開2012-039386(JP,A)

特開2009-038726(JP,A)

特開平06-077830(JP,A)

特開2008-312201(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03M 1/56