(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 6 月 17 日(17.06.2010)

PCT

(10) 国際公開番号
WO 2010/067517 A1

(51) 国際特許分類:
H01L 21/20 (2006.01) *H01L 27/00* (2006.01)
H01L 21/02 (2006.01) *H01L 27/088* (2006.01)
H01L 21/205 (2006.01) *H01L 27/12* (2006.01)
H01L 21/336 (2006.01) *H01L 29/786* (2006.01)
H01L 21/8234 (2006.01)

(21) 国際出願番号: PCT/JP2009/006013

(22) 国際出願日: 2009 年 11 月 11 日(11.11.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2008-315297 2008 年 12 月 11 日(11.12.2008) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立国際電気(**Hitachi Kokusai Electric Inc.**) [JP/JP]; 〒1018980 東京都千代田区外神田四丁目１４番１号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 橋場祥晶 (**HASHIBA, Yoshiaki**) [JP/JP]; 〒9392393 富山県富山市八尾町保内二丁目１番地株式会社日立国際電気内 Toyama (JP).

(74) 代理人: ポレール特許業務法人(**Polaire I.P.C.**); 〒1040032 東京都中央区八丁堀二丁目７番１号 Tokyo (JP).

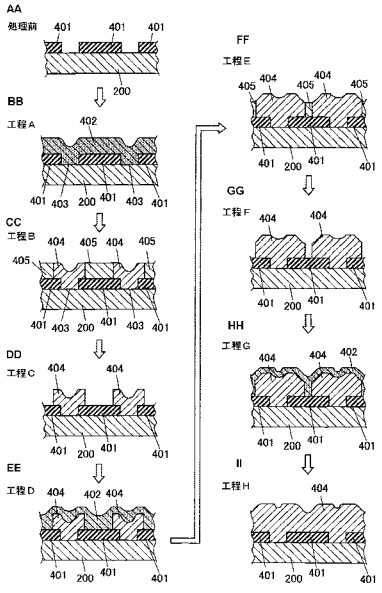
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) **Title**: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置の製造方法

図 4



AA BEFORE PROCESSING
BB STEP A
CC STEP B
DD STEP C
EE STEP D
FF STEP E
GG STEP F
HH STEP G
II STEP H

(57) **Abstract**: The following method for manufacturing a semiconductor device is used for the purpose of manufacturing a semiconductor device in a short time by reducing the time required for a single crystal film-forming step in a lateral solid-phase epitaxial growth method. Specifically, the method for manufacturing a semiconductor device comprises: a film-forming step wherein a wafer (200) having a single crystal silicon part (403) and an insulating film (401) exposed from the surface is exposed to a gas atmosphere containing Si as a constituent element, thereby forming an amorphous silicon film (402) on the single crystal silicon part (403) and the insulating film (401); a heating step wherein, after the film-forming step, the silicon film (402) is heated, thereby forming the silicon film (402) into a single crystal based on the single crystal silicon part (403); and a selective growth step wherein, after the heating step, the wafer (200) is exposed to a mixed atmosphere of a gas containing Si as a constituent element and a gas containing Cl as a constituent element, thereby removing the part which has not been formed into a single crystal, while leaving the part which has been formed into a single crystal in place. The film-forming step, the heating step and the selective growth step are performed on the wafer (200) one or more times.

(57) 要約: 横方向固相エピタキシャル成長法において単結晶膜成膜工程に要する時間を短縮し、半導体装置の製造を短時間で行うという課題を解決するため、以下の半導体装置の製造方法を用いる。

[続葉有]

WO 2010/067517 A1

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

すなわち、単結晶シリコン部４０３及び絶縁膜４０１が表面において露出したウエハ２００を、構成元素としてＳｉを含むガスの雰囲気中に曝露し、単結晶シリコン部４０３及び絶縁膜４０１の上にアモルファスのシリコン膜４０２を成膜する成膜工程と、該成膜工程後に、シリコン膜４０２を加熱して、単結晶シリコン部４０３を基にしてシリコン膜４０２を単結晶化させる加熱工程と、該加熱工程後に、ウエハ２００を構成元素としてＳｉを含むガス及び構成元素としてＣｌを含むガスの混合雰囲気中に曝露し、単結晶化した部分を残留させつつ、単結晶化しなかった部分を除去する選択成長工程と、を含む半導体装置の製造方法であって、ウエハ２００に対して、成膜工程、加熱工程及び選択成長工程を１回以上実施する。

明　細　書

発明の名称 ： 半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置の製造方法に関する。

背景技術

[0002] ＳＯＩ（Silicon on Insulator）構造を用いたＬＳＩ（Large Scale Integration）等の半導体装置が盛んに研究されている。これは寄生容量の低減による動作速度の高速化や、素子間分離が簡単なため高集積化しやすい等の利点があるためである。

ＳＯＩ構造を形成する方法として、ＳＩＭＯＸ（Separation by Implanted Oxygen）に代表される表面単結晶分離法が有名である。これは表面単結晶シリコン層を保存しつつ内部に絶縁膜を形成する方法である。

ここで、ＳＯＩ構造を形成する方法として、横方向固相エピタキシャル成長法が注目され始めている。これは表面の一部に絶縁膜が形成されたシリコン基板を用いて、絶縁膜上の横方向エピタキシャル成長により単結晶シリコン膜を形成する方法である。その方法としては、（１）部分的に絶縁膜を形成したシリコン基板上にアモルファスのシリコンを成膜する、（２）約５００～７００℃で熱処理すると、シリコン開口部（絶縁膜が形成されていない基板上のシリコン部）を種として絶縁膜上のアモルファスシリコンが単結晶化していく、（３）長時間熱処理することで絶縁膜上のアモルファスシリコンが全て単結晶化する、というものである。上記（２）の工程において、縦方向に堆積されたアモルファスシリコン膜が、基板のシリコン開口部を基に、横方向に単結晶化されていくことを、横方向固相エピタキシャル成長という。

この方法によると絶縁膜の表面全体に単結晶シリコン膜が形成するので、さらにその上にも同様の繰り返しにより３次元的に回路を集積化することが可能となり、ＬＳＩ構造設計の自由度が増す利点がある。

発明の概要

発明が解決しようとする課題

[0003] しかし上記（１）の工程を高温で行うと、アモルファスシリコン膜と絶縁膜との界面に微結晶粒が形成され、これによりアモルファスシリコンが単結晶化せず多結晶化してしまう。そこで、微結晶粒を形成させないためには上記（１）の工程を低温で行う必要があるが、低温で処理するとアモルファスシリコンの成膜速度が遅くなり、半導体装置の製造にかかる時間が長くなるという問題がある。

[0004] そこで本発明の課題は、横方向選択エピタキシャル成長法を用いて、単結晶化のための熱処理の際に多結晶となってしまった部分のみを除去し、再度アモルファスシリコン成膜及び熱処理を実施することにより基板上に形成された絶縁膜を単結晶膜により短時間で覆えるようにすることである。

課題を解決するための手段

[0005] 以上の課題を解決するために、本発明によれば、

単結晶シリコン部及び絶縁部が表面において露出した基板を、構成元素としてＳｉを含むガスの雰囲気中に曝露し、前記単結晶シリコン部及び前記絶縁部の上にアモルファスのシリコン膜を成膜する成膜工程と、

前記成膜工程後に、前記アモルファスのシリコン膜を加熱して、前記単結晶シリコン部を基にして前記アモルファスのシリコン膜を単結晶化させる加熱工程と、

前記加熱工程後に、前記基板を構成元素としてＳｉを含むガス及び構成元素としてＣｌを含むガスの混合雰囲気中に曝露し、前記単結晶化した部分を残留させつつ、前記絶縁部の上の単結晶化しなかった部分を除去する選択成長工程と、を含み、

前記基板に対して、前記成膜工程、前記加熱工程及び前記選択成長工程を１回以上行うようにする半導体装置の製造方法が提供される。

発明の効果

[0006] 本発明によれば、成膜工程で微結晶粒が形成され、加熱工程で多結晶膜が成長しても、その後の選択成長工程で単結晶部以外の多結晶シリコン等を除去できる。これにより成膜工程を高温で行うことができるため成膜速度が向上し、半導体装置の製造を短時間で行うことができる。

図面の簡単な説明

[0007] [図1]本発明に応用される、膜厚成長速度の温度依存性を示したグラフである。

[図2]基板処理装置の概略構成図である。

[図3]処理炉の概略構成図である。

[図4]単結晶膜の成膜工程を示した工程図である。

[図5]積層状ＬＳＩにおける単結晶膜の成膜工程を示した工程図である。

発明を実施するための形態

[0008] 発明者等は、減圧ＣＶＤ装置を用い、基板表面に単結晶シリコンを選択成長させる方法について以下に示す特性を発見した。

単結晶シリコン部及び多結晶シリコン部が表面において露出した基板を収容した処理室を６２０～６６０℃の温度範囲に設定し、希釈ガスとともに構成元素としてＳｉを含むガスを全流量に対し４%、構成元素としてＣｌを含むガスを全流量に対し１%導入することで、基板の多結晶シリコン部のみを除去することができる。多結晶シリコン部は当該温度範囲内で高温にする程エッチング量を大きくすることができ、単結晶シリコン部については当該温度範囲内において温度を高くするほど膜が厚く成長する。この性質を示したグラフを図１に示している。図１は、処理室内の温度が６２０，６４０，６６０℃の場合のそれぞれにおける、単結晶シリコン膜及び多結晶シリコン膜の膜厚成長速度の値をプロットした図である。また、図１は構成元素としてＳｉを含むガスとしてSiH_4（例えば４０ｓｃｃｍ）、構成元素としてＣｌを含むガスとしてCl_2（例えば１０ｓｃｃｍ）、希釈ガスとしてH_2（例えば１０００ｓｃｃｍ）を用いた場合の図である。横軸は処理室内の温度（℃）を示しており、縦軸は成長速度（任意単位）を示している。また、黒のプ

ロットは単結晶シリコン膜の成長速度、白のプロットは多結晶シリコン膜の成長速度を示している。

処理温度が６２０℃であるとき、単結晶膜の成長速度の値はゼロ、多結晶膜の成長速度の値はマイナスを示している。成長速度がゼロのときは膜厚に変化がないことを示しており、成長速度の値がマイナスのときは膜がエッチングされたことを示している。処理温度が６４０℃であると、Ｓｉ基板の単結晶シリコン部上の単結晶シリコン膜は、より厚く成長し、単結晶シリコン部以外の多結晶シリコン膜のエッチング量は、より大きくなっている。処理温度が６６０℃であると、単結晶シリコン膜の成長速度は更に向上し、多結晶シリコン膜のエッチング量は更に大きくなる。従って、６２０～６６０℃の温度範囲内では、多結晶シリコン膜がマイナス成長であり、設定温度が高くなるにつれて単結晶シリコン膜の成長速度が漸増するとともに多結晶シリコン膜の膜厚が漸減する。従って、この特性を利用して単結晶シリコン膜を選択成長させることができる。なお、シリコンゲルマニウムについても同様と推測される。

[0009] 以下、図面を参照しながら上述の特性を利用した実施形態について詳細に説明する。

＜第１の実施の形態＞

本発明の第１の実施の形態について説明する。

[0010] 本実施形態に係る基板処理装置は、半導体装置集積回路（ＩＣ（Integrated Circuits））等の半導体装置の製造に使用される半導体製造装置の一例として構成されているものである。下記の説明では、基板処理装置の一例として、基板に対し熱処理等を行う縦型の装置を使用した場合について述べる。

[0011] 図２は、本発明の実施形態における基板処理装置１０１の概略構成図である。

[0012] 図２に示す通り基板処理装置１０１は、ガス供給系３００、移載機１０６、カセット１１０、処理炉２０２、ボート２１７、コントローラ２４０、真空排気装置２４６及びロードロック室１４０等を備える。

[0013] 基板処理装置１０１内には複数のカセット１１０が収容されており、カセット１１０は、複数のウエハ２００を水平姿勢に整列させた状態で保持している。ウエハ２００は、円盤状に形成されている。

[0014] 移載機１０６は、ウエハ２００をカセット１１０からボート２１７へ移載したり、ボート２１７からカセット１１０へ移載したりするためのものであり、ウエハ２００をピックアップすることができるように構成されている。即ち、移載機１０６はウエハ２００をボート２１７に対し装填（ウエハチャージング）及び脱装（ウエハディスチャージング）が可能となっている。ボート２１７は、成膜処理開始前は処理炉２０２の真下に位置するロードロック室１４０内に収容されている。ロードロック室１４０の側壁には開口部１４１と開口部１４１を塞ぐ蓋が設けられ、移載機１０６は開口部１４１を介してウエハチャージング及びウエハディスチャージングを行う。

[0015] 処理炉２０２はヒータ２０６及びアウターチューブ２０５等を有する。アウターチューブ２０５の周囲にヒータ２０６が設けられており、アウターチューブ２０５を加熱することができるようになっている。更に処理炉２０２には、各種処理ガスを供給するガス供給系３００及び内部を真空排気する真空排気装置２４６が接続されている。処理炉２０２の詳細については後述する。

[0016] コントローラ２４０は基板処理装置１０１の各種動作を制御する。

[0017] 図３は、基板処理装置１０１の処理炉２０２の概略構成図であり、縦断面図として示されている。なお、図３はウエハ２００及びボート２１７が処理室２０１内に搬入された後の図である。図３を参照して処理炉２０２について説明する。

[0018] 図２でも示したように、処理炉２０２は加熱機構としてのヒータ２０６を有する。ヒータ２０６は円筒形状であり、ヒータ素線とその周囲に設けられた断熱材より構成され、図示しない保持体に支持されることにより垂直に据え付けられている。

[0019] ヒータ２０６の内側には、ヒータ２０６と同心円状にアウターチューブ２

０５が配設されている。アウターチューブ２０５は、石英（SiO_2）、又は炭化シリコン（ＳｉＣ）等の耐熱性材料からなる。アウターチューブ２０５は円筒形状に形成されており、アウターチューブ２０５の上端が閉塞し、下端が開口している。

[0020] アウターチューブ２０５の下方には、マニホールド２０９が設けられている。マニホールド２０９はステンレスその他の金属材料からなる。マニホールド２０９が円筒形状に設けられ、マニホールド２０９の上端及び下端が開口している。

マニホールド２０９の径がアウターチューブ２０５の径に等しく、マニホールド２０９の上端がアウターチューブ２０５の下端に連結され、アウターチューブ２０５がマニホールド２０９に支持されている。マニホールド２０９とアウターチューブ２０５との間にはシール部材としてのＯリングが設けられている。マニホールド２０９が図示しない保持体に支持されることにより、アウターチューブ２０５は垂直に据え付けられた状態となっている。

[0021] アウターチューブ２０５とマニホールド２０９により反応容器が形成されている。そして、反応容器内の処理室２０１が、アウターチューブ２０５内の空間２１２と、マニホールド２０９内の空間であってアウターチューブ２０５とマニホールド２０９の接続部分よりも下側の下部空間２１３とに分けられる。

[0022] マニホールド２０９の下方には、マニホールド２０９の下端開口を気密に閉塞可能な炉口蓋体としてのシールキャップ２１９が設けられている。シールキャップ２１９はステンレスその他の金属からなり、円盤状に形成されている。シールキャップ２１９の上面には、マニホールド２０９の下端と当接するシール部材としてのＯリングが設けられている。シールキャップ２１９には、回転機構２５４が設けられている。回転機構２５４の回転軸２５５はシールキャップ２１９を貫通してボート２１７に接続されている。回転機構２５４は、ボート２１７を回転させることでウエハ２００を回転させるように構成されている。シールキャップ２１９は、処理炉２０２の外側に設けら

れた昇降機構としてのボートエレベータ１１５によって垂直方向に昇降される。これによりボート２１７を処理室２０１に対し搬入搬出することが可能となっている。回転機構２５４及びボートエレベータ１１５には、駆動制御部２３７が電気的に接続されており、所望の動作をするよう所望のタイミングにて制御するように構成されている。

[0023] 基板保持具としてのボート２１７は、石英、又は炭化シリコン等の耐熱性材料からなり、複数枚（例えば５０～１５０枚程度）のウエハ２００を水平姿勢でかつ互いに中心を揃えた状態で整列させて多段に保持するように構成されている。なおボート２１７の下部には、石英、炭化シリコンその他の耐熱性材料からなる円板形状をした断熱部材としての断熱板２１６が水平姿勢で多段に複数枚配置されており、ヒータ２０６からの熱がマニホールド２０９側に伝わりにくくなるよう構成されている。

[0024] また、アウターチューブ２０５の内部には温度センサ２６３が設けられている。

ヒータ２０６と温度センサ２６３には、電気的に温度制御部２３８が接続されており、温度センサ２６３により検出された温度情報に基づきヒータ２０６への通電量を調整することにより処理室２０１内の温度が所望の温度分布となるよう所望のタイミングにて制御するように構成されている。

[0025] ガス供給管１６５がマニホールド２０９に設けられている。ガス供給管１６５はマニホールド２０９の外からマニホールド２０９を貫通して、処理室２０１内まで配管されている。ガス供給管１６５の下流側端部がノズルになっている。

[0026] ガス供給管１６５の下流側端部が空間２１２内にある。ガス供給管１６５の上流側がバルブ３２１～３２４に接続されている。バルブ３２１はＭＦＣ（マスフローコントローラ）３１１を介してＳｉ系原料ガス供給源３０１に接続されている。同様に、バルブ３２２はＭＦＣ３１２を介してＧｅ系原料ガス供給源３０２に接続されている。バルブ３２３はＭＦＣ３１３を介して希釈ガス供給源３０３に接続されている。バルブ３２４はＭＦＣ３１４を介

してエッチングガス供給源３０４に接続されている。

[0027] Ｓｉ系原料ガス供給源３０１には、モノシランガス（SiH_4）、あるいは、Si_2H_6、Si_3H_8、$SiCl_4$、$SiHCl_3$、SiH_2Cl_2等のガスであって、構成元素としてＳｉを含むガスが封入されている。Ｇｅ系原料ガス供給源３０２には、モノゲルマンガス（GeH_4）、$GeCl_4$その他の構成元素としてＧｅを含むガスが封入されている。希釈ガス供給源３０３には、水素ガス、あるいは、ヘリウムガス、アルゴンガス等の希釈ガスが封入されている。エッチングガス供給源３０４には、塩素ガス、あるいは、塩化水素ガス等のガスであって、構成元素としてＣｌを含むガスが封入されている。

[0028] ＭＦＣ３１１～３１４は、それに流れるガスの流量を検出するとともに、流量を調節するガス流量制御装置である。

[0029] ＭＦＣ３１１～３１４及びバルブ３２１～３２４にはガス流量制御部２３５が電気的に接続されており、供給するガスの流量が所望の流量となるよう所望のタイミングにて制御するように構成されている。

[0030] マニホールド２０９にガス排気管２３１が設けられ、このガス排気管２３１が下部空間２１３に通じている。ガス排気管２３１の下流側には、圧力検出器としての圧力センサ２４３及び圧力調整器としてのＡＰＣバルブ２４２が設けられ、その下流側には、真空ポンプ等の真空排気装置２４６が接続されている。圧力センサ２４３及びＡＰＣバルブ２４２には、圧力制御部２３６が電気的に接続されており、圧力センサ２４３により検出された圧力に基づいてＡＰＣバルブ２４２の開度を調節することにより、処理室２０１内の圧力が所望の圧力となるように所望のタイミングにて制御するよう構成されている。

[0031] ガス流量制御部２３５、圧力制御部２３６、駆動制御部２３７、温度制御部２３８は、基板処理装置１０１全体を制御する主制御部２３９に電気的に接続されている。また、主制御部２３９には、操作部（図示略）、入出力部（図示略）が、電気的に接続されている。これら、ガス流量制御部２３５、圧力制御部２３６、駆動制御部２３７、温度制御部２３８、主制御部２３９

は、コントローラ２４０として構成されている。

[0032] 次に、上記構成に係る基板処理装置１０１の主な動作とともに、図２～図４を参照して基板上への単結晶シリコン膜製造方法及び半導体装置の製造方法について説明する。図４はウエハ２００の一部断面拡大図であり、ウエハ２００の表面及び絶縁膜４０１が全て単結晶膜で覆われるまでの工程図である。

[0033] 工場内搬送装置（図示略）によって複数のカセット１１０が基板処理装置１０１内に搬入されると、移載機１０６はウエハ２００をカセット１１０からボート２１７に装填（ウエハチャージング）する。ボート２１７にウエハ２００を受け渡した移載機１０６は、カセット１１０に戻り後続のウエハ２００をボート２１７に装填する。

ウエハ２００は単結晶シリコンで構成され、その表面には絶縁膜４０１が部分的に形成されている。絶縁膜４０１の間には、ウエハ２００の表面の一部が露出し、その露出した部分が単結晶シリコン部４０３である。

[0034] 予め指定された枚数のウエハ２００がボート２１７に装填（ウエハチャージング）されると、コントローラ２４０が駆動制御部２３７によりボートエレベータ１１５を上昇動作させる。そうすると、ウエハ２００群を保持したボート２１７がボートエレベータ１１５の上昇動作により処理炉２０２内に搬入（ボートローディング）され、マニホールド２０９の下端の開口がシールキャップ２１９によって閉塞される。そして、コントローラ２４０が駆動制御部２３７によりボートエレベータ１１５を停止させる。

[0035] 続いて、コントローラ２４０が圧力制御部２３６により真空排気装置２４６を動作させると、処理室２０１内が所望の圧力（真空度）となるように真空排気装置２４６によって真空排気される。この際、処理室２０１内の圧力は圧力センサ２４３で測定され、この測定された圧力に基づきＡＰＣバルブ２４２がコントローラ２４０の圧力制御部２３６によりフィードバック制御される。

また、コントローラ２４０が温度制御部２３８によりヒータ２０６を発熱

させると、処理室２０１内が所望の温度となるようにヒータ２０６によって加熱される。この際、処理室２０１内が５３０～５８０℃となるように温度センサ２６３が検出した温度情報に基づきヒータ２０６への通電量がコントローラ２４０の温度制御部２３８によってフィードバック制御される。

続いて、コントローラ２４０が駆動制御部２３７によって回転機構２５４の回転を開始させる。回転機構２５４により、ボート２１７が回転されることでウエハ２００が回転される。

[0036] そして、コントローラ２４０がガス流量制御部２３５によってＭＦＣ３１１，３１３の設定流量を所定の流量に設定した後、バルブ３２１，３２３を開く。そうすると、Ｓｉ系原料ガス及び希釈ガスがガス供給管１６５を流通して処理室２０１内に導入され、ウエハ２００がＳｉ系原料ガス及び希釈ガスに曝露される。Ｓｉ系原料ガスが処理室２０１内を通過する際にウエハ２００と接触することによりウエハ２００の表面にアモルファスのシリコン膜４０２が堆積する。絶縁膜４０１を含むウエハ２００の表面全体がアモルファスのシリコン膜４０２で覆われる（成膜工程Ａ）。

予め設定された時間が経過すると、コントローラ２４０はバルブ３２１，３２３を閉じる。

[0037] コントローラ２４０は温度制御部２３８によって、ヒータ２０６の設定温度を５００～７００℃に設定し、温度センサ２６３が検出した温度情報に基づきヒータ２０６への通電量がコントローラ２４０の温度制御部２３８によってフィードバック制御される。このヒータ２０６の昇温処理により処理室２０１が加熱されるとともに、ウエハ２００及びアモルファスのシリコン膜４０２が加熱される。アモルファスのシリコン膜４０２が加熱されると、絶縁膜４０１上のアモルファスのシリコン膜４０２が多結晶化する。ところが、単結晶シリコン部４０３上のアモルファスのシリコン膜４０２は、ウエハ２００の単結晶構造（単結晶シリコン部４０３）を種として、単結晶シリコン部４０３に重なった部分から単結晶化していく。そのため、単結晶化した部分（以下、単結晶化部）４０４は絶縁膜４０１の縁を越えて絶縁膜４０１

の上にも広がり（横方向エピタキシャル成長）、多結晶化した部分（以下、多結晶化部）４０５が絶縁膜４０１の中央部に形成される（加熱工程Ｂ）。

これにより、絶縁膜４０１の縁部分の一部が単結晶化部４０４で覆われる。

[0038] 予め設定された時間が経過すると、コントローラ２４０はヒータ２０６の設定温度を６２０～６６０℃に設定する。コントローラ２４０が温度センサ２６３による検出温度が６２０～６６０℃に達したことを認識したら、ＭＦＣ３１１の設定流量を全流量の４％となるよう設定し、ＭＦＣ３１４の設定流量を全流量の１％となるよう設定し、ＭＦＣ３１３の設定流量を全流量の９５％となるように設定した後、バルブ３２１，３２３，３２４を開く。これによりＳｉ系原料ガス、希釈ガス及びエッチングガスがガス供給管１６５を流通して処理室２０１内に導入され、ウエハ２００がこれに曝露される。Ｓｉ系原料ガス及びエッチングガスが処理室２０１内を通過する際にウエハ２００の表面と接触することにより多結晶化部４０５がエッチングされ、単結晶化部４０４は残留したままである（選択成長工程Ｃ）。なお、選択成長工程において単結晶化部４０４が残留していれば、単結晶化部４０４が成長してもよい。

予め設定された時間が経過すると、コントローラ２４０はバルブ３２１～３２４を閉じる。

[0039] 以後、上述の成膜工程、加熱工程、選択成長工程を繰り返し（工程Ｄ～Ｈ）、その繰り返しを絶縁膜４０１を含むウエハ２００の表面全体が単結晶膜で覆われるまで行う（工程Ｈ）。

[0040] つまり、２回目の成膜工程において、再度Ｓｉ系原料ガス及び希釈ガスを処理室２０１内に導入し、ウエハ２００がＳｉ系原料ガス及び希釈ガスに曝露されることでウエハ２００の表面上にアモルファスのシリコン膜４０２が堆積する（工程Ｄ）。

[0041] ２回目の加熱工程において、処理室２０１の温度を所定温度にし、ウエハ２００を加熱すると、アモルファスのシリコン膜４０２の一部（絶縁膜４０

１の上の部分）が多結晶化して多結晶化部４０５となる。１回目の成膜工程で形成された単結晶化部４０４と重なったアモルファスシリコン膜４０２の部分は、該１回目に成膜された単結晶化部４０４を種として横方向エピタキシャル成長し、単結晶化部４０４が大きくなる。そのため、絶縁膜４０１上の単結晶化部４０４に覆われた部分がさらに大きくなり、絶縁膜４０１の表面の一部分を除いてほぼ全体が単結晶化部４０４に覆われた状態となる（工程Ｅ）。

[0042] ２回目の選択成長工程において、処理室２０１の温度を所定温度にするとともに、Ｓｉ系原料ガスを全流量の４％、エッチングガスを全流量の１％、希釈ガスを全流量の９５％として処理室２０１内に導入し、ウエハ２００をこれに曝露する。これにより単結晶化部４０４を残し多結晶化部４０５がエッチングされる（工程Ｆ）。

[0043] ３回目の成膜工程において、Ｓｉ系原料ガス及び希釈ガスを処理室２０１内に導入し、ウエハ２００をこれに曝露することでアモルファスのシリコン膜４０２を堆積させる（工程Ｇ）。

[0044] ３回目の加熱工程において、処理室内の温度を所定の温度にし、ウエハ２００を加熱することで、アモルファスのシリコン膜４０２が単結晶化部４０４を種として単結晶化され、単結晶化部４０４が横方向エピタキシャル成長する。これにより絶縁膜４０１全体が単結晶化部４０４によって覆われる（工程Ｈ）。

[0045] 絶縁膜４０１の全体が単結晶化部４０４によって覆われたら、コントローラ２４０はヒータ２０６による加熱を停止する。またコントローラ２４０は真空排気装置２４６を停止するとともに、不活性ガス供給源（図示略）から供給される不活性ガスを処理室２０１内に導入する。これにより、処理室２０１内が不活性ガスで置換されると共に、処理室２０１内の圧力が常圧に復帰される。

[0046] 続いて、コントローラ２４０が駆動制御部２３７により回転機構２５４を停止させるとともにボートエレベータ１１５を下降動作させる。シールキャ

ップ２１９及びボート２１７がボートエレベータ１１５の下降動作により下降されて、マニホールド２０９の下端が開口されるとともに、ウエハ２００を保持したボート２１７が処理室２０１からロードロック室１４０に搬出（ボートアンローディング）される。続いて移載機１０６により、開口部１４１を介して処理済ウエハ２００がボート２１７からカセット１１０に移載される。処理済ウエハ２００が載置されたカセット１１０は、工場内搬送装置（図示略）によって基板処理装置１０１から取り出される。

[0047] なお、本実施形態は絶縁膜４０１上に単結晶シリコンを成長させる方法について示しているが、単結晶シリコンでなく単結晶シリコンゲルマニウムを成長させるものとしてもよい。その場合には、単結晶シリコンゲルマニウム部及び絶縁膜が露出したウエハを用い、成膜工程及び選択成長工程において、Ｓｉ系原料ガスと同時にＧｅ系原料ガスを供給することにより単結晶シリコンゲルマニウムを成長させる。その場合には、ガス供給源としてＧｅ系原料ガス供給源３０２を用い、供給流量をＭＦＣ３１２により調節し、バルブ３２２を介して処理室２０１内にゲルマンガス等のＧｅ系原料ガスを導入する。

また、本実施形態では絶縁膜４０１を完全に単結晶化部４０４で覆うまでに、シリコン成膜工程を３回、加熱工程を３回、選択成長工程を２回行っているが、この回数に限らず、絶縁膜４０１の表面全体が単結晶化部４０４で覆われればこの回数より少なくてもよいし多くてもよい。この回数はデバイスのサイズにもよるが、単結晶化部４０４が形成される厚さが１．５μｍ程度／回として、全工程を２～３回程度繰り返すことが好ましい。表面全体が単結晶で覆われることはさらなる表面へのパターン形成を行うために必要な技術である。

また、本実施形態のように全ての処理を同一の処理炉で行ってもよいが、成膜工程と、加熱工程及び選択成長処理は、反応炉を分けて実施してもよい。反応炉を分けると時間短縮になり、効率が良い。

[0048] 以上に示された本発明の実施形態によれば、単結晶シリコンを成長させる

とともに多結晶シリコンを除去するエピタキシャル選択成長を行うことができる。これにより、成膜工程及び加熱工程において生じた多結晶シリコン部を選択成長工程により除去できるので、高温でアモルファスシリコンの成膜処理を行うことができる。成膜処理を高温で行うことで、成膜処理における成膜速度が向上する。従って、半導体装置の製造にかかる時間を短縮化することができる。

また、各工程を複数回繰り返すことで基板表面全体に均一な膜厚で単結晶膜を形成することができると考えられ、単結晶膜上に積層状に回路パターンを形成することができる。

[0049] ＜第２の実施の形態＞

次に、本発明の第２の実施の形態について説明する。

第２の実施形態においても第１の実施形態と同様の基板処理装置を使用する。

[0050] 図５は半導体回路層を積層していく３次元ＬＳＩ製造プロセスの工程図である。

[0051] 回路基板４２０の最上層の半導体回路層４３０においては、単結晶のシリコン部４２３の一部にホウ素化合物、又はリン化合物等のドープ材がドープされ、そのドープ部分がドレイン又はソース４２２となり、ドレイン４２２とソース４２２の間の部分の上に絶縁膜を介して半導体膜４２５が形成（パターニング）され、更に、半導体膜４２５及びドレイン４２２とソース４２２の上にメタル４２１が形成（パターニング）されている。回路基板４２０は処理室２０１内に収容される。

工程Ｉに示す回路基板４２０はメタル４２１及び単結晶シリコン部４２３の一部が表面に露出している。まず、この回路基板４２０のメタル４２１を覆うようにして絶縁膜４２６が形成される（工程Ｊ）。このとき単結晶シリコン部４２３の一部は絶縁膜４２６に覆われずに露出した状態のままである。従って回路基板４２０の表面には、絶縁膜４２６及び単結晶シリコン部４２３の一部のみが露出していることとなる。

[0052] 処理室２０１を所定温度に設定するとともに、処理室２０１内にＳｉ系原料ガス及び希釈ガスを導入し、回路基板４２０をこれに曝露する。そうすると、回路基板４２０の表面にアモルファスのシリコン膜４２７が形成する。アモルファスのシリコン膜４２７によって絶縁膜４２６及び単結晶シリコン部４２３が覆われる（工程Ｋ）。

[0053] 処理室２０１を所定温度に設定し、回路基板４２０を加熱処理すると、絶縁膜４２６上のアモルファスのシリコン膜４２７が多結晶化し、多結晶化部４２９となる。一方、単結晶シリコン部４２３上のアモルファスシリコン膜４２７は横方向エピタキシャル成長し、単結晶化部４２８となる。そのため、単結晶化部４２８は絶縁膜４２６の一部を覆い、それ以外の部分を多結晶化部４２９が覆う（工程Ｍ）。

[0054] 処理室を所定の温度に設定するとともに、処理室２０１内にＳｉ系原料ガス、希釈ガス及びエッチングガスを導入し、回路基板４２０をこれに曝露する。これにより単結晶化部４２８を残しつつ、多結晶化部４２９のみがエッチングされる（工程Ｎ）。

[0055] ２回目の成膜工程において、処理室２０１内を所定温度に設定した上で、処理室２０１内にＳｉ系原料ガスを導入し、アモルファスのシリコン膜４２７を形成する。アモルファスのシリコン膜４２７は回路基板４２０の表面全体を覆う（工程Ｐ）。

[0056] ２回目の加熱工程において、処理室２０１内を所定温度に設定し、回路基板４２０を加熱すると、アモルファスのシリコン膜４２７の一部が多結晶化し多結晶化部４２９となる。アモルファスのシリコン膜４２７の一部は１回目の成膜工程で形成された単結晶化部４２８と重なった部分から横方向エピタキシャル成長し、単結晶化部４２８となる。よって単結晶化部４２８が絶縁膜４２６を覆う範囲が拡大し、それ以外の部分を多結晶化部４２９が覆う。（工程Ｑ）

[0057] ２回目の選択成長工程において、処理室２０１内を所定温度にし、処理室２０１内にＳｉ系原料ガス、希釈ガス及びエッチングガスを導入することで

、回路基板４２０の単結晶化部４２８を残しつつ多結晶化部４２９のみがエッチングされる（工程Ｒ）。

[0058] ３回目の成膜工程において、処理室２０１内を所定温度にした上で、処理室２０１内にＳｉ系原料ガス及び希釈ガスを導入し、アモルファスのシリコン膜４２７を形成する（工程Ｓ）。

[0059] ３回目の加熱工程において、回路基板４２０を加熱処理するとアモルファスのシリコン膜４２７が全て横方向エピタキシャル成長し、絶縁膜４２６全体が単結晶化部４２８で覆われる（工程Ｔ）。

[0060] 以上のようにして絶縁膜４２６を単結晶シリコン膜４２８で覆った回路基板４２０には、更に半導体回路をパターニングすることができる。この方法によりＬＳＩをより高密度に集積化することが可能である。

なお、本実施形態は単結晶シリコン膜を成長させてＬＳＩを集積化するものであったが、成膜工程及び選択成長工程において、Ｓｉ系原料ガスと同時にＧｅ系原料ガスを導入し単結晶シリコンゲルマニウム膜を成長させてもよい。

また、本実施形態では成膜工程を３回、加熱工程を３回、選択成長工程を２回行っているが、各工程の回数はこれに限られず、絶縁膜の表面全体を単結晶シリコン膜で覆うことができればこれより少なくてもよいし多くてもよい。

また、上述した第１の実施形態、第２の実施形態においては、縦型装置を用いて、複数の基板を一度に処理しているが、枚葉装置を用いて、１数ないし数枚の基板を一度に処理することもできる。

[0061] 以上、本発明の好ましい実施形態を説明したが、本発明の好ましい第１の態様によれば、

単結晶シリコン部及び絶縁部が表面において露出した複数の基板を所定の間隔で積層状に保持し、構成元素としてＳｉを含むガスの雰囲気中に曝露し、前記単結晶シリコン部及び前記絶縁部の上にアモルファスのシリコン膜を成膜する成膜工程と、

前記成膜工程後に、前記アモルファスのシリコン膜を加熱して、前記単結晶シリコン部を基にして前記アモルファスのシリコン膜を単結晶化させる加熱工程と、

前記加熱工程後に、前記基板を構成元素としてＳｉを含むガス及び構成元素としてＣｌを含むガスの混合雰囲気中に曝露し、前記単結晶化した部分を残留させつつ、前記絶縁部の上の単結晶化しなかった部分を除去する選択成長工程と、を含み、

前記基板に対して、前記成膜工程、前記加熱工程及び前記選択成長工程を繰り返すようにする半導体装置の製造方法が提供される。

[0062] 好ましくは、前記第１の態様において、

前記基板に対して、前記成膜工程、前記加熱工程及び前記選択成長工程を繰り返している際に、前記加熱工程において前記絶縁部全体が単結晶シリコンによって覆われたら、その繰り返しを終了する。

[0063] 好ましくは、前記第１の態様において、

前記選択成長工程において、前記混合雰囲気は前記構成元素としてＳｉを含むガスと前記構成元素としてＣｌを含むガスの割合が４：１であり、その温度は６２０℃以上である。

[0064] 好ましくは、前記第１の態様において、

前記選択成長工程において、前記混合雰囲気は前記構成元素としてＳｉを含むガスが４％、前記構成元素としてＣｌを含むガスが１％、希釈ガスが９５％の割合であり、その温度は６２０～６６０℃の範囲内である。

[0065] 好ましくは、前記第１の態様において、

前記構成元素としてＳｉを含むガスはSiH_4であり、前記構成元素としてＣｌを含むガスはCl_2である。

[0066] 本発明の好ましい第２の態様によれば、

単結晶シリコン部及び絶縁部が表面において露出した複数の基板を所定の間隔で積層状に保持し、構成元素としてＳｉを含むガスの雰囲気中に曝露し、前記単結晶シリコン部及び前記絶縁部の上にアモルファスのシリコン膜を

成膜する成膜工程と、

前記成膜工程後に、前記アモルファスのシリコン膜を加熱して、前記単結晶シリコン部を基にして前記アモルファスのシリコン膜を単結晶化させる加熱工程と、

前記加熱工程後に、前記基板を構成元素としてＳｉを含むガス及び構成元素としてＣｌを含むガスの混合雰囲気中に曝露し、前記単結晶化した部分を残留させつつ、前記絶縁部の上の単結晶化しなかった部分を除去する選択成長工程と、を含み、

前記基板に対して、前記成膜工程、前記加熱工程及び前記選択成長工程を繰り返すようにする単結晶シリコン膜の製造方法が提供される。

[0067] 好ましくは、前記第２の態様において、

前記基板に対して、前記成膜工程、前記加熱工程及び前記選択成長工程を繰り返している際に、前記加熱工程において前記絶縁部全体が単結晶シリコンによって覆われたら、その繰り返しを終了する。

[0068] 好ましくは、前記第２の態様において、

前記選択成長工程において、前記混合雰囲気は前記構成元素としてＳｉを含むガスと前記構成元素としてＣｌを含むガスの割合が４：１であり、その温度は６２０℃以上である。

[0069] 好ましくは、前記第２の態様において、

前記選択成長工程において、前記混合雰囲気は前記構成元素としてＳｉを含むガスが４％、前記構成元素としてＣｌを含むガスが１％、希釈ガスが９５％の割合であり、その温度は６２０～６６０℃の範囲内である。

[0070] 好ましくは、前記第２の態様において、

前記構成元素としてＳｉを含むガスはSiH_4であり、前記構成元素としてＣｌを含むガスはCl_2である。

[0071] 本発明の好ましい第３の態様によれば、

単結晶シリコンゲルマニウム部及び絶縁部が表面において露出した複数の基板を所定の間隔で積層状に保持し、構成元素としてＳｉを含むガス及び構

成元素としてＧｅを含むガスの混合雰囲気中に曝露し、前記単結晶シリコンゲルマニウム部及び前記絶縁部の上にアモルファスのシリコンゲルマニウム膜を成膜する成膜工程と、

前記成膜工程後に、前記アモルファスのシリコンゲルマニウム膜を加熱して、前記単結晶シリコンゲルマニウム部を基にして前記アモルファスのシリコンゲルマニウム膜を単結晶化させる加熱工程と、

前記加熱工程後に、前記基板を構成元素としてＳｉを含むガス、構成元素としてＧｅを含むガス及び構成元素としてＣｌを含むガスの混合雰囲気中に曝露し、前記単結晶化した部分を残留させつつ、前記絶縁部の上の単結晶化しなかった部分を除去する選択成長工程と、を含み、

前記基板に対して、前記成膜工程、前記加熱工程及び前記選択成長工程を繰り返すようにする半導体装置の製造方法が提供される。

[0072] 好ましくは、前記第３の態様において、

前記基板に対して、前記成膜工程、前記加熱工程及び前記選択成長工程を繰り返している際に、前記加熱工程において前記絶縁部全体が単結晶シリコンゲルマニウムによって覆われたら、その繰り返しを終了する。

[0073] 好ましくは、前記第３の態様において、

前記構成元素としてＳｉを含むガスはSiH_4であり、前記構成元素としてＧｅを含むガスはGeH_4であり、前記構成元素としてＣｌを含むガスはCl_2である。

[0074] 本発明の好ましい第４の態様によれば、

単結晶シリコンゲルマニウム部及び絶縁部が表面において露出した複数の基板を所定の間隔で積層状に保持し、構成元素としてＳｉを含むガス及び構成元素としてＧｅを含むガスの混合雰囲気中に曝露し、前記単結晶シリコンゲルマニウム部及び前記絶縁部の上にアモルファスのシリコンゲルマニウム膜を成膜する成膜工程と、

前記成膜工程後に、前記アモルファスのシリコンゲルマニウム膜を加熱して、前記単結晶シリコンゲルマニウム部を基にして前記アモルファスのシリ

コンゲルマニウム膜を単結晶化させる加熱工程と、

前記加熱工程後に、前記基板を構成元素としてＳｉを含むガス、構成元素としてＧｅを含むガス及び構成元素としてＣｌを含むガスの混合雰囲気中に曝露し、前記単結晶化した部分を残留させつつ、前記絶縁部の上の単結晶化しなかった部分を除去する選択成長工程と、を含み、

前記基板に対して、前記成膜工程、前記加熱工程及び前記選択成長工程を繰り返すようにする単結晶シリコンゲルマニウム膜の製造方法が提供される。

[0075] 好ましくは、前記第４の態様において、

前記基板に対して、前記成膜工程、前記加熱工程及び前記選択成長工程を繰り返している際に、前記加熱工程において前記絶縁部全体が単結晶シリコンゲルマニウムによって覆われたら、その繰り返しを終了する。

[0076] 好ましくは、前記第４の態様において、

前記構成元素としてＳｉを含むガスはSiH_4であり、前記構成元素としてＧｅを含むガスはGeH_4であり、前記構成元素としてＣｌを含むガスはCl_2である。

[0077] 本発明の好ましい第５の態様によれば、

単結晶シリコンゲルマニウム部及び絶縁部が表面において露出した基板を、構成元素としてＳｉを含むガス及び構成元素としてＧｅを含むガスの混合雰囲気中に曝露し、前記単結晶シリコンゲルマニウム部及び前記絶縁部の上にアモルファスのシリコンゲルマニウム膜を成膜する成膜工程と、

前記成膜工程後に、前記アモルファスのシリコンゲルマニウム膜を加熱して、前記単結晶シリコンゲルマニウム部を基にして前記アモルファスのシリコンゲルマニウム膜を単結晶化させる加熱工程と、

前記加熱工程後に、前記基板を構成元素としてＳｉを含むガス、構成元素としてＧｅを含むガス及び構成元素としてＣｌを含むガスの混合雰囲気中に曝露し、前記単結晶化した部分を残留させつつ、前記絶縁部の上の単結晶化しなかった部分を除去する選択成長工程と、を含み、

前記基板に対して、前記成膜工程、前記加熱工程及び前記選択成長工程を１回以上行うようにする単結晶シリコンゲルマニウム膜の製造方法が提供される。

[0078] 好ましくは、前記第５の態様において、

前記基板に対して、前記成膜工程、前記加熱工程及び前記選択成長工程を２回以上繰り返している際に、前記加熱工程において前記絶縁部全体が単結晶シリコンゲルマニウムによって覆われたら、その繰り返しを終了する。

[0079] 好ましくは、前記第５の態様において、

前記構成元素としてＳｉを含むガスはSiH_4であり、前記構成元素としてＧｅを含むガスはGeH_4であり、前記構成元素としてＣｌを含むガスはCl_2である。

符号の説明

[0080] １０１・・基板処理装置、１６５・・ガス供給管、２００・・基板、２０１・・処理室、２０５・・アウターチューブ、２０６・・ヒータ、２４０・・コントローラ、２６３・・温度センサ、３００・・ガス供給系、３０１・・Ｓｉ系原料ガス供給源、３０２・・Ｇｅ系原料ガス供給源、３０３・・希釈ガス供給源、３０４・・エッチングガス供給源、３１１～３１４・・ＭＦＣ、３２１～３２４・・バルブ、４０１・・絶縁部、４０２・・シリコン膜、４０３・・単結晶シリコン部、４０４・・単結晶化部、４０５・・多結晶化部。

請求の範囲

[請求項1] 単結晶シリコン部及び絶縁部が表面において露出した複数の基板を所定の間隔で積層状に保持し、構成元素としてＳｉを含むガスの雰囲気中に曝露し、前記単結晶シリコン部及び前記絶縁部の上にアモルファスのシリコン膜を成膜する成膜工程と、

前記成膜工程後に、前記シリコン膜を加熱して、前記単結晶シリコン部を基にして前記アモルファスのシリコン膜を単結晶化させる加熱工程と、

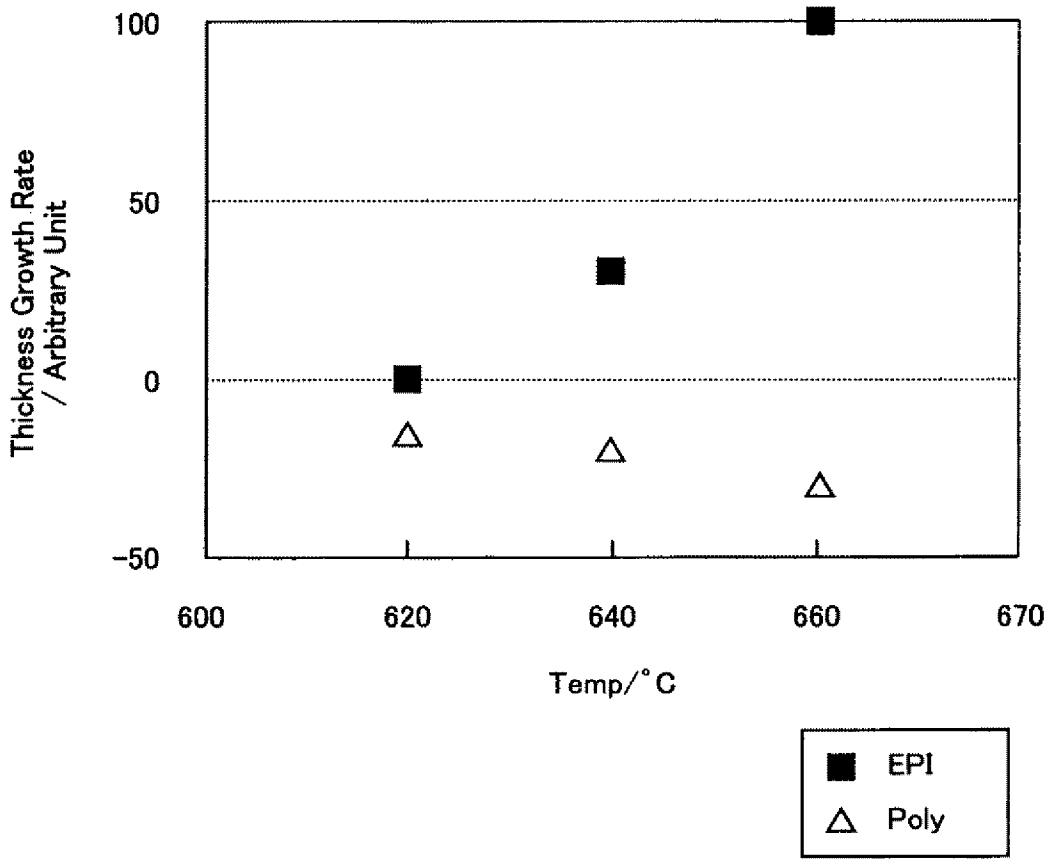
前記加熱工程後に、前記基板を構成元素としてＳｉを含むガス及び構成元素としてＣｌを含むガスの混合雰囲気中に曝露し、前記単結晶化した部分を残留させつつ、前記絶縁部の上の単結晶化しなかった部分を除去する選択成長工程と、を含み、

前記基板に対して、前記成膜工程、前記加熱工程及び前記選択成長工程を繰り返すようにする半導体装置の製造方法。

[請求項2] 前記選択成長工程において、前記混合雰囲気は前記構成元素としてＳｉを含むガスと前記構成元素としてＣｌを含むガスの割合が４：１であり、その温度は６２０℃以上である請求項１に記載の半導体装置の製造方法。

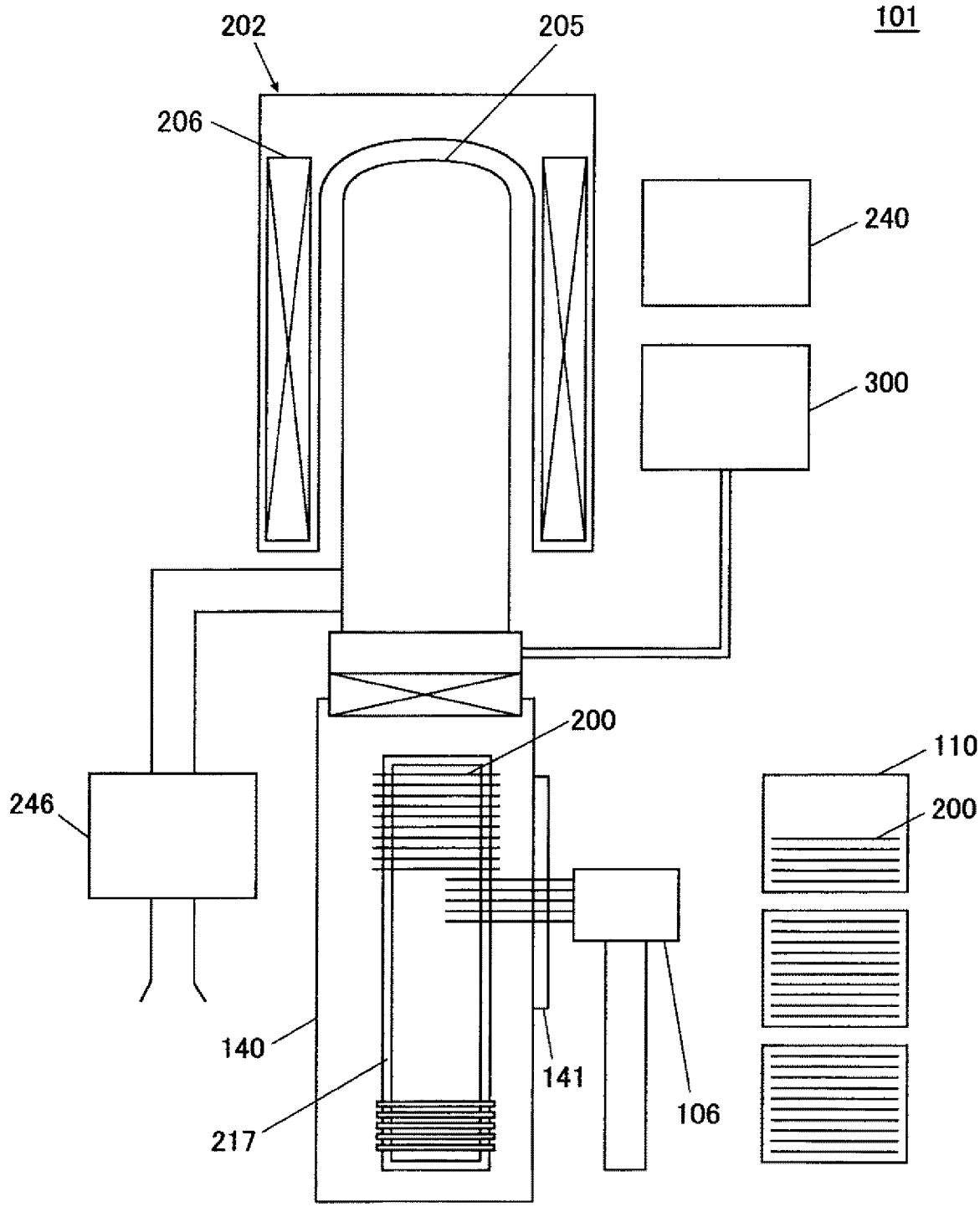
[図1]

図 1


100
50
0
-50
Thickness Growth Rate / Arbitrary Unit
600
620
640
660
670
Temp/°C
EPI
Poly

[図2]

図 2



[図3]

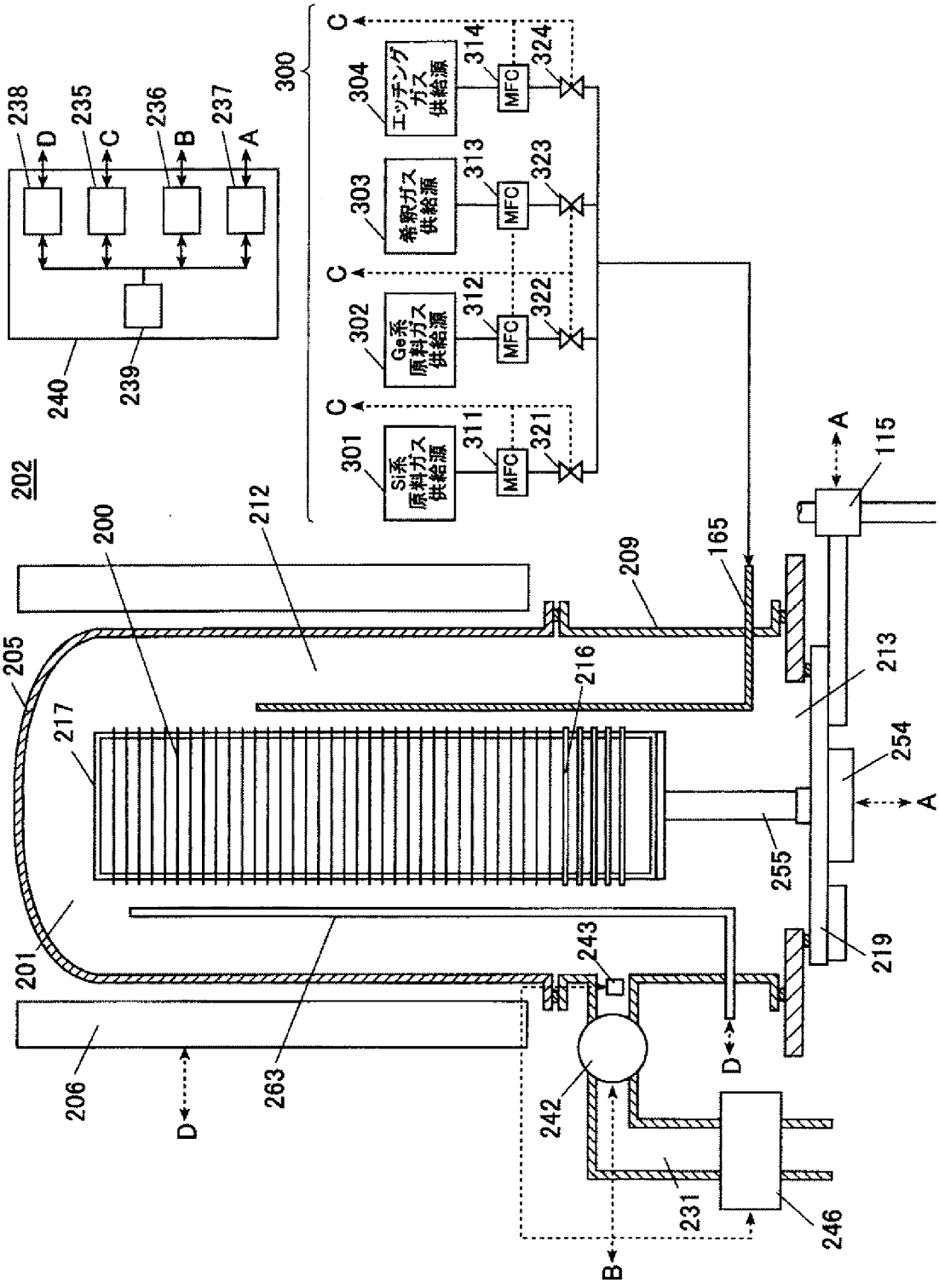
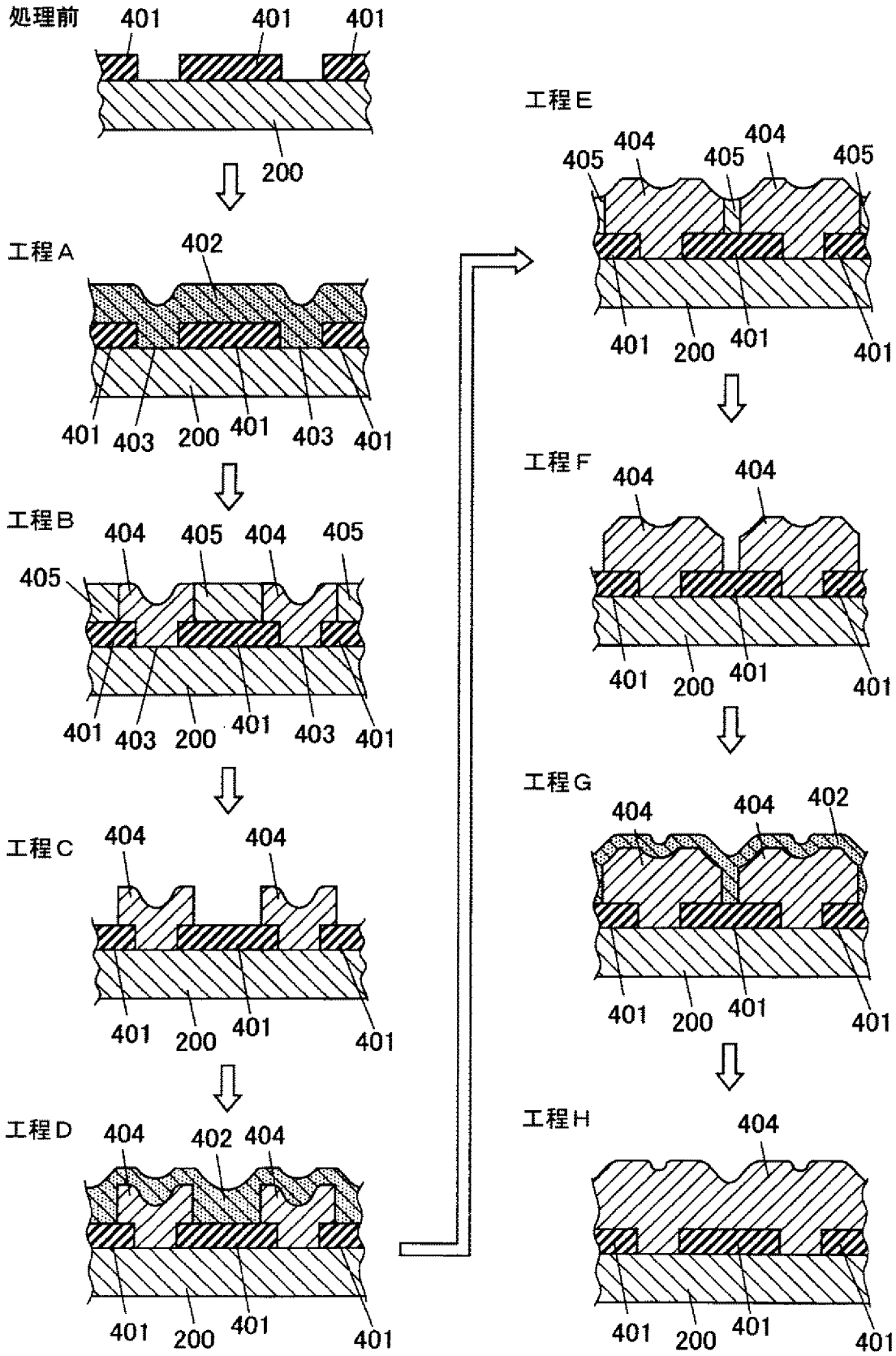

300
301
Si系原料ガス供給源
311
MFC
321
302
Ge系原料ガス供給源
312
MFC
322
303
希釈ガス供給源
313
MFC
323
304
エッチングガス供給源
314
MFC
324
C
238
235
236
237
D
C
B
A
240
239
202
200
212
209
165
205
216
213
217
254
255
219
201
243
206
263
242
231
246
115

図 3

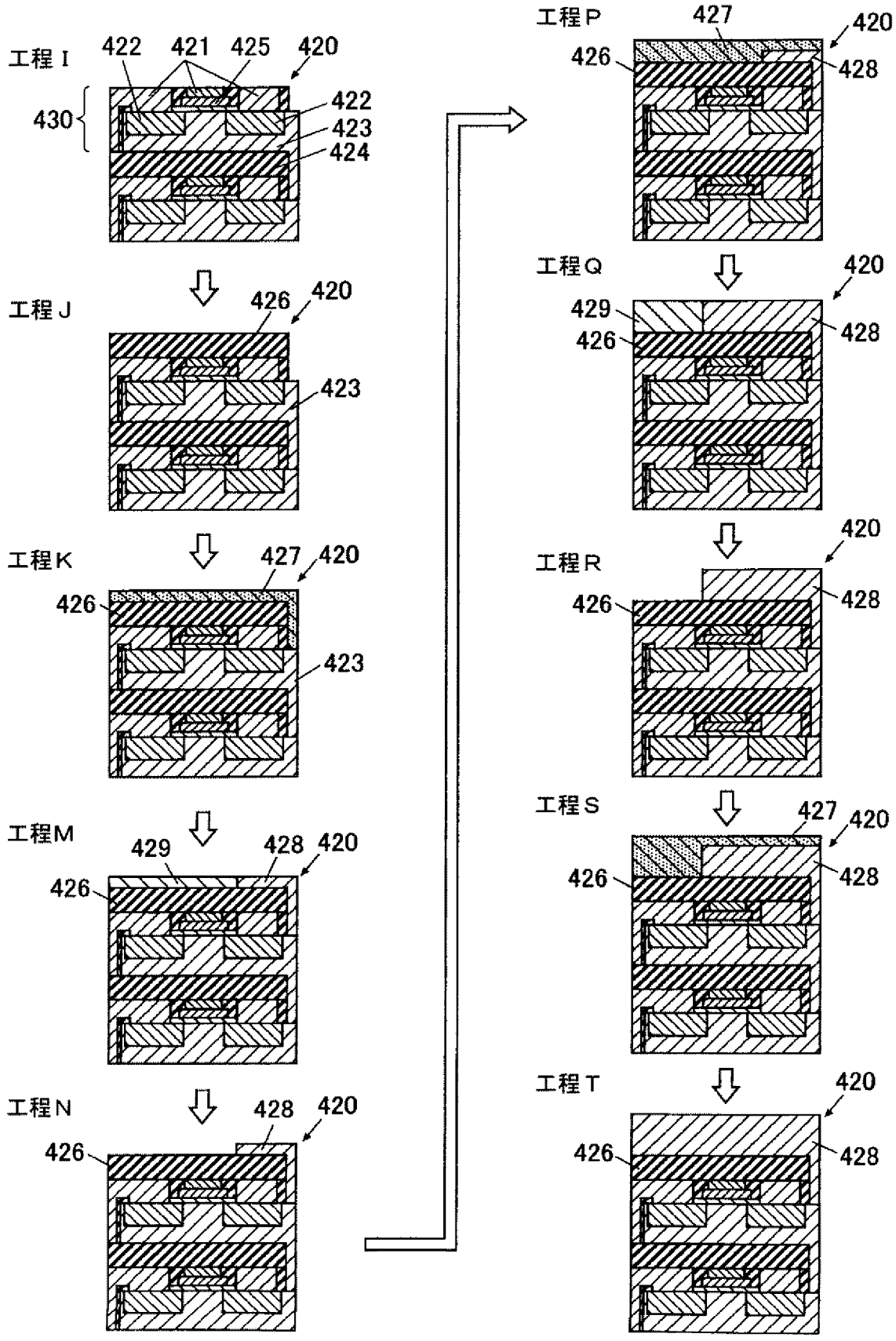
[図4]

図 4


処理前
401
401
401
200
工程A
402
401
403
200
401
403
401
工程B
404
405
404
405
405
401
403
200
401
403
401
工程C
404
404
401
200
401
401
工程D
404
402
404
401
200
401
401
工程E
405
404
405
404
405
401
200
401
401
工程F
404
404
401
200
401
401
工程G
404
404
402
401
200
401
401
工程H
404
401
200
401
401

[図5]

図 5


工程 I
422
421
425
420
430
422
423
424
工程 J
426
420
423
工程K
427
420
426
423
工程M
429
428
420
426
工程N
428
420
426
工程P
427
420
426
428
工程Q
420
429
428
426
工程R
420
426
428
工程S
427
420
426
428
工程T
420
426
428

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/006013

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/20(2006.01)i, *H01L21/02*(2006.01)i, *H01L21/205*(2006.01)i, *H01L21/336*(2006.01)i, *H01L21/8234*(2006.01)i, *H01L27/00*(2006.01)i, *H01L27/088*(2006.01)i, *H01L27/12*(2006.01)i, *H01L29/786*(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/20, H01L21/02, H01L21/205, H01L21/336, H01L21/8234, H01L27/00, H01L27/088, H01L27/12, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2-77113 A (Sanyo Electric Co., Ltd.), 16 March 1990 (16.03.1990), entire text; all drawings (Family: none)	1,2
A	JP 60-152018 A (Director General, Agency of Industrial Science and Technology), 10 August 1985 (10.08.1985), entire text; all drawings (Family: none)	1,2

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 November, 2009 (30.11.09)	08 December, 2009 (08.12.09)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/006013

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 58-120595 A (RCA Corp.), 18 July 1983 (18.07.1983), page 2, lower right column, line 14 to page 4, lower right column, line 8; fig. 1, 2 & US 4549926 A & GB 2113465 A & DE 3300716 A & FR 2522695 A & SE 8300040 A & IN 157312 A & YU 6083 A & IT 1173651 B & SE 8300040 A0	1,2
A	JP 2-153523 A (Sharp Corp.), 13 June 1990 (13.06.1990), page 3, upper left column, line 16 to lower right column, line 4; fig. 1 (Family: none)	1,2
A	JP 2008-522442 A (Applied Materials Inc.), 26 June 2008 (26.06.2008), paragraphs [0004], [0006], [0019] & JP 2008-522437 A & US 2006/0115934 A1 & US 2006/0115933 A1 & US 2006/0166414 A1 & US 2006/0216876 A1 & US 2006/0260538 A1 & US 2007/0207596 A1 & EP 1829086 A & EP 1829089 A & WO 2006/060543 A2 & WO 2006/060339 A2 & WO 2006/060339 B & WO 2007/109491 A2	1,2
A	JP 5-251407 A (NEC Corp.), 28 September 1993 (28.09.1993), paragraph [0010] & US 5593906 A & EP 793265 A3 & EP 560575 A1 & DE 69326908 D & DE 69326908 T	1,2
A	JP 64-76718 A (NEC Corp.), 22 March 1989 (22.03.1989), entire text; all drawings (Family: none)	1,2
A	JP 9-92621 A (Oki Electric Industry Co., Ltd.), 04 April 1997 (04.04.1997), paragraphs [0042] to [0044] (Family: none)	1,2
A	JP 5-82448 A (NEC Corp.), 02 April 1993 (02.04.1993), paragraph [0010] (Family: none)	1,2

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／００６０１３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/20(2006.01)i, H01L21/02(2006.01)i, H01L21/205(2006.01)i, H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/00(2006.01)i, H01L27/088(2006.01)i, H01L27/12(2006.01)i, H01L29/786(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/20, H01L21/02, H01L21/205, H01L21/336, H01L21/8234, H01L27/00, H01L27/088, H01L27/12, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００９年
日本国実用新案登録公報	１９９６－２００９年
日本国登録実用新案公報	１９９４－２００９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2-77113 A（三洋電機株式会社）1990.03.16, 全文、全図（ファミリーなし）	1,2
A	JP 60-152018 A（工業技術院長）1985.08.10, 全文、全図（ファミリーなし）	1,2

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ３０．１１．２００９	国際調査報告の発送日 ０８．１２．２００９
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｍ　３６４３ 小出　輝 電話番号　０３－３５８１－１１０１　内線　３４６２

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 58-120595 A (アールシーエー・コーポレーションン) 1983.07.18, 第２頁右下欄第１４行－第４頁右下欄８第行、第１、２図 & US 4549926 A & GB 2113465 A & DE 3300716 A & FR 2522695 A & SE 8300040 A & IN 157312 A & YU 6083 A & IT 1173651 B & SE 8300040 A0	1,2
A	JP 2-153523 A (シヤープ株式会社) 1990.06.13, 第３頁左上欄第１６行－右下欄第４行、第１図（ファミリーなし）	1,2
A	JP 2008-522442 A (アプライド　マテリアルズ　インコーポレイテッド) 2008.06.26, 段落【0004】、【0006】、【0019】 & JP 2008-522437 A & US 2006/0115934 A1 & US 2006/0115933 A1 & US 2006/0166414 A1 & US 2006/0216876 A1 & US 2006/0260538 A1 & US 2007/0207596 A1 & EP 1829086 A & EP 1829089 A & WO 2006/060543 A2 & WO 2006/060339 A2 & WO 2006/060339 B & WO 2007/109491 A2	1,2
A	JP 5-251407 A (日本電気株式会社) 1993.09.28, 段落【0010】 & US 5593906 A & EP 793265 A3 & EP 560575 A1 & DE 69326908 D & DE 69326908 T	1,2
A	JP 64-76718 A (日本電気株式会社) 1989.03.22, 全文、全図（ファミリーなし）	1,2
A	JP 9-92621 A (沖電気工業株式会社) 1997.04.04, 段落【0042】－【0044】（ファミリーなし）	1,2
A	JP 5-82448 A (日本電気株式会社) 1993.04.02, 段落【0010】（ファミリーなし）	1,2