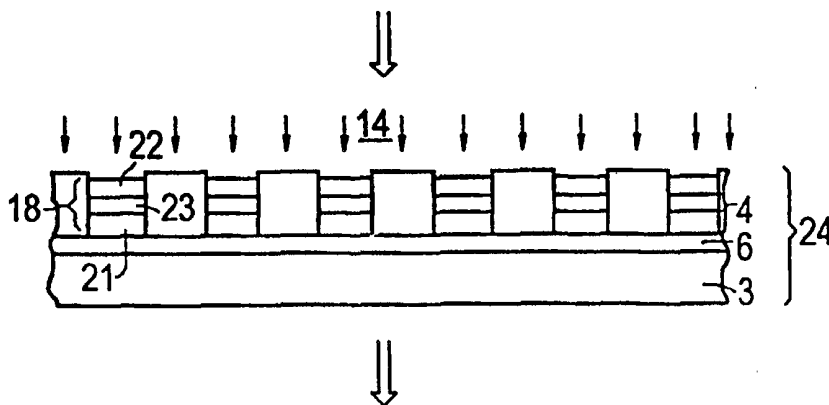


(51) Internationale Patentklassifikation ⁷ : H01L 33/00	A1	(11) Internationale Veröffentlichungsnummer: WO 00/13239 (43) Internationales Veröffentlichungsdatum: 9. März 2000 (09.03.00)
(21) Internationales Aktenzeichen: PCT/DE99/02652 (22) Internationales Anmeldedatum: 24. August 1999 (24.08.99) (30) Prioritätsdaten: 198 38 810.1 26. August 1998 (26.08.98) DE (71) Anmelder (für alle Bestimmungsstaaten ausser US): OSRAM OPTO SEMICONDUCTORS GMBH & CO. OHG [DE/DE]; Wernerwerkstrasse 2, D-93049 Regensburg (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): HÄRLE, Volker [DE/DE]; Eichenstrasse 35, D-93164 Waldetzenberg (DE). (74) Gemeinsamer Vertreter: OSRAM OPTO SEMICONDUCTORS GMBH & CO. OHG; Epping, Wilhelm, Postfach 22 13 17, D-80503 München (DE).	(81) Bestimmungsstaaten: CN, JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i>	

(54) Title: METHOD FOR PRODUCING A PLURALITY OF Ga(In,Al)N-LUMINESCENT DIODE CHIPS

(54) Bezeichnung: VERFAHREN ZUM HERSTELLEN EINER MEHRZAHL VON Ga(In,Al)N-LUMINESZENZDIODENCHIPS



(57) Abstract

The invention relates to a method for producing a plurality of Ga(In,Al)N-luminescent diode chips (1), comprising the following steps: applying a mask layer (4) to a main surface (9) of a substrate wafer (19); forming a plurality of windows (10) in said mask layer (4), the main surface (9) of the substrate wafer (19) being exposed in these windows; depositing Ga_x(In_yAl_{1-y})_{1-x}N series of semiconductor layers (18) on the main surface (9) exposed in the windows (10) and separating the resulting wafer (24).

(57) Zusammenfassung

Verfahren zum Herstellen einer Mehrzahl von Ga(In,Al)N-Lumineszenzdiodechips (1) mit folgenden Verfahrensschritten: Aufbringen einer Maskenschicht (4) auf eine Hauptfläche (9) eines Substratwafers (19); Ausbilden einer Mehrzahl von Fenstern (10) in der Maskenschicht (4), in denen die Hauptfläche (9) des Substratwafers (19) freigelegt ist; Abscheiden von Ga_x(In_yAl_{1-y})_{1-x}N-Halbleiterschichtenfolgen (18) auf die in den Fenstern (10) freigelegte Hauptfläche (9) und Vereinzeln des derart hergestellten Wafers (24).

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidsschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

Verfahren zum Herstellen einer Mehrzahl von Ga(In,Al)N-
5 Lumineszenzdiodechips

Die Erfindung bezieht sich auf ein Verfahren zum Herstellen
einer Mehrzahl von Ga(In,Al)N-Lumineszenzdiodechips gemäß
10 dem Oberbegriff des Patentanspruchs 1.

Ein derartiges Verfahren ist beispielsweise aus der
EP 0 599 224 A1 bekannt. Hierin ist ein Verfahren beschrie-
ben, bei dem eine Mehrzahl von $\text{In}_x\text{Ga}_{1-x}\text{N}$ -Schichten auf einem
15 Substrat epitaktisch abgeschieden werden. Diese Mehrzahl von
 $\text{In}_x\text{Ga}_{1-x}\text{N}$ -Schichten bilden eine Lumineszenzdiode(LED)-
Schichten-folge, die sich über den gesamten Wafer erstreckt.
Nach dem Abscheiden der LED-Schichtenfolge, deren Strukturie-
rung mittels Ätzen und dem Aufbringen einer Mehrzahl von Kon-
20 taktmetallisierungen wird der Wafer in eine Vielzahl von ein-
zelnen Lumineszenzdiodechips vereinzelt, indem der Wafer
zwischen den Kontaktmetallisierungen beispielsweise mittels
Sägen durchtrennt wird.

25 Bei der Abscheidung von Ga(In,Al)N-Lumineszenzdiodestruk-
turen besteht unabhängig vom Substratmaterial das besondere
Problem stark abweichender Gitterkonstanten der Nitride zu
den entsprechenden Substraten. Eine weitere Schwierigkeit
stellen die stark unterschiedlichen thermischen Ausdehnungs-
30 koeffizienten der zur Verfügung stehenden Substratmaterialien
(z. B. Saphir oder SiC) und des Systems Ga(In,Al)N dar. Die
dadurch hervorgerufenen unterschiedlichen thermischen Ausdeh-
nungen bewirken, daß beim Abkühlen des Wafers von der Wachs-
tumstemperatur auf Raumtemperatur im Wafer thermisch indu-
35 zierte Verspannungen auftreten. Dies führt zu Defekten in den
Halbleiterstrukturen, in erster Linie "Cracks", Löcher etc.,

die die Bauelementeigenschaften wie ESD-Stabilität, Lebensdauer usw. nachhaltig beeinträchtigen.

Ein weiteres Problem, das bei Ga(In,Al)N-Lumineszenzdiode-
strukturen auftritt, besteht darin, daß dieses Materialsystem
5 chemisch sehr stabil ist. Diese Eigenschaft wirft große Probleme bei der Bauelementstrukturierung auf. Strukturierungen der Ga(In,Al)N-Schichtenfolgen auf dem Wafer sind nur mittels technisch aufwendiger Methoden, wie Trockenätzverfahren oder
10 UV-unterstützte naßchemische Ätzverfahren, möglich.

Außerdem können beispielsweise Saphir und SiC sowie GaN wegen Ihrer großen Härte nur mit großem technischen Aufwand gesägt werden.

15

Die Aufgabe der vorliegenden Erfindung besteht darin, ein Verfahren zur Herstellung von Ga(In,Al)N-Lumineszenzdiode-
strukturen zu entwickeln, mit dem Kristallstörungen in den Halbleiterstrukturen verringert werden und bei dem technisch
20 einfache Methoden zur Strukturierung von $Ga_x(In_yAl_{1-y})_{1-x}N$ - Schichtenfolgen mit $0 \leq x \leq 1$, $0 \leq y \leq 1$ eingesetzt werden können.

Diese Aufgabe wird durch ein Verfahren mit den Merkmalen des Patentanspruches 1 gelöst.

25

Bei dem Verfahren wird zunächst auf den Substratwafer eine Maskenschicht aufgebracht, die nachfolgend beispielsweise mittels Phototechnik mit einer Mehrzahl von Maskenöffnungen (Fenstern) versehen wird, in denen die Hauptfläche des Substratwafers freigelegt ist. Nachfolgend wird die
30 $Ga_x(In_yAl_{1-y})_{1-x}N$ -Halbleiterschichtenfolge der Ga(In,Al)N-Lumineszenzdiodestrukturen in den Fenstern auf der Hauptfläche des Substratwafers abgeschieden.

35

Zur Vereinzelung des so erzeugten Wafers in einzelne Lumineszenzdiodechips muß dann nur noch die Maskenschicht, der Substratwafer und ggf. eine auf der Rückseite (= die von den Lu-

mineszenzdiodenstrukturen abgewandte Hauptfläche des Substratwafers) aufgebrauchte Kontaktmetallisierung zwischen den Lumineszenzdiodenstrukturen durchtrennt werden.

5 Vor dem Vereinzeln des Wafers in Lumineszenzdiodenchips kann, falls erforderlich oder für die Lumineszenzdiodenchips vorteilhaft, die zwischen den Lumineszenzdiodenstrukturen befindliche Maskenschicht entfernt werden, so daß einzelne, voneinander getrennte Lumineszenzdiodenstrukturen auf dem
10 Substrat zurückbleiben. Nachfolgend muß dann nur noch der Substratwafer und ggf. eine Kontaktmetallisierung auf dessen Rückseite zwischen den Lumineszenzdiodenstrukturen durchtrennt werden.

15 Als Maskenschicht dient vorteilhafterweise Siliziumoxid oder Siliziumnitrid und die Fenster werden beispielsweise mittels eines isotropen naßchemischen Ätzverfahrens (z. B. mit herkömmlicher Photoätzlösung), das gegenüber dem Substratmaterial und dem Photomaskenmaterial selektiv ist, hergestellt.

20 Das optionale Entfernen der Maskenschicht nach dem Abscheiden der Lumineszenzdiodenstrukturen erfolgt beispielsweise mittels eines naßchemischen Ätzverfahrens, bei dem die Lumineszenzdiodenstrukturen überhaupt nicht oder nur in sehr geringem Umfang abgetragen werden.
25

Ein Vorteil dieser Methode besteht einerseits darin, daß die Form und Dimension der späteren Lumineszenzdioden-Chips vor der Epitaxie der $Ga_x(In_yAl_{1-y})_{1-x}N$ -Halbleiterschichtenfolge definiert werden, wodurch gegenüber den bekannten Verfahren
30 mehrere Prozeßschritte bei der Herstellung der Lumineszenzdiodenchips eingespart werden können.

Andererseits ermöglicht dieses Verfahren vorteilhafterweise die Abscheidung stark verspannter Strukturen in den vordefinierten Fenstern. Der abgeschiedene Kristall besitzt hierbei
35 die Möglichkeit, sich in drei Raumrichtungen auszudehnen und

somit die potentielle Verspannungsenergie im Volumen abzubauen, ohne entsprechende Versetzungen ausbilden zu müssen.

Weiterhin werden vorteilhafterweise weniger Defekte in den
5 Kristall eingebaut, da bereits während des Wachstums Verspannungen in den kristallinen Schichten abgebaut werden können.

Im Fall der weiter oben beschriebenen bekannten planaren Epitaxie (ohne Maske) werden im Kristall zum Abbau der potentiellen Verspannungsenergie Defekte erzeugt. Diese Defekte beeinträchtigen nachhaltig das spätere Bauelement in der Art, daß beispielsweise die Lebensdauer verkürzt und/oder die ESD-Stabilität deutlich reduziert ist. Eine Reduzierung der Defekte mittels des erfindungsgemäßen Verfahrens äußert sich
10 demzufolge direkt in einer Verbesserung dieser Bauelementeigenschaften.
15

Ein wesentliches Merkmal des vorliegenden Verfahrens besteht in der selektiven Abscheidung der Ga(In,Al)N-Lumineszenzdioden-strukturen in den Maskenöffnungen (Fenstern). Die Maskenschicht ist derart gewählt, daß darauf eine epitaktische, d. h. einkristalline Abscheidung von Ga(In,Al)N-Material nicht erfolgt.
20

Anwendbar ist dieses Verfahren sowohl auf Saphir als auch auf SiC, Si, GaAs etc. als Aufwachs-Substratmaterial. Sämtliche Schwierigkeiten, die beim Brechen bzw. Ätzen von mittels planarer Epitaxie hergestellten Scheiben zur Herstellung von Lumineszenzdioden verschiedenster Art auftreten, werden mit
25 diesem Verfahren umgangen.
30

Vorteilhafte Weiterbildungen des Verfahrens sind Gegenstand der Unteransprüche 2 bis 10.

35 Bei einer bevorzugten Ausführungsform des Verfahrens wird vor dem Aufbringen der Maskenschicht auf einem Aufwachs-Substratwafer eine $Ga_x(In_yAl_{1-y})_{1-x}N$ -Pufferschicht aufgewachsen, auf

der bei den nachfolgenden Prozessschritten die Maskenschicht und die $Ga_x(In_yAl_{1-y})_{1-x}N$ -Halbleiterschichten-folgen für die Lumineszenzdiodenstrukturen abgeschieden werden. Dies kann die Aufwuchsbedingungen für die $Ga_x(In_yAl_{1-y})_{1-x}N$ -Halbleiterschichtenfolge zusätzlich verbessern.

Das Verfahren wird im folgenden anhand von zwei Ausführungsbeispielen in Verbindung mit den Figuren 1 bis 7 näher erläutert.

10

Die Figuren 1 bis 6 zeigen schematisch den Verfahrensablauf gemäß dem Ausführungsbeispiel.

In Figur 7 ist schematisch ein Lumineszenzdiodenchip dargestellt, der gemäß dem zweiten Ausführungsbeispiel gefertigt ist.

15

Zunächst wird auf eine Hauptfläche 5 eines bevorzugt aus SiC bestehenden Aufwuchs-Substratwafers 3 beispielsweise mittels MOVPE (Metallorganische Dampfphasenepitaxie) eine elektrisch leitfähige Halbleiterschicht 6 (z.B. eine Bufferschicht) aufgebracht, die z. B. aus GaN und/oder AlGaN besteht. Auf diesen aus dem Aufwuchs-Substrat 3 und der Halbleiterschicht 6 bestehenden Substratwafer 19 wird nachfolgend eine Maskenschicht 4, beispielsweise bestehend aus Siliziumoxid oder Siliziumnitrid, aufgebracht, auf der wiederum eine Photolackschicht 17 abgeschieden wird. Der auf diese Weise hergestellte Wafer 20 ist in Figur 1 schematisch dargestellt.

20

25

Nach einer herkömmlichen phototechnischen Strukturierung der Photolackschicht 17 wird die Maskenschicht 4 beispielsweise auf eine an sich bekannte Art und Weise mittels eines isotropen naßchemischen (z. B. Photo-Ätzlösung) oder mittels eines trockenchemischen Ätzverfahrens 12 (Figur 2), das bevorzugt zum Material der Halbleiterschicht 6 selektiv ist, mit einer Mehrzahl von Maskenöffnungen 10 (Fenstern) versehen, derart, daß in den Maskenöffnungen 10 die vom Aufwuchs-Substrat 3 ab-

30

35

gewandte Hauptfläche 9 der Halbleiterschicht 6 freigelegt ist (Figur 3).

Bei einem nachfolgenden Verfahrensschritt wird beispielsweise
5 mittels metallorganischer Dampfphasenepitaxie (MOVPE) 13 (Figur 3) auf die in den Fenstern 10 freigelegte Hauptfläche 9 der Halbleiterschicht 6 eine $Ga_x(In_yAl_{1-y})_{1-x}N$ -Halbleiterschichtenfolge 18 (Figur 4), bestehend aus einer Mehrzahl von $Ga_x(In_yAl_{1-y})_{1-x}N$ -Schichten mit $0 \leq x \leq 1$ und $0 \leq y \leq 1$ selektiv epitaktisch abgeschieden. Unter "selektiv epitaktisch" ist in diesem Zusammenhang zu verstehen, daß das Halbleitermaterial der Lumineszenzdiodenstruktur nur auf der Hauptfläche 9 der Halbleiterschicht 6 und nicht auf der Maskenschicht 4 epitaktisch, d. h. einkristallin abgeschieden wird. Auf der Maskenschicht 4 erfolgt, wenn überhaupt, nur ein polykristallines
10 Wachstum.

Die $Ga_x(In_yAl_{1-y})_{1-x}N$ -Halbleiterschichtenfolge 18 weist beispielsweise eine zwischen einer n-dotierten 21 und einer p-dotierten $Ga_yAl_{1-y}N$ ($0 \leq y \leq 1$)-Mantelschicht 22 angeordnete lichtemittierende aktive Schicht 23 auf, die aus n-dotiertem $In_xGa_{1-x}N$ ($0 < x < 1$) besteht.
20

Die Zusammensetzungen, Schichtdicken, Dotierungen etc. der einzelnen Schichten von $Ga_x(In_yAl_{1-y})_{1-x}N$ -Halbleiterschichtenfolgen 18 für Lumineszenzdiodenchips 1 sind in der Halbleitertechnik bekannt und werden daher an dieser Stelle nicht näher erläutert. Gleiches gilt für die Ätzverfahren zum isotropen und anisotropen Ätzen von Siliziumoxid und Siliziumnitrid.
25
30

Nach der selektiven Epitaxie der $Ga_x(In_yAl_{1-y})_{1-x}N$ -Halbleiterschichtenfolge 18 wird, wie in Figur 4 dargestellt, die Maskenschicht 4 mittels einer zur $Ga_x(In_yAl_{1-y})_{1-x}N$ -Halbleiterschichtenfolge 18 selektiven naßchemischen oder trockenchemischen Ätzung 14 von dem vorliegenden Wafer 24 (genauer, von der Hauptfläche 9 der Halbleiterschicht 6) entfernt,
35

so daß freistehende Lumineszenzdiodenstrukturen 2 auf dem Substratwafer 19 zurückbleiben (Figur 5).

Zur Kontaktierung der Lumineszenzdiodenstrukturen 2 müssen, wie in Figur 5 gezeigt, auf diese noch Vorderseiten-Kontaktmetallisierungen 15 aufgebracht werden. Dieser Schritt erfolgt vorteilhafterweise vor dem Entfernen der Maskenschicht 4 z. B. mittels Phototechnik und Metallisierung. Hierzu kann wiederum ein in der Halbleitertechnik herkömmliches Metallisierungsverfahren eingesetzt werden.

Ebenso wird die von den Lumineszenzdiodenstrukturen 2 abgewandte Seite des Substratwafers 3 vor oder nach dem Prozessieren der Lumineszenzdiodenstrukturen 2 mit einer Rückseiten-Kontaktmetallisierungsschicht 16 versehen.

Danach wird der Substratwafer 19 mit Rückseiten-Kontaktmetallisierungsschicht 16 zwischen den Lumineszenzdiodenstrukturen 2 durchtrennt, so daß einzelne Lumineszenzdiodenchips 1 entstehen (Figur 6).

Bei dem Verfahren gemäß der Erfindung muß nicht notwendigerweise vor dem Aufbringen der Maskenschicht 4 eine Halbleiterschicht 6 auf das Aufwachs-Substrat 3 aufgebracht werden. Vielmehr kann die Maskenschicht 4 direkt auf die Hauptfläche 5 des Aufwachs-Substrats 3, das dann alleine den Substratwafer 19 bildet, abgeschieden werden. Die selektive Epitaxie der Lumineszenzdiodenstrukturen 2 gegebenenfalls inclusive Bufferschicht erfolgt dann nach dem Herstellen der Fenster in der Maskenschicht 4 ebenfalls auf der Hauptfläche 5 des Aufwachs-Substrats 3.

Bei einem alternativen Verfahren gemäß dem zweiten Ausführungsbeispiel wird die Maskenschicht 4 vor dem Vereinzeln des Wafers 24 zu einzelnen Lumineszenzdiodenchips 1 nicht entfernt, so daß die Lumineszenzdiodenchips 1, wie in Figur 7 dargestellt, neben der Lumineszenzdiodenstruktur 2 mit der

Maskenschicht 4 versehen sind. Dadurch kann vorteilhafterweise ein Ätzschritt eingespart werden.

Die Beschreibung des erfindungsgemäßen Verfahrens anhand dieses Ausführungsbeispiels ist selbstverständlich nicht als Beschränkung der Erfindung auf dieses Beispiel zu verstehen. Vielmehr kann das erfindungsgemäße Verfahren grundsätzlich auch für die Herstellung anderer Ga(In,Al)N-Leuchtdiodenbauelemente als im Ausführungsbeispiel angegeben eingesetzt werden.

Patentansprüche

1. Verfahren zum Herstellen einer Mehrzahl von Ga(In,Al)N-Lumineszenzdiodenchips (1), bei dem auf einer Hauptfläche eines Substratwafers (19) eine Mehrzahl von $Ga_x(In_yAl_{1-y})_{1-x}N$ -Schichten (18) mit $0 \leq x \leq 1$ und $0 \leq y \leq 1$ abgeschieden werden, d a d u r c h g e k e n n z e i c h n e t , daß
- auf dem Substratwafer (19) eine Maskenschicht (4) aufgebracht wird,
 - 10 - die Maskenschicht (4) mit einer Mehrzahl von Fenstern (10) versehen wird, in denen die Hauptfläche (9) des Substratwafers (19) freigelegt ist,
 - $Ga_x(In_yAl_{1-y})_{1-x}N$ -Halbleiterschichtenfolgen (18) auf die in den Fenstern (10) freigelegte Hauptfläche (9) des Substratwafers (19) abgeschieden werden, so daß in den Fenstern 15 (10) Ga(In,Al)N-Lumineszenzdiodenstrukturen (2) entstehen, und
 - der so hergestellte Wafer (24) zwischen den Ga(In,Al)N-Lumineszenzdiodenstrukturen (2) durchtrennt wird.
- 20
2. Verfahren nach Anspruch 1, d a d u r c h g e k e n n z e i c h n e t , daß der Substratwafer (19) mindestens eine epitaktisch aufgebraachte Halbleiterschicht (6) aufweist, auf die in den Fenstern (10) die $Ga_x(In_yAl_{1-y})_{1-x}N$ -Halbleiterschichtenfolgen (18) 25 abgeschieden werden.
3. Verfahren nach Anspruch 1 oder 2, d a d u r c h g e k e n n z e i c h n e t , daß 30 als Maskenschicht (4) eine Siliziumoxid- oder Siliziumnitrid-Schicht verwendet wird.
4. Verfahren nach einem der Ansprüche 1 bis 3, d a d u r c h g e k e n n z e i c h n e t , daß 35 der Substratwafer (19) ein Aufwachs-Substrat (3) aufweist, das im wesentlichen aus Saphir, SiC, Si oder GaAs besteht.

5. Verfahren nach Anspruch 2 oder einem der Ansprüche 3 und 4, zurückbezogen auf Anspruch 2, dadurch gekennzeichnet, daß die Halbleiterschicht (6) im wesentlichen aus $Ga_xAl_{x-1}N$ ($0 \leq x \leq 1$) besteht.
6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die Fenster (10) mittels eines selektiven Ätzschrittes (12) ausgebildet werden.
7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß zum Ausbilden der Fenster (10) ein anisotropes Trockenätzverfahren verwendet wird.
8. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß vor dem Durchtrennen des Wafers (24) die Maskenschicht (4) entfernt wird.
9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß die Maskenschicht (4) nach dem Abscheiden der Diodenstrukturen (2) mittels eines selektiven Ätzschrittes (14) entfernt wird.
10. Verfahren nach Anspruch 8 oder 9, dadurch gekennzeichnet, daß zum Entfernen der Maskenschicht (4) nach dem Abscheiden der Diodenstrukturen (2) ein isotropes naßchemisches Ätzverfahren verwendet wird.

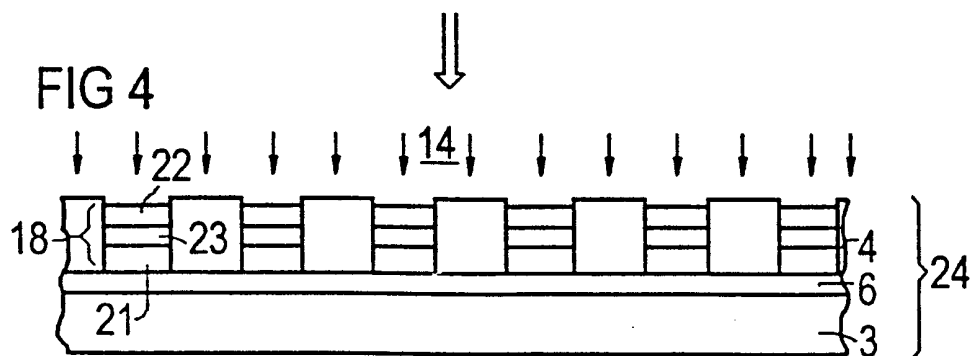
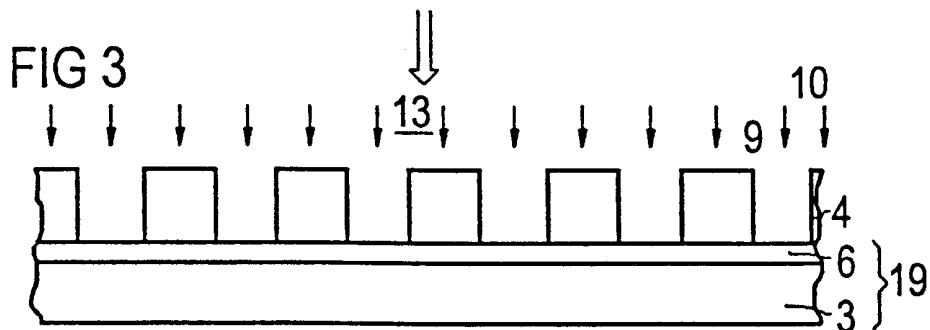
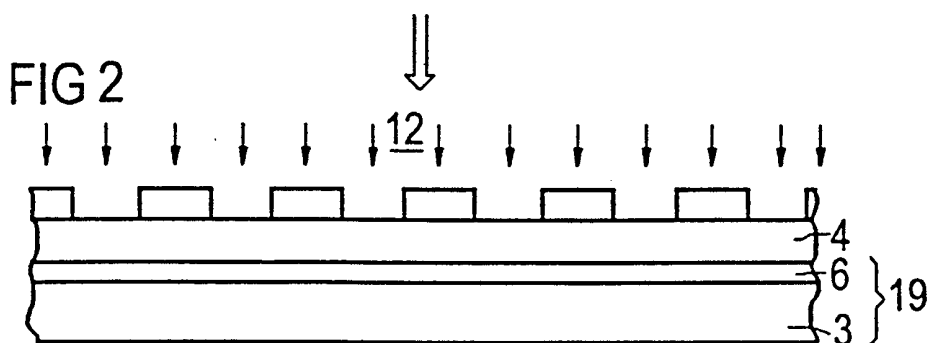
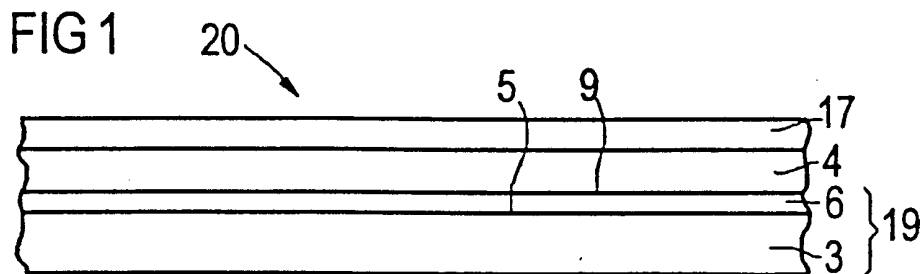


FIG 5

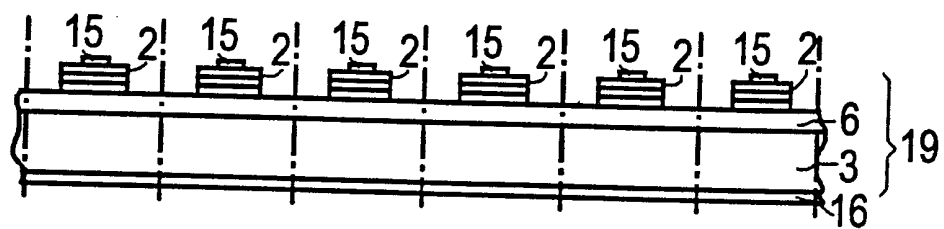


FIG 6

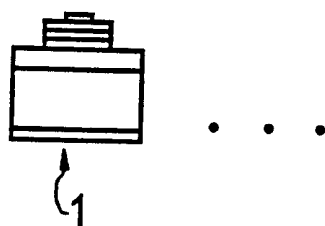
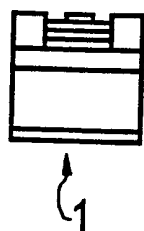


FIG 7



INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 99/02652

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L33/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 795 798 A (DENBAARS STEVEN P ET AL) 18 August 1998 (1998-08-18) column 3, line 47 -column 6, line 21; figures 1,2	1-10
X	--- PATENT ABSTRACTS OF JAPAN vol. 1997, no. 06, 30 June 1997 (1997-06-30) & JP 09 045987 A (HITACHI LTD), 14 February 1997 (1997-02-14) abstract	1-10
Y	--- PATENT ABSTRACTS OF JAPAN vol. 1995, no. 08, 29 September 1995 (1995-09-29) & JP 07 122520 A (NICHIA CHEM IND LTD), 12 May 1995 (1995-05-12) abstract	1-10
--- -/--		

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

° Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

26 January 2000

Date of mailing of the international search report

08/02/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Berthold, K

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 99/02652

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 0 599 224 A (NICHIA KAGAKU KOGYO KK) 1 June 1994 (1994-06-01) cited in the application the whole document ---	1-10
P, X	EP 0 903 792 A (SIEMENS AG) 24 March 1999 (1999-03-24) the whole document ---	1-10
A	NAM O -H ET AL: "GROWTH OF GAN AND ALO.2GAO.8N ON PATTERNED SUBSTRATES VIA ORGANOMETALLIC VAPOR PHASE EPITAXY" JAPANESE JOURNAL OF APPLIED PHYSICS, JP, PUBLICATION OFFICE JAPANESE JOURNAL OF APPLIED PHYSICS. TOKYO, vol. 36, no. 5A, page L532-L535 XP000728854 ISSN: 0021-4922 page L532, left-hand column, line 1 -page L532, right-hand column, line 24 ---	1-10
A	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 02, 28 February 1997 (1997-02-28) & JP 08 279492 A (HITACHI LTD), 22 October 1996 (1996-10-22) abstract -----	6,7,9

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 99/02652

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5795798 A	18-08-1998	NONE	
JP 09045987 A	14-02-1997	NONE	
JP 07122520 A	12-05-1995	JP 2748354 B	06-05-1998
EP 0599224 A	01-06-1994	JP 2560963 B	04-12-1996
		JP 6260680 A	16-09-1994
		JP 2560964 B	04-12-1996
		JP 6260681 A	16-09-1994
		JP 2809045 B	08-10-1998
		JP 6209120 A	26-07-1994
		JP 2713094 B	16-02-1998
		JP 6260682 A	16-09-1994
		JP 2713095 B	16-02-1998
		JP 6260683 A	16-09-1994
		DE 69319854 D	27-08-1998
		DE 69319854 T	11-03-1999
		EP 0844675 A	27-05-1994
		KR 9707135 B	02-05-1997
		US 5578839 A	26-11-1996
		US 5747832 A	05-05-1998
		US 5734182 A	31-03-1998
		US 5880486 A	09-03-1994
EP 0903792 A	24-03-1999	DE 19741442 A	01-04-1999
		CN 1218997 A	09-06-1999
		JP 11154648 A	08-06-1999
JP 08279492 A	22-10-1996	NONE	

INTERNATIONALER RECHERCHENBERICHT

Int.ationales Aktenzeichen

PCT/DE 99/02652

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L33/00

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 795 798 A (DENBAARS STEVEN P ET AL) 18. August 1998 (1998-08-18) Spalte 3, Zeile 47 -Spalte 6, Zeile 21; Abbildungen 1,2 ---	1-10
X	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 06, 30. Juni 1997 (1997-06-30) & JP 09 045987 A (HITACHI LTD), 14. Februar 1997 (1997-02-14) Zusammenfassung ---	1-10
Y	PATENT ABSTRACTS OF JAPAN vol. 1995, no. 08, 29. September 1995 (1995-09-29) & JP 07 122520 A (NICHIA CHEM IND LTD), 12. Mai 1995 (1995-05-12) Zusammenfassung ---	1-10
	-/--	

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

26. Januar 2000

Absenddatum des internationalen Recherchenberichts

08/02/2000

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Berthold, K

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 99/02652

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie ²	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	EP 0 599 224 A (NICHIA KAGAKU KOGYO KK) 1. Juni 1994 (1994-06-01) in der Anmeldung erwähnt das ganze Dokument ---	1-10
P,X	EP 0 903 792 A (SIEMENS AG) 24. März 1999 (1999-03-24) das ganze Dokument ---	1-10
A	NAM O -H ET AL: "GROWTH OF GAN AND AL0.2GA0.8N ON PATTERNED SUBSTRATES VIA ORGANOMETALLIC VAPOR PHASE EPITAXY" JAPANESE JOURNAL OF APPLIED PHYSICS,JP,PUBLICATION OFFICE JAPANESE JOURNAL OF APPLIED PHYSICS. TOKYO, Bd. 36, Nr. 5A, Seite L532-L535 XP000728854 ISSN: 0021-4922 Seite L532, linke Spalte, Zeile 1 -Seite L532, rechte Spalte, Zeile 24 ---	1-10
A	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 02, 28. Februar 1997 (1997-02-28) & JP 08 279492 A (HITACHI LTD), 22. Oktober 1996 (1996-10-22) Zusammenfassung -----	6,7,9

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

In internationales Aktenzeichen

PCT/DE 99/02652

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5795798 A	18-08-1998	KEINE	
JP 09045987 A	14-02-1997	KEINE	
JP 07122520 A	12-05-1995	JP 2748354 B	06-05-1998
EP 0599224 A	01-06-1994	JP 2560963 B	04-12-1996
		JP 6260680 A	16-09-1994
		JP 2560964 B	04-12-1996
		JP 6260681 A	16-09-1994
		JP 2809045 B	08-10-1998
		JP 6209120 A	26-07-1994
		JP 2713094 B	16-02-1998
		JP 6260682 A	16-09-1994
		JP 2713095 B	16-02-1998
		JP 6260683 A	16-09-1994
		DE 69319854 D	27-08-1998
		DE 69319854 T	11-03-1999
		EP 0844675 A	27-05-1994
		KR 9707135 B	02-05-1997
		US 5578839 A	26-11-1996
		US 5747832 A	05-05-1998
		US 5734182 A	31-03-1998
		US 5880486 A	09-03-1994
EP 0903792 A	24-03-1999	DE 19741442 A	01-04-1999
		CN 1218997 A	09-06-1999
		JP 11154648 A	08-06-1999
JP 08279492 A	22-10-1996	KEINE	