

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年9月16日(16.09.2021)



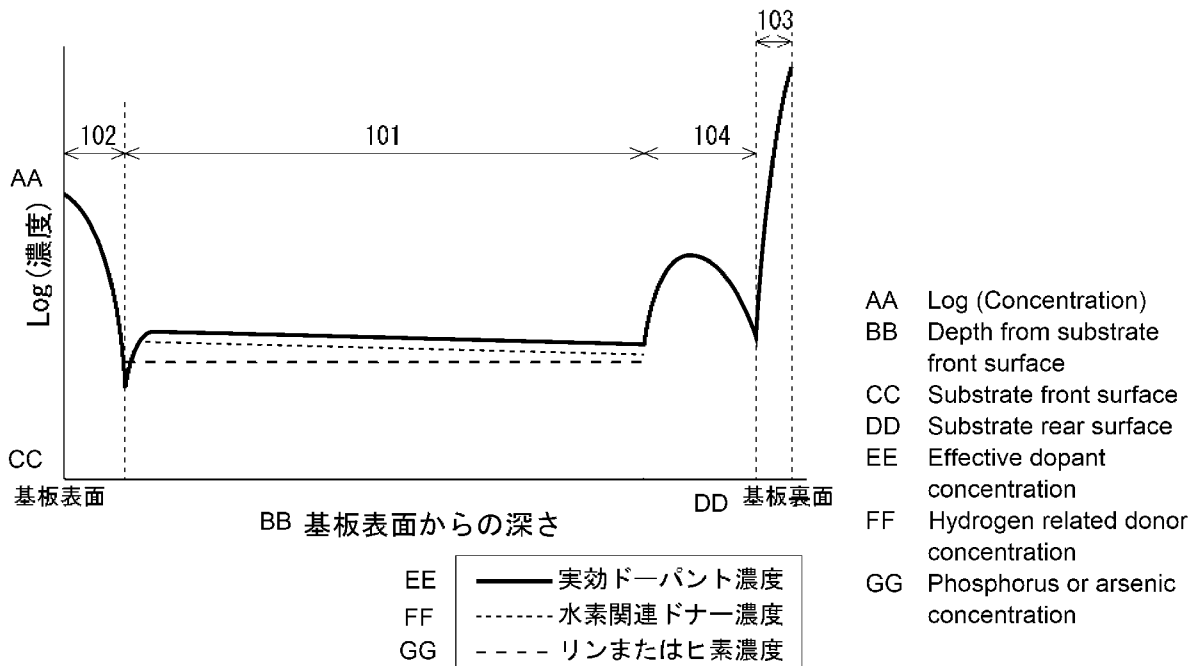
(10) 国際公開番号

WO 2021/181644 A1

- (51) 国際特許分類:
H01L 21/265 (2006.01) H01L 21/336 (2006.01)
H01L 29/78 (2006.01) H01L 21/329 (2006.01)
H01L 29/739 (2006.01) H01L 29/868 (2006.01)
- (21) 国際出願番号: PCT/JP2020/010983
- (22) 国際出願日: 2020年3月13日(13.03.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 玉城 朋宏 (TAMAKI Tomohiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 吉竹 英俊, 外(YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央区城見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: SEMICONDUCTOR DEVICE, AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: A semiconductor device (100) is formed using a semiconductor substrate (10) which has a first main surface (10a) and a second main surface (10b). First conductivity type first semiconductor regions (101, 201) are formed between the first main surface (10a) and the second main surface (10b) of the semiconductor substrate (10). Second conductivity type second semiconductor regions (102, 202) are formed between the first semiconductor regions (101, 201) and the first main surface (10a). The first semiconductor regions (101, 201) include a hydrogen related donor, and the

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

concentration of the hydrogen related donor of the first semiconductor regions (101, 201) is greater than or equal to the impurity concentration of the first semiconductor regions (101, 201).

(57) 要約：半導体装置（100）は、第1主面（10a）および第2主面（10b）を有する半導体基板（10）を用いて形成されている。半導体基板（10）の第1主面（10a）と第2主面（10b）の間には、第1導電型の第1半導体領域（101；201）が形成されている。第1半導体領域（101；201）と第1主面（10a）の間には、第2導電型の第2半導体領域（102，202）が形成されている。第1半導体領域（101；201）は水素関連ドナーを含み、第1半導体領域（101；201）の水素関連ドナーの濃度は、第1半導体領域（101；201）の不純物濃度以上である。

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本開示は、半導体装置およびその製造方法に関するものである。

背景技術

[0002] シリコン（Si）を半導体材料とする例えばIGBT（Insulated Gate Bipolar Transistor）などの電力用半導体装置（パワーデバイス）のn型ドリフト層には、一般に、FZ（Floating Zone）法による結晶成長で形成したFZ基板が用いられる。FZ基板には、結晶成長時にn型のドーパントとしてリンがドーピングされる。FZ基板の比抵抗が低過ぎると耐圧低下の問題が生じ、高過ぎると破壊耐量の低下やリングングなどの発振が問題となる。それらの問題の発生を防止するには、n型ドリフト層の比抵抗のばらつきを抑制することが有効であり、比抵抗の公差を±10%程度の範囲内に収めることが好適とされる。

[0003] しかし、シリコンから成るパワーデバイスを300mm口径の基板（ウェハ）で製造しようとした場合、MCZ（Magnetic field applied Czochralski）法で製造したMCZ基板しか入手できない。MCZ法では、熔融シリコン中のリンの偏析効果によって、ウェハの材料となるインゴットが成長するに従いシリコン結晶中に取り込まれるリンの濃度が高くなる。このため、MCZインゴット中の比抵抗はインゴットの成長方向にばらつき、インゴット内の比抵抗公差を±10%以内に収めることは難しい。その結果、MCZインゴットから切り出されるMCZ基板に比抵抗のばらつきが生じる。

[0004] そこで、MCZインゴットの結晶中にボロンをカウンタードーピングすることで比抵抗のばらつきを改善させることが試みられているが、その方法を用いてもMCZインゴットの約22%は比抵抗公差が±10%以内に収まらない（例えば特許文献1）。

[0005] また、MCZインゴットの比抵抗公差を厳しく管理することは、費用効率

を著しく低下させるため、半導体装置の製造段階で基板の比抵抗を均一化することが好ましい。しかし、従来技術のプロセスは複雑であり、短時間で基板の比抵抗を均一化することは困難であった（例えば特許文献2）。

先行技術文献

特許文献

[0006] 特許文献1：米国特許出願公開第2018/0097064号明細書

特許文献2：特許第5228282号公報

発明の概要

発明が解決しようとする課題

[0007] 特許文献2には、プロトンの飛程ピーク位置を、プロトンの飛程の分布の半値幅を整数で割った距離だけずらしながら、プロトンを基板に複数回照射（注入）することによって、基板を均一にドナー化する技術が開示されている。しかし、耐圧保持層であるドリフト層の全域を均一にドナー化するには、大掛かりなサイクロترون装置を用いて、10MeV以上の高エネルギーでプロトンを数回照射する必要がある。また、当該技術を、例えば注入エネルギーが2MeV程度のイオン注入装置で実施することもできるが、その場合、シリコン中のプロトンの飛程の分布の半値幅は10 μ m以下と小さくなるため、相当回数の照射が必要になり製造コストが増大する。

[0008] 本開示は以上のような課題を解決するためになされたものであり、半導体装置の製造段階における簡易なプロセスでn型ドリフト層の均一な比抵抗を得ることが可能な半導体装置およびその製造方法を提供することを目的とする。

課題を解決するための手段

[0009] 本開示に係る半導体装置は、第1主面および第2主面を有する半導体基板と、前記半導体基板の前記第1主面と前記第2主面との間に形成された第1導電型の第1半導体領域と、前記第1半導体領域と前記第1主面との間に形成された第2導電型の第2半導体領域と、を備え、前記第1半導体領域は水

素関連ドナーを含み、前記第 1 半導体領域の前記水素関連ドナーの濃度は、前記第 1 半導体領域の不純物濃度以上である。

発明の効果

[0010] 本開示に係る半導体装置は、その製造段階において半導体基板に軽イオンまたは電子線を貫通させて、水素プラズマ処理とアニールを施すという簡易なプロセスによって、不足分のドナーを水素関連ドナーで補償することができ、n 型ドリフト層となる第 1 半導体領域の均一な比抵抗を得ることができる。

[0011] 本開示の目的、特徴、態様、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

図面の簡単な説明

[0012] [図1]実施の形態 1 に係る半導体装置（P i N ダイオード）の断面図である。

[図2]実施の形態 1 に係る半導体装置の深さ方向のドーパント濃度プロファイルを示す図である。

[図3]実施の形態 1 に係る半導体装置の製造工程を示すフローチャートである。

[図4]半導体基板に対する軽イオン照射の模式図である。

[図5]実施の形態 2 に係る半導体装置（I G B T）の断面図である。

[図6]実施の形態 3 に係る半導体装置（S J − M O S F E T）の断面図である。

[図7]実施の形態 3 に係る半導体装置の製造工程を示すフローチャートである。

[図8]実施の形態 3 に係る半導体基板（S J 基板）の断面図である。

[図9]実施の形態 3 に係る半導体基板における p ピラー層の部分の深さ方向のドーパント濃度プロファイルを示す図である。

[図10]実施の形態 3 に係る半導体基板における n ピラー層の部分の深さ方向のドーパント濃度プロファイルを示す図である。

[図11]実施の形態 4 に係る半導体装置の製造工程を示すフローチャートであ

る。

[図12]実施の形態4に係る半導体装置（P i Nダイオード）の深さ方向のドーパント濃度プロファイルを示す図である。

発明を実施するための形態

[0013] <実施の形態1>

図1は、実施の形態1に係る半導体装置であるP i Nダイオード100の構成を示す断面図である。簡単のため、図1には、ダイオードとして動作する活性領域の構造のみを図示し、活性領域の外側の周辺領域に設けられる終端構造の図示は省略している。

[0014] 実施の形態1のP i Nダイオード100は、MCZ法で形成されたシリコン基板（MCZ基板）である半導体基板10を用いて形成されている。ただし、半導体基板10の種類はこれに限られず、例えば、FZ（Floating Zone）法で形成されたシリコン基板（FZ基板）でもよいし、CZ（Czochralski）法で形成されたシリコン基板上にエピタキシャル成長層を設けて成るCZエピ基板でもよい。半導体基板10の種類は、製造する半導体装置に適した特性を持つものが適宜選択されればよい。

[0015] ここで、半導体基板10の表側（図1において上側）の主面を第1主面10a、裏側（図1において下側）の主面を第2主面10bと定義する。また、以下においては、第1導電型をn型、第2導電型をp型として説明する。

[0016] 図1に示すように、半導体基板10の第1主面10aと第2主面10bとの間には、第1導電型のn型ドリフト層101（第1半導体領域）が形成されている。半導体基板10の第1主面10a側の表層部、すなわち、n型ドリフト層101と第1主面10aとの間には、第2導電型のp型アノード層102（第2半導体領域）が形成されている。半導体基板10の第2主面10b側の表層部、すなわち、n型ドリフト層101と第2主面10bとの間には、n型ドリフト層101よりも不純物のピーク濃度が高い第1導電型のn型カソード層103（第3半導体領域）が形成されている。n型ドリフト層101とn型カソード層103との間には、n型ドリフト層101よりも

不純物のピーク濃度が高く、且つ、 n 型カソード層103よりも不純物のピーク濃度が低い第1導電型の n 型バッファ層104が形成されている。

[0017] また、半導体基板10の第1主面10a上には、 p 型アノード層102と接続するアノード電極105が形成されている。半導体基板10の第2主面10b上には、 n 型カソード層103に接続するカソード電極106が形成されている。

[0018] 図2は、 PiN ダイオード100の深さ方向のドーパント濃度プロファイルを示す図であり、 p 型アノード層102、 n 型ドリフト層101、 n 型バッファ層104、 n 型カソード層103の深さ方向のドーパント濃度プロファイルを示している。図2に示すように、 n 型ドリフト層101は、その第1主面10a側（基板表面側）の端部から第2主面10b側（基板底面側）の端部までの全域にわたって水素関連ドナーを含んでいる。また、 n 型ドリフト層101では、その第1主面10a側の端部から第2主面10b側の端部までの全域にわたって、水素関連ドナー濃度は常に n 型ドリフト層101の不純物濃度（リンまたはヒ素の濃度）以上であり、第2主面10bから第1主面10aに向かって連続的に増加している。つまり、 n 型ドリフト層101の水素関連ドナー濃度は、 n 型ドリフト層101の第1主面10a側の端部で最も高く、 n 型ドリフト層101の第2主面10b側の端部で最も低い。

[0019] 図3は、実施の形態1に係る PiN ダイオード100の製造方法を示すフローチャートである。以下、図3を参照しつつ、 PiN ダイオード100の製造方法を説明する。

[0020] 表面素子形成工程（ステップS101）では、まず、リンがドーパされた n 型のシリコンから成る半導体基板10のウエハを用意する。このとき半導体基板10中のリン濃度は、完成した半導体装置で所望の耐圧を得るためのリン濃度よりも低くし、半導体基板10は高比抵抗な状態とする。半導体基板10にドーパされる n 型の不純物はヒ素でもよい。そして、半導体基板10の第1主面10a側に、 PiN ダイオード100の素子構造を形成する。

つまり、半導体基板 10 の第 1 主面 10 a 側の表層部に p 型アノード層 102 を形成し、さらに、第 1 主面 10 a 上に、p 型アノード層 102 に接続するアノード電極 105 を形成する。

[0021] 裏面研削工程（ステップ S 102）では、半導体基板 10 を耐圧保持に必要な所望の厚さにするように、半導体基板 10 の第 2 主面 10 b を研削する。このとき、化学エッチング研削により破砕層を取り除く処理を行ってもよい。

[0022] 裏面拡散層形成工程（ステップ S 103）では、まず、半導体基板 10 の第 2 主面 10 b にリンを注入することで、半導体基板 10 の第 2 主面 10 b 側の表層部に n 型バッファ層 104 を形成する。また、半導体基板 10 の第 2 主面 10 b 側の表層部における n 型バッファ層 104 よりも浅い位置に、n 型バッファ層 104 よりも不純物のピーク濃度の高い n 型カソード層 103 を形成する。このとき、n 型カソード層 103 の表層部の一部に、第 2 導電型の p 型カソード層を選択的に形成してもよい。

[0023] なお、ステップ S 101 およびステップ S 103 において p 型アノード層 102、n 型カソード層 103 および n 型バッファ層 104 が形成されずに残った半導体基板 10 の n 型の領域が n 型ドリフト層 101 となる。

[0024] 軽イオン照射工程（ステップ S 104）では、図 4 に示すように、半導体基板 10 の第 2 主面 10 b 側から、ヘリウム（He）等の軽イオン 20 を 1 MeV 以上の加速エネルギーで、半導体基板 10 を貫通するように照射することで、半導体基板 10 のシリコンの全域に損傷を生じさせる。これにより、半導体基板 10 は、シリコンの損傷領域に、格子位置から外れた格子間（Interstitial）シリコン（Si_i）、格子位置に空いた空孔（V；Vacancy）などが生じた状態となる。なお、軽イオンは、ヘリウム（He）または水素（H）、あるいはそれらの同位体であればよく、軽イオン照射のドーズ量は、 $1 \times 10^{14} \text{ cm}^{-2}$ 以上 $1 \times 10^{16} \text{ cm}^{-2}$ 以下であればよい。

[0025] 水素プラズマ照射・アニール工程（ステップ S 105）では、まず、半導体基板 10 の第 2 主面 10 b 側から水素プラズマ照射を行うことで、シリコ

ンの損傷領域に水素（H）を導入する。そして、損傷領域に水素が導入された状態で、300℃以上450℃以下のアニールを行う。これにより、空孔はウエハ含有の酸素（O）と反応してVO欠陥を形成し、さらに、VO欠陥は水素プラズマ照射で導入された水素と反応してVOH欠陥を形成する。VOH欠陥は、伝導帯から0.35 eVあたりの位置に電子トラップ準位を作り、また、水素関連のドナー化に寄与する。その結果、半導体基板10中の全域に水素関連ドナーが形成され、図2に示したドーパント濃度プロファイルが得られる。

[0026] 裏面電極形成工程（ステップS106）では、半導体基板10の第2主面10b上に、パッケージ封止の際に必要な裏面電極として、カソード電極106を形成する。

[0027] 以上の工程により、図1に示した構成のPINダイオード100が形成されたデバイスウエハが完成する。

[0028] このように、実施の形態1によれば、パワーデバイスの製造段階において、高比抵抗な半導体基板10のウエハに軽イオンを貫通させて、水素プラズマ処理とアニールを施すという簡易なプロセスによって、半導体基板10の不足分のドナーを水素関連ドナーで補償することでn型ドリフト層の均一な比抵抗を得ることができる。つまり、デバイス製造段階でウエハの比抵抗を均一化させることができる。

[0029] <実施の形態2>

実施の形態2では、半導体基板10を用いて形成する半導体装置をMOS（Metal Oxide Semiconductor）型デバイスとした例を示す。図5は、実施の形態2に係る半導体装置であるIGBT200の構成を示す断面図である。簡単のため、図5には、IGBTのユニットセル分の構造のみを図示し、周辺領域に設けられる終端構造の図示は省略している。

[0030] 実施の形態2において、IGBT200が形成される半導体基板10は、MCZ基板であるものとする。ただし、半導体基板10の種類はこれに限られず、例えば、FZ基板、CZエピ基板などでもよい。

[0031] 図5のように、半導体基板10の第1主面10aと第2主面10bとの間には、第1導電型のn型ドリフト層201（第1半導体領域）が形成されている。半導体基板10の第1主面10a側の表層部、すなわち、n型ドリフト層201と第1主面10aとの間の一部の領域には、第2導電型のp型ベース層202（第2半導体領域）が選択的に形成されている。また、p型ベース層202の表層部の一部の領域には、第1導電型のn型エミッタ層203が形成されている。

[0032] 半導体基板10の第2主面10b側の表層部、すなわち、n型ドリフト層201と第2主面10bとの間には、n型ドリフト層201よりも不純物のピーク濃度が高い第2導電型のp型コレクタ層204（第4半導体領域）が形成されている。n型ドリフト層201とp型コレクタ層204との間には、n型ドリフト層201よりも不純物のピーク濃度が高く、且つ、p型コレクタ層204よりも不純物のピーク濃度が低い第1導電型のn型バッファ層205が形成されている。

[0033] また、半導体基板10の第1主面10a上には、n型ドリフト層201、p型ベース層202およびn型エミッタ層203に跨がるようにゲート絶縁膜206が形成されており、その上にゲート電極207が形成されている。ゲート電極207は、ゲート絶縁膜206を介してn型ドリフト層201、p型ベース層202およびn型エミッタ層203に対向するように配置される。ゲート電極207の上には層間絶縁膜208が形成されており、層間絶縁膜208の上にエミッタ電極209が形成されている。層間絶縁膜208には、n型エミッタ層203に達するコンタクトホールが形成されており、エミッタ電極209は、当該コンタクトホールを通してn型エミッタ層203に接続している。

[0034] 半導体基板10の第2主面10b上には、p型コレクタ層204に接続するコレクタ電極210が形成されている。

[0035] n型ドリフト層201は、その全域にわたって水素関連ドナーを含んでいる。また、n型ドリフト層201では、半導体基板10の第1主面10a側

から第2主面10b側にわたって、水素関連ドナー濃度は常にn型ドリフト層201の不純物濃度（リンまたはヒ素の濃度）以上であり、第2主面10bから第1主面10aに向かって連続的に増加している。

[0036] 実施の形態2のIGBT200の製造方法は、基本的に図3と同じフローチャートで表される。以下、図3を参照しつつ、IGBT200の製造方法を説明する。

[0037] 表面素子形成工程（ステップS101）では、まず、リンがドーパされたn型のシリコンから成る半導体基板10のウエハを用意する。このとき半導体基板10中のリン濃度は、完成した半導体装置で所望の耐圧を得るためのリン濃度よりも低くし、半導体基板10は高比抵抗な状態とする。半導体基板10にドーパされるn型の不純物はヒ素でもよい。そして、半導体基板10の第1主面10a側に、IGBT200の素子構造を形成する。つまり、半導体基板10の第1主面10a側の表層部に、p型ベース層202およびn型エミッタ層203を形成する。続いて、第1主面10a上に、ゲート絶縁膜206、ゲート電極207、層間絶縁膜208およびエミッタ電極209を形成する。このとき、エミッタ電極209は、層間絶縁膜208に形成されたコンタクトホールを通してn型エミッタ層203に接続される。

[0038] 裏面研削工程（ステップS102）では、半導体基板10を耐圧保持に必要な所望の厚さにするように、半導体基板10の第2主面10bを研削する。このとき、化学エッチング研削により破碎層を取り除く処理を行ってもよい。

[0039] 裏面拡散層形成工程（ステップS103）では、まず、半導体基板10の第2主面10bにリンを注入することで、半導体基板10の第2主面10b側の表層部にn型バッファ層205を形成する。また、半導体基板10の第2主面10b側の表層部におけるn型バッファ層205よりも浅い位置に、n型バッファ層205よりも不純物のピーク濃度の高いp型コレクタ層204を形成する。

[0040] なお、ステップS101およびステップS103においてp型ベース層2

02、n型エミッタ層203、p型コレクタ層204およびn型バッファ層205が形成されずに残った半導体基板10のn型の領域がn型ドリフト層201となる。

[0041] 軽イオン照射工程（ステップS104）では、図4に示すように、半導体基板10の第2主面10b側から、ヘリウム（He）等の軽イオン20を1MeV以上の加速エネルギーで、半導体基板10を貫通するように照射することで、半導体基板10のシリコンの全域に損傷を生じさせる。

[0042] 水素プラズマ照射・アニール工程（ステップS105）では、まず、半導体基板10の第2主面10b側から水素プラズマ照射を行うことで、シリコンの損傷領域に水素（H）を導入する。そして、損傷領域に水素が導入された状態で、300℃以上450℃以下のアニールを行う。その結果、半導体基板10中の全域に水素関連ドナーが形成され、上述したn型ドリフト層201のドーパント濃度プロファイルが得られる。すなわち、n型ドリフト層201の全域において、水素関連ドナー濃度がリン濃度よりも常に高く、半導体基板10の第2主面10bから第1主面10aに向かって水素関連ドナー濃度が連続的に増加したドーパント濃度プロファイルが得られる。

[0043] 裏面電極形成工程（ステップS106）では、半導体基板10の第2主面10b上に、パッケージ封止の際に必要な裏面電極として、コレクタ電極210を形成する。

[0044] 以上の工程により、図5に示した構成のIGBT200が形成されたデバイスウエハが完成する。

[0045] なお、図5のIGBT200は、プレーナーゲート構造であるが、トレンチゲート構造であってもよい。トレンチゲート構造をとる場合、ゲート絶縁膜206およびゲート電極207は、半導体基板10の第1主面10aに形成されたトレンチ内に形成される。また、トレンチ内のゲート電極207がゲート絶縁膜206を介してn型ドリフト層201、p型ベース層202およびn型エミッタ層203に対向するように、p型ベース層202およびn型エミッタ層203はトレンチの側壁に形成され、トレンチは底部がp型ベ

ース層202の下のn型ドリフト層201にまで達する深さで形成される。

[0046] また、p型コレクタ層204に代えて、n型ドリフト層201よりも不純物のピーク濃度が高い第1導電型のn型ドレイン層を形成することで、実施の形態2の半導体装置をMOSFET (Metal Oxide Semiconductor Field Effect Transistor) としてもよい。このMOSFETもトレンチゲート構造であってもよい。

[0047] また、半導体基板10の第2主面10b側の表層部に、p型コレクタ層204と共にn型コレクタ層を部分的に形成してもよい。つまり、n型ドリフト層201と第2主面10bとの間に、p型コレクタ層204とそれに隣接するn型コレクタ層とを形成してもよい。

[0048] また、半導体基板10の第1主面10aに、IGBT領域とダイオード領域とを設け、IGBT領域における半導体基板10の第2主面10b側の表層部にp型コレクタ層204を形成し、ダイオード領域における半導体基板10の第2主面10b側の表層部にn型カソード層を形成することで、実施の形態2の半導体装置をRC (Reverse-Conducting) 型のIGBTとしてもよい。つまり、n型ドリフト層201と第2主面10bとの間に、p型コレクタ層204とそれに隣接するn型カソード層とを形成してもよい。

[0049] <実施の形態3>

実施の形態3では、半導体基板10を用いて形成する半導体装置をSJ (Super-Junction) タイプのMOS型デバイスとした例を示す。図6は、実施の形態3に係る半導体装置であるSJ-MOSFET300の構成を示す断面図である。簡単のため、図6には、MOSFETのユニットセル分の構造のみを図示し、周辺領域に設けられる終端構造の図示は省略している。

[0050] 実施の形態3において、SJ-MOSFET300が形成される半導体基板10は、CZエピ基板であるものとする。ただし、半導体基板10の種類はこれに限られず、例えば、MCZ法、FZ基板などでもよい。

[0051] 図6のように、半導体基板10の第1主面10aと第2主面10bとの間には、第1導電型のn型ピラー層301 (第1半導体ピラー領域) および第

2導電型のp型ピラー層302（第2半導体ピラー領域）が形成されている。n型ピラー層301とp型ピラー層302とは、互いに隣接し、横方向（第1主面10aに水平な方向）に向かって交互に設けられている。

[0052] 半導体基板10の第1主面10a側の表層部、すなわち、n型ピラー層301およびp型ピラー層302と第1主面10aとの間の一部の領域には、第2導電型のp型ベース層303が選択的に形成されている。また、p型ベース層303の表層部の一部の領域には、第1導電型のn型ソース層304が形成されている。

[0053] 半導体基板10の第2主面10b側の表層部、すなわち、n型ピラー層301およびp型ピラー層302と第2主面10bとの間には、n型ピラー層301およびp型ピラー層302よりも不純物のピーク濃度が高い第1導電型のn型ドレイン層305が形成されている。

[0054] また、半導体基板10の第1主面10a上には、n型ピラー層301、p型ベース層303およびn型ソース層304に跨がるようにゲート絶縁膜306が形成されており、その上にゲート電極307が形成されている。ゲート電極307は、ゲート絶縁膜306を介してn型ピラー層301、p型ベース層303およびn型ソース層304に対向するように配置される。ゲート電極307の上には層間絶縁膜308が形成されており、層間絶縁膜308の上にソース電極309が形成されている。層間絶縁膜308には、n型ソース層304に達するコンタクトホールが形成されており、ソース電極309は、当該コンタクトホールを通してn型ソース層304に接続している。

[0055] 半導体基板10の第2主面10b上には、n型ソース層304に接続するドレイン電極310が形成されている。

[0056] なお、実施の形態3における半導体基板10のドーパント濃度プロファイルについては後述する。

[0057] 図7は、実施の形態3に係るSJ-MOSFET300の製造方法を示すフローチャートである。以下、図7を参照しつつ、SJ-MOSFET

300の製造方法を説明する。

[0058] S J基板製造工程（ステップS301）では、まず、図8のように、高濃度にリンまたはヒ素がドーピングされた高濃度n型基板30上にリンがドーピングされたn型エピタキシャル層31を成長させて成るC Zエピ基板である半導体基板10を用意する。そして、半導体基板10のn型エピタキシャル層31内に、n型ピラー層301およびp型ピラー層302を形成する。このとき、n型ピラー層301とp型ピラー層302とが、互いに隣接し、横方向に向かって交互に配置されるようにする。以下、n型ピラー層301およびp型ピラー層302が形成された半導体基板10を「S J基板10」という。

[0059] S J基板10の製造方法は、任意の方法でよく、例えば、エピタキシャル成長とイオン注入とを複数回繰り返し行うことでn型ピラー層およびp型ピラー層を形成するマルチエピ製造方式や、シリコン層にトレンチを形成し、当該トレンチを埋めるようにシリコンをエピタキシャル成長させることでn型ピラー層およびp型ピラー層を形成するトレンチフィル方式などを用いることができる。

[0060] 表面素子形成工程（ステップS302）では、半導体基板10の第1主面10a側に、S J-MOFSFET300の素子構造を形成する。まず、S J基板10の第1主面10a側の表層部に、p型ベース層303およびn型ソース層304を形成する。続いて、第1主面10a上に、ゲート絶縁膜306、ゲート電極307、層間絶縁膜308およびソース電極309を形成する。このとき、ソース電極309は、層間絶縁膜308に形成されたコンタクトホールを通してn型ソース層304に接続される。

[0061] チャージバランス評価工程（ステップS303）では、S J基板10のチャージバランスを評価する。チャージバランスの評価は、ウエハテストで素子耐圧を評価するか、チャージバランスモニター用のTEG（Test Element Group）を評価することで行われる。チャージバランスモニター用のTEGは、製品ウエハとは別のモニター基板上に形成されたTEGでもよいし、製品ウエハ上の無効領域や予め規定されたTEGエリアに設けられたTEGでも

よい。チャージバランスの評価によって、 n 型ピラー層301および p 型ピラー層302について、チャージバランスに対して不足するドナー濃度およびアクセプター濃度を算出する。

[0062] 軽イオン照射工程（ステップS304）では、ステップS303によるドナー濃度の不足分の算出結果に基づき、図4に示すように、SJ基板10の第2主面10b側から、ヘリウム（He）等の軽イオン20を1MeV以上の加速エネルギーで、半導体基板10を貫通するように照射することで、SJ基板10のシリコンの全域に損傷を生じさせる。

[0063] 水素プラズマ照射・アニール工程（ステップS305）では、まず、SJ基板10の第2主面10b側から水素プラズマ照射を行うことで、シリコンの損傷領域に水素（H）を導入する。そして、損傷領域に水素が導入された状態で、300℃以上450℃以下のアニールを行う。その結果、SJ基板10中の全域に水素関連ドナーが形成される。この工程で、水素関連ドナー濃度を調整することで、SJ基板10のチャージバランスを評価した後に、チャージバランスを所望の値に補正することが可能となる。

[0064] 裏面研削工程（ステップS306）では、SJ-MOSFET300のオン抵抗を下げるために、SJ基板10の第2主面10b側にある高濃度 n 型基板30を研削する。このとき、化学エッチング研削により破碎層を取り除く処理を行ってもよい。なお、この工程で除去されずに残った高濃度 n 型基板30の部分が n 型ドレイン層305となる。

[0065] 裏面電極形成工程（ステップS307）では、SJ基板10の第2主面10b上に、パッケージ封止の際に必要な裏面電極として、ドレイン電極310を形成する。

[0066] 以上の工程により、図6に示した構成のIGBT200が形成されたデバイスウエハが完成する。

[0067] 図9に、ステップS304およびS305の処理を行った後のSJ基板10（図8）における p 型ピラー層302の部分の深さ方向のドーパント濃度プロファイル、すなわち図8のA1-A2線に沿ったドーパント濃度プロフ

ァイルを示す。また、図10に、ステップS304およびS305の処理を行った後のSJ基板10におけるn型ピラー層301の部分の深さ方向のドーパント濃度プロファイル、すなわち図8のB1-B2線に沿ったドーパント濃度プロファイルを示す。

[0068] 図9のように、p型ピラー層302に導入された水素関連ドナーの濃度は、第1主面10a側の端部から第2主面10b側の端部までの全域にわたって、p型ピラー層302の不純物濃度（ボロンの濃度）よりも常に低く、第2主面10bから第1主面10aに向かって連続的に増加している。すなわち、p型ピラー層302の水素関連ドナーの濃度は、p型ピラー層302の第1主面10a側の端部で最も高く、p型ピラー層302の第2主面10b側の端部で最も低くなっており、第1主面10a側から第2主面10b側へ向かって水素関連ドナーが減少するような勾配を持つ。水素関連ドナーはボロンのアクセプターを電荷的に補償するため、p型ピラー層302の深さ方向における実効ドーパント濃度は、SJ基板10の第1主面10a側から第2主面10b側へ向かって増加するような勾配となる。

[0069] また、図10のように、n型ピラー層301に導入された水素関連ドナーの濃度は、第1主面10a側の端部から第2主面10b側の端部までの全域にわたって、n型ピラー層301の不純物濃度（リンまたはヒ素の濃度）よりも常に低く、第2主面10bから第1主面10aに向かって連続的に増加している。すなわち、n型ピラー層301の水素関連ドナーの濃度も、n型ピラー層301の第1主面10a側の端部で最も高く、n型ピラー層301の第2主面10b側の端部で最も低くなっており、第1主面10a側から第2主面10b側へ向かって水素関連ドナーが減少するような勾配を持つ。そのため、n型ピラー層301の深さ方向における実効ドーパント濃度は、SJ基板10の第1主面10a側から第2主面10b側へ向かって減少するような勾配となる。

[0070] 従って、実施の形態3のSJ-MOFSFET300では、SJ基板10の第1主面10a側がpリッチで、SJ基板10の第2主面10bへ向かっ

て徐々に n リッチ化する構造となる。これにより、チャージインバランス量に対する耐圧の感度が増加してピーク耐圧を増加させることができるため、より高い耐圧を確保できるという効果が得られる。

[0071] なお、図6のSJ-MOSFET300は、プレーナゲート構造であるが、トレンチゲート構造であってもよい。トレンチゲート構造をとる場合、ゲート絶縁膜306およびゲート電極307は、SJ基板10の第1主面10aに形成されたトレンチ内に形成される。また、トレンチ内のゲート電極307がゲート絶縁膜306を介して n 型ピラー層301、 p 型ベース層303および n 型ソース層304に対向するように、 p 型ベース層303および n 型ソース層304はトレンチの側壁に形成され、トレンチは底部が p 型ベース層303の下の n 型ピラー層301にまで達する深さで形成される。

[0072] また、 n 型ソース層304に代えて、 n 型ピラー層301および p 型ピラー層302よりも不純物のピーク濃度が高い第2導電型の p 型コレクタ層を形成することで、実施の形態3の半導体装置をSJ-IGBTとしてもよい。このSJ-IGBTもトレンチゲート構造であってもよい。

[0073] <実施の形態4>

実施の形態4では、ウエハ全域に水素関連ドナーを導入するために半導体基板10のシリコン中に損傷を生じさせる工程を、軽イオン照射ではなく、電子線照射によって行う。電子線は、Heやプロトン等の軽イオンに比べて透過性が高いという特徴がある。そのため、図4と同様に半導体基板10のウエハの第2主面10bから電子線を照射しても、図4とは逆にウエハの第1主面10aから電子線を照射しても、均一な損傷を生じさせることができる。そのため、半導体基板10に導入される水素関連ドナーは、半導体基板10の深さ方向に均一に導入される。

[0074] 例えば、図11は、実施の形態1のPINダイオード100の製造方法において、軽イオン照射の代わりに電子線照射を行う場合のフローチャートである。図11は、図3の軽イオン照射工程（ステップS104）を、電子線

照射工程（ステップS 1 0 4 a）に置き換えたものである。ステップS 1 0 4 aにおいて、軽イオン照射ではなく、電子線照射が行われることを除けば、図 1 1 のフローは基本的に図 3 のフローと同じである。ただし、電子線の照射エネルギーは、4 0 0 k e V以上3 M e V以下の範囲を好適とする。また、ステップS 1 0 4 aでは、電子線を半導体基板 1 0 の第 1 主面 1 0 a 側から照射しても、第 2 主面 1 0 b 側から照射してもよい。

[0075] また、図 1 1 のフローで製造された P i N ダイオード 1 0 0 の深さ方向のドーパント濃度プロファイルを図 1 2 に示す。図 2 と同様に、n 型ドリフト層 1 0 1 は、その全域にわたって水素関連ドナーを含んでおり、n 型ドリフト層 1 0 1 の全域にわたって、水素関連ドナー濃度は常に n 型ドリフト層 1 0 1 の不純物濃度（リンまたはヒ素の濃度）以上である。ただし、図 2 とは異なり、半導体基板 1 0 の深さ方向の水素関連ドナーの濃度は、n 型ドリフト層 1 0 1 の全域にわたって均一となる。

[0076] ここでは、実施の形態 1 の半導体装置の製造方法に対して、軽イオン照射の代わりに電子線照射を行う例を示したが、本実施の形態は実施の形態 2 および 3 にも適用可能である。

[0077] なお、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。

[0078] 上記した説明は、すべての態様において、例示であって、例示されていない無数の変形例が想定され得るものと解される。

符号の説明

[0079] 1 0 半導体基板、1 0 a 第 1 主面、1 0 b 第 2 主面、2 0 軽イオン、3 0 高濃度 n 型基板、3 1 n 型エピタキシャル層、1 0 0 P i N ダイオード、1 0 1 n 型ドリフト層、1 0 2 p 型アノード層、1 0 3 n 型カソード層、1 0 4 n 型バッファ層、1 0 5 アノード電極、1 0 6 カソード電極、2 0 0 I G B T、2 0 1 n 型ドリフト層、2 0 2 p 型ベース層、2 0 3 n 型エミッタ層、2 0 4 p 型コレクタ層、2 0 5 n 型バッファ層、2 0 6 ゲート絶縁膜、2 0 7 ゲート電極、2 0 8 層

間絶縁膜、209 エミッタ電極、210 コレクタ電極、300 S J ー
M O F S F E T、301 n 型ピラー層、302 p 型ピラー層、303
p 型ベース層、304 n 型ソース層、305 n 型ドレイン層、306
ゲート絶縁膜、307 ゲート電極、308 層間絶縁膜、309 ソース
電極、310 ドレイン電極。

請求の範囲

- [請求項1] 第1主面および第2主面を有する半導体基板と、
 前記半導体基板の前記第1主面と前記第2主面との間に形成された
 第1導電型の第1半導体領域と、
 前記第1半導体領域と前記第1主面との間に形成された第2導電型
 の第2半導体領域と、
 を備え、
 前記第1半導体領域は水素関連ドナーを含み、
 前記第1半導体領域の前記水素関連ドナーの濃度は、前記第1半導
 体領域の不純物濃度以上である、
 半導体装置。
- [請求項2] 前記第1半導体領域の前記水素関連ドナーの濃度は、前記第2主面
 から前記第1主面に向かって連続的に増加している、
 請求項1に記載の半導体装置。
- [請求項3] 前記第1半導体領域と前記第2主面との間に、前記第1半導体領域
 よりも不純物のピーク濃度が高い第1導電型の第3半導体領域を有す
 る、
 請求項1または請求項2に記載の半導体装置。
- [請求項4] 前記第1半導体領域と前記第2主面との間に、前記第1半導体領域
 よりも不純物のピーク濃度が高い第2導電型の第4半導体領域を備え
 る、
 請求項1または請求項2に記載の半導体装置。
- [請求項5] 前記第1半導体領域と前記第2主面との間に、第1導電型の第5半
 導体領域および前記第5半導体領域に隣接する第2導電型の第6半導
 体領域を備える、
 請求項1または請求項2に記載の半導体装置。
- [請求項6] 前記半導体基板がMCZ基板である、
 請求項1から請求項5のいずれか一項に記載の半導体装置。

- [請求項7] 第1主面および第2主面を有する半導体基板と、
前記半導体基板の前記第1主面と前記第2主面との間に形成され、
前記第1主面に平行な方向に交互に配設された第1導電型の第1半導体ピラー領域および第2導電型の第2半導体ピラー領域と、
を備え、
前記第1半導体ピラー領域および前記第2半導体ピラー領域は水素関連ドナーを含み、
前記第1半導体ピラー領域および前記第2半導体ピラー領域の前記水素関連ドナーの濃度は、前記第1半導体ピラー領域の不純物濃度以下、且つ、前記第2半導体ピラー領域の不純物濃度以下である、
半導体装置。
- [請求項8] 前記第1半導体ピラー領域および前記第2半導体ピラー領域の前記水素関連ドナーの濃度は、前記第2主面から前記第1主面に向かって連続的に増加している、
請求項7に記載の半導体装置。
- [請求項9] 前記第1半導体ピラー領域および前記第2半導体ピラー領域と前記第2主面との間に、前記第1半導体ピラー領域および前記第2半導体ピラー領域よりも不純物のピーク濃度が高い第1導電型の半導体領域を有する、
請求項7または請求項8に記載の半導体装置。
- [請求項10] 前記第1半導体ピラー領域および前記第2半導体ピラー領域と前記第2主面との間に、前記第1半導体ピラー領域および前記第2半導体ピラー領域よりも不純物のピーク濃度が高い第2導電型の半導体領域を有する、
請求項7または請求項8に記載の半導体装置。
- [請求項11] リンまたはヒ素をドーピングした半導体基板の第1主面側に半導体装置の素子構造を形成する第1工程と、
前記半導体基板の第2主面側を研削する第2工程と、

前記半導体基板の前記第2主面側にn型またはp型の拡散層を形成する第3工程と、

軽イオンまたは電子線を前記半導体基板を貫通させるように照射する第4工程と、

前記半導体基板の前記第2主面に対して水素プラズマを照射してアニールを行う第5工程と、

前記半導体基板の第2主面上に電極を形成する第6工程と、
を備える半導体装置の製造方法。

[請求項12] 前記軽イオンは、前記第2主面側から前記半導体基板に照射される、
請求項11に記載の半導体装置の製造方法。

[請求項13] 前記軽イオンは、ヘリウムまたは水素、あるいはそれらの同位体である、
請求項11または請求項12に記載の半導体装置の製造方法。

[請求項14] 前記軽イオンの照射の加速エネルギーは1MeV以上23MeV以下である、
請求項11または請求項12に記載の半導体装置の製造方法。

[請求項15] 前記軽イオンの照射のドーズ量は、 $1 \times 10^{14} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ である、
請求項13または請求項14に記載の半導体装置の製造方法。

[請求項16] 前記第4工程において前記半導体基板には前記軽イオンが照射され、
前記アニールの温度は、300℃以上450℃以下である、
請求項11から請求項15のいずれか一項に記載の半導体装置の製造方法。

[請求項17] 前記第4工程において前記半導体基板には前記軽イオンが照射され、
前記半導体基板の前記第1主面から前記第2主面にわたって、水素

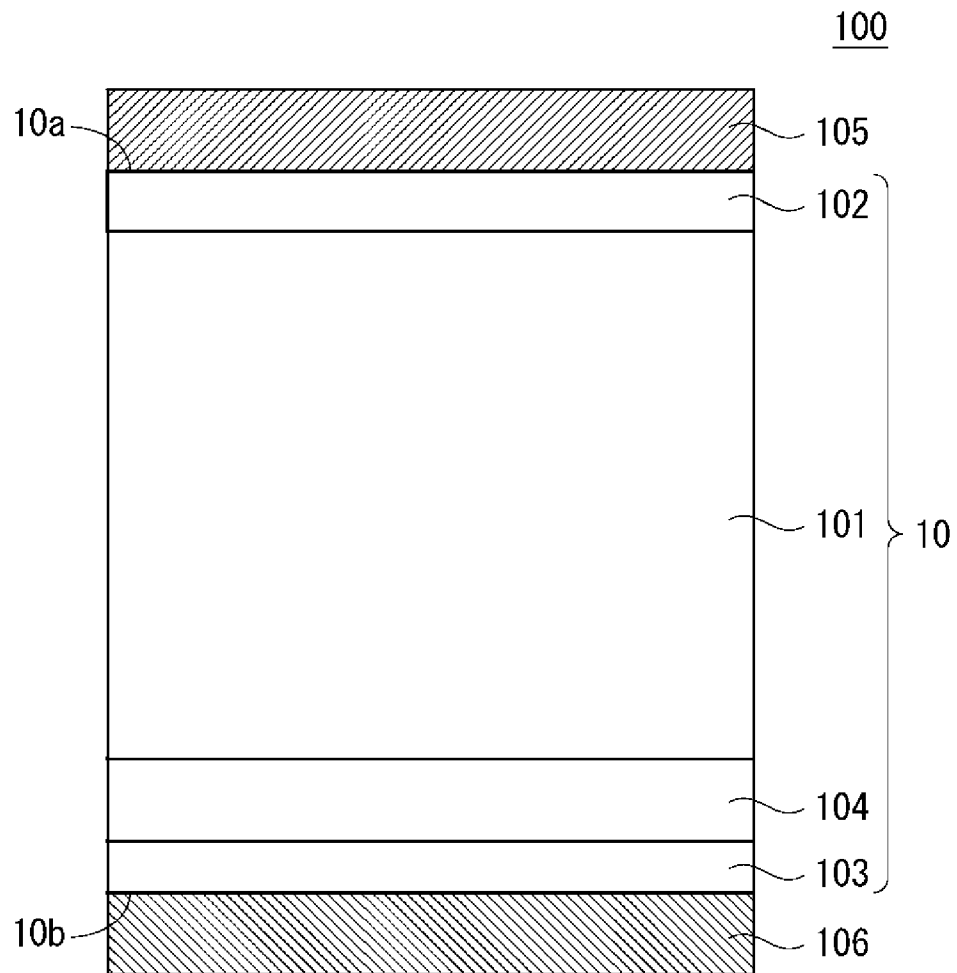
関連ドナーの濃度が前記半導体基板の不純物濃度以上になる、
請求項 1 1 から請求項 1 6 のいずれか一項に記載の半導体装置の製造方法。

[請求項18] 前記半導体基板における前記水素関連ドナーの濃度が、前記第 1 主面から前記第 2 主面に向かって連続的に増加する、
請求項 1 7 に記載の半導体装置の製造方法。

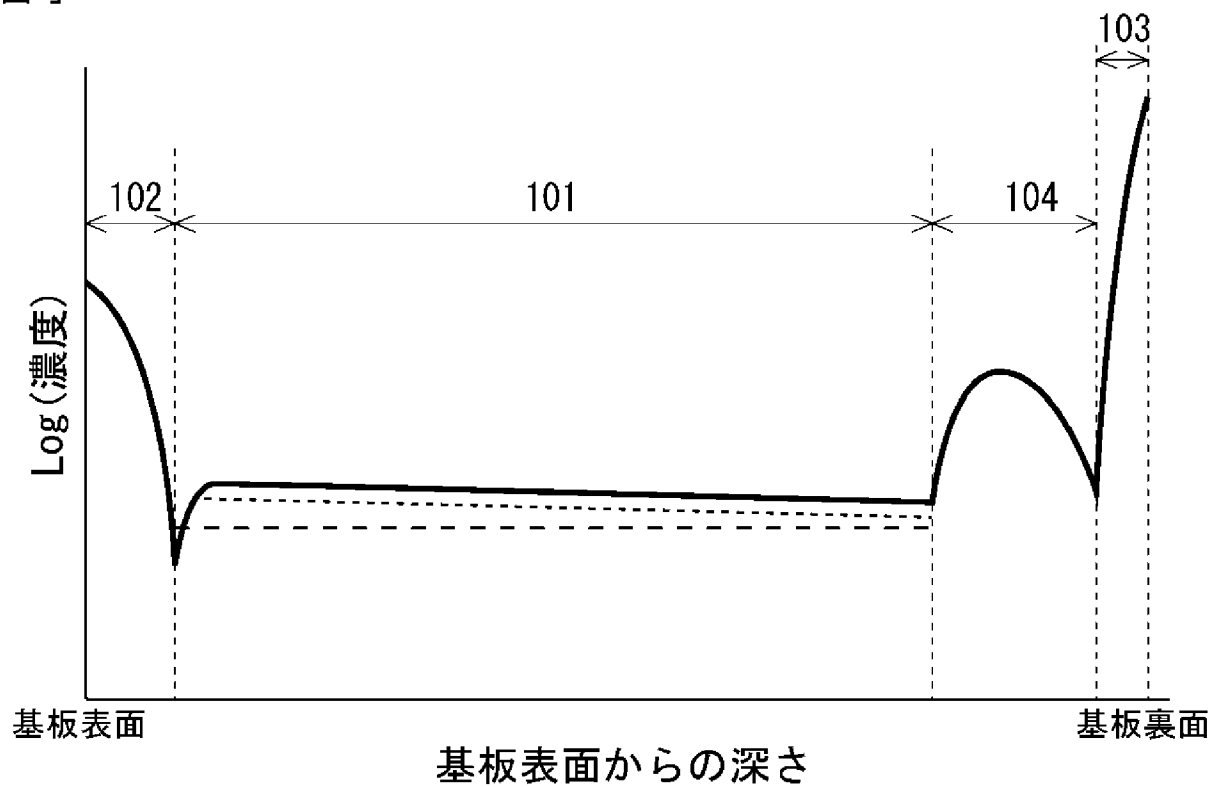
[請求項19] 前記第 4 工程において前記半導体基板には前記電子線が照射され、
前記電子線の照射の加速エネルギーは 4 0 0 k e V ~ 3 M e V である、
請求項 1 1 に記載の半導体装置の製造方法。

[請求項20] 前記第 4 工程において前記半導体基板には前記電子線が照射され、
前記半導体基板の前記第 1 主面から前記第 2 主面にわたって、水素関連ドナーの濃度が前記半導体基板の不純物濃度以上になる、
請求項 1 1 または請求項 1 9 に記載の半導体装置の製造方法。

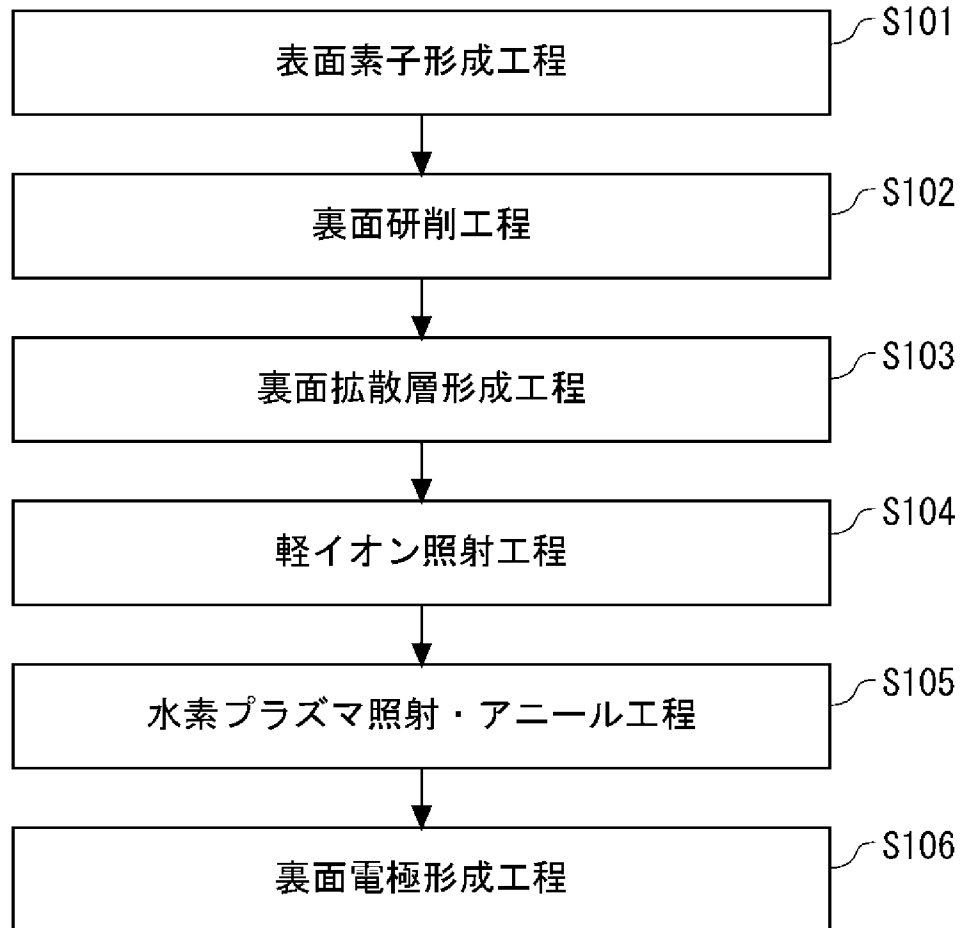
[図1]



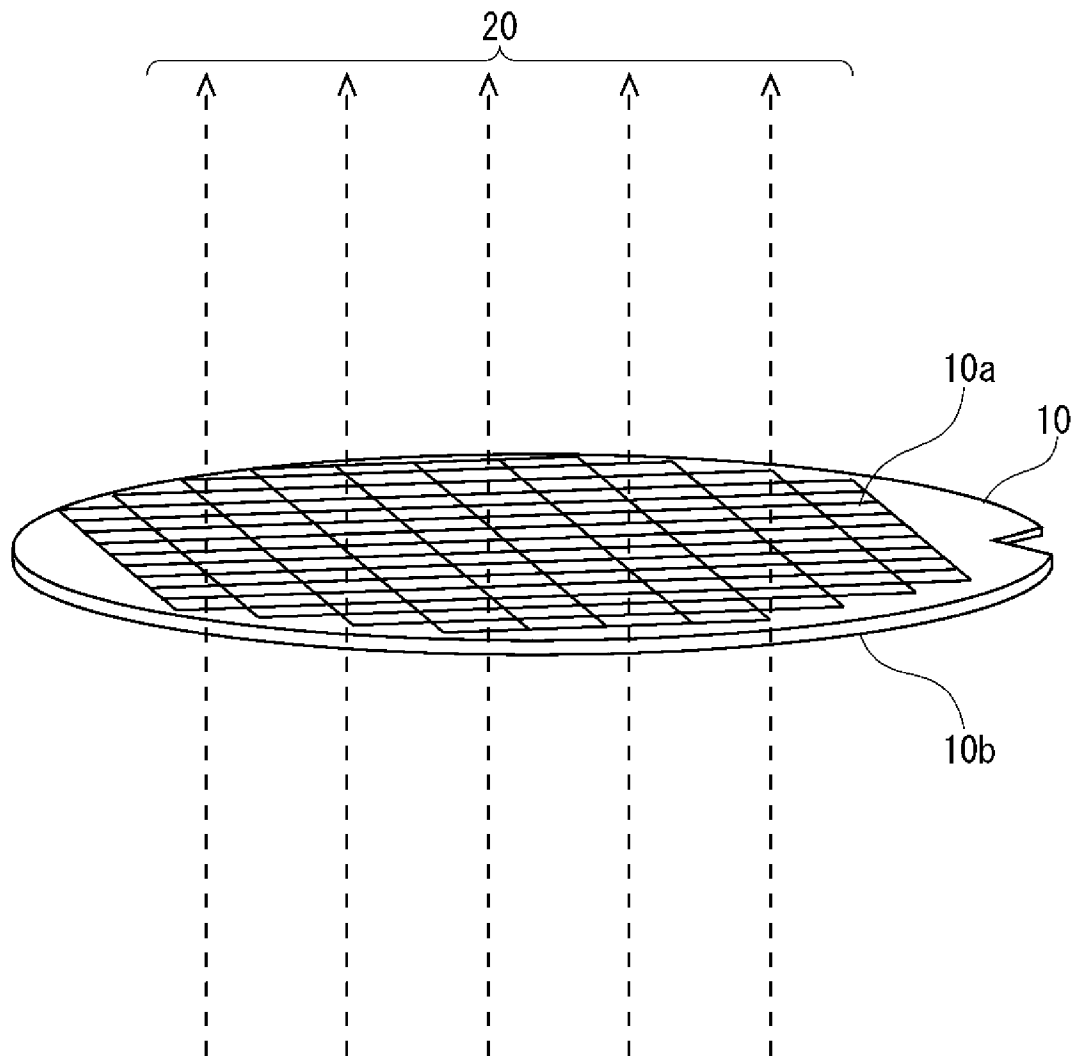
[図2]



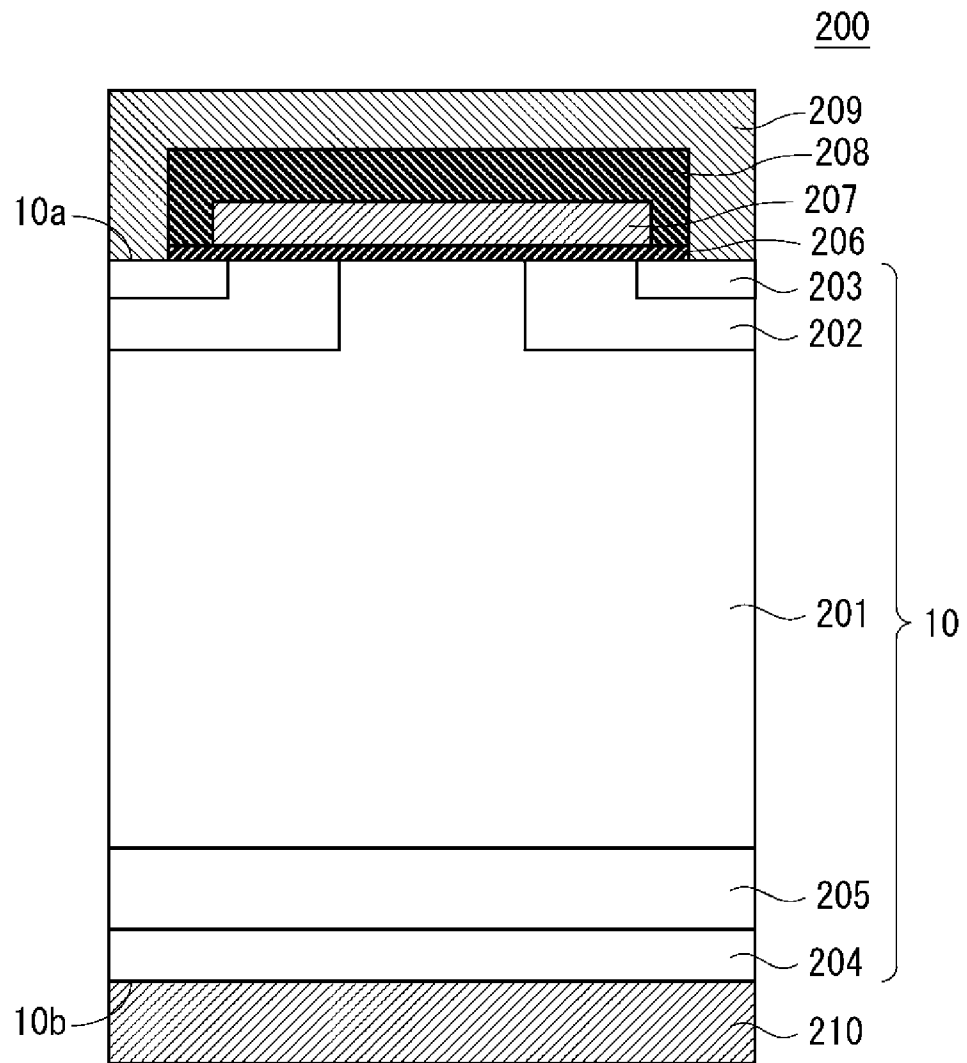
[図3]



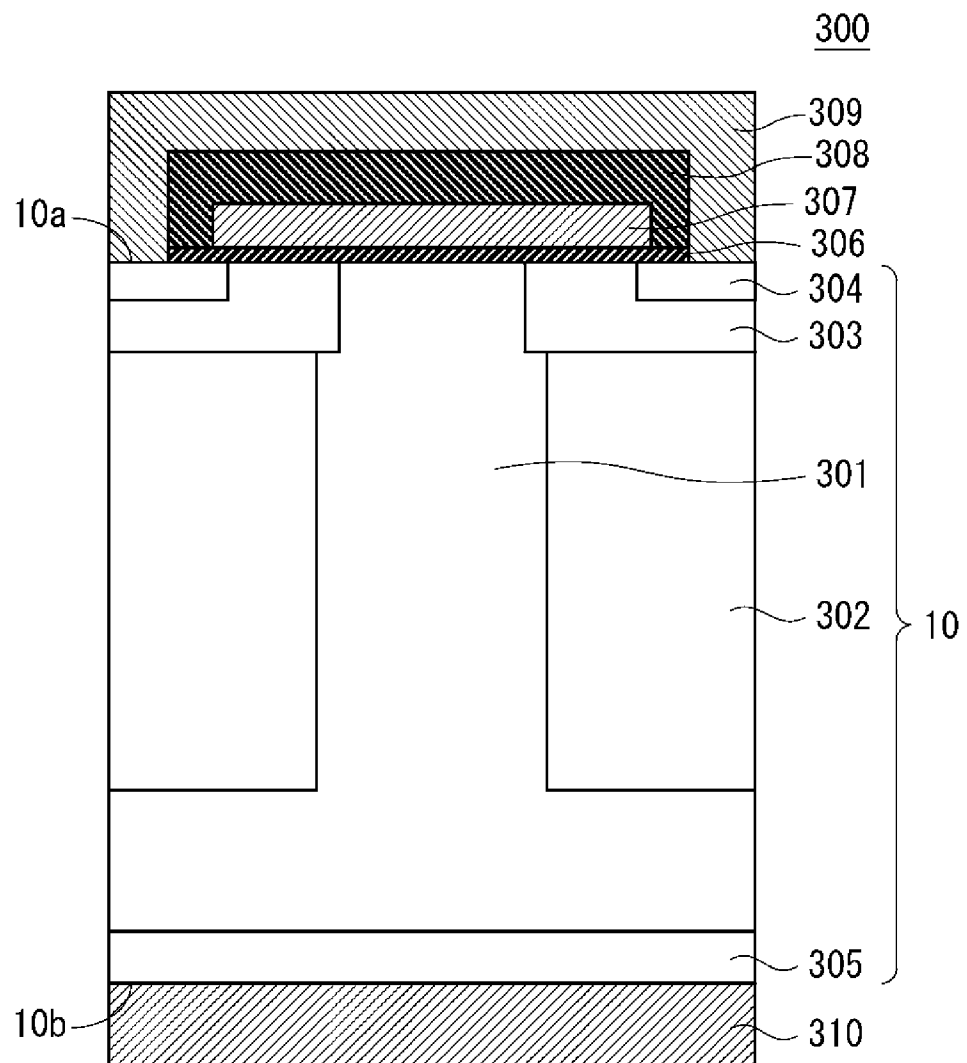
[図4]



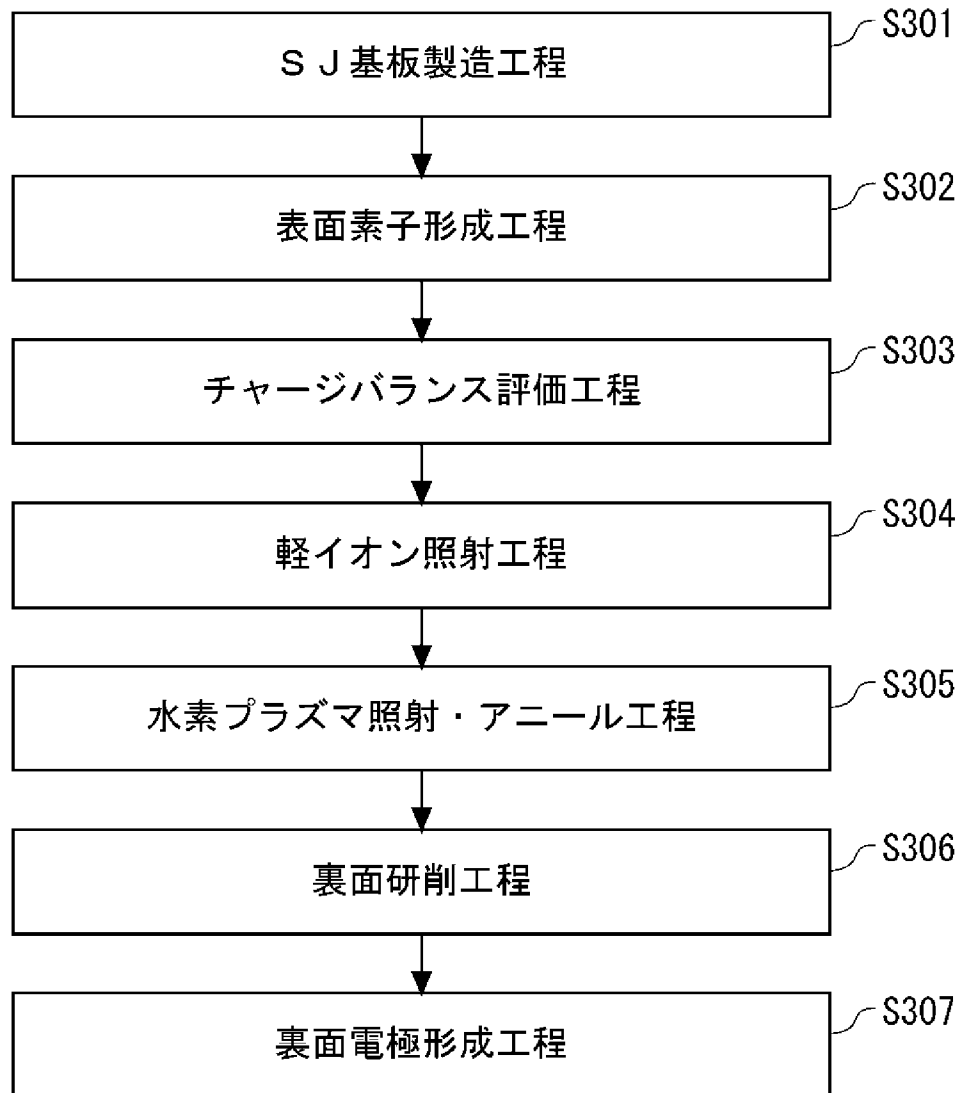
[図5]



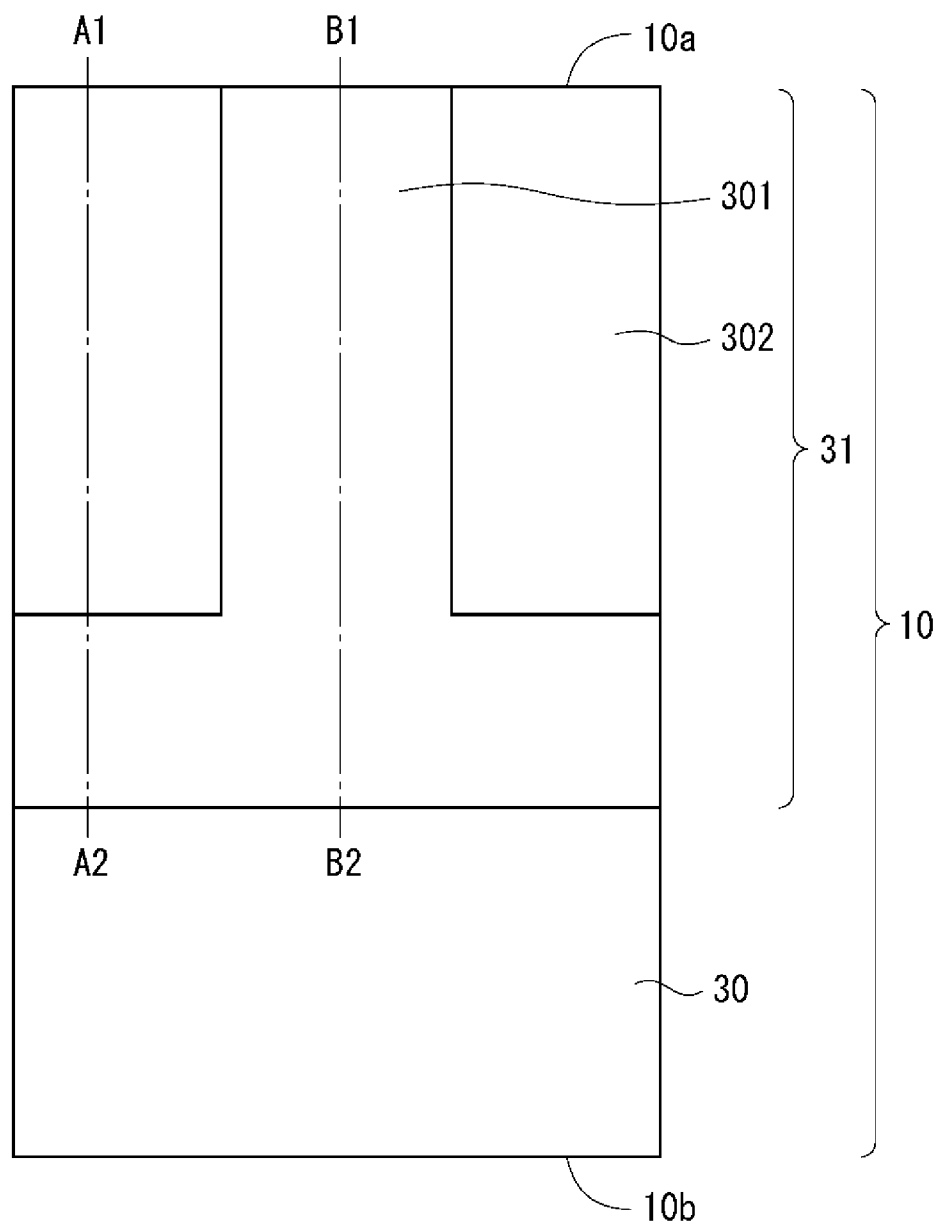
[図6]



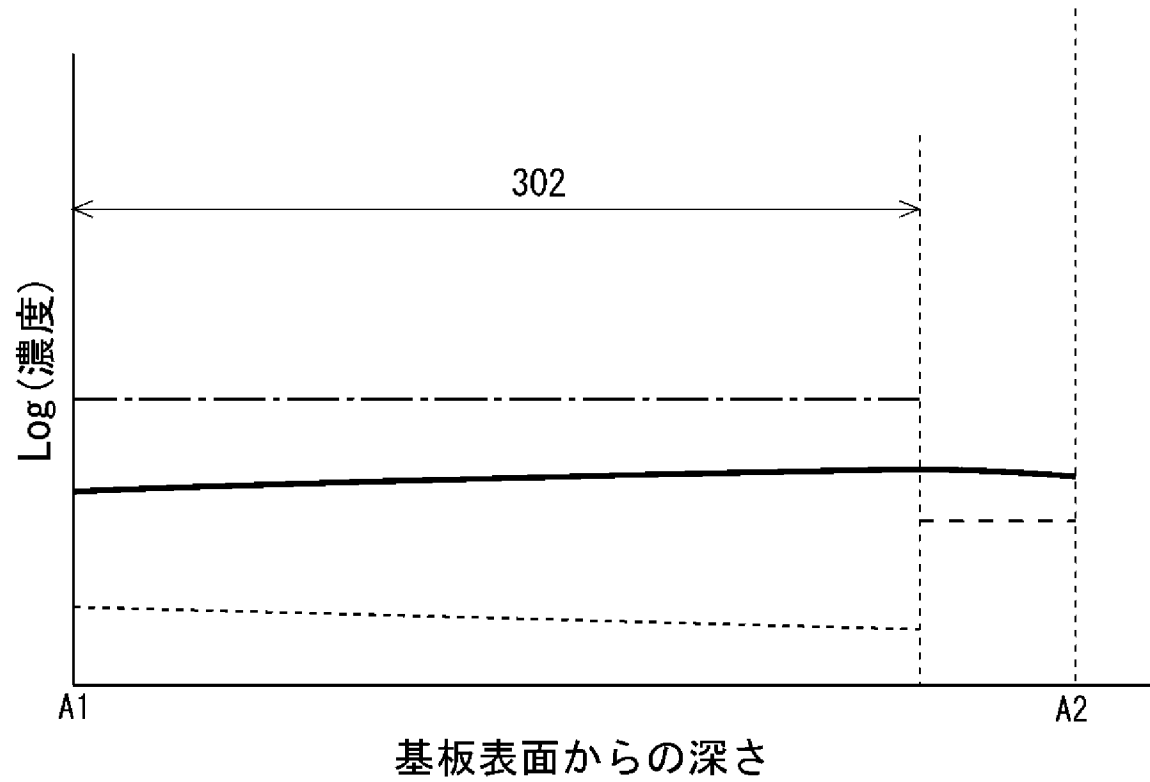
[図7]



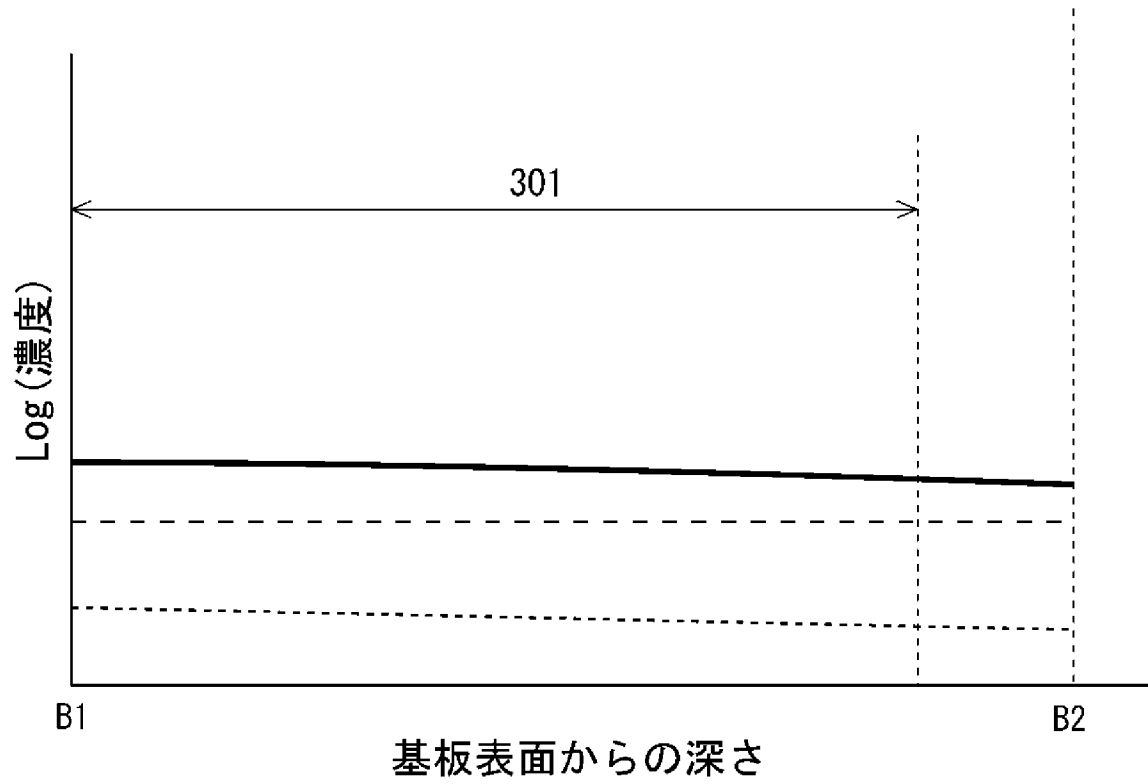
[図8]



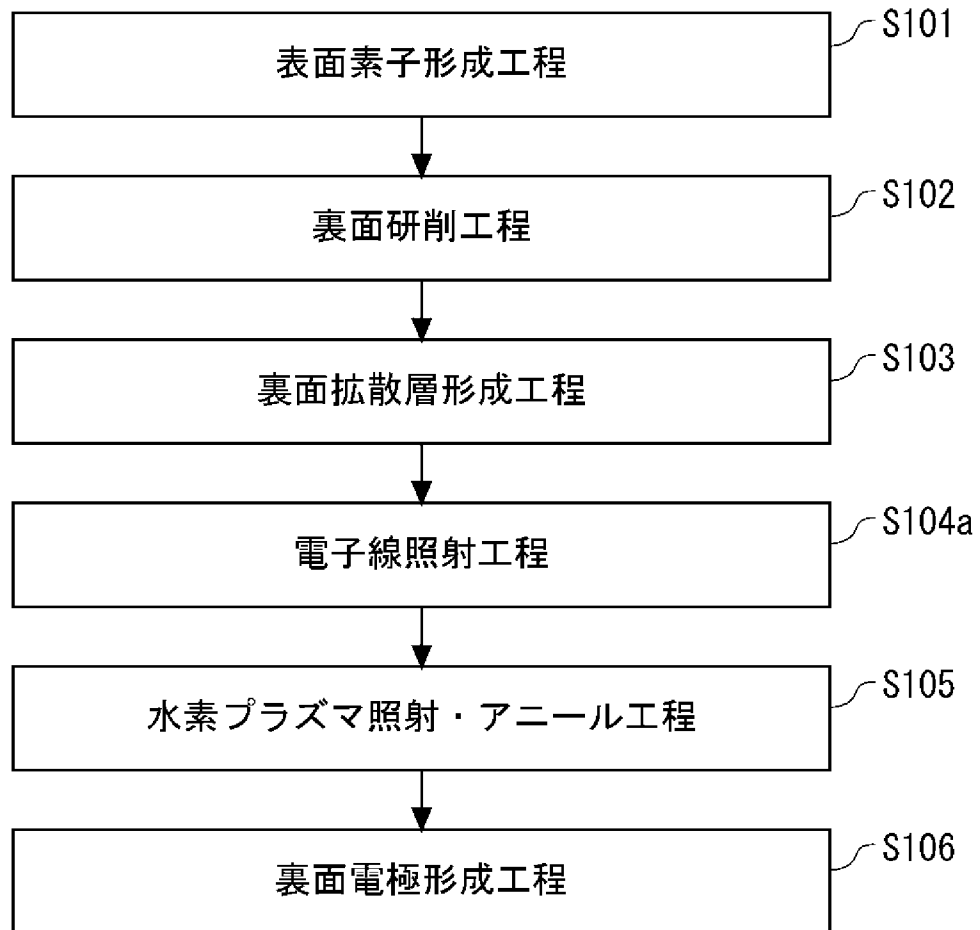
[図9]



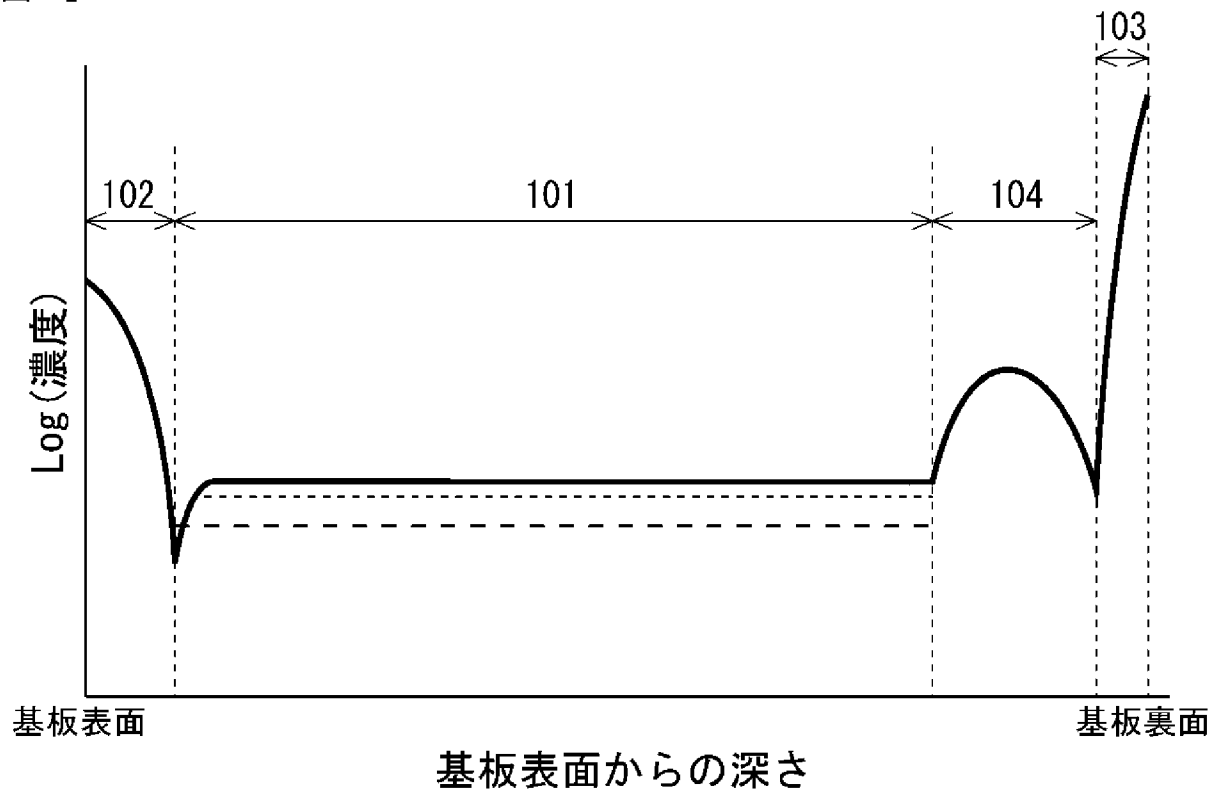
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/010983

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L21/265(2006.01)i, H01L29/78(2006.01)i, H01L29/739(2006.01)i, H01L21/336(2006.01)i, H01L21/329(2006.01)i, H01L29/868(2006.01)i
FI: H01L29/78 658A, H01L29/78 655B, H01L29/78 652H, H01L29/91 A, H01L29/78 658L, H01L29/78 653A, H01L21/265 Z, H01L21/265 F

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L21/265, H01L29/78, H01L29/739, H01L21/336, H01L21/329, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2016/204227 A1 (FUJI ELECTRIC CO., LTD.) 22	1-6
Y	December 2016, paragraphs [0020]-[0107], fig. 1-11	5-6, 12-18
A		7-11, 19-20
X	WO 2014/208404 A1 (FUJI ELECTRIC CO., LTD.) 31	1-5
Y	December 2014, paragraphs [0024]-[0112], fig. 1-7,	6, 11-20
A	11, 12, 17-24, 29, 34, 35	7-10
X	WO 2013/100155 A1 (FUJI ELECTRIC CO., LTD.) 04	1-4
Y	July 2013, paragraphs [0025]-[0050], [0067]-	5-9
A	[0087], [0094]-[0098], fig. 1-7, 17, 19	10-20
Y	JP 2008-258313 A (DENSO CORP.) 23 October 2008,	7-9
A	paragraphs [0040]-[0097], fig. 1-3, 7, 9, 11, 13,	1-6, 10-20
	15, 17	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21.05.2020

Date of mailing of the international search report
02.06.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/010983

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2014-093504 A (SONY CORP.) 19 May 2014, paragraphs [0030]-[0035], fig. 3	11-20 1-10
Y A	JP 2001-326366 A (SUMIJU SHIKEN KENSA KK) 22 November 2001, paragraphs [0031]-[0055], fig. 1-4	11-20 1-10
A	JP 2004-273863 A (SANSHA ELECTRIC MFG CO., LTD.) 30 September 2004, paragraphs [0009]-[0011], fig. 1, 3	1-20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/010983

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
WO 2016/204227 A1	22.12.2016	US 2017/0271447 A1 paragraphs [0043]- [0130], fig. 1-11 DE 112016000170 T5 CN 107004723 A	
WO 2014/208404 A1	31.12.2014	US 2015/0311279 A1 paragraphs [0065]- [0153], fig. 1-7, 11, 12, 17-24, 29, 34, 35 EP 2930741 A1 CN 104903997 A KR 10-2016-0023632 A	
WO 2013/100155 A1	04.07.2013	US 2014/0246755 A1 paragraphs [0048]- [0073], [0090]- [0109], [0115]- [0121], fig. 1-7, 17, 19 EP 2800143 A1 CN 103946985 A JP 2015-130524 A	
JP 2008-258313 A	23.10.2008	US 2014/0246755 A1 paragraphs [0041]- [0096], fig. 1-3, 7, 9, 11, 13, 15, 17 EP 2800143 A1 CN 103946985 A	
JP 2014-093504 A	19.05.2014	US 2014/0124897 A1 paragraphs [0052]- [0057], fig. 3 CN 103811474 A	
JP 2001-326366 A	22.11.2001	US 2002/0031889 A1 paragraphs [0035]- [0057], fig. 1-4 EP 1298717 A1 KR 10-2001-0093571 A CA 2357985 A	
JP 2004-273863 A	30.09.2004	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/265(2006.01)i; H01L 29/78(2006.01)i; H01L 29/739(2006.01)i; H01L 21/336(2006.01)i; H01L 21/329(2006.01)i; H01L 29/868(2006.01)i FI: H01L29/78 658A; H01L29/78 655B; H01L29/78 652H; H01L29/91 A; H01L29/78 658L; H01L29/78 653A; H01L21/265 Z; H01L21/265 F																																
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/265; H01L29/78; H01L29/739; H01L21/336; H01L21/329; H01L29/868 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年																						
日本国実用新案公報	1922-1996年																															
日本国公開実用新案公報	1971-2020年																															
日本国実用新案登録公報	1996-2020年																															
日本国登録実用新案公報	1994-2020年																															
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>WO 2016/204227 A1（富士電機株式会社）22.12.2016（2016-12-22） 段落[0020]-[0107], 図1-11</td> <td>1-6</td> </tr> <tr> <td>Y</td> <td></td> <td>5-6, 12-18</td> </tr> <tr> <td>A</td> <td></td> <td>7-11, 19-20</td> </tr> <tr> <td>X</td> <td>WO 2014/208404 A1（富士電機株式会社）31.12.2014（2014-12-31） 段落[0024]-[0112], 図1-7, 11, 12, 17-24, 29, 34, 35</td> <td>1-5</td> </tr> <tr> <td>Y</td> <td></td> <td>6, 11-20</td> </tr> <tr> <td>A</td> <td></td> <td>7-10</td> </tr> <tr> <td>X</td> <td>WO 2013/100155 A1（富士電機株式会社）04.07.2013（2013-07-04） 段落[0025]-[0050], [0067]-[0087], [0094]-[0098], 図1-7, 17, 19</td> <td>1-4</td> </tr> <tr> <td>Y</td> <td></td> <td>5-9</td> </tr> <tr> <td>A</td> <td></td> <td>10-20</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	WO 2016/204227 A1（富士電機株式会社）22.12.2016（2016-12-22） 段落[0020]-[0107], 図1-11	1-6	Y		5-6, 12-18	A		7-11, 19-20	X	WO 2014/208404 A1（富士電機株式会社）31.12.2014（2014-12-31） 段落[0024]-[0112], 図1-7, 11, 12, 17-24, 29, 34, 35	1-5	Y		6, 11-20	A		7-10	X	WO 2013/100155 A1（富士電機株式会社）04.07.2013（2013-07-04） 段落[0025]-[0050], [0067]-[0087], [0094]-[0098], 図1-7, 17, 19	1-4	Y		5-9	A		10-20
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																														
X	WO 2016/204227 A1（富士電機株式会社）22.12.2016（2016-12-22） 段落[0020]-[0107], 図1-11	1-6																														
Y		5-6, 12-18																														
A		7-11, 19-20																														
X	WO 2014/208404 A1（富士電機株式会社）31.12.2014（2014-12-31） 段落[0024]-[0112], 図1-7, 11, 12, 17-24, 29, 34, 35	1-5																														
Y		6, 11-20																														
A		7-10																														
X	WO 2013/100155 A1（富士電機株式会社）04.07.2013（2013-07-04） 段落[0025]-[0050], [0067]-[0087], [0094]-[0098], 図1-7, 17, 19	1-4																														
Y		5-9																														
A		10-20																														
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																																
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																																
国際調査を完了した日 21.05.2020		国際調査報告の発送日 02.06.2020																														
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 杉山 芳弘 5F 6311 電話番号 03-3581-1101 内線 3516																														

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-258313 A (株式会社デンソー) 23.10.2008 (2008 - 10 - 23)	7-9
A	段落[0040]-[0097], 図1-3, 7, 9, 11, 13, 15, 17	1-6, 10-20
Y	JP 2014-093504 A (ソニー株式会社) 19.05.2014 (2014 - 05 - 19)	11-20
A	段落[0030]-[0035], 図3	1-10
Y	JP 2001-326366 A (住重試験検査株式会社) 22.11.2001 (2001 - 11 - 22)	11-20
A	段落[0031]-[0055], 図1-4	1-10
A	JP 2004-273863 A (株式会社三社電機製作所) 30.09.2004 (2004 - 09 - 30)	1-20
	段落[0009]-[0011], 図1, 3	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/010983

引用文献			公表日	パテントファミリー文献			公表日
WO	2016/204227	A1	22.12.2016	US	2017/0271447	A1	
				段落[0043]-[0130], 図1-11			
				DE	112016000170	T5	
				CN	107004723	A	
WO	2014/208404	A1	31.12.2014	US	2015/0311279	A1	
				段落[0065]-[0153], 図1-7, 11, 12, 17-24, 29, 34, 35			
				EP	2930741	A1	
				CN	104903997	A	
				KR	10-2016-0023632	A	
WO	2013/100155	A1	04.07.2013	US	2014/0246755	A1	
				段落[0048]-[0073], [0090]-[0109], [0115]-[0121], 図1-7, 17, 19			
				EP	2800143	A1	
				CN	103946985	A	
				JP	2015-130524	A	
JP	2008-258313	A	23.10.2008	US	2014/0246755	A1	
				段落[0041]-[0096], 図1-3, 7, 9, 11, 13, 15, 17			
				EP	2800143	A1	
				CN	103946985	A	
JP	2014-093504	A	19.05.2014	US	2014/0124897	A1	
				段落[0052]-[0057], 図3			
				CN	103811474	A	
JP	2001-326366	A	22.11.2001	US	2002/0031889	A1	
				段落[0035]-[0057], 図1-4			
				EP	1298717	A1	
				KR	10-2001-0093571	A	
				CA	2357985	A	
JP	2004-273863	A	30.09.2004	(ファミリーなし)			