

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-130084

(P2009-130084A)

(43) 公開日 平成21年6月11日(2009.6.11)

(51) Int.Cl.
H01L 29/861 (2006.01)

F I
H01L 29/91 C

テーマコード (参考)

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号 特願2007-302685 (P2007-302685)
(22) 出願日 平成19年11月22日 (2007.11.22)

(71) 出願人 503121103
株式会社ルネサステクノロジ
東京都千代田区大手町二丁目6番2号
(74) 代理人 100080001
弁理士 筒井 大和
(72) 発明者 光安 昭博
東京都千代田区大手町二丁目6番2号 株
式会社ルネサステクノロジ内
(72) 発明者 内藤 伸二
東京都千代田区大手町二丁目6番2号 株
式会社ルネサステクノロジ内

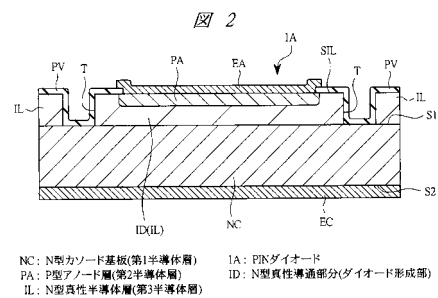
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 PINダイオードを有する半導体装置において、PINダイオードの順方向特性を低抵抗化させる。

【解決手段】 N型のN型カソード基板NCと、P型のP型アノード層PAと、これらの間に各々に接触した状態で設けられ、真性半導体であるN型のN型真性半導体層ILとを含むPINダイオード1Aを有し、P型アノード層PAは、N型真性半導体層ILの主面S1ILから所望の深さに渡って形成され、P型アノード層PAの外周は、N型真性半導体層ILの主面S1IL内においてN型真性半導体層ILのN型真性導通部分IDの外周から内側に離れた位置で終端している。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第 1 導電型の第 1 半導体層と、
前記第 1 導電型とは逆の第 2 導電型の第 2 半導体層と、
前記第 1 半導体層と前記第 2 半導体層との間に、各々に接触した状態で設けられ、真性半導体となるような不純物濃度に設定された、第 1 導電型の第 3 半導体層とを含むダイオードを有し、
前記第 2 半導体層は、前記第 3 半導体層のダイオード形成部の主面から所望の深さに渡って形成されており、
前記第 3 半導体層の主面内において、前記第 2 半導体層の外周は、前記第 3 半導体層のダイオード形成部の外周から内側に離れた位置で終端するように形成されていることを特徴とする半導体装置。

10

【請求項 2】

請求項 1 記載の半導体装置において、
前記第 3 半導体層のダイオード形成部は、前記第 1 半導体層上に形成されており、
前記第 3 半導体層のダイオード形成部の外周は、前記第 1 半導体層の外周から内側に離れた位置で終端するように形成されていることを特徴とする半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、
前記第 3 半導体層のダイオード形成部は、前記第 3 半導体層のダイオード形成部に沿って、前記第 3 半導体層の主面から前記第 1 半導体層に達する溝が形成されることで設けられており、
前記第 3 半導体層のダイオード形成部の外周は、前記第 1 半導体層の外周から内側に離れた位置で終端するように形成されていることを特徴とする半導体装置。

20

【請求項 4】

請求項 3 記載の半導体装置において、
前記溝は、化学的なエッチングにより形成されたものであることを特徴とする半導体装置。

【請求項 5】

請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置において、
前記第 3 半導体層のダイオード形成部の表面は、保護膜によって覆われていることを特徴とする半導体装置。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置技術に関し、特に、PIN 接合を有する半導体装置に適用して有効な技術に関するものである。

【背景技術】**【0002】**

近年の高度な情報化社会の発展に伴い、移動通信機器端末などの性能の向上が要求されている。例えば、デジタル携帯電話などでは、小型化、低消費電力化およびマルチバンド化が急速に進んでいる。

40

【0003】

ここで、一般的なデジタル携帯電話においては、信号を送信するための送信用回路と、受信した信号を処理する受信用回路と、外部からこれらの回路に信号を受発信するためのアンテナとを有している。そして、送信時には送信用回路からアンテナへと信号を伝達し、受信用回路には伝達されないようにする必要がある一方で、受信時にはアンテナから受信用回路へと信号を伝達し、送信用回路には伝達されないようにする必要がある。即ち、信号処理回路内では高周波信号の伝達経路を切り替える必要がある。この目的を満たす素子として、PN 接合ダイオード（以下、PN ダイオード）が用いられている。

50

【0004】

2端子からなるPNダイオードは、その2端子への印加電圧のバイアスに対し、正負いずれかの極性に対して電流を通過させ（順方向、オン状態）、他方の極性に対して電流を遮断する（逆方向、オフ状態）といった、所謂整流特性を有する。この整流特性を利用して、送信時、アンテナと送信用回路とを導通させるときは、アンテナと受信用回路とを遮断し、受信時、アンテナと受信用回路とを導通させるときは、アンテナと送信用回路とを遮断するようにする。

【0005】

上記のようにアンテナ切り換え用途のPNダイオードの特性としては、順方向特性（オン時）は低抵抗であることが望ましい。なぜなら、順方向としてPNダイオードに信号を通過させるときは、信号の損失（ロス）をできるだけ少なくすることが望ましく、順方向抵抗は低い方がよいからである。更に、逆方向特性（オフ時）は低容量であることが望ましい。なぜなら、逆方向としてPNダイオードに信号を遮断させるときは、容量としてのPNダイオードを充放電する時間をできるだけ短くすることが望ましく、逆方向容量は低い方がよいからである。

10

【0006】

上記の特性が要求されるPNダイオードとして、PN接合を形成するP領域とN領域との間に、真性（Intrinsic）半導体領域（以下、真性領域）を挟んだ、PIN接合ダイオード（以下、PINダイオード）の適用が実用化されている。真性領域は、外因性の不純物濃度が低く、逆方向電圧印加時に空乏層が広がり易い。従って、電気容量は低下するからである。

20

【0007】

高不純物濃度の半導体基板上に形成した、真性領域、および、基板と逆導電型の高不純物濃度の半導体領域の積層構造を有するPINダイオードなどが、例えば、特開2002-124686号公報（特許文献1）、または、特開2005-340484号公報（特許文献2）などに開示されている。

【特許文献1】特開2002-124686号公報

【特許文献2】特開2005-340484号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0008】

本発明者らが、例えば携帯電話機器などへの導入を検討したPINダイオードの構造を、図12に示す。基板でありN型の半導体領域であるN型カソード基板NCx、真性半導体である真性半導体層ILx、および、P型の半導体領域であるP型アノード層PAxの三層構造により、PINダイオード1xの主要な部分が構成されている。

【0009】

また、N型カソード基板NCxおよびP型アノード層PAxには、電極として、それぞれカソード電極ECxおよびアノード電極EAxが形成されている。また、真性半導体層ILxおよびP型アノード層PAxには、表面からN型カソード基板NCxに達するトレンチTxが形成されている。トレンチTxおよびその周辺は、保護膜PVxが形成されている。

40

【0010】

ここで、上記のように、PINダイオード1xはPN接合の間に真性領域を有している。このようなPINダイオード1xに逆方向バイアスを印加すると、真性領域に広がる空乏層が広く、電気容量は通常のPNダイオードに比べて低くなることは上記で説明した通りである。一方、不純物濃度が極端に低い真性領域を有するPINダイオード1xは、順方向バイアス時の抵抗値が高くなってしまふことが懸念される。そこで、逆方向低容量特性を有するPINダイオード1xにおいては、順方向特性を低抵抗化するような技術動向となっている。特に、近年の携帯通信機器の多機能化により、低消費電力化が強く望まれており、このような要求からも、低抵抗化の必要性が高くなってきている。

50

【0011】

しかし、本発明者らは、上記構造のP I Nダイオード1 xの順方向特性を低抵抗にする技術を検討し、以下のような課題を見出した。即ち、順方向特性の低抵抗化のためには、外因性不純物濃度の低い真性半導体層I L xの中に、N型カソード基板N C xおよびP型アノード層P A xから、より多くのキャリアを注入し得る構造とすることが有効であると、本発明者らは着想した。

【0012】

本発明者らの検討によれば、P型アノード層P A xと真性半導体層I L xとの接合面積を広げることで、抵抗値が低下し得ることが見出された。しかしながら、P型アノード層P A xと真性半導体層I L xとの接合面積を広げることは、当該P I Nダイオード1 xの逆方向特性において、電荷蓄積部の面積が増加することを意味し、即ち、電気容量の増加を引き起こす。このように、単に接合面積を拡大するという手法では、順方向抵抗値と、逆方向容量値とはトレードオフの関係にあることが、本発明者らの検討により明らかとなった。

10

【0013】

そこで、本発明の目的は、P I Nダイオードを有する半導体装置において、P I Nダイオードの順方向特性を低抵抗化させる技術を提供することにある。

【0014】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

20

【課題を解決するための手段】

【0015】

本願においては、複数の発明が開示されるが、そのうちの一実施例の概要を簡単に説明すれば以下の通りである。

【0016】

即ち、第1導電型の第1半導体層と、第2導電型の第2半導体層と、これらの間に各々に接触した状態で設けられ、真性半導体である第1導電型の第3半導体層とを含むダイオードを有し、第2半導体層は、第3半導体層の主面から所望の深さに渡って形成され、第2半導体層の外周は、第3半導体層の主面内において第3半導体層のダイオード形成部の外周から内側に離れた位置で終端している。

30

【発明の効果】

【0017】

本願において開示される複数の発明のうち、上記一実施例により得られる効果を代表して簡単に説明すれば以下のとおりである。

【0018】

即ち、P I Nダイオードを有する半導体装置において、P I Nダイオードの順方向特性を低抵抗化させることができる。

【発明を実施するための最良の形態】

【0019】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。

40

50

このことは、上記数値および範囲についても同様である。また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付すようにし、その繰り返しの説明は可能な限り省略するようにしている。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0020】

(実施の形態1)

本実施の形態1のダイオード(半導体装置)は、例えばデジタル携帯電話の高周波スイッチ用のPINダイオードである。このようなPINダイオードにおいて、逆方向特性における電気容量を増加させることなく、順方向特性を低抵抗化する技術を例示する。

【0021】

図1には、本実施の形態1のPINダイオード1Aの平面図を示している。ここでは特に、異なる半導体領域の平面的な境界線のみを示し、絶縁膜の領域、導体膜の領域などは省略している。更に、図2には、図1におけるx1-x1線の断面を矢印の方向に見た要部断面図を示している。

【0022】

本実施の形態1のPINダイオード1Aは、N型(第1導電型)の半導体基板としてのN型カソード基板(第1半導体層)NCと、P型(第2導電型)のP型アノード層(第2半導体層)PAとを有し、これらに各々に接触した状態で設けられた、N型の真性半導体層であるN型真性半導体層(第3半導体層)ILを有している。

【0023】

N型とは、例えばIV族の元素からなるシリコンなどにおいて、リン(P)やヒ素(As)などのV族元素を、III族の元素よりも多く含有した状態であり、多数キャリアが電子であるような半導体材料の導電型を表す。また、P型とは、IV族シリコンなどにおいて、ホウ素(B)などのIII族元素を、V族元素よりも多く含有した状態であり、多数キャリアが正孔(ホール)であるような半導体材料の導電型を表す。

【0024】

N型カソード基板NCは、例えばシリコン(Si)単結晶により形成されており、厚さ方向に沿って互いに反対側に位置する表面S1および裏面S2を有する。このN型カソード基板NCの平面形状は、例えば四角形上に形成されている。

【0025】

N型カソード基板NCの表面S1上には、N型真性半導体層ILが形成されている。N型真性半導体層ILは、上記N型カソード基板NCと同様に、例えばN型のシリコン単結晶により形成されているが、その不純物濃度は、N型カソード基板NCとは異なり、真性半導体となる条件を満たすように設定されている。

【0026】

ここで、真性半導体とは、以下のように定義される半導体であるとする。単結晶よりなる半導体材料において、結合状態にある安定したエネルギーを持った電子は、有限の温度では熱擾乱によって伝導電子(または自由電子)となるエネルギーに励起される。結合状態にある電子が自由電子となるので、このとき同数の正孔が生成される。そこで、真性半導体とは、注入(またはドーピング)された外因性不純物の濃度(不純物濃度)が、この熱的に発生した電子、正孔濃度に比べて少ない半導体のことを言うこととする。もちろん、不純物を含まない半導体を排除するものではない。

【0027】

このN型真性半導体層ILには、N型真性導通部分(ダイオード形成部)IDの外周に沿って、N型真性半導体層ILの主面SILからN型カソード基板NCの表面S1に達するようなトレンチ(溝)Tを有している。ここで、このN型真性半導体層ILにおいて、トレンチTに囲まれた部分がN型真性導通部分IDである。言い換えれば、N型真性導通部分IDは、平面的に見て、トレンチTによって、N型カソード基板NCの外周から隔離されている。N型真性導通部分IDの主面SILの平面形状は、例えば矩形形状である。

【0028】

10

20

30

40

50

N型真性導通部分IDは、上記トレンチTを隔てて平面枠状のN型真性半導体層ILが残されているが、この部分は素子自体として機能する部分ではない。

【0029】

後に詳細を記すように、本実施の形態1のPINダイオード1Aにおいては、上記のN型真性導通部分IDが、ダイオード素子のPIN接合を構成する要素となる。このように、素子の構成要素であるN型真性導通部分IDを、トレンチTによって、N型カソード基板NCの外周から隔離することで、以下のような構造とすることができる。

【0030】

N型カソード基板NCは、PINダイオード1Aを構成する基板として用いており、製造工程中は、半導体ウェハと称される平面略円形状の薄板上に、同様の構造を一括して形成するようにして扱われる。そして、後に詳細を示すような工程により、所望の構成を形成した後、スクライバと称される裁断機によって、個々に切り分けられる(ダイシング)。このとき、本発明者らの検討によれば、素子の構成要素として用いるN型真性半導体層ILがN型カソード基板NCの外周にまで達していると、ダイシング時の機械的な応力や直接的な汚染により、欠陥が生じるといふ。このような結晶欠陥は、注入されたキャリアのトラップ準位となって、キャリアの輸送を妨げる。結果として、PINダイオードの順方向特性における抵抗値を上昇させる原因となるという。

【0031】

そこで、本実施の形態1のPINダイオード1Aでは、N型真性導通部分IDを設け、この領域を、ダイシングの対象となるN型カソード基板NCの外周から、トレンチTによって隔離させている。そして、このN型真性導通部分にダイオード素子のPIN接合を形成することで、特性に影響する真性領域には、ダイシングによる結晶欠陥が生じ難い構造とすることができる。結果として、PINダイオードの順方向特性における抵抗値を低下させることができる。

【0032】

また、上記のように、N型真性導通部分IDをダイシング領域から隔離する目的で形成されるトレンチTは、ウェットエッチング、ドライエッチング、または、これらの組み合わせといった、化学的なエッチングプロセスによって形成しても良い。これにより、N型真性導通部分IDの側壁内に、結晶欠陥を生じ難くなる。結果として、PINダイオードの順方向特性における抵抗値をより低下させることができる。

【0033】

N型真性半導体層ILのN型真性導通部分IDの表面は、保護膜PVで覆われている。ここでは、N型真性導通部分IDが露出しないように、段差部やトレンチTの内壁などを完全に覆うようにして、保護膜PVが形成されている。

【0034】

本実施の形態1において、保護膜PVとしては、例えば、以下に示す3種の膜の積層構造であるとする。1層目は、N型真性半導体層ILを構成する材料である単結晶シリコン上に安定に形成することができる、酸化シリコン膜を主体とする酸化膜である。2層目は、種々のイオンなど、外部からの外因性電荷を捕獲(ゲッタリング)する機能を有する、PSG(Phospho-Silicate Glass)を主体とするケイ酸塩ガラス膜である。3層目は、水分などの浸入を防ぐ機能を有する、窒化シリコン膜を主体とする窒化膜である。なお、3層目の窒化シリコン膜は、段差部の被覆性(ステップカバレッジ)を良くするために、例えば、低圧の化学気相成長(CVD:Chemical Vapor Deposition)法などによって形成したものを適用する。

【0035】

以上のような保護膜PVによって、N型真性半導体層ILの主面SILを覆うことで、PIN接合の構成要素であるN型真性導通部分IDなどを、外部からのイオンの侵入や水分の浸入から防ぐことができる。これにより、PIN接合において真性領域に注入されたキャリアが、外因性の電荷や汚染などにより輸送を妨げられ難くなる。結果として、PINダイオードの順方向特性における抵抗値をさらに低下させることができる。

10

20

30

40

50

【 0 0 3 6 】

また、本発明者らが検討した技術によれば、上記と同様の外因性の電荷や汚染の侵入を防止する目的で、真性領域の表面に基板（カソード部）と同じ導電型の拡散層を形成し、真性領域表面の安定化を図る方法がある。ここで、追加した拡散層は、真性半導体状態よりも高い不純物濃度を有する半導体領域であるという。しかし、この技術を適用した P I N ダイオードを本発明者らが検証したところ、高調波歪特性が劣化することが実験的に確認された。

【 0 0 3 7 】

ここで、高調波歪特性とは、非線形特性である P I N ダイオードに所望の R F 信号を通過させた際に発生する雑音（ノイズ）であり、R F 信号の整数倍の周波数信号が発生する。例えば、携帯通信端末における G S M（Global System for Mobile Communications）規格では、900 MHz / 1800 MHz の周波数帯を用いる場合がある。ここで、900 MHz の 2 倍波長歪が発生（即ち、1800 MHz のノイズ信号が発生）すると、別の帯域（1800 MHz）で混信が発生する要因となるため、アンテナ切り替え用途の P I N ダイオードにおいて重要な特性である。

10

【 0 0 3 8 】

本発明者らが検討した、真性領域表面に拡散層を有する P I N ダイオードにおいて見られた高調波歪特性の劣化は、本発明者らの検討によれば、信号の伝達経路に由来する現象であることが分かった。即ち、本来、R F（Radio Frequency）信号（または、高調波信号、高周波信号）は、アノード部から真性領域を経てカソード部へ流れるが、真性領域に比較的高不純物濃度である拡散層が存在すると、この拡散層を経由して流れてしまうからである。そして、本実施の形態 1 の P I N ダイオード 1 A では、N 型真性半導体層 I L には、意図的に上記拡散領域を設けることなく、保護膜 P V によって外因性の電荷や汚染の侵入を防いでいる。結果として、高調波歪特性の劣化をもたらすことなく、P I N ダイオードの順方向特性における抵抗値をさらに低下させることができる。

20

【 0 0 3 9 】

また、N 型カソード基板 N C の裏面 S 2 にはカソード電極 E C が形成され、P 型アノード層 P A の露出した部分を覆うようにしてアノード電極 E A が形成されている。カソード電極 E C およびアノード電極 E A は、例えば A l , T i , T i W , W , T i N などの導体膜により形成されているものとする。以上が、本実施の形態 1 の P I N ダイオード 1 A の主な構成である。

30

【 0 0 4 0 】

以下では、本実施の形態 1 の P I N ダイオードのうち、特に P 型アノード層 P A の形状について詳しく説明する。上記のような N 型真性半導体層 I L の N 型真性導通部分 I D には、P 型アノード層 P A が形成されている。P 型アノード層 P A は、N 型真性導通部分 I D の主面 S I L から、N 型カソード基板 N C の表面 S 1 に達せず、下部に N 型真性導通部分 I D が残される程度の所望の深さに渡って形成されている。

【 0 0 4 1 】

ここで、本実施の形態 1 の P I N ダイオード 1 A は、P 型アノード層 P A の形状が、図 1 2 を用いて説明した P I N ダイオード 1 x とは異なっている。図 1 2 の本発明者らが検討した P I N ダイオード 1 x では、P 型アノード層 P A が N 型真性半導体層 I L の全面を覆うように、端部から端部に渡って形成されている。これに対し、本実施の形態 1 の P I N ダイオード 1 A では、P 型アノード層 P A が、N 型真性半導体層 I L の主面 S I L の一部を覆うようにして形成されている。ここでは、N 型カソード基板 N C の表面 S 1 を平面的に見て、P 型アノード層 P A は、その端部が、N 型真性半導体層 I L の端部に達しないように、N 型真性半導体層 I L の内側に形成されている。

40

【 0 0 4 2 】

特に、本実施の形態 1 の P I N ダイオード 1 A では、上記のように、N 型真性半導体層 I L は、平面的に N 型カソード基板 N C の外周から、トレンチ T によって隔離されている N 型真性導通部分 I D を有している。そして、P 型アノード層 P A は、N 型真性導通部分

50

I D内に形成される。更にここでは、平面的に見て、P型アノード層P Aの端部は、N型真性導通部分I Dの端部であるトレンチTに達しないようにして、N型真性導通部分I Dの内側に形成されている。

【0043】

本実施の形態1のPINダイオード1 Aにおいて、上記の構造とすることで、本発明者らが検討した図12のPINダイオード1 xとの間に現れる特性の差異に関し、図3、図4を用いて詳細に説明する。

【0044】

図3(a)は、本発明者らが検討した構造のPINダイオード1 xにおいて、真性半導体層I L xへの、P型アノード層P A xからの正孔hの注入状況を示す断面の説明図である。ここでは、真性半導体層I L xの全面を覆うようにしてP型アノード層P A xが形成された構造となっている。従って、P型アノード層P A xから真性半導体層I L xに正孔hが注入される主接合面J xはN型カソード基板N C xの表面S 1 xに沿った一面に限られる。

【0045】

そこで、本発明者らが検討した上記構造のPINダイオード1 xにおいて、順方向特性の低抵抗化を図るためには、主接合面J xを、N型カソード基板N C xの表面S 1 xに沿う方向に広げなければならない。しかし、上記のようにして主接合面J xを拡大することは、同時に、逆方向特性における大容量化を引き起こしてしまう。これは、アンテナ切り換え用途のPINダイオードの性能を劣化させる原因となる。更に、素子面積の拡大も引き起こし、小型・軽量化の技術動向にある移動通信端末への搭載用途としてのPINダイオードにおいては、動向とは逆の素子形状となってしまう。

【0046】

これに対し、図3(b)には、本実施の形態1のPINダイオード1 Aにおいて、N型真性半導体層I Lへの、P型アノード層P Aからの正孔hの注入状況を示す断面の説明図を示した。上記図1、図2を用いて説明したように、P型アノード層P Aの平面的な端部が、N型真性半導体層I Lの平面的な端部であるトレンチTの側壁まで達していない構造となっている。従って、P型アノード層P AからN型真性半導体層I Lに正孔hが注入される主接合面Jは、N型カソード基板N Cの表面S 1に沿った底面J bに加え、トレンチTの側壁に沿った側面J sも有する。

【0047】

これにより、本実施の形態1のPINダイオード1 Aの主接合面Jにおいて、本発明者らが検討したPINダイオード1 xの主接合面J xに対し、平面的な面積が同程度であったとしても、側面J sを有する分、N型真性半導体層I Lへの正孔hの注入効率は上昇することになる。本発明者らの検証によれば、P型アノード層P Aからの正孔hの注入は、主接合面Jのうち、底面J bよりも側面J sの方が効率的に起こることが分かっている。従って、本実施の形態1のPINダイオード1 Aでは、本発明者らが検討したPINダイオード1 xで主接合面J xの面積を拡大するよりも、より少ない面積の拡大率で低抵抗化を実現することができる。即ち、同程度の逆方向容量であっても、より低い抵抗値を実現することができる。

【0048】

上記の電気的特性の差異をより具体的に説明するために、図4には、本発明者らが検討したPINダイオード1 xと、本実施の形態1のPINダイオード1 Aとの順方向特性を示している。ここでは、順方向電流値I F(単位は[m A])に対する抵抗値r f(単位は[])の変化を示している。ここでは、逆方向特性における容量値が同程度となる両者の構造における、順方向特性を示している。

【0049】

本実施の形態1のPINダイオード1 Aの特性e xは、本発明者らが検討した検討したPINダイオード1 xの特性r e fに比べ、同じ順方向電流値I Fのときに、より低い抵抗値r fを示す順方向特性となっている。これは、本実施の形態1のPINダイオード1

10

20

30

40

50

Aにおいて、N型真性半導体層ILに正孔hを注入するP型アノード層PAとの主接合J面が、底面Jbに加えて側面Jsを有することで、正孔hの注入効率が向上したことによる。このように、本実施の形態1のPINダイオード1Aでは、逆方向特性における容量値を増加させることなく、順方向特性を低抵抗化することができる。

【0050】

次に、図1、図2を用いて説明した本実施の形態1の構造のPINダイオード1Aの製造方法を、図5に示すフロー図に倣いながら、図6～図9を用いて説明する。図5は、PINダイオード1A製造工程の順を示すフロー図である。また、図6～図9は製造工程における要部断面図を示す。また、製造工程中は、半導体材料は例えばシリコンの単結晶を平面略円形状の薄板として扱われる。そして、スクライプラインと称される裁断線によって規定された多数の領域に、同様の工程を同時、または、連続して施すことで、同様の素子を多数の領域に形成する。以下では、その多数の領域のうち、代表して図示した1つを用いて製造工程を説明する。

10

【0051】

はじめに、図6に示すように、N型の半導体基板であり、PIN接合のカソードN層となるN型カソード基板NCの表面S1上に、I層となるN型真性半導体層ILを形成する。ここでは、例えばCVD法などにより、シリコンを主体とする層をエピタキシャル成長させる(図5の工程101)。エピタキシャル成長とは、下地となる単結晶基板(ここでは単結晶シリコンからなるN型カソード基板NC)に、形成させたい材料(ここではシリコン)を原子、分子状で堆積することで、下地基板の結晶方位に倣って、堆積層を単結晶成長させる手法である。

20

【0052】

このとき、成長中に同時に不純物材料を混入させることで、N型、P型とすることができる。例えば、IV族のシリコンを単結晶成長させる場合、V族のリン(P)、ヒ素(As)などを混入させることでN型とすることができ、III族のホウ素(B)などを混入させることでP型とすることができる。本実施の形態1では、エピタキシャル成長によって形成するN型真性半導体層ILは、N型カソード基板NCと同じN型の導電型で、その不純物濃度はN型カソード基板NCよりも低くなるように形成する。本実施の形態1では、特に、N型真性半導体層の不純物濃度は、真性半導体となる程度であるとする。

30

【0053】

ここで、通常は、真性半導体となる程度の不純物材料を、エピタキシャル成長中に導入することで、N型真性半導体層ILを形成する。一方、製造工程の都合上、当該エピタキシャル成長の時点で、真性半導体を超えて、導電性を有するほどのP型またはN型の不純物濃度を有する層を形成しなければならない場合なども想定される。このような場合は、N型真性半導体層ILとなる領域に対し、エピタキシャル成長の後に、例えばイオン注入法などを施すことで、真性半導体となるような不純物濃度としても良い。

【0054】

例えば、P型の導電性を発現する程度の不純物濃度を有する層をエピタキシャル成長した場合は以下のようにする。即ち、エピタキシャル成長層が有するP型の不純物と同程度の量のN型イオンを、当該エピタキシャル成長層に対してイオン注入法などにより注入することで導電性キャリアを相殺し、N型真性半導体層ILを形成することができる。また、N型の導電性を発現する程度の不純物濃度を有する層をエピタキシャル成長した場合は以下のようにする。即ち、エピタキシャル成長層が有するN型の不純物と同程度の量のP型イオンを、当該エピタキシャル成長層に対してイオン注入法などにより注入することで導電性キャリアを相殺し、N型真性半導体層ILを形成することができる。

40

【0055】

続いて、例えば熱酸化法などにより、N型真性半導体層ILの表面を酸化することで、酸化シリコン膜などからなる表面酸化膜2を形成する(図5の工程102)。

【0056】

次に、図7に示すように、表面酸化膜2をパターンニングすることで、開口部3を形成す

50

る。ここでは、まず、表面酸化膜 2 の表面にフォトレジスト膜を堆積し、所望のパターンを有する露光マスクを介して、フォトレジストマスクを露光し現像するという、一連のフォトリソグラフィ工程を施す（図示しない）。そして、所望のパターンが現像されたフォトレジスト膜をエッチングマスクとして、露出した領域の表面酸化膜 2 を、例えば異方性エッチングなどにより除去する。その後、フォトレジスト膜を除去することで、上記の開口部 3 を形成することができる（図 5 の工程 1 0 3 ）。

【 0 0 5 7 】

その後、開口部 3 を有する表面酸化膜 2 をイオン注入マスクとして、N 型真性半導体層 I L にイオン注入を施す（図 5 の工程 1 0 4 ）。ここでは、I V 族のシリコンを P 型とするような、V 族または V I 族のイオン 4 を注入することとする。続いて、熱処理（アニール）を施すことで、注入したイオン 4 を活性化および拡散させ、P 型アノード層 P A を形成する。その後、イオン注入マスクとして用いた表面酸化膜 2 をエッチング法などにより除去する。

10

【 0 0 5 8 】

次に、図 8 に示すように、N 型真性半導体層 I L およびその中に形成された P 型アノード層 P A の表面を覆うようにして表面酸化膜 5 を形成し、パターンニングすることで開口部 6 を形成する（図 5 の工程 1 0 5 ）。ここでは、表面酸化膜 5 として、例えば酸化シリコン膜などを形成する。開口部 6 は、例えば、一連のフォトリソグラフィ法およびエッチング法などにより、形成することとする。その後、開口部 6 を有する表面酸化膜 5 をエッチングマスクとして異方性エッチングを施すにより、露出した領域の N 型真性半導体層 I L を除去することで、トレンチ T を形成する（図 5 の工程 1 0 6 ）。その後、エッチングマスクに用いた表面酸化膜 5 を除去する。

20

【 0 0 5 9 】

このとき、N 型真性半導体層 I L の一部が、N 型カソード基板 N C の端部から隔離された N 型真性導通部分 I D を形成するようにして、トレンチ T を形成する。また、N 型真性導通部分 I D は、P 型アノード層 P A を内包するようにして、トレンチ T を形成する。更に、P 型アノード層 P A の端部は、N 型真性導通部分 I D の端部であるトレンチ T の側壁には達しないようにして、トレンチ T を形成する。このような加工を施すことで、P 型アノード層 P A と N 型真性半導体層 I L との主接合面 J は、底面 J b だけでなく、側面 J s を有するようになる。これにより、上記図 3 （ b ）を用いて説明したように、より効率的に N 型真性半導体層 I L にキャリアを注入できる構造となり、結果として、P I N ダイオードの順方向特性を低抵抗化することができる。

30

【 0 0 6 0 】

また、上記に示した工程によれば、P I N 接合の真性領域である N 型真性導通部分 I D の端部としてのトレンチ T の側壁は、化学的なエッチング手法により形成する。例えば、ウェットエッチング、ドライエッチング、または、それらの組み合わせである。従って、例えば機械的な裁断のような方法と異なり、N 型真性導通部分 I D には応力などによる結晶欠陥が生じ難い。このように、キャリアのトラップ準位となる結晶欠陥が少ない構造とすることができるので、結果として、P I N ダイオードの順方向特性を、より低抵抗化することができる。

40

【 0 0 6 1 】

次に、図 9 に示すように、N 型真性半導体層 I L の露出した領域を覆うようにして、保護膜 P V を形成する（図 5 の工程 1 0 7 ）。本実施の形態 1 において、保護膜 P V は、上記で図 2 を用いて説明したように、酸化シリコン膜、ケイ酸塩ガラス膜、窒化シリコン膜の 3 種の膜を下層から順に積層した構造である。また、最上層の窒化シリコン膜は、例えばガス圧を低圧とした C V D 法などによって形成することにより、特にトレンチ T などの段差の被覆性を向上させることができる。

【 0 0 6 2 】

その後、P I N 接合の一方の端子として、P 型アノード層 P A にアノード電極 E A を形成する（図 5 の工程 1 0 8 ）。アノード電極 E A は、例えばスパッタリング法などによっ

50

て金属膜を堆積し、一連のフォトリソグラフィ法およびエッチング法によって、所望の形状にパターンングすることによって形成する。そして、水素雰囲気中でアニール処理を施すことで、表面のダングリングボンドを水素終端し、表面を安定化する（図5の工程109）。

【0063】

続いて、ダイヤモンド粒子を含有した砥石にて、N型カソード基板NCの裏面S2を研磨し、N型カソード基板NCの厚さを所望の厚さに研削する（図5の工程110）。その後、研削時に出来た加工歪層などをウェットエッチング法などで除去した後、スパッタリング法または真空蒸着法などにより、金属膜からなるカソード電極ECを形成する（図5の工程111）。以上の工程により、本実施の形態1のPINダイオード1Aの構造が形成されたことになる。

10

【0064】

その後、半導体ウェハ上に多数配列した上記の構造のPINダイオード1Aを切り出して個々の半導体装置とするために、ダイシングを施す（図5の工程112）。そして、個別のPINダイオードとして、樹脂などによって封止することで、パッケージングを施す（図5の工程113）。

【0065】

以上の工程により、本実施の形態1のPINダイオード1Aを有する半導体装置を製造することができる。本実施の形態1にのPINダイオード1Aによれば、逆方向特性における容量を増加させることなく、順方向特性を低抵抗化することができる。

20

【0066】

（実施の形態2）

上記実施の形態1では、P型アノード層PAとN型真性半導体層ILとの主接合面Jが、底面Jbと側面Jsとを有する構造のPINダイオード1Aを例示した。これは、主接合面Jが形成されるN型真性導通部分IDが、トレンチTによって、N型カソード基板NCの端部から隔離されている構造であった。本実施の形態2では、このN型真性半導体層ILが、上記と異なる構成により、N型カソード基板NCの端部から隔離される構造を例示する。

【0067】

図10には、本実施の形態2のPINダイオード1Bの平面図を示している。ここでは特に、異なる半導体領域の平面的な境界線のみを示し、絶縁膜の領域、導体膜の領域などは省略している。また、図11には、図10におけるx2-x2線の断面を矢印の方向に見た要部断面図を示している。

30

【0068】

本実施の形態2のPINダイオード1Bは、N型カソード基板NC、N型真性半導体層IL、および、P型アノード層PAの3層の積層構造をPIN接合として用いた半導体素子である。特に、上記実施の形態1のPINダイオード1Aと同様に、P型アノード層PAは、N型真性半導体層ILの主面SILから、所望の深さの領域に渡って形成され、その平面的な端部は、N型真性半導体層ILの平面的な端部にまで達していない。

【0069】

また、N型真性半導体層ILの主面SILおよび側面WILには、その露出を防ぐようにして、保護膜PVが形成されている。保護膜PVの構成は、上記実施の形態1のPINダイオード1Aと同様である。また、P型アノード層PAの表面を覆うようにして、金属膜などからなるアノード電極EAが形成され、N型カソード基板NCの裏面S2には、金属膜などからなるカソード電極ECが形成されている。

40

【0070】

以上の本実施の形態2のPINダイオード1Bの構成は、上記実施の形態1において説明したPINダイオード1Aの構造と同様であるから、その重複した詳細な説明は省略する。

【0071】

50

本実施の形態 2 の P I N ダイオード 1 B において上記実施の形態 1 の P I N ダイオード 1 A と異なるのは、N 型真性半導体層 I L が、N 型カソード基板 N C の表面 S 1 上で、メサ形状（即ち凸状）となっており、その平面的な端部が、N 型カソード基板 N C の端部から隔離されていることである。これにより、半導体ウェハを個別に裁断する際に生じやすい、N 型真性半導体層 I L における結晶欠陥を回避することができる。このため、P I N 接合の主要部である N 型真性半導体層 I L において、キャリアのトラップ準位となる結晶欠陥の発生を緩和することができる。その結果、P I N ダイオードの順方向特性を低抵抗化することができる。

【 0 0 7 2 】

さらに、メサ形状とすることで、図 1、図 2 に示した、トレンチ T を用いて同目的を達成した構造よりも、平面的なスペースを縮小できることになる。なぜなら、上記実施の形態 1 の P I N ダイオード 1 A において、外周部の枠状の N 型真性半導体層 I L が不要となり、この分の平面的なスペースを省略できるからである。結果として、同一の機能を有する P I N ダイオードを、平面的に小さい面積で形成することができる。これは、小型・軽量化の動向にある移動通信端末などへの搭載を想定した場合に有利である。

10

【 0 0 7 3 】

また、別の見方をすれば、主接合面 J の底面 J b の平面的な寸法を変えずに、N 型真性半導体領域 I L の平面的な寸法を、N 型カソード基板の端部に達しない範囲内で広げることができる。これにより、素子の電気的特性に大きな影響を及ぼさずに、P I N ダイオード 1 B の上面側の平面的な面積を広くすることができる。例えば、スクライブ工程により個々の素子に裁断された後、コレットなどによりピックアップする際には、樹脂などとの密着性を確保するためには、素子の上面の表面積が大きいことが望ましい。即ち、本実施の形態 2 で例示したような、素子の特性を変えずに上面側の平面的な面積を広くすることができる P I N ダイオード 1 B は、コレットなどによるピックアップ不調を回避しやすい構造である。結果として、P I N ダイオードを有する半導体装置の製造歩留まりや生産性を向上させることができる。

20

【 0 0 7 4 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

30

【 0 0 7 5 】

例えば、上記実施の形態では、カソードとしての N 型基板上に、N 型真性半導体領域、および、P 型カソード領域を形成することで P I N 接合を構成し、これを P I N ダイオードの構成要素とした。ここでは、真性半導体領域にキャリアを注入する主接合面が、底面だけでなく側面を有する構造とすることが、順方向の抵抗値を低下させるために必要な構成であった。従って、上記 P I N ダイオードを構成する P 型領域と N 型領域とは、逆であっても良い。

【 0 0 7 6 】

また、例えば図 1 に示すように、N 型カソード基板 N C 上に形成されるトレンチ T の平面形状、また、トレンチ T により分離される N 型真性半導体層 I L の一部である N 型真性導通部分 I D の平面形状などは、略四角形状として示した。ここでは、N 型真性半導体層 I L 一部である N 型真性導通部分 I D が、スクライブによる応力の影響を受ける N 型カソード基板 N C の端部から隔離されていることが必要な構成であり、その形状は上記の限りではない。これは、図 10 に示したメサ形状の N 型真性半導体層 I L を有する P I N ダイオード 1 B においても同様である。

40

【 0 0 7 7 】

また、例えば、上記実施の形態では、半導体基板上に形成した P I N ダイオードを、単体の半導体素子（所謂ディスクリット素子）として移動通信端末などに搭載して用いることとして例示した。その他にも、P I N 構造のパワーダイオードなどに適用しても有効である。また、例示した構造の P I N ダイオードは、半導体基板上において他の素子と集積

50

して、集積回路の構成素子としても良い。

【産業上の利用可能性】

【0078】

本発明は、例えばPINダイオードを有する半導体装置の製造業や半導体産業に適用することができる。

【図面の簡単な説明】

【0079】

【図1】本発明の実施の形態1である半導体装置の平面図である。

【図2】図1に示した半導体装置のx1-x1線における要部断面図である。

【図3】キャリアの注入状況を示す説明図であり、(a)は本発明者らが検討した半導体装置の断面の説明図であり、(b)は本発明の実施の形態1である半導体装置の断面の説明図である。

【図4】本発明の実施の形態1である半導体装置の電気的特性における順方向電流と抵抗との関係を示すグラフ図である。

【図5】本発明の実施の形態1である半導体装置の製造工程を示すフロー図である。

【図6】本発明の実施の形態1である半導体装置の製造工程中における要部断面図である。

【図7】図6に続く半導体装置の製造工程中における要部断面図である。

【図8】図7に続く半導体装置の製造工程中における要部断面図である。

【図9】図8に続く半導体装置の製造工程中における要部断面図である。

【図10】本発明の実施の形態2である半導体装置の平面図である。

【図11】図10に示した半導体装置のx2-x2線における要部断面図である。

【図12】本発明者らが検討した半導体装置の要部断面図である。

【符号の説明】

【0080】

1A, 1B PINダイオード

2, 5 表面酸化膜

3, 6 開口部

4 イオン

NC N型カソード基板(第1半導体層)

PA P型アノード層(第2半導体層)

IL N型真性半導体層(第3半導体層)

ID N型真性導通部分(ダイオード形成部)

S1 表面

S2 裏面

SIL 主面

WIL 側面

EC カソード電極

EA アノード電極

T トレンチ(溝)

PV 保護膜

h 正孔

J 主接合面

Jb 底面

Js 側面

IF 順方向電流値

rf 抵抗値

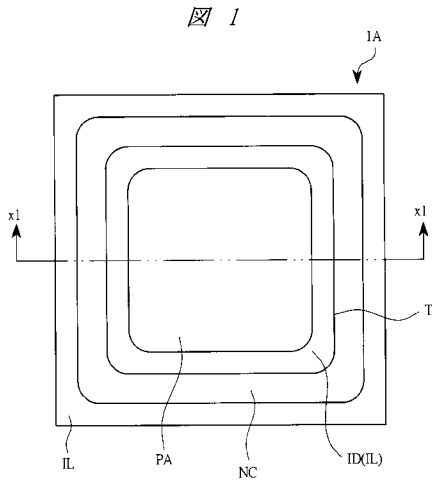
10

20

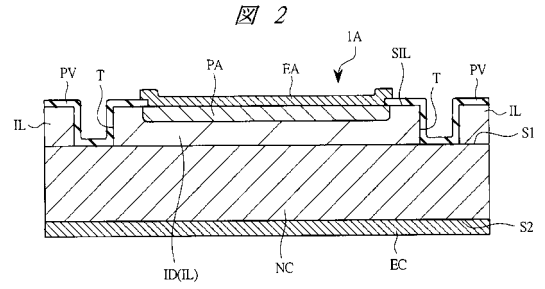
30

40

【 図 1 】

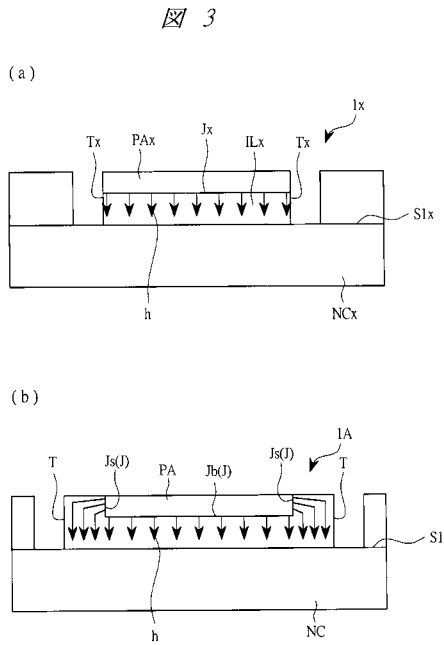


【 図 2 】

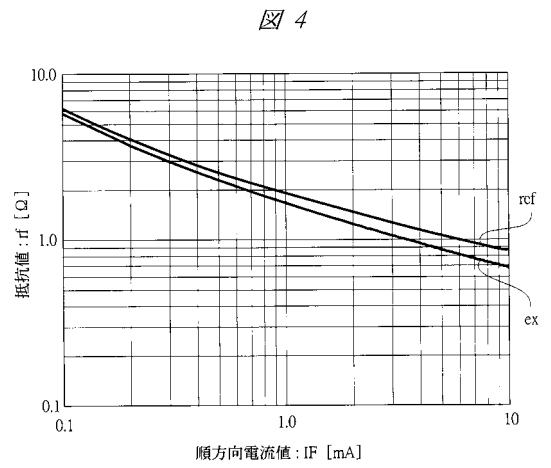


NC: N型カソード基板(第1半導体層) IA: PINダイオード
 PA: P型アノード層(第2半導体層) ID: N型真性導通部分(ダイオード形成部)
 IL: N型真性半導体層(第3半導体層)

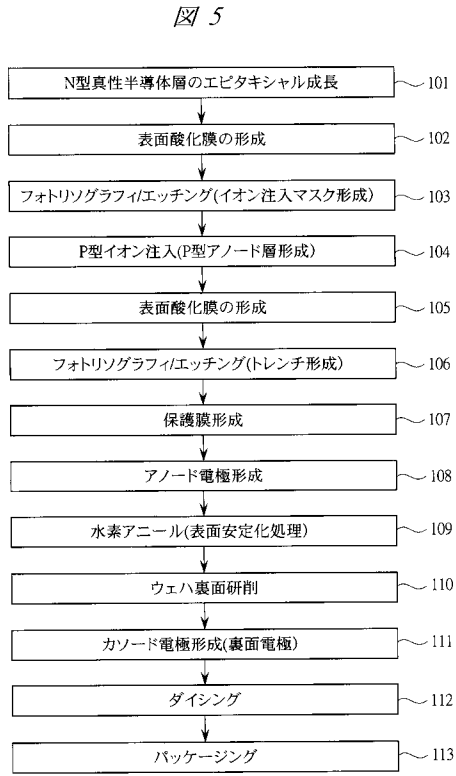
【 図 3 】



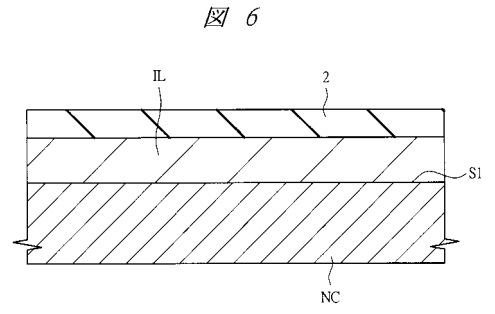
【 図 4 】



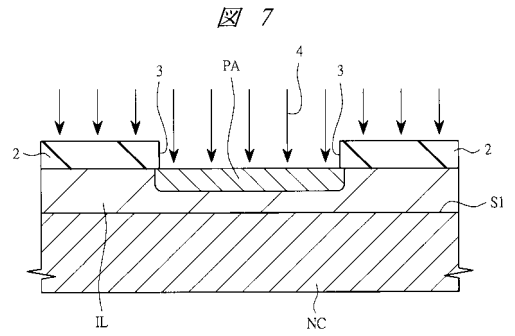
【 図 5 】



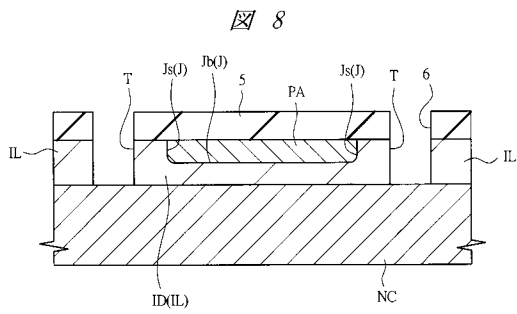
【 図 6 】



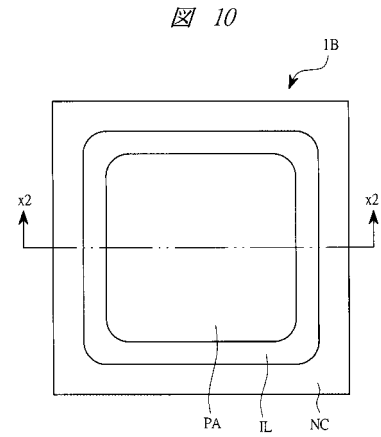
【 図 7 】



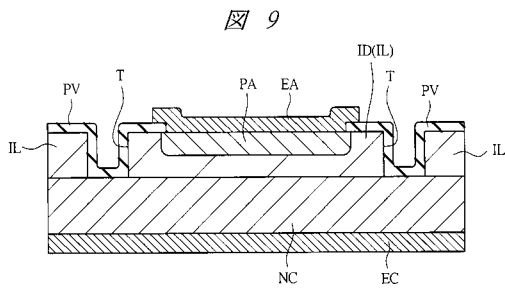
【 図 8 】



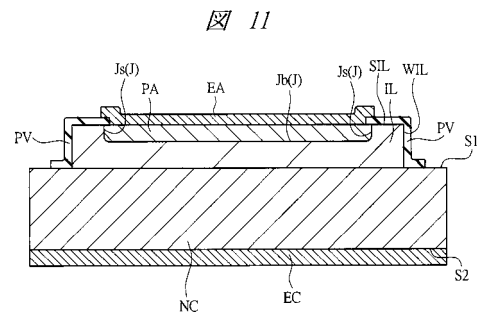
【 図 10 】



【 図 9 】



【 図 11 】



【 図 1 2 】

図 12

