(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-201202
(P2007-201202A)
(43)公開日　平成19年8月9日(2007.8.9)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/331	(2006.01)	H01L	29/72	P	5F003
H01L 29/732	(2006.01)	H01L	27/04	H	5F038
H01L 21/822	(2006.01)	H01L	27/06	101P	5F082
H01L 27/04	(2006.01)				
H01L 27/06	(2006.01)				

審査請求 未請求　請求項の数 10　ＯＬ　（全 19 頁）

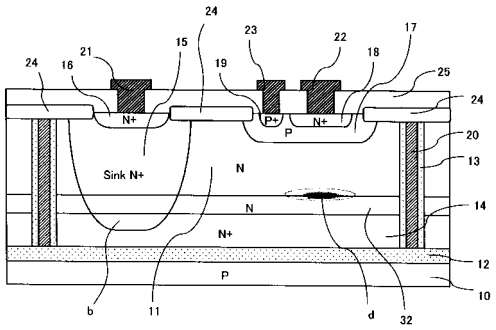
(21)出願番号　特願2006-18252(P2006-18252)
(22)出願日　平成18年1月26日(2006.1.26)

(71)出願人　000003609
株式会社豊田中央研究所
愛知県愛知郡長久手町大字長湫字横道４１番地の１
(71)出願人　000003207
トヨタ自動車株式会社
愛知県豊田市トヨタ町１番地
(74)代理人　100087723
弁理士　藤谷　修
(72)発明者　早川　清春
愛知県愛知郡長久手町大字長湫字横道４１番地の１　株式会社豊田中央研究所内
(72)発明者　不破　弘雅
愛知県豊田市トヨタ町１番地　トヨタ自動車株式会社内

最終頁に続く

(54)【発明の名称】静電気保護用半導体装置

(57)【要約】
【課題】静電気保護用半導体装置のESD 耐量を向上させること。
【解決手段】素子領域は底面に形成された埋め込み絶縁膜１２、側面に形成されたレンチ絶縁膜１３で絶縁分離されている。素子領域は、埋め込みn^+型領域１４、ｎ型半導体基板１１の表面部には、コレクタn^+型領域１６、コレクタn^+型領域１６と埋め込みn^+型領域１４とを接続するコレクタシンクn^+型領域１５、コレクタn^+型領域１６から離れて、ｎ型半導体基板１１の表面部に、ベースｐ型領域１７、ベースｐ型領域１７に内包されて、エミッタn^+型領域１８、ベースp^+型領域１９が、間隙を隔てて形成されている。埋め込みn^+型領域１４の上にこの領域より不純物濃度が低く、ｎ型半導体基板１１より不純物濃度の高い電界分散ｎ型領域が形成されている。この構造によりホットスポットの発生が防止されて、静電耐圧が向上する。
【選択図】図１



【特許請求の範囲】
【請求項１】
底面絶縁膜と側面絶縁膜とにより、底面及び周囲が区画されて、他の素子に対して電気的に絶縁分離され、他の素子の静電破壊を防止するための静電気保護用半導体装置において、
前記底面絶縁膜上に形成され、第１伝導型の高キャリア濃度埋め込み領域と、
前記高キャリア濃度埋め込み領域の上に形成され、該高キャリア濃度埋め込み領域よりも低キャリア濃度の第１伝導型の主半導体領域と、
前記主半導体領域の表面部に形成された第１伝導型のコレクタ領域と、
前記コレクタ領域を包含して前記主半導体領域の表面部より、先端部が前記高キャリア濃度埋め込み領域に重畳するように縦方向に形成された第１伝導型で高キャリア濃度のコレクタシンク領域と、
前記コレクタ領域から離れて前記主半導体領域の表面部に形成された第２伝導型のベース領域と、
前記ベース領域内側の表面に形成された第１伝導型で高キャリア濃度のエミッタ領域と、
前記高キャリア濃度埋め込み領域の上に前記底面絶縁膜に平行に形成され、不純物濃度が、前記高キャリア濃度埋め込み領域の不純物濃度よりは小さく、前記主半導体領域の不純物濃度よりは大きい第１伝導型の電界分散領域と
を有することを特徴とする静電気保護用半導体装置。
【請求項２】
前記電界分散領域は、その厚さ方向の最大不純物濃度が、前記電界分散領域と前記高キャリア濃度埋め込み領域との接合界面における不純物濃度および前記主半導体領域の不純物濃度よりも高くなるように不純物が拡散されていることを特徴とする請求項１に記載の静電気保護用半導体装置。
【請求項３】
前記電界分散領域の厚さ方向の最大不純物濃度は、$7\times10^{16}/cm^3$ 以上、$7\times10^{17}/cm^3$ 以下であることを特徴とする請求項２に記載の静電気保護用半導体装置。
【請求項４】
前記電界分散領域の厚さ方向の最大不純物濃度の位置と、その最大不純物濃度と同一濃度を有する前記高キャリア濃度埋め込み領域における厚さ方向の位置との差で表される分離距離は、０．３μｍ以上、３．５μｍ以下であることを特徴とする請求項１乃至請求項３の何れか１項に記載の静電気保護用半導体装置。
【請求項５】
前記電界分散領域の厚さは、０．３μｍ以上、４μｍ以下であることを特徴とする請求項１乃至請求項４の何れか１項に記載の静電気保護用半導体装置。
【請求項６】
前記コレクタシンク領域と、前記高キャリア濃度埋め込み領域拡との重なり幅は、３μｍ以上であることを特徴とする請求項１乃至請求項５の何れか１項に記載の静電気保護用半導体装置。
【請求項７】
前記コレクタシンク領域と、前記高キャリア濃度埋め込み領域拡との重なり幅は、３μｍ以上、６μｍ以下であることを特徴とする請求項１乃至請求項６の何れか１項に記載の静電気保護用半導体装置。
【請求項８】
前記コレクタシンク領域と前記高キャリア濃度埋め込み領域との接合部での不純物濃度は、$5\times10^{16}/cm^3$ ～$1\times10^{20}/cm^3$ であることを特徴とする請求項１乃至請求項７の何れか１項に記載の静電気保護用半導体装置。
【請求項９】
前記主半導体領域はシリコンオンインシュレータによる半導体基板であり、不純物濃度は

$1\times10^{16}/cm^3$ 以下であることを特徴とする請求項１乃至請求項８の何れか１項に記載の静電気保護用半導体装置。

【請求項１０】

前記ベース領域内の表面部であって、前記エミッタ領域と離れて形成された第２伝導型の高キャリア濃度ベース領域を有し、前記コレクタ領域に接続されるコレクタ電極は、静電気サージの加わる静電気から保護すべき前記他の素子の入力端子に接続され、前記エミッタ領域に接続されるエミッタ電極は接地端子であり、前記高キャリア濃度ベース領域に接続されるベース電極は抵抗を介して接地、又は、直接、接地されていることを特徴する請求項１乃至請求項９の何れか１項に記載の静電気保護用半導体装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、他のトランジスタ回路や集積回路の入力端子に接続され、それらを静電気から保護するための静電気保護用半導体装置に関する。

【背景技術】

【０００２】

自動車用途の複合ICでは、サージ・ノイズの印加される厳しい車載環境での正常動作が要求される。このため、自動車用複合ICは回路間が完全に誘電体分離されるSOI 基板により製造される傾向が高まっている。また、自動車用複合ICではESD(Electrostatic-Discharge ）に対する耐量(サージ耐量）の要求も厳しく、通常、10KV～15KVの高いESD 耐量保障を必要とする。

【０００３】

複合ICは、バイポーラ、横型MOS やCMOSなどで構成されている。ESD 用保護素子は複合ICを構成するデバイスを基に設計され、それらには、具体的には、ダイオードやｎｐｎトランジスタ素子が用いられている。図９は、ダイオードとｎｐｎトランジスタでのESD 動作時（静電気保護動作時）の電圧－電流特性を説明したもので、ｎｐｎトランジスタ素子ではスナップバック特性となるため、ESD 時におけるクランプ電圧は低くできる。このため、図１０に示すようなｎｐｎトランジスタ素子を用いたESD 保護回路は、ESD 保護動作時において、保護すべき内部回路を構成するCMOS素子などのゲート破壊を起こす危険を防止でき、ESD 保護素子として適している。

【０００４】

これらのESD 保護素子としては、特許文献１に記載の縦型のｎｐｎトランジスタ素子、特許文献２に記載の横型のｎｐｎトランジスタ素子が知られている。

【０００５】

図８は、従来技術による、SOI 基板に形成された代表的な縦型ｎｐｎトランジスタによる静電気保護用半導体装置の構造を示している。素子領域は底面を埋め込み絶縁膜５２、側面をトレンチ絶縁膜５３で区画されて、静電気から保護すべき他の素子と絶縁分離されている。素子領域は、主として、ｎ型半導体基板５１に形成されている。ｎ型半導体基板５１の埋め込み絶縁膜５２側には高電子濃度の埋め込みn^+ 型領域５４が形成されている。その埋め込みn^+ 型領域５４は、高電子濃度のコレクタシンクn^+ 型領域５５を介して、ｎ型半導体基板５１の表面部に形成された高電子濃度のコレクタn^+ 型領域５６と低抵抗で接続されている。そのコレクタn^+ 型領域５６から離れて、ｎ型半導体基板５１の表面部にベースｐ型領域５７が形成され、ベースｐ型領域５７に内包されて、高電子濃度のエミッタn^+ 型領域５８および高正孔濃度のベースp^+ 型領域５９が、それぞれが間隙を隔てて形成されている。

【０００６】

これらの構成を有するｎｐｎ保護素子領域は、トレンチ形状のトレンチ絶縁膜５３およびポリシリコン膜６０による誘電体分離により、他の素子とは完全に分離される。図８において、コレクタ電極６１はESD サージの加わる入力端子に接続され、エミッタ電極６２は接地端子に接続され、ベース電極６３は数十ｋΩのポリシリコン抵抗Rb（図１０）を介

して接地されている。
【０００７】
コレクタ電極６１にESD サージが印加された時の上記のｎｐｎ保護素子の動作は次のようになる。コレクタ電極６１にESD サージが印加されると、ベースｐ型領域５７とｎ型半導体基板５１とのｐｎ接合での電界が高まり、コレクタn^+型領域５６の側で、基板表面に近いベースｐ型領域５７のｐｎ接合部近傍でブレークダウンが発生し、アバランシェイオンが発生する。アバランシェにより発生された正孔は、ベース電極６３を介して接地端子に流れる。この結果、ベース電位が上昇して、縦型ｎｐｎ素子はオン動作状態となり、コレクタ電極６１、コレクタn^+型領域５６、コレクタシンクn^+型領域５５、埋め込みn^+型領域５４、ｎ型半導体基板５１、ベースｐ型領域５７、エミッタn^+型領域５８そしてエミッタ電極６２へとサージ電流が流れる。これにより、サージ電流は、接地端子に流れて、保護すべき他の素子である内部回路素子はESD サージより保護される。
【０００８】
【特許文献１】特開２０００－２３６０７０
【特許文献２】特開２００１－１２７２８７
【非特許文献１】“Harnessing the base-pushout effect for ESD protection in bipolar and BiCMOS technology” Microelectronics Reliability 43 (2003) 1001-1010
【発明の開示】
【発明が解決しようとする課題】
【０００９】
図８に示すSOI 基板のｎｐｎ構造ESD 保護用半導体装置において、回路パターンの設計上許容される保護素子の占有面積におさまるある特定の幅の保護素子を作成して、そのESD 耐量を評価したところ、目標とする10KV以上のESD 耐量を満足する性能を得ることは出来なかった。
【００１０】
そこで、このESD 耐量の低い原因をシミュレーションにより解析した。コレクタ電極６１からESD サージ電流が図８のｎｐｎ構造ESD 保護装置に印加されると、サージ電流経路に局部発熱箇所（ホットスポット）が発生し、ホットスポットの温度はサージ印加後100nsec 程度で最も高い温度となる。ESD 保護装置は、破壊に至るより低いESD 条件では、エミッタn^+型領域５８の下方のｎ型半導体基板５１と埋め込みn^+型領域５４の界面でのホットスポット-aに加えて、コレクタシンクn^+型領域５５と埋め込みn^+型領域５４の界面近傍でもホットスポット-bが発生することが明らかになった（図８参照）。また、発熱温度に関しては、ホットスポット-bの温度＞ホットスポット-aの温度であった。
【００１１】
大きなコレクタ電流状態では、非特許文献１で記載されているように一般に知られるベースプッシュアウト現象、すなわち、カーク効果によって、電界集中が、ｎ型半導体基板５１と埋め込みn^+型領域５４の界面に移ることが原因で、ホットスポット-aが発生することが分かった。しかしながら、ホットスポット-bの発生の発熱温度は高く、ホットスポット-bが発生することのメカニズムを明確にすることはｎｐｎ構造保護装置のESD 耐量改善に重要である。
【００１２】
さらに、破壊に至るESD 条件においては、ｎｐｎ構造保護装置の表面で寄生的に存在している、コレクタn^+型領域５６、ｎ型半導体基板５１の表面部、ベースｐ型領域５７、エミッタn^+型領域５８から成る横型ｎｐｎ構造素子（図８参照）が動作してしまい、ｎ型半導体基板５１の表面部で大きなサージ電流が流れて、コレクタのLOCOS 絶縁膜６４の下部近傍でホットスポット-cを生じ、ホットスポット-cでの発熱温度はSi融点（1680K ）以上となって素子破壊を起こしていることが明らかとなった。
【００１３】
以上より、従来構造のｎｐｎ構造保護用素子でのESD サージ印加時の、ホットスポット-bおよびホットスポット-cの発生がESD 耐量の低い要因になっていると考えられる。解析

の結果、ホットスポット-bの発生メカニズムは以下のようであると解明できた。即ち、コレクタ電極６１からのESD サージ電流は、コレクタシンクｎ$^+$型領域５５から埋め込みｎ$^+$型領域５４に流れるが、コレクタシンクｎ$^+$型領域５５と埋め込みｎ$^+$型領域５４との重なりが不十分で両者の接合部（界面部）の不純物濃度がそれほど高くない場合では、サージ電流（電子電流）により、ｎ型領域中の正に帯電したドナーイオンは覆い隠されてしまい、これらの領域の界面部のｎ型領域は空乏化され、この界面部で電界集中を生ずるようになり、ホットスポット-bの発生を引き起こしているのである。そして、さらに大きなサージ電流印加の状態では、上記の界面部での電界集中現象は顕著となり、サージ電流印加による素子内部電界はコレクタシンクｎ$^+$型領域５５のみで負担するようになって、この結果、表面に寄生的に存在している横型ｎｐｎ構造素子が動作してしまいホットスポット-cの発生に至り、素子破壊をおこしていることが解明された。

【００１４】

即ち、ホットスポット-bおよびホットスポット-cの発生はコレクタシンクｎ$^+$型領域５５と埋め込みｎ$^+$型領域５４との重なりが不十分である一つのことに起因している。図１１にシミュレーションの結果を示す。サージ電流の増加に伴って、電界集中を生じる位置が変化しており、ホットスポット-a、ホットスポット-b、ホットスポット-cを、順次、発生していることが理解される。

【００１５】

以上のように、従来のESD 保護用半導体装置は、内部回路を構成するデバイス構造をそのまま流用し、素子サイズを大きくするような設計しか行われておらず、ESD 時の大電流サージ電流時の動作を考慮した構造設計が行われておらず、高ESD 耐量のｎｐｎ構造保護用装置が得られていなかった。

【００１６】

本発明は、上記の課題を解決するために成されたものであり、静電気保護用半導体装置の高ESD 耐量を向上させることである。

また、他の発明の目的は、従来技術によるSOI 基板を用いたｎｐｎ構造静電気保護用半導体装置でのESD サージに対する構造上の弱点を改良し、ESD 耐量に優れたｎｐｎ構造静電気保護用半導体装置を提供するものである。

【課題を解決するための手段】

【００１７】

上記課題を解決するための第１の発明は、底面絶縁膜と側面絶縁膜とにより、底面及び周囲が区画されて、他の素子に対して電気的に絶縁分離され、他の素子の静電破壊を防止するための静電気保護用半導体装置において、底面絶縁膜上に形成され、第１伝導型の高キャリア濃度埋め込み領域と、高キャリア濃度埋め込み領域の上に形成され、該高キャリア濃度埋め込み領域よりも低キャリア濃度の第１伝導型の主半導体領域と、主半導体領域の表面部に形成された第１伝導型のコレクタ領域と、コレクタ領域を包含して主半導体領域の表面部より、先端部が高キャリア濃度埋め込み領域に重畳するように縦方向に形成された第１伝導型で高キャリア濃度のコレクタシンク領域と、コレクタ領域から離れて主半導体領域の表面部に形成された第２伝導型のベース領域と、ベース領域内側の表面に形成された第１伝導型で高キャリア濃度のエミッタ領域と、高キャリア濃度埋め込み領域の上に底面絶縁膜に平行に形成され、不純物濃度が、高キャリア濃度埋め込み領域の不純物濃度よりは小さく、主半導体領域の不純物濃度よりは大きい第１伝導型の電界分散領域とを有することを特徴とする。

【００１８】

上記の構成において、ベース電極やこのベース電極が接合する第２伝導型の高キャリア濃度ベース領域は、形成されていても、形成されていなくとも良い。すなわち、浮遊抵抗により、サージ電圧によりベース領域にバイアス電圧が印加されるので、ベース電極を開放して用いるのであれば、ベース電極や高キャリア濃度ベース領域は、必要ではない。高キャリア濃度ベース領域を設ける場合には、ベース領域は、主半導体領域の表面部で、高キャリア濃度ベース領域とエミッタ領域とを内包することになる。

上記の構成において、第１伝導型をｎ型とすれば、第２伝導型はｐ型である。しかし、第１伝導型をｐ型として、第２伝導型をｎ型としても良い。高キャリア濃度埋め込み領域のキャリア濃度は、主半導体領域のキャリア濃度よりも高い。また、高キャリア濃度ベース領域は、ベース領域よりも高キャリア濃度を有する。エミッタ領域、コレクタ領域は、オーミック電極を形成するために高濃度に不純物が添加されている領域である。高キャリア濃度ベース領域を形成する場合には、この領域は、ベース電極に対してオーミック性を良好にするために高不純物が添加されている領域である。また、電界分散領域は、少なくともベース領域の下方に形成されていれば良く、コレクタ領域の下方には必ずしも形成されている必要はない。

【００１９】

第２の発明は、第１の発明において、電界分散領域は、その厚さ方向の最大不純物濃度が、電界分散領域と高キャリア濃度埋め込み領域との接合界面における不純物濃度および主半導体領域の不純物濃度よりも高くなるように不純物が拡散されているようにしたことである。接合界面の定義は、電界分散領域の不純物濃度と高キャリア濃度埋め込み領域の不純物濃度とが等しくなる面である。

すなわち、電界分散領域の不純物濃度は厚さ方向の中央部が最大不純物濃度となるように、高キャリア濃度埋め込み領域の上に、一定の厚さで形成されていることが特徴である。また、接合界面の不純物濃度は主半導体領域の不純物濃度に等しくとも良い。すなわち、電界分散領域と高キャリア濃度埋め込み領域とが離間しており、その間に主半導体領域の一部があっても良い。

【００２０】

第３の発明は、第２の発明において、電界分散領域の厚さ方向の最大不純物濃度は、$7\times10^{16}/cm^3$ 以上、$7\times10^{17}/cm^3$ 以下としたことである。

この最大不純物濃度の範囲は、サージ電流が流れた場合であっても、半導体装置の温度が1000K 以下であって、装置が破壊されない範囲として設定されている。さらに、望ましい最大不純物濃度の範囲は、$1\times10^{17}/cm^3$ 以上、$4\times10^{17}/cm^3$ 以下である。この時、サージ電流が流れた場合の温度は800K以下である。

【００２１】

第４の発明は、第１の発明乃至第３の発明において、電界分散領域の厚さ方向の最大不純物濃度の位置と、その最大不純物濃度と同一濃度を有する高キャリア濃度埋め込み領域における厚さ方向の位置との差で表される分離距離は、０．３μｍ以上、３．５μｍ以下としたことである。

この分離距離の範囲は、サージ電流が流れた場合であっても、半導体装置の温度が1000K 以下であって、装置が破壊されない範囲として設定されている。さらに、望ましい分離距離の範囲は、１μｍ以上、３μｍ以下である。この時、サージ電流が流れた場合の温度は800K以下である。

【００２２】

第５の発明は、第１の発明乃至第４の発明において、電界分散領域の厚さは、０．３μｍ以上、４μｍ以下としたことである。

電界分散領域の厚さの定義は、次の通りである。まず、電界分散領域と高キャリア濃度埋め込み領域との接合界面における不純物濃度と等しい不純物濃度を有する電界分散領域の主半導体領域側の位置と、接合界面との位置の差を電界分散領域の厚さと定義する。この厚さの範囲は、サージ電流が流れた場合であっても、半導体装置の温度が1000K 以下であって、装置が破壊されない範囲として設定されている。さらに、望ましい電界分散領域の厚さは、１μｍ以上、３μｍ以下である。この場合には、サージ電流が流れた場合の温度は800K以下である。

【００２３】

第６の発明は、第１の発明乃至第５の発明において、コレクタシンク領域と、高キャリア濃度埋め込み領域拡との重なり幅は、３μｍ以上としたことであり、第７の発明は、第１の発明乃至第６の発明において、コレクタシンク領域と、高キャリア濃度埋め込み領域

拡との重なり幅は、３μｍ以上、６μｍ以下としたことである。重なり幅が３μｍより狭いと、ホットスポット発生の抑制効果が小さく、６μｍを越えると、素子が大きくなるので、この範囲が望ましい。

【００２４】

第８の発明は、第１の発明乃至第７の発明において、コレクタシンク領域と高キャリア濃度埋め込み領域との接合部での不純物濃度は、$５\times１０^{16}/cm^3$ ～$１\times１０^{20}/cm^3$ であることを特徴とする。この接合部での不純物濃度がこの範囲に存在する時に、この位置でのホットスポットの発生が効果的に抑制される。不純物濃度が$５\times１０^{16}/cm^3$ より小さいと、ホットスポット発生の抑制効果が小さく、$１\times１０^{20}/cm^3$ を越えると、ホットスポット発生の抑制効果が飽和するので、不純物濃度はこの範囲が望ましい。

【００２５】

第９の発明は、第１の発明乃至第８の発明において、主半導体領域はシリコンオンインシュレータ(SOI(Silicon On Insulator))による半導体基板であり、不純物濃度は$１\times１０^{16}/cm^3$ 以下であることを特徴とする。本発明は、SOI 基板を用いて形成したことが特徴である。すなわち、第１伝導型の第１の半導体基板の表面部からイオンのエネルギーを制御して、所定の深さの位置に、イオン注入して、電界分散領域を所定の厚さに形成する。次に、表面から不純物拡散を行い高キャリア濃度埋め込み領域を形成する。次に、表面に絶縁膜（例えば、酸化膜）の形成された第２基板（例えば、シリコン）の絶縁膜と、第１半導体基板の高キャリア濃度埋め込み領域とを接合（例えば、陽極接合）させる。この後、第１の半導体基板（主半導体領域）の表面から、不純物拡散を行って、高キャリア濃度埋め込み領域と先端が重畳して接合するコレクタシンク領域を形成する。そして、主半導体領域の表面部において、コレクタシンク領域の中にコレクタ領域、主半導体領域中にベース領域を形成する。さらに、ベース領域の中に、エミッタ領域と高キャリア濃度ベース領域を、それぞれ、形成する。また、側面絶縁膜は、この第１の半導体基板に表面からトレンチを形成して、その側壁を酸化させて側壁絶縁膜を形成し、その中に多結晶シリコンを充填させて、形成する。このような構成により、この静電気保護用半導体装置は、底面と側面の全周囲が、絶縁膜で区画されて、他の素子と絶縁分離される。

【００２６】

第１０の発明は、第１の発明乃至第９の発明において、ベース領域内の表面部であって、エミッタ領域と離れて形成された第２伝導型の高キャリア濃度ベース領域を有し、コレクタ領域に接続されるコレクタ電極は、静電気サージの加わる静電気から保護すべき他の素子の入力端子に接続され、エミッタ領域に接続されるエミッタ電極は接地端子であり、高キャリア濃度ベース領域に接続されるベース電極は抵抗を介して接地、又は、直接、接地されていることを特徴する。この構成により、静電気サージにより、まず、ベース電極に流れる電流により、ベース領域はエミッタ領域に対して正電圧にバイアスされて、縦型のトランジスタが導通する。すなわち、静電気サージは、コレクタ電極、コレクタ領域、コレクタシンク領域、高キャリア濃度埋め込み領域、電界分散領域、ベース領域、エミッタ領域、エミッタ電極、接地端子と流れて（以下、この電流路を「縦型トランジスタ電流路」という）、保護すべき他の素子には、静電気サージが印加されない構成となる。

【発明の効果】

【００２７】

第１の発明において、コレクタシンク領域の底面絶縁膜側の先端は、高キャリア濃度埋め込み領域と重畳するように形成されている。その重畳の幅は、両領域の接合部で局所的なホットスポットが発生しない値に設定される。このため、コレクタシンク領域と高キャリア濃度埋め込み領域との接合部での高電界やホットスポットの発生を防止することができる。また、従来の半導体装置において高キャリア濃度埋め込み領域と主半導体領域との接合界面で発生していた電界集中を、電界分散領域によって分散させることにより、サージ電流を均一に流すことができる。これによって、サージ電流によって生ずる半導体装置内部の局部的発熱を抑制できるため、高いESD 耐量を有する保護用半導体装置を提供できる。また、コレクタシンク領域と高キャリア濃度埋め込み領域との接合界面で生じるホッ

トスポットは、上記の接合領域の重畳幅の他、不純物濃度を制御することで抑制することが可能である。また、電界分散領域の不純物濃度、厚さ、電界分散領域と高キャリア濃度埋め込み領域との分離距離などにより、それらの接合部の温度を低く制御することができる。このようなホットポットの発生が抑制される結果として、基板表面部の寄生横方向トランジスタが動作することがないので、表面部での電流の集中がなく、静電破壊が防止される。

【００２８】

さらに、ホットスポットが発生しない理由を詳しく述べる。従来の静電気保護用半導体装置においては、ESD のような大きなサージ電流のもとでは、サージ電流（電子電流）により、第１伝導型（例えば、ｎ型）の領域中の正に帯電したドナーイオンは覆い隠されてしまい、ベース領域と高キャリア濃度埋め込み領域との間にある第１伝導型（例えば、ｎ型）の主半導体領域は、空乏化され、さらには第２伝導型化(例えば、ｐ型化）されて、主半導体領域と高キャリア濃度埋め込み領域との接合界面で、電界集中を生ずるようになる。いわゆる、ベース幅が底面絶縁膜側に拡大されたのと等価なカーク効果が発生する。この状態で、高キャリア濃度埋め込み領域から主半導体領域、エミッタ領域へと流れるサージ電流は、均一な幅で流れず、エミッタ領域の幅の中央部に偏って流れるため、高キャリア濃度埋め込み領域と主半導体領域の界面の極一部分において局部発熱を起こし、発熱温度はSi融点（1680K ）以上となって装置破壊に至ってしまう。

【００２９】

これに対して、高キャリア濃度埋め込み領域の上に、それと平行に電界分散領域を設けることにより、上記効果により生じる電界は、エミッタ領域の下部に位置する電界分散領域の面で均一一様に分散し、サージ電流分布も均一一様化される。この結果、発熱も電解分散領域で均一に起こさせることができるため、発熱温度を大幅に低下できる。従って、この構造は、高いESD サージ電流に耐える保護用半導体装置を提供できる一つの要件となる。

【００３０】

また、従来装置では、コレクタシンク領域の先端と高キャリア濃度埋め込み層との接合界面の面積（幅）が小さく、十分ではなく、また、接合界面での不純物濃度が低い。このために、コレクタ領域からコレクタシンク領域を通って高キャリア濃度埋め込み領域に、大きなサージ電流（逆向きに、電子流）が流れると、このサージ電流により、第１伝導型（例えば、ｎ型）の領域に存在する正に帯電したドナーイオンが覆い隠されてしまい、これら領域の界面部の第１伝導型(例えば、ｎ型）の領域が空乏化される。すなわち、カーク効果が発生する。この時、この界面で電界集中を生ずるようになり、サージ電流による局部発熱を起こす。これが、主半導体領域の表面に形成される寄生横型トランジスタを導通させることになり、サージ電流は、表面を局在化して流れることになり、半導体材料の融点を越えることになり、高ESD 耐量は得られない。

【００３１】

これに対して、コレクタシンク領域の先端が高キャリア濃度埋め込み領域と十分な面積（幅）を持って重畳して接合させることにより、接合界面での第１伝導型の不純物濃度を高くできる。これにより、大きな静電サージ電流のもとでも、これらの界面での電界集中を防止させて、ホットスポットの発生を防止することができる。この結果、主半導体の表面部に形成される寄生横型トランジスタを導通させることがなく、サージ電流は、上記した縦型トランジスタ電流路を流れることとなる。この結果、半導体装置の中で、局所的な発熱が防止でき、高ESD 耐量を得ることができる。

【００３２】

このように、電界分散領域を設け、コレクタシンク領域と高キャリア濃度埋め込み領域との重畳を深くして接合界面の不純物濃度を高くすることにより、半導体装置内部での局所的な発熱が効果的に防止でき、その結果として、高ESD 耐量を得ることができる。

【００３３】

また、第２の発明は、電界分散領域の厚さ方向の不純物濃度の分布を規定したものであ

り、不純物濃度に関して高キャリア濃度埋め込み領域と区画できるように、電界分散領域と高キャリア濃度埋め込み領域との接合界面における不純物濃度および主半導体領域の不純物濃度よりも高くなるように電界分散領域を形成したものである。この結果として、電界分散領域の全体で高電界を保持させることができ、電流の集中が防止される。また、第３の発明では、電界分散領域の厚さ方向の最大不純物濃度を、７×１０^{16}/cm^{3} 以上、７×１０^{17}/cm^{3} 以下とすることにより、半導体装置での発熱温度を1000K 以下とすることができる。また、第４の発明では、電界分散領域の厚さ方向の最大不純物濃度の位置と、その最大不純物濃度と同一濃度を有する高キャリア濃度埋め込み領域における厚さ方向の位置との差で表される分離距離を、０．３μm以上、３．５μm以下とすることにより、半導体装置での発熱温度を1000K 以下とすることができる。また、第５の発明は、電界分散領域の厚さを、０．３μm以上、４μm以下とすることにより、半導体装置の発熱を1000K 以下とすることができる。このようにして、電界分散領域に関して、第２～第５の発明のように構成することで、半導体装置のESD 耐圧を確実に向上させることができる。

【００３４】

また、コレクタシンク領域と高キャリア濃度埋め込み領域との重なり幅は、３μm以上とし、または、３μm以上、６μm以下とすることで、上記のカーク効果を抑制して、この領域での局所発熱（ホットスポット）を防止することができる（第６、第７の発明）。また、コレクタシンク領域と高キャリア濃度埋め込み領域との接合部での不純物濃度を、５×１０^{16}/cm^{3} ～１×１０^{20}/cm^{3} とすることで、上記のカーク効果を抑制して、この領域での局所発熱を防止することができる（第８発明）。また、主半導体領域をSOI 基板とすることで、底面絶縁膜を容易に形成でき、SOI 基板の表面からの不純物拡散により、コレクタ領域、ベース領域、エッミタ領域、コレクタシンク領域、ベースシンク領域を容易に形成することができる（第９の発明）。

【００３５】

第１０の発明は、第１の発明乃至第９の発明において、コレクタ領域に接続されるコレクタ電極は、静電気サージの加わる静電気から保護すべき他の素子の入力端子に接続され、エミッタ領域に接続されるエミッタ電極は接地端子であり、ベース領域に接続されるベース電極は抵抗を介して接地、又は、直接、接地されていることを特徴する。この構成により、静電気サージにより、まず、ベース電極に流れる電流により、ベース領域はエミッタ領域に対してバイアスされて、縦型のトランジスタが導通する。すなわち、静電気サージは、縦型トランジスタ電流路を流れ、保護すべき他の素子には、静電気サージが印加されない構成となる。

【発明を実施するための最良の形態】

【００３６】

以下、本発明を具体的な実施例に基づいて説明する。

ただし、本発明の実施形態は、以下に示す個々の実施例に限定されるものではない。

【実施例１】

【００３７】

図１は、本発明のSOI 基板に形成された縦型ｎｐｎトランジスタによる静電気保護用半導体装置の構造を示している。本実施例では、第１伝導型はｎ伝導型であり、第２伝導型は、ｐ伝導型である。素子領域は底面に形成された底面絶縁膜である埋め込み絶縁膜１２、側面にトレンチにより形成された側面絶縁膜であるトレンチ絶縁膜１３で区画されて、静電気から保護すべき他の素子と絶縁分離されている。素子領域は、主として、主半導体領域であるｎ型半導体基板１１に形成されている。ｎ型半導体基板１１の埋め込み絶縁膜１２側には、その絶縁膜１２に平行に高キャリア濃度埋め込み領域である高電子濃度の埋め込みｎ$^{+}$ 型領域１４が形成されている。そして、その埋め込みｎ$^{+}$ 型領域１４の上の素子領域の全体に、電界分散領域である電界分散ｎ型領域３２が形成されている。

【００３８】

また、ｎ型半導体基板１１の表面部には、コレクタ領域である高電子濃度のコレクタｎ$^{+}$ 型領域１６が形成されている。コレクタｎ$^{+}$ 型領域１６と埋め込みｎ$^{+}$ 型領域１４とを

接続するように、コレクタシンク領域である高電子濃度のコレクタシンクn$^+$型領域１５が形成されている。これにより、コレクタn$^+$型領域１６と埋め込みn$^+$型領域１４とは、低抵抗で接続されることになる。

【００３９】

また、そのコレクタn$^+$型領域１６から離れて、n型半導体基板１１の表面部に、ベース領域であるベースp型領域１７が形成され、そのベースp型領域１７に内包されて、エミッタ領域である高電子濃度のエミッタn$^+$型領域１８および高キャリア濃度ベース領域である高正孔濃度のベースp$^+$型領域１９が、間隙を隔てて形成されている。

【００４０】

これらの構成を有するnpn保護素子領域は、トレンチ形状のトレンチ絶縁膜１３およびポリシリコン膜２０による誘電体分離により、他の素子とは完全に分離されている。図１において、コレクタ電極２１はESD サージの加わる入力端子に接続され、エミッタ電極２２は接地端子に接続され、ベース電極２３は数十kΩのポリシリコン抵抗Rb（図１０）を介して接地されている。

【００４１】

このような構造の縦型のnpn静電気保護用半導体装置は、次のようにして製造することができる。

シリコンから成るn型半導体基板１１の表面から燐から成るドナー不純物を所定の深さにイオン打ち込みする。深さの調整は、打ち込みイオンのエネルギーを調整することにより制御できる。これにより、電界分散n型領域３２を形成する。次に、燐から成るドナー不純物をドープして、高電子濃度の埋め込みn$^+$型領域１４を形成する。一方、第２半導体基板１０の表面を酸化して埋め込み絶縁膜１２を形成する。その後、n型半導体基板１１の埋め込みn$^+$型領域１４と、第２半導体基板１０の埋め込み絶縁膜１２とを陽極接合する。電界分散n型領域３２は、n型半導体基板１１の表面からイオン打ち込みにより形成しているので、その電界分散n型領域３２の中央部が、最も不純物濃度が高く、したがって、電子濃度が高くなるように、不純物濃度や電子濃度は分布している。埋め込みn$^+$型領域１４は接合する前の基板の接合面である表面から不純物を拡散しているので、埋め込みn$^+$型領域１４は、埋め込み絶縁膜１２側に向かうに連れて、ドナー不純物濃度が高くなり、したがって、電子密度が高くなる。

【００４２】

次に、n型半導体基板１１の表面から垂直に、素子領域を矩形に区画するようにエッチングにより四方にトレンチを形成する。その後、そのトレンチの側面を酸化させて、トレンチ絶縁膜１３を形成する。次に、トレンチ内部に、多結晶シリコンを成長させて、ポリシリコン膜２０を形成する。このようにして、素子領域が、底面部は埋め込み絶縁膜１２で、四方の側面部はトレンチ絶縁膜１３により電気的に絶縁分離される。

【００４３】

次に、第２半導体基板１０に接合したn型半導体基板１１の表面から、それぞれ、燐から成るドナー不純物を拡散して、埋め込みn$^+$型領域１４と先端が重畳して接合するコレクタシンクn$^+$型領域１５を形成する。次に、n型半導体基板１１の表面から、ホウ素から成るアクセプタ不純物を拡散して、n型半導体基板１１の表面部にベースp型領域１７を形成する。次に、ベースp型領域１７に内包され、その境界周辺のn型半導体基板１１の小領域表面部に、ホウ素から成るアクセプタ不純物を高濃度に拡散して、ベースp$^+$型領域１９を形成する。その後、コレクタシンクn$^+$型領域１５に内包されたn型半導体基板１１の表面部およびベースp型領域１７に内包されたn型半導体基板１１の表面部であってベースp$^+$型領域１９と微小間隙を隔てた領域に燐から成るドナー不純物を高濃度に拡散して、コレクタn$^+$型領域１６とエミッタn$^+$型領域１８とを、それぞれ、形成する。

【００４４】

次に、n型半導体基板１１の電極形成部を除いた表面部を熱酸化してLOCOS 絶縁膜２４を形成し、さらに、シリコン酸化膜を基板の表面に堆積して、エッチングにより電極形成

部に窓の開けられた層間絶縁膜２５を形成する。次に、その窓に金属を蒸着してコレクタ電極２１、ベース電極２３、エミッタ電極２２を形成する。

【００４５】

上記の構成において、高耐量ESD 性能を確保するのに必要な部分の構成とその作用について説明する。

従来技術による半導体装置との主要な構成上の違いは二点ある。第一は、コレクタシンクｎ$^+$型領域１５と埋め込みｎ$^+$型領域１４との接合界面でホットスポットが発生しないように、コレクタシンクｎ$^+$型領域１５の拡散層はより深く形成されて、埋め込みｎ$^+$型領域１４に十分に達するように形成されていることである。第二は、埋め込みｎ$^+$型領域１４の上の素子領域の全体に、電界分散ｎ領域３２を形成し、ホットスポットがこのｎ型半導体基板１１と電界分散ｎ領域３２との接合界面で発生しないようにしたことである。

【００４６】

この従来技術と異なる構成上の違いにおいて、コレクタシンクｎ$^+$型領域１５を埋め込みｎ$^+$型領域１４に十分に達するように形成した第一の構成に関する技術的理由を説明する。図２は、ｎ型半導体基板１１の表面側よりドナー不純物を拡散して形成されたコレクタシンクｎ$^+$型領域１５と、埋め込み絶縁膜１２側よりドナー不純物を拡散して形成された埋め込みｎ$^+$型領域１４とに関する不純物濃度プロファイルと、双方の拡散領域の重なりの関係を示したものである。コレクタシンクｎ$^+$型領域１５と埋め込みｎ$^+$型領域１４との重なり幅は、それぞれの領域の不純物濃度がｎ型半導体基板１１のドナー不純物濃度に等しくなる位置の差で定義する。ｎ型半導体基板１１のドナー不純物濃度は、１×１０^{15}/cm^{3}である。したがって、各領域を単独で形成したと仮定した場合に、埋め込みｎ$^+$型領域１４のドナー不純物濃度が、基板１１の表面に向かうに連れて減少し１×１０^{15}/cm^{3}となる位置と、コレクタシンクｎ$^+$型領域１５のドナー不純物濃度が埋め込み絶縁膜１２に向かうに連れて減少し１×１０^{15}/cm^{3}となる位置との差を、両領域１４と１５との重なり幅として定義する。

【００４７】

両拡散領域１４、１５の重なり幅と、図８に示す従来発生していたホットスポットａｂでの温度（以下、「ホットスポット温度」という）を解析した結果を図３に示す。ここで、ESD サージを与える電圧は、目標とする10KV～15KVの範囲に設定し、例えば12KVとした。図３より、コレクタシンクｎ$^+$型領域１５と埋め込みｎ$^+$型領域１４との界面でのホットスポット-b温度は重なり幅が増加するにしたがって低下する。一般的に、ホットスポット温度1000K 以下ではESD サージによる半導体装置破壊には至らないことが知られている。これより、拡散領域の重なり幅は３μｍ以上となるように形成し、望ましくは６μｍ程度とすれば界面部のホットスポット-b温度は十分に低くできることが理解される。

【００４８】

また、図４に、図２でのコレクタシンクｎ$^+$型領域１５と埋め込みｎ$^+$型領域１４との界面、すなわち、図２において、両領域のドナー不純物濃度が等しくなる位置におけるドナー不純物濃度と、ホットスポット-b温度を解析した結果を示す。ホットスポット温度が1000K 以下とするには、界面でのドナー不純物濃度は、５×１０^{16}/cm^{3}以上とすることが望ましい。このドナー不純物濃度の望ましい範囲は、５×１０^{16}/cm^{3}以上、１×１０^{20}/cm^{3}以下である。ドナー不純物濃度が１×１０^{17}/cm 以上となると、ホットスポット-b温度は、600Kで飽和する傾向があるので、ドナー不純物濃度のさらに望ましい範囲は、１×１０^{17}/cm 以上である。上限は、通常、拡散限界であれば良く、通常は、１×１０^{20}/cm^{3}以下である。

【００４９】

上記のように両領域１４、１５の重なり幅と、界面のドナー不純物濃度を適性に設定すれば、ホットスポット-b温度を十分に低下させることができる。しかしながら、コレクタシンクｎ$^+$型領域１５と埋め込みｎ$^+$型領域１４との重なりを十分に大きくすると、ホットスポット-bの温度を低下できる反面、エミッタｎ$^+$型領域１８の下方に位置する領域内における、ｎ型半導体基板１１と埋め込みｎ$^+$型領域１４との界面でのホットスポット-a

（図８）の温度が、図３、図４に示すように、シリコンの融点以上に達する。

【００５０】

このホットスポット-aの発熱を抑制するのに、本発明では、従来技術と異なる第二の構成を採用している。電界分散ｎ領域３２を新たに設けることが必要な技術的理由を以下に、説明する。図５は埋め込み絶縁膜１２側より形成される埋め込みｎ$^{+}$型領域１４の不純物プロファイルと新たに設けた電界分散ｎ型領域３２の不純物プロファイルとの関係を示したものである。埋め込みｎ$^{+}$型領域１４の不純物の最大濃度は２×１０^{19}/cm^{3}程度であり、その最大濃度をとる位置は、埋め込み絶縁膜１２に対する接合界面近傍である。また、電界分散ｎ型領域３２のピーク不純物濃度は１×１０^{17}/cm^{3}程度で、幅は３μｍ程度である。ただし、幅は、接合界面の位置と、接合界面での不純物濃度と等しい不純物濃度をとる他方（基板表面側）の位置との差で表す。また、電界分散ｎ型領域３２の厚さ方向の最大不純物濃度の位置と、その最大不純物濃度と同一濃度を有する埋め込みｎ$^{+}$型領域１４における厚さ方向の位置との差で、分離距離を定義する。

【００５１】

電界分散ｎ型領域３２のピーク不純物濃度を１×１０^{17}/cm^{3}とする条件において、分離距離と、電界分散ｎ型領域３２とｎ型半導体基板１１との接合界面に生ずるホットスポット-d（図1 参照）の温度を解析した。その結果を、図６に示す。この場合、コレクタシンクｎ$^{+}$型領域１５と埋め込みｎ$^{+}$型領域１４との重なりは、その点でのホットポット-b温度が1000K 以下となるように、十分に大きくしている。従って、コレクタシンクｎ$^{+}$型領域１５と埋め込みｎ$^{+}$型領域１４との接合界面での発熱は十分に小さくホットスポット-dでの発熱が主体的となっている。

【００５２】

図６から理解されるように、電界分散ｎ型領域３２の埋め込みｎ$^{+}$型領域１４に対する分離位置は、最適位置が存在することが理解される。分離位置が０．３μｍ以上、３．５μｍ以下の時、ホットスポット-d温度は、1000K 以下となり、サージ電流が流れても、半導体装置は静電破壊されない。また、分離距離が１．５～２μｍの場合に、ホットスポット-d温度は、最低温度の約800Kとなり、その範囲は、最も望ましい範囲となる。この場合には、電界分散ｎ型領域３２を設けることで、カーク効果により生じる電界は、電界分散ｎ型領域３２とｎ型半導体基板１１との接合界面におけるエミッタｎ$^{+}$型領域１８の広い投影領域に均一に分散する。そのために、サージ電流分布もこの投影領域に均一一様に分散して流れることになる。その結果として、図１に示すように、接合界面上のエミッタｎ$^{+}$型領域１８の広い投影領域全体でホットスポット-dが発生することになり、ESD サージ電流による発熱を十分に低くできていることが明らかとなった。

【００５３】

図７は、分離距離を１．５μｍとした場合に、電界分散ｎ型領域３２の最大不純物濃度とホットスポット-d温度との関係を解析した結果を示している。最大不純物濃度が７×１０^{16}/cm^{3} 以上、７×１０^{17}/cm^{3} 以下の場合に、ホットスポット-d温度は、半導体が静電破壊されない温度1000K 以下となることが理解される。最大不純物濃度が、１×１０^{17}/cm^{3} 以上、４×１０^{17}/cm^{3} 以下の場合に、サージ電流が流れた場合のホットスポット-d温度は800K以下となり、この範囲がさらに望ましいことが分かる。

【００５４】

以上のように、コレクタシンクｎ$^{+}$型領域１５を埋め込みｎ$^{+}$型領域１４に十分に達するように形成し、埋め込みｎ$^{+}$型領域１４の上に、所定の離間距離を隔てて、電界分散ｎ型領域３２を新たに設けた構成を有する本願発明のNPN 構造ESD 保護用半導体装置によれば、従来技術による半導体装置に比べて、ESD 耐量を２～３倍向上でき、15KV以上のESD 耐量性能の装置を実現することができる。

【００５５】

最後に、上記のシミュレーションについて説明する。図１２は、サージ電圧を印加する回路構成を示している。図１３は、サージ電圧の波形を示している。良く知られたヒューマンモデル（ＨＢＭ）を用いた。図１４は、従来の構成の半導体装置におけるサージ電圧

の大きさと、上昇する温度との関係を示している。サージ電圧が４KV、６KVでは半導体を破壊させる温度まで上昇しないが、サージ電圧が８KVとなると、半導体を破壊させるに十分な温度である1700K まで上昇していることが理解される。図１５の（ａ）は、サージ電圧６KV時の電流分布と温度分布を示し、図１５の（ｂ）は、サージ電圧８KV時の電流分布と温度分布を示している。サージ電圧が６KVの場合には、ホットスポット-a、ホットスポット-bが発生しているが、基板の表面の横方向寄生トランジスタは動作していないことが理解される。しかし、サージ電圧が８KVとなると、ホットスポット-a、ホットスポット-bに加えて、基板の表面部のコレクタ領域側のベース領域と主半導体領域とのｐｎ接合部でホットスポット-cが発生していることが理解される。

【００５６】

次に、コレクタシンクn^+型領域１５を埋め込みn^+型領域１４の重なりを、本件発明のように、十分な幅、不純物濃度とした場合のサージ電圧と温度との関係を図１６に示す。サージ電圧が８KVでも温度は800K程度にしか上昇せず、半導体装置が破壊されることはなく、従来装置に比べて改善が見られる。しかし、サージ電圧が１０KVとなると、1150K まで温度は上昇し、サージ電圧が１２KVとなると、1700K まで温度が上昇することが理解される。これにより、静電破壊が十分には防止されていない。

【００５７】

この原因は、図１７に示すように、ｎ型半導体基板１１と埋め込み埋め込みn^+型領域１４との接合界面で、ホットスポット-aが依然として発生していることが原因である。

【００５８】

次に、電界分散ｎ型領域３２と埋め込みn^+型領域１４との離散距離を変化させた時のサージ電圧１２KV(HBM) を印加させた時の温度の時間変化特性をシミュレートした。その結果を図１８に示す。図中のパラメータは、分離距離である。分離距離が０．５μｍ～３．５μｍの時、ほぼ、最大温度は1000K であることが理解される。図１９は、分離距離を１．５μｍとした時の電界分布（（ａ））と温度分布（（ｂ））を示している。（ｃ）は、シミュレーションモデルを示している。（ｂ）図から明らかなように、電界分散ｎ型領域３２とｎ型半導体領域１１との接合界面におけるホットスポット-dは、800K以下であり、その接合界面上のエミッタn^+型領域１８の投影領域全体に渡って拡大していることが理解される。このように電界分散ｎ型領域３２を設けることで、発熱領域を局所的な点領域から面領域へと拡大でき、そのことが、半導体装置の発熱温度を低下させている理由であることが理解される。

【００５９】

本件発明は、第１伝導帯をｐ型、第２伝導型をｎ型として、縦型ｐｎｐ構造の保護用半導体装置とすることも可能である。さらに、本発明の技術はSOI 基板に限定されるものではなく、エピタキシャル基板でのｎｐｎ構造ESD 保護用半導体装置にも適用できることは明らかである

【産業上の利用可能性】

【００６０】

本発明は、静破壊から半導体回路や集積回路を保護するための半導体装置として有効である。

【図面の簡単な説明】

【００６１】

【図１】本発明の実施例に係る静電気保護用半導体装置の構成を示した断面図。

【図２】同実施例装置におけるコレクタシンクn^+型領域と、埋め込みn^+型領域のドナー不純物濃度の基板の深さ方向の位置に対する分布を示した特性図。

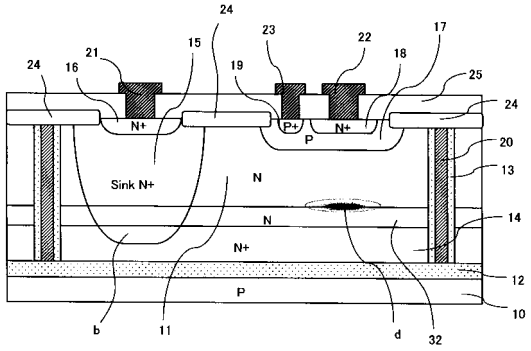
【図３】同実施例装置におけるコレクタシンクn^+型領域と埋め込みn^+型領域との重なり幅とホットスポット温度との関係を示した特性図。

【図４】同実施例装置におけるコレクタシンクn^+型領域と埋め込みn^+型領域との接合界面における不純物濃度とホットスポット温度との関係を示した特性図。

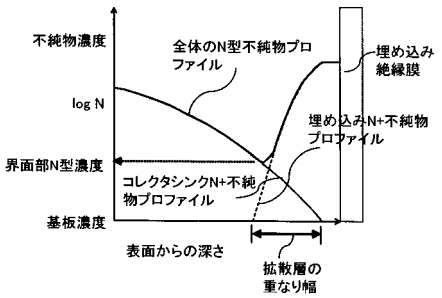
【図５】同実施例装置におけるベースシンクｐ型領域、埋め込みn^+型領域の、それぞれ

、アクセプタ不純物濃度、ドナー不純物濃度の基板の深さ方向の位置に対する分布を示した特性図。
【図６】同実施例装置におけるベースシンクｐ型領域と埋め込みｎ$^+$型領域との重なり幅とホットスポット温度との関係を示した特性図。
【図７】同実施例装置におけるベースシンクｐ型領域と埋め込みｎ$^+$型領域との接合界面における不純物濃度とホットスポット温度との関係を示した特性図。
【図８】従来の静電気保護用半導体装置の構成を示した断面図。
【図９】静電気保護用の従来の縦型ｎｐｎトランジスタ、ダイオードによる電圧対電流の関係を示した特性図。
【図１０】静電気保護用のトランジスタを保護すべき内部回路の入力端子に接続する様子を示した回路図。
【図１１】従来の半導体装置の電子電流分布、正孔電流分布、電界強度分布に関するシミュレーション結果を示す特性図。
【図１２】シミュレーションにおけるモデルを示した回路図。
【図１３】シミュレーションに用いたサージ電圧を示した波形図。
【図１４】従来の半導体装置のサージ電圧と温度との関係を示した特性図。
【図１５】従来の半導体装置のサージ電圧と電流分布と温度分布とを示した特性図。
【図１６】本実施例のコレクタシンクｎ$^+$型領域と埋め込みｎ$^+$型領域との重なり幅を大きくした半導体装置におけるサージ電圧と温度との関係を示した特性図。
【図１７】本実施例のコレクタシンクｎ$^+$型領域と埋め込みｎ$^+$型領域との重なり幅を大きくした半導体装置における電流分布と温度分布とを示した特性図。
【図１８】本実施例の電界分散ｎ型領域を設ける位置を変化させた各種の半導体装置におけるサージ電圧と温度との関係を示した特性図。
【図１９】本実施例の電界分散ｎ型領域を最適位置に設けた半導体装置におけるシミュレーションモデル、電流分布、および温度分布とを示した特性図。
【符号の説明】
【００６２】
１０…第２半導体基板
１１…ｎ型半導体基板
１２…埋め込み絶縁膜
１３…トレンチ絶縁膜
１４…埋め込みｎ$^+$型領域
１５…コレクタシンクｎ$^+$型領域
１６…コレクタｎ$^+$型領域
１７…ベースｐ型領域
１８…エミッタｎ$^+$型領域
１９…ベースｐ$^+$型領域
３２…電界分散ｎ型領域

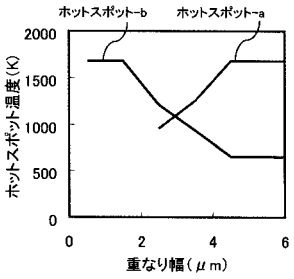
【図１】



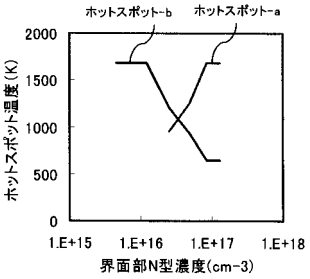
【図２】



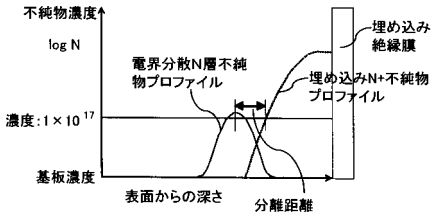
【図３】



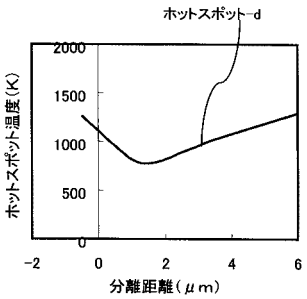
【図４】



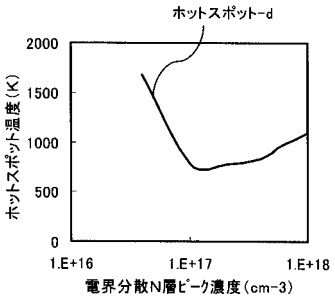
【図５】



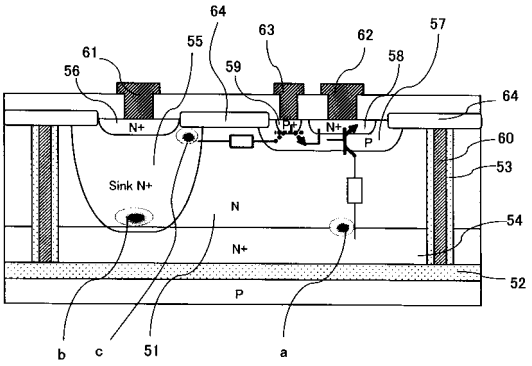
【図６】



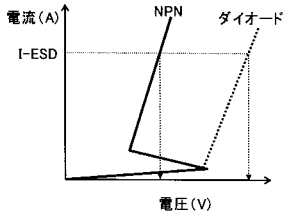
【図７】



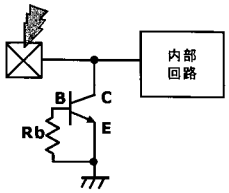
【図８】



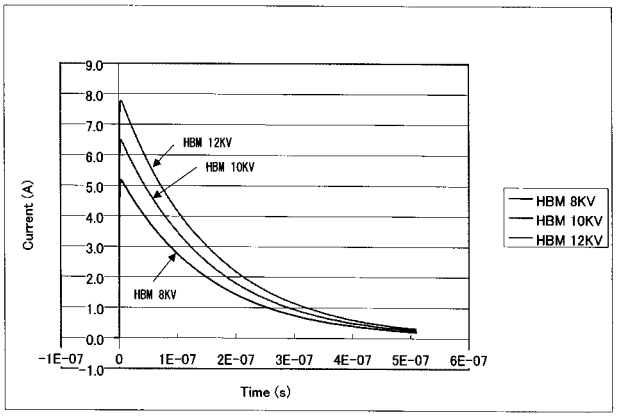
【図９】



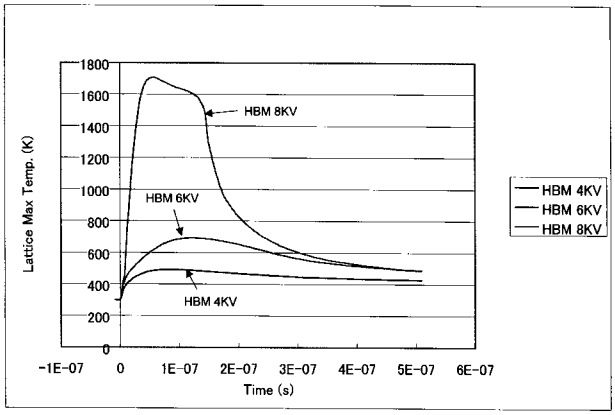
【図１０】



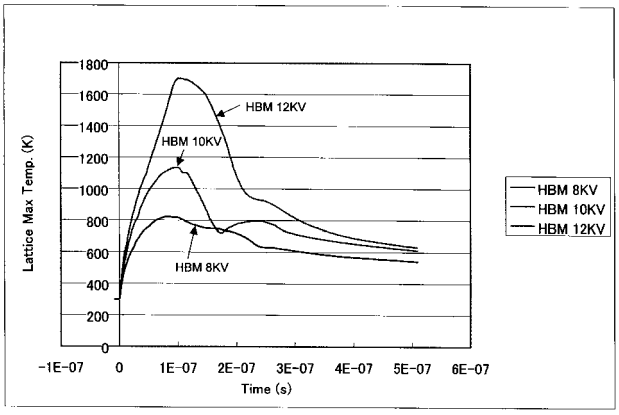
【図１３】



【図１４】

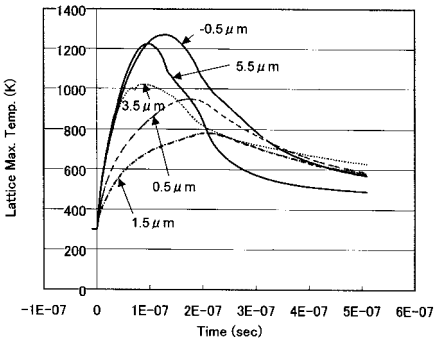


【図１６】

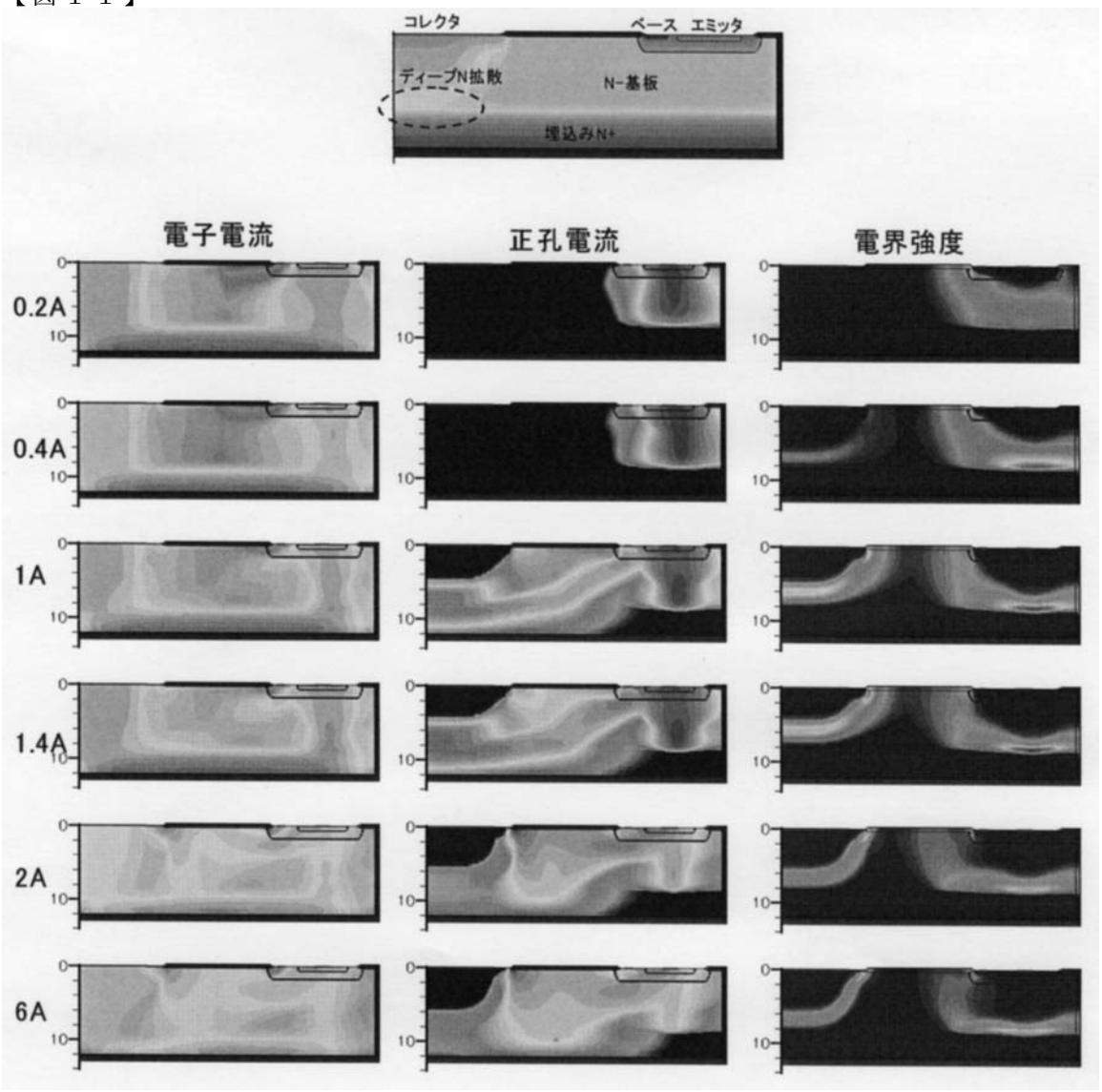


最大ﾎｯﾄｽﾎﾟｯﾄ温度の時間推移

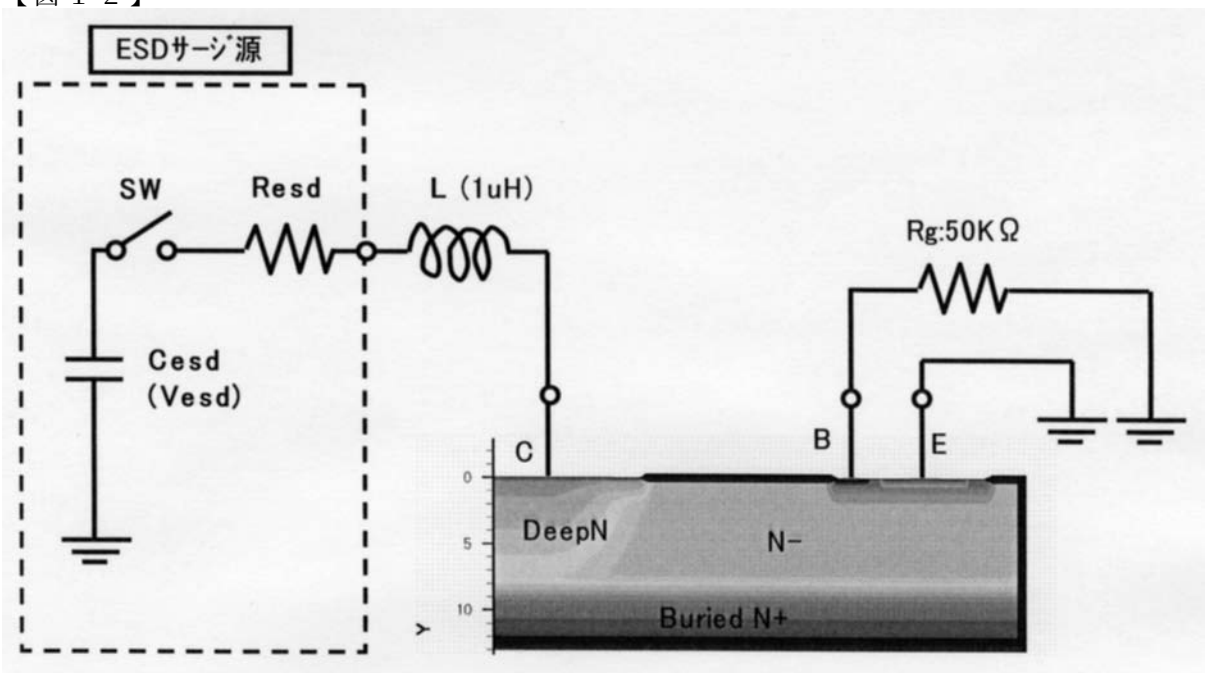
【図１８】



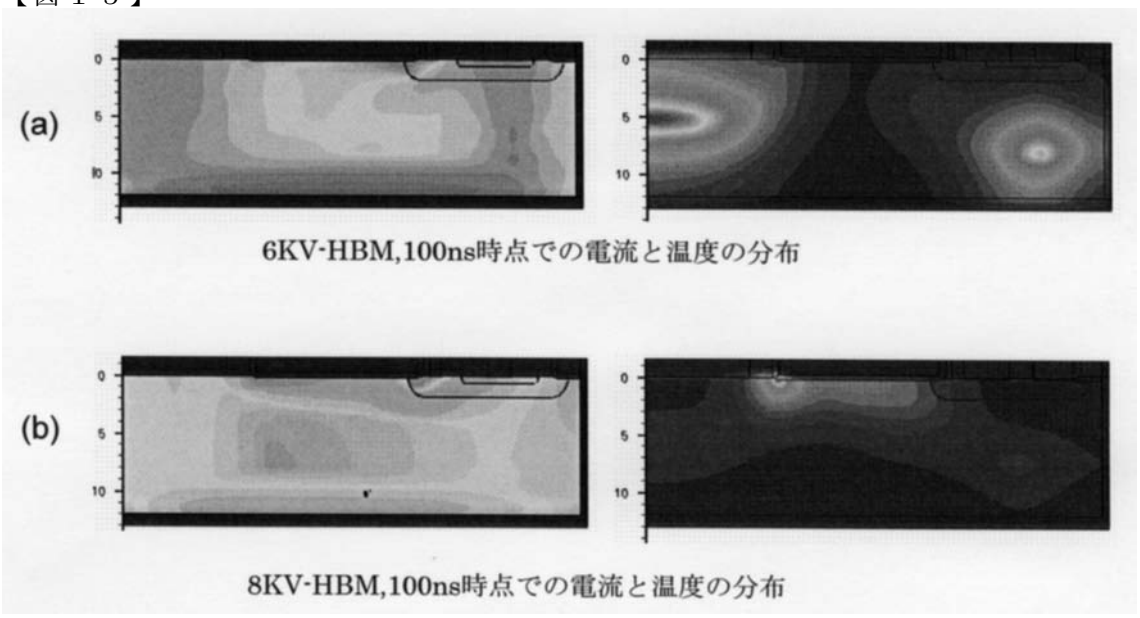
【図１１】


コレクタ
ベース
エミッタ
ディープN拡散
N-基板
埋込みN+
電子電流
正孔電流
電界強度
0.2A
0.4A
1A
1.4A
2A
6A
0
10

【図１２】


ESDサージ源
SW
Resd
L (1uH)
Cesd
(Vesd)
Rg:50KΩ
C
B
E
DeepN
N-
Buried N+
0
5
10

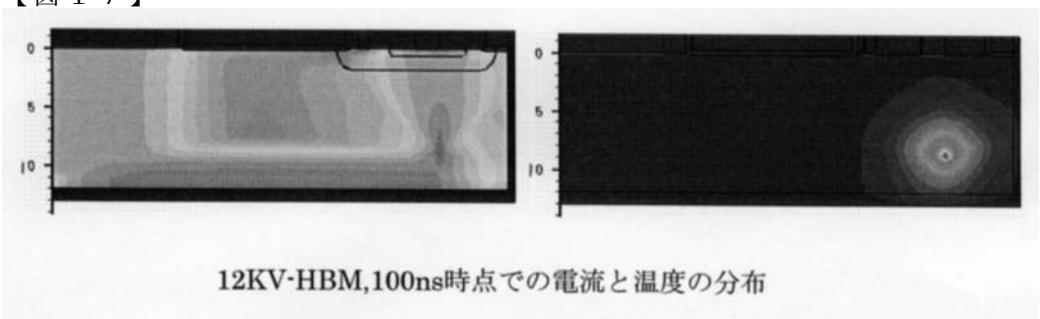
【図１５】



6KV-HBM,100ns時点での電流と温度の分布

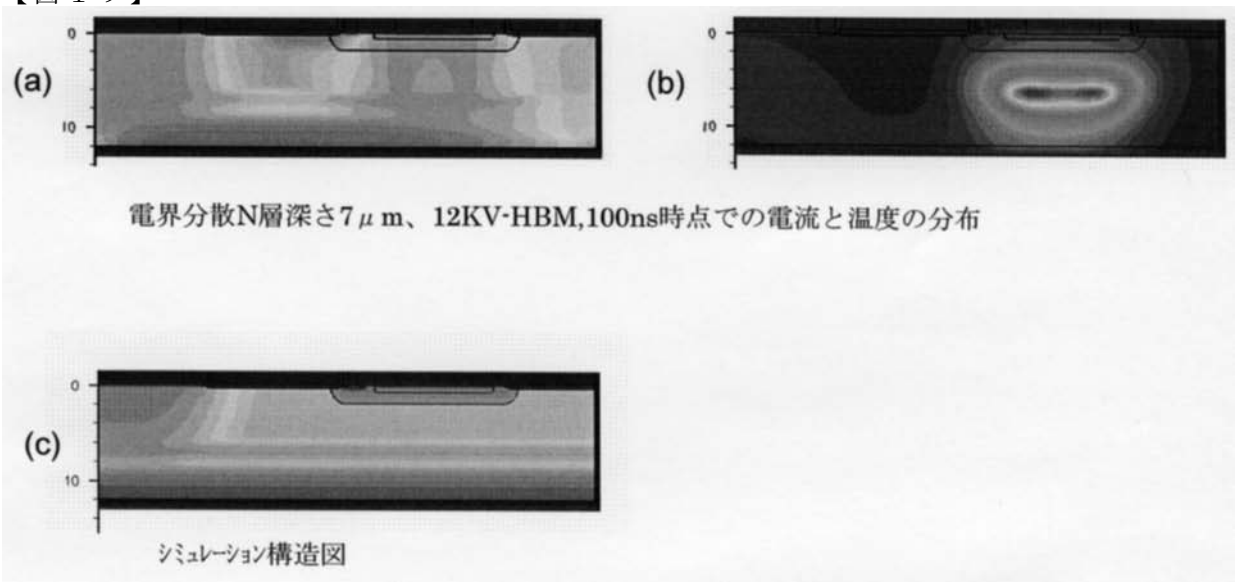
8KV-HBM,100ns時点での電流と温度の分布

【図１７】



12KV-HBM,100ns時点での電流と温度の分布

【図１９】



電界分散N層深さ7μm、12KV-HBM,100ns時点での電流と温度の分布

シミュレーション構造図

フロントページの続き

Ｆターム(参考) 5F003 AP01 AP04 AP06 AZ03 BA27 BA96 BB08 BC01 BC02 BC05
BC08 BC90 BG03 BH18 BJ20 BJ90 BP21
5F038 BH06 BH13 CA09 EZ06 EZ12 EZ13 EZ16 EZ20
5F082 AA17 AA26 AA33 BA04 BA06 BA11 BA22 BA23 BA28 BA47
BC01 BC18 EA09 EA10 EA22 FA16 GA04