

(19)日本国特許庁(JP)

(12)特許公報(B1)

(11)特許番号
特許第7475552号
(P7475552)

(45)発行日 令和6年4月26日(2024.4.26)

(24)登録日 令和6年4月18日(2024.4.18)

(51)国際特許分類

F I

H 0 3 M 13/45 (2006.01)

H 0 3 M 13/15 (2006.01)

H 0 4 L 1/00 (2006.01)

H 0 3 M 13/45

H 0 3 M 13/15

H 0 4 L 1/00

B

請求項の数 4 (全12頁)

(21)出願番号	特願2023-544421(P2023-544421)	(73)特許権者	000006013
(86)(22)出願日	令和5年3月14日(2023.3.14)		三菱電機株式会社
(86)国際出願番号	PCT/JP2023/009894		東京都千代田区丸の内二丁目7番3号
審査請求日	令和5年7月21日(2023.7.21)	(74)代理人	100118762
(出願人による申告)令和4年度契約「グリーン社会に資する先端光伝送技術の研究開発(課題1 10 テラビット級光伝送技術)」委託研究、産業技術力強化法第17条の適用を受ける特許出願早期審査対象出願			弁理士 高村 順
		(72)発明者	吉田 英夫
			東京都千代田区丸の内二丁目7番3号
			三菱電機株式会社内
		(72)発明者	石井 健二
			東京都千代田区丸の内二丁目7番3号
			三菱電機株式会社内
		(72)発明者	斧原 聖史
			東京都千代田区丸の内二丁目7番3号
			三菱電機株式会社内
		審査官	谷岡 佳彦

最終頁に続く

(54)【発明の名称】 誤り訂正装置、誤り訂正方法、制御回路および記憶媒体

(57)【特許請求の範囲】

【請求項1】

軟判定情報を有する軟判定受信系列から硬判定値を抽出し、抽出した硬判定値系列を硬判定受信系列として出力する硬判定値抽出部と、

前記硬判定受信系列に基づいてシンδροームを生成するシンδροーム演算部と、

前記硬判定受信系列にテストパターンを適用する位置であるテストパターン位置候補を前記軟判定情報に基づいて決定するテストパターン位置候補選択部と、

前記テストパターン位置候補に適用する複数のテストパターンの生成および生成したテストパターンを用いた誤り訂正処理を前記硬判定受信系列に対して並列に実行する疑似訂正処理部と、

を備え、

前記疑似訂正処理部は、

それぞれが前記テストパターン位置候補の1つと対応付けられ、対応付けられた前記テストパターン位置候補に1対1対応するシンδροームをシンδροームパターンとして出力する複数のシンδροーム選択部と、

複数の前記シンδροーム選択部のそれぞれから出力される前記シンδροームパターンを受け取り、受け取った前記シンδροームパターンの1つ以上を前記硬判定受信系列のシンδροームに加算する複数のシンδροーム加算部と、

複数の前記シンδροーム加算部の1つと対応付けられ、対応付けられている前記シンδροーム加算部で前記シンδροームパターンが加算された後の前記硬判定受信系列の前記シ

ンドロームを用いた誤り訂正演算を行う複数の誤り訂正演算部と、
を備えることを特徴とする誤り訂正装置。

【請求項 2】

軟判定誤り訂正復号を行う誤り訂正装置が実行する誤り訂正方法であって、
軟判定情報を有する軟判定受信系列から硬判定値を抽出し、抽出した硬判定値系列を硬判定受信系列として出力する硬判定値抽出ステップと、

前記硬判定受信系列に基づいてシンドロームを生成するステップと、

前記硬判定受信系列にテストパターンを適用する位置であるテストパターン位置候補を前記軟判定情報に基づいて決定するテストパターン位置候補選択ステップと、

前記テストパターン位置候補に適用する複数のテストパターンの生成および生成したテストパターンを用いた誤り訂正処理を前記硬判定受信系列に対して並列に実行する疑似訂正ステップと、

を含み、

前記疑似訂正ステップは、

前記テストパターン位置候補の 1 つと対応付けられ、対応付けられた前記テストパターン位置候補に 1 対 1 対応するシンドロームをシンドロームパターンとして出力する処理を並列に実行し、並列に実行する前記処理はそれぞれ異なる前記テストパターン位置候補と対応付けられているシンドローム選択ステップと、

前記シンドローム選択ステップで並列に実行される前記処理のそれぞれで出力される前記シンドロームパターンを受け取り、受け取った前記シンドロームパターンの 1 つ以上を前記硬判定受信系列のシンドロームに加算する処理を並列に実行するシンドローム加算ステップと、

前記シンドローム加算ステップで前記シンドロームパターンが加算された後の複数の前記硬判定受信系列の前記シンドロームを用いた誤り訂正演算を並列に実行する誤り訂正演算ステップと、

を含むことを特徴とする誤り訂正方法。

【請求項 3】

軟判定誤り訂正復号を行う誤り訂正装置を制御する制御回路であって、

軟判定情報を有する軟判定受信系列から硬判定値を抽出し、抽出した硬判定値系列を硬判定受信系列として出力する第 1 ステップと、

前記硬判定受信系列に基づいてシンドロームを生成する第 2 ステップと、

前記硬判定受信系列にテストパターンを適用する位置であるテストパターン位置候補を前記軟判定情報に基づいて決定する第 3 ステップと、

前記テストパターン位置候補に適用する複数のテストパターンの生成および生成したテストパターンを用いた誤り訂正処理を前記硬判定受信系列に対して並列に実行する第 4 ステップと、

を前記誤り訂正装置に実行させ、

前記第 4 ステップは、

前記テストパターン位置候補の 1 つと対応付けられ、対応付けられた前記テストパターン位置候補に 1 対 1 に対応するシンドロームをシンドロームパターンとして出力する処理を並列に実行し、並列に実行する前記処理はそれぞれ異なる前記テストパターン位置候補と対応付けられているシンドローム選択ステップと、

前記シンドローム選択ステップで並列に実行される前記処理のそれぞれで出力される前記シンドロームパターンを受け取り、受け取った前記シンドロームパターンの 1 つ以上を前記硬判定受信系列のシンドロームに加算する処理を並列に実行するシンドローム加算ステップと、

前記シンドローム加算ステップで前記シンドロームパターンが加算された後の複数の前記硬判定受信系列の前記シンドロームを用いた誤り訂正演算を並列に実行する誤り訂正演算ステップと、

を含むことを特徴とする制御回路。

10

20

30

40

50

【請求項 4】

軟判定誤り訂正復号を行う誤り訂正装置を制御するプログラムを記憶する記憶媒体であって、

前記プログラムは、

軟判定情報を有する軟判定受信系列から硬判定値を抽出し、抽出した硬判定値系列を硬判定受信系列として出力する第 1 ステップと、

前記硬判定受信系列に基づいてシンドロームを生成する第 2 ステップと、

前記硬判定受信系列にテストパターンを適用する位置であるテストパターン位置候補を前記軟判定情報に基づいて決定する第 3 ステップと、

前記テストパターン位置候補に適用する複数のテストパターンの生成および生成したテストパターンを用いた誤り訂正処理を前記硬判定受信系列に対して並列に実行する第 4 ステップと、

を前記誤り訂正装置に実行させ、

前記第 4 ステップは、

前記テストパターン位置候補の 1 つと対応付けられ、対応付けられた前記テストパターン位置候補に 1 対 1 に対応するシンドロームをシンドロームパターンとして出力する処理を並列に実行し、並列に実行する前記処理はそれぞれ異なる前記テストパターン位置候補と対応付けられているシンドローム選択ステップと、

前記シンドローム選択ステップで並列に実行される前記処理のそれぞれで出力される前記シンドロームパターンを受け取り、受け取った前記シンドロームパターンの 1 つ以上を前記硬判定受信系列のシンドロームに加算する処理を並列に実行するシンドローム加算ステップと、

前記シンドローム加算ステップで前記シンドロームパターンが加算された後の複数の前記硬判定受信系列の前記シンドロームを用いた誤り訂正演算を並列に実行する誤り訂正演算ステップと、

含むことを特徴とする記憶媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、誤り訂正装置、誤り訂正方法、制御回路および記憶媒体に関する。

【背景技術】

【0002】

BCH (Bose-Chaudhuri-Hocquenghem) 符号等のブロック誤り訂正符号を用いた軟判定誤り訂正復号方法として、Chase 復号法がある (例えば、非特許文献 1)。Chase 復号法では、受信系列の軟判定情報に基づき複数のテストパターンによる疑似訂正を順に行ってから、従来の代数的誤り訂正の試行により得られる符号列候補から最も受信系列と相関の高い符号系列候補を選択することによって代数的復号法の訂正限界以上の訂正を行う。

【先行技術文献】

【非特許文献】

【0003】

【文献】David Chase, "A Class of Algorithms for Decoding Block Codes With Channel Measurement Information", IEEE Transactions on information theory, Vol.IT-18, No.1, pp.170-182, 1972

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来の Chase 復号法は、各テストパターンによる試行を順に行っている。このため、例えば、ギガビット / 秒の伝送速度を有する光伝送に用いる誤り訂正装置に従来の方法を適用した場合にはスループットの達成が難しいという問題点があり、復号処理の高速化

10

20

30

40

50

の実現が望まれる。

【 0 0 0 5 】

本開示は、上記に鑑みてなされたものであって、復号処理の高速化を実現する誤り訂正装置を得ることを目的とする。

【課題を解決するための手段】

【 0 0 0 6 】

上述した課題を解決し、目的を達成するために、本開示にかかる誤り訂正装置は、軟判定情報を有する軟判定受信系列から硬判定値を抽出し、抽出した硬判定値系列を硬判定受信系列として出力する硬判定値抽出部と、硬判定受信系列に基づいてシンδροームを生成するシンδροーム演算部と、硬判定受信系列にテストパターンを適用する位置であるテストパターン位置候補を軟判定情報に基づいて決定するテストパターン位置候補選択部と、テストパターン位置候補に適用する複数のテストパターンの生成および生成したテストパターンを用いた誤り訂正処理を硬判定受信系列に対して並列に実行する疑似訂正処理部と、を備え、疑似訂正処理部は、それぞれがテストパターン位置候補の1つと対応付けられ、対応付けられたテストパターン位置候補に1対1対応するシンδροームをシンδροームパターンとして出力する複数のシンδροーム選択部と、複数のシンδροーム選択部のそれぞれから出力されるシンδροームパターンを受け取り、受け取ったシンδροームパターンの1つ以上を硬判定受信系列のシンδροームに加算する複数のシンδροーム加算部と、複数のシンδροーム加算部の1つと対応付けられ、対応付けられているシンδροーム加算部でシンδροームパターンが加算された後の硬判定受信系列のシンδροームを用いた誤り訂正演算を行う複数の誤り訂正演算部と、を備えることを特徴とする。

【発明の効果】

【 0 0 0 7 】

本開示にかかる誤り訂正装置は、復号処理の高速化を実現できる、という効果を奏する。

【図面の簡単な説明】

【 0 0 0 8 】

【図1】実施の形態1にかかる誤り訂正装置の構成例を示す図

【図2】実施の形態1にかかる誤り訂正装置の動作の一例を示すフローチャート

【図3】実施の形態2にかかる誤り訂正装置の構成例を示す図

【図4】実施の形態2にかかる誤り訂正装置の動作の一例を示すフローチャート

【図5】誤り訂正装置の構成要素の一部または全部を実現する処理回路の一例を示す図

【発明を実施するための形態】

【 0 0 0 9 】

以下に、本開示の実施の形態にかかる誤り訂正装置、誤り訂正方法、制御回路および記憶媒体を図面に基づいて詳細に説明する。

【 0 0 1 0 】

実施の形態1 .

図1は、実施の形態1にかかる誤り訂正装置100の構成例を示す図である。誤り訂正装置100は、例えば、光伝送システムを構成する通信装置に搭載され、受信系列を軟判定して得られる情報系列（以下、軟判定受信系列と称する）を誤り訂正復号する。誤り訂正装置100は、チェイス（Chase）復号処理により軟判定受信系列の誤りを訂正する。

【 0 0 1 1 】

図1に示すように、誤り訂正装置100は、硬判定値抽出部2と、テストパターン位置候補選択部3と、テストパターン選択決定部4-1～4-Tと、テストパターン加算部5-1～5-Tと、シンδροーム演算部6および6-1～6-Tと、誤り訂正演算部7および7-1～7-Tと、訂正候補選択部8と、訂正処理部9と、を備える。ここで、Tは2以上の整数とする。誤り訂正装置100には、LLR（Log-Likelihood-Ratio）等の軟判定情報を有する軟判定受信系列1が入力される。誤り訂正装置100において、軟判定受信系列1は、硬判定値抽出部2およびテストパターン位置候補選択部3に入力される。

テストパターン位置候補選択部 3 は、L L R 等の軟判定情報に基づき誤っている可能性が高い順に重みづけしてテストパターン位置候補を選択する。なお、テストパターン選択決定部 4 - 1 ~ 4 - T は、テストパターン位置候補選択部 3 で重みづけされた順序に基づきそれぞれ異なる誤りパターンを選択する。テストパターン加算部 5 - 1 ~ 5 - T は、テストパターン選択決定部 4 - 1 ~ 4 - T で選択したテストパターンに対して同じ処理を並列に実行する。シンδροーム演算部 6 - 1 ~ 6 - T、誤り訂正演算部 7 - 1 ~ 7 - T についても同様である。テストパターン選択決定部 4 - 1 ~ 4 - T、テストパターン加算部 5 - 1 ~ 5 - T、シンδροーム演算部 6 - 1 ~ 6 - T および誤り訂正演算部 7 - 1 ~ 7 - T は、チェイス復号法による複数のテストパターンを用いた複数の疑似訂正処理を並列に行う疑似訂正処理部 110 を構成する。

10

【0012】

誤り訂正装置 100 の各部の動作について、図 1 および図 2 を用いて説明する。図 2 は、実施の形態 1 にかかる誤り訂正装置 100 の動作の一例を示すフローチャートである。

【0013】

誤り訂正装置 100 では、まず、硬判定値抽出部 2 が、軟判定受信系列 1 から硬判定値を抽出する（ステップ S 11）。硬判定値抽出部 2 が抽出した硬判定値系列は、硬判定受信系列としてシンδροーム演算部 6、テストパターン加算部 5 - 1 ~ 5 - T および訂正処理部 9 のそれぞれに入力される。

【0014】

また、テストパターン位置候補選択部 3 が、例えば、L L R 等の軟判定情報に基づき誤っている可能性が高い順に重みづけで並び替えながら、硬判定値抽出部 2 で抽出された硬判定受信系列にテストパターンを適用する位置であるテストパターン位置候補を決定する（ステップ S 12）。本実施の形態では、テストパターン位置候補選択部 3 が S 個（S 箇所）のテストパターン位置候補を最終的に決定する。S は 2 以上の整数とする。テストパターン位置候補選択部 3 は、軟判定受信系列 1 に含まれる軟判定情報に基づいてテストパターン位置候補を決定する。

20

【0015】

なお、図 2 では、ステップ S 11 の次にステップ S 12 を実行する構成としているが、ステップ S 11 とステップ S 12 とは並列に実行される。

【0016】

次に、テストパターン選択決定部 4 - 1 ~ 4 - T が、テストパターン位置候補選択部 3 で決定した S 箇所の位置候補から、T 個のテストパターンを生成する（ステップ S 13）。具体的には、テストパターン選択決定部 4 - 1 ~ 4 - T は、硬判定値抽出部 2 で抽出された硬判定受信系列に加算するテストパターンとして、それぞれ異なるテストパターンを選択する。ここで、本実施の形態ではテストパターン位置候補が S 箇所であることから、テストパターンの数に相当する T の最大値は $2^S - 1$ となる。なお、テストパターン選択決定部 4 - 1 ~ 4 - T が選択するテストパターンの数を、軟判定受信系列 1 に含まれる軟判定情報に基づいて絞りこむことも可能である。例えば、尤度が定められた閾値以上のテストパターン位置については除外し、残りのテストパターン位置に対応するテストパターンをテストパターン選択決定部 4 - 1 ~ 4 - T が選択する、としてもよい。この場合、テストパターン選択決定部 4 - 1 ~ 4 - T の一部が、それぞれ異なるテストパターンを選択して出力する。また、テストパターン選択決定部 4 - 1 ~ 4 - T のそれぞれが選択するテストパターンを固定とする、すなわち、常に重みづけにより並び替えられた S 箇所の同じ位置候補に基づきテストパターンを出力するのであれば、テストパターン選択決定部 4 - 1 ~ 4 - T は結線のみとなる。

30

40

【0017】

次に、テストパターン加算部 5 - 1 ~ 5 - T が、硬判定受信系列にテストパターンを加算する（ステップ S 14）。具体的には、テストパターン加算部 5 - 1 ~ 5 - T は、それぞれ、硬判定値抽出部 2 から入力された硬判定受信系列に対し、前段のテストパターン選択決定部 4 - 1 ~ 4 - T で選択されたテストパターンを排他的論理和加算する。このとき

50

、テストパターン加算部 5 - 1 ~ 5 - T は、テストパターン位置のそれぞれに対応する各硬判定値に対し、テストパターンの各ビットを排他的論理和加算する。

【 0 0 1 8 】

次に、シンドローム演算部 6 および 6 - 1 ~ 6 - T が、シンドローム演算を行う（ステップ S 1 5）。具体的には、シンドローム演算部 6 は、硬判定値抽出部 2 から入力された硬判定受信系列のシンドロームを算出する。シンドローム演算部 6 - 1 ~ 6 - T は、それぞれ、前段のテストパターン加算部 5 - 1 ~ 5 - T でテストパターンが加算された硬判定受信系列のシンドロームを算出する。なお、シンドローム演算部 6 および 6 - 1 ~ 6 - T が実行する演算処理の内容は同じである。

【 0 0 1 9 】

次に、誤り訂正演算部 7 および 7 - 1 ~ 7 - T が、誤り訂正演算を行う（ステップ S 1 6）。具体的には、誤り訂正演算部 7 は、シンドローム演算部 6 で算出されたシンドロームを用いて硬判定受信系列の誤り訂正演算を行う。誤り訂正演算部 7 - 1 ~ 7 - T は、それぞれ、前段のシンドローム演算部 6 - 1 ~ 6 - T で算出されたシンドロームを用いて、テストパターン加算部 5 - 1 ~ 5 - T でテストパターンが加算された硬判定受信系列の誤り訂正演算を行う。このとき、誤り訂正演算で誤り位置がテストパターン位置と一致した場合は訂正不可とする。誤り訂正演算部 7 および 7 - 1 ~ 7 - T は、誤り訂正演算において、送信符号候補となる誤りパターンを抽出する。

【 0 0 2 0 】

次に、訂正候補選択部 8 が、誤りパターンを選択する（ステップ S 1 7）。具体的には、訂正候補選択部 8 は、誤り訂正演算部 7 および 7 - 1 ~ 7 - T のそれぞれで抽出された誤りパターンの中の 1 つを選択する。訂正候補選択部 8 は、例えば、複数の誤りパターンのそれぞれについて、誤りパターンの各ビットの尤度の合計値を求め、合計値が最も低い誤りパターンを選択して訂正処理部 9 に出力する。

【 0 0 2 1 】

次に、訂正処理部 9 が、硬判定受信系列を訂正する（ステップ S 1 8）。具体的には、訂正処理部 9 は、訂正候補選択部 8 から入力された訂正パターンと硬判定値抽出部 2 から入力された硬判定受信系列とをビットごとに排他的論理和加算して誤りを相殺する。訂正処理部 9 は、誤り訂正後の硬判定受信系列を出力する。

【 0 0 2 2 】

以上説明したように、本実施の形態にかかる誤り訂正装置 1 0 0 は、チェイス復号法における疑似訂正処理、具体的には、使用するテストパターンを選択する処理と、テストパターンを硬判定受信系列に加算する処理と、シンドロームの演算処理と、誤りパターンを抽出する誤り訂正演算処理とを並列に行うため、復号処理の所要時間を短縮することができる。すなわち、誤り訂正装置 1 0 0 は、復号処理の高速化を実現できる。

【 0 0 2 3 】

実施の形態 2 .

以上の実施の形態 1 にかかる誤り訂正装置 1 0 0 は、一連のチェイス復号処理を並列に実行する構成とすることで処理の所要時間を短縮し、復号処理の高速化を実現するものであるが、次に並列に実行する各処理に含まれるテストパターン処理を実行する回路の規模を抑制する実施の形態について説明する。

【 0 0 2 4 】

図 3 は、実施の形態 2 にかかる誤り訂正装置 1 0 0 a の構成例を示す図である。図 3 では、図 1 に示した実施の形態 1 にかかる誤り訂正装置 1 0 0 と共通の構成要素に同一の符号を付している。図 1 と同一の符号を付した構成要素は実施の形態 1 と同様の処理を行うため、説明を省略する。

【 0 0 2 5 】

誤り訂正装置 1 0 0 a は、硬判定値抽出部 2 と、テストパターン位置候補選択部 3 と、シンドローム演算部 6 と、シンドローム選択部 1 0 - 1 ~ 1 0 - S と、シンドローム加算部 1 1 - 1 ~ 1 1 - T と、誤り訂正演算部 7 および 7 - 1 ~ 7 - T と、訂正候補選択部 8

10

20

30

40

50

と、訂正処理部 9 と、を備える。なお、シンドローム選択部 10 - 1 ~ 10 - S、シンドローム加算部 11 - 1 ~ 11 - T および誤り訂正演算部 7 - 1 ~ 7 - T は疑似訂正処理部 110a を構成する。

【0026】

誤り訂正装置 100a の各部の動作について、図 3 および図 4 を用いて説明する。図 4 は、実施の形態 2 にかかる誤り訂正装置 100a の動作の一例を示すフローチャートである。図 4 では、図 2 に示すフローチャートと共通の処理に同一のステップ番号を付している。図 4 に示すフローチャートは、図 2 に示すフローチャートのステップ S13 ~ S15 をステップ S23 および S24 に置き換えたものである。図 2 と同一のステップ番号を付した処理は実施の形態 1 と同様であるため、説明を省略する。

10

【0027】

誤り訂正装置 100a では、ステップ S11 およびステップ S12 の処理を実行した後、シンドローム演算部 6 がシンドローム演算を行い、シンドローム選択部 10 - 1 ~ 10 - S が、テストパターン位置候補選択部 3 で選択した S 個の位置候補それぞれのシンドロームパターン選択を行う（ステップ S23）。このステップ S23 において、シンドローム演算部 6 は実施の形態 1 と同様の処理を実行してシンドロームを算出する。シンドローム選択部 10 - 1 ~ 10 - S は、S 個のテストパターン位置候補に基づいて、それぞれ異なるシンドロームパターンを算出する。具体的には、シンドローム選択部 10 - 1 ~ 10 - S は、それぞれ、S 個のテストパターン位置の中の 1 つと対応付けられ、対応付けられているテストパターン位置に対応するシンドロームを計算してシンドロームパターンとして出力する。シンドローム選択部 10 - 1 ~ 10 - S は、実施の形態 1 のシンドローム演算部 6 - 1 ~ 6 - T と同様の演算処理でシンドロームを算出することも可能であるが、本実施の形態では、テストパターン位置の位置情報をアドレスとして、例えばルックアップテーブルでテストパターン位置に対応したシンドロームパターンを出力することで回路規模を抑えている。例えば、符号長 256 ビット、情報ビット長 239 ビットの拡大 BCH 符号の場合、入力アドレス 8 ビット、ワード数 256 で出力シンドロームパターンは拡大パリティを除き 16 ビットとなる。この場合、テストパターン位置に対応するシンドロームパターンを出力する回路を高々 S 個並列に配置するだけで実現できる。

20

【0028】

次に、シンドローム加算部 11 - 1 ~ 11 - T が、シンドローム選択部 10 - 1 ~ 10 - S の 1 つあるいは複数のシンドロームパターンと硬判定受信系列のシンドロームとを加算する（ステップ S24）。具体的には、シンドローム加算部 11 - 1 ~ 11 - T は、それぞれ、前段のシンドローム選択部 10 - 1 ~ 10 - S から出力されるシンドロームパターンと、シンドローム演算部 6 から出力される硬判定受信系列のシンドロームとを排他的論理和加算する。これらのシンドローム加算部 11 - 1 ~ 11 - T の出力は、実施の形態 1 にかかる誤り訂正装置 100 におけるシンドローム演算部 6 - 1 ~ 6 - T と同様の出力となる。

30

【0029】

シンドローム加算部 11 - 1 ~ 11 - T による演算の具体例を示す。一例として、符号長 256 ビット、情報ビット長 239 ビットの拡大 BCH 符号の場合について説明する。この場合、テストパターン位置候補選択部 3 が決定するテストパターン位置の 1 つのみをテストパターンの対象とするならば、テストパターンに対応するシンドローム加算部 11（シンドローム加算部 11 - 1 ~ 11 - T のいずれか）の演算は、前段のシンドローム選択部 10（シンドローム選択部 10 - 1 ~ 10 - S のいずれか）の出力の 16 ビットと、硬判定値抽出部 2 の出力に基づくシンドローム演算部 6 の出力の 17 ビットの内の 16 ビットとのビットごとの排他的論理和加算である。拡大パリティビットに基づくシンドロームは、シンドローム演算部 6 の拡大パリティビット出力を 0, 1 反転すれば得られる。最大 S 個となるテストパターンの対象の位置数が K 個であっても同様に、16 ビットそれぞれをビットごとに排他的論理和加算し、拡大パリティビットに基づくシンドロームは、K が奇数ならば 0, 1 反転して出力し、K が偶数ならばそのまま出力すればよい。

40

50

【 0 0 3 0 】

以上説明したように、本実施の形態にかかる誤り訂正装置 1 0 0 a は、S 個のテストパターン位置のそれぞれに一対一対応のシンドローム選択部 1 0 - 1 ~ 1 0 - S を備え、シンドローム選択部 1 0 - 1 ~ 1 0 - S が出力するシンドロームパターンとシンドローム演算部 6 が出力するシンドロームとをシンドローム加算部 1 1 - 1 ~ 1 1 - T で加算する。上述した実施の形態 1 にかかる誤り訂正装置 1 0 0 は、各テストパターンを硬判定受信系列に加えた上でシンドローム演算を行う構成であるため、ビットごとの演算処理となり回路規模が大きくなるが、本実施の形態によれば、実施の形態 1 と比較して回路規模を小さくできる。

【 0 0 3 1 】

例えば、シンドローム選択部 1 0 - 1 ~ 1 0 - S のそれぞれがシンドローム演算部 6 と同じ構成をとったとしても、テストパターン位置 S 個はテストパターン数 T 個に比べて圧倒的に小さいため、回路規模が小さくなる。また、シンドローム加算部 1 1 - 1 ~ 1 1 - T での排他的論理和加算数は、シンドロームパターンのビット長が硬判定受信系列のビット長よりも圧倒的に小さいため、実施の形態 1 にかかる誤り訂正装置 1 0 0 のテストパターン加算部 5 - 1 ~ 5 - T で実行する排他的論理和加算数に比べ、少ない排他的論理和加算数となり回路規模が小さくなる。

【 0 0 3 2 】

つづいて、各実施の形態で説明した誤り訂正装置 1 0 0 および 1 0 0 a のハードウェア構成について説明する。誤り訂正装置 1 0 0 および 1 0 0 a は同様のハードウェアで実現される。ここでは、一例として、誤り訂正装置 1 0 0 a のハードウェア構成例について説明する。

【 0 0 3 3 】

誤り訂正装置 1 0 0 a の硬判定値抽出部 2、テストパターン位置候補選択部 3、シンドローム演算部 6、誤り訂正演算部 7、7 - 1 ~ 7 - T、シンドローム選択部 1 0 - 1 ~ 1 0 - S、シンドローム加算部 1 1 - 1 ~ 1 1 - T、訂正候補選択部 8 および訂正処理部 9 は、専用のハードウェアである処理回路、具体的には、単回路、複合回路、プログラム化したプロセッサ、並列プログラム化したプロセッサ、A S I C (Application Specific Integrated Circuit)、F P G A (Field Programmable Gate Array)、またはこれらを組み合わせた処理回路で実現される。

【 0 0 3 4 】

また、誤り訂正装置 1 0 0 a の構成要素の一部または全部が、すなわち、硬判定値抽出部 2、テストパターン位置候補選択部 3、シンドローム演算部 6、誤り訂正演算部 7、7 - 1 ~ 7 - T、シンドローム選択部 1 0 - 1 ~ 1 0 - S、シンドローム加算部 1 1 - 1 ~ 1 1 - T、訂正候補選択部 8 および訂正処理部 9 の一部または全部が、図 5 に示すプロセッサ 9 1 およびメモリ 9 2 で構成される処理回路で実現されてもよい。図 5 は、誤り訂正装置 1 0 0 a の構成要素の一部または全部を実現する処理回路の一例を示す図である。プロセッサ 9 1 は、C P U (Central Processing Unit、中央処理装置、処理装置、演算装置、マイクロプロセッサ、マイクロコンピュータ、プロセッサ、D S P (Digital Signal Processor) ともいう) である。メモリ 9 2 は、例えば、R A M (Random Access Memory)、R O M (Read Only Memory)、フラッシュメモリー、E P R O M (Erasable Programmable Read Only Memory)、E E P R O M (登録商標) (Electrically Erasable Programmable Read Only Memory) 等である。

【 0 0 3 5 】

図 5 に示すプロセッサ 9 1 およびメモリ 9 2 で誤り訂正装置 1 0 0 a の構成要素の一部または全部を実現する場合、誤り訂正装置 1 0 0 a の硬判定値抽出部 2、テストパターン位置候補選択部 3、シンドローム演算部 6、誤り訂正演算部 7、7 - 1 ~ 7 - T、シンドローム選択部 1 0 - 1 ~ 1 0 - S、シンドローム加算部 1 1 - 1 ~ 1 1 - T、訂正候補選択部 8 および訂正処理部 9 の一部または全部として動作するためのプログラムがメモリ 9 2 に格納される。このプログラムをプロセッサ 9 1 が読み出して実行することにより誤り

10

20

30

40

50

訂正装置 100a の硬判定値抽出部 2、テストパターン位置候補選択部 3、シンδροーム演算部 6、誤り訂正演算部 7、7-1~7-T、シンδροーム選択部 10-1~10-S、シンδροーム加算部 11-1~11-T、訂正候補選択部 8 および訂正処理部 9 の一部または全部が実現される。なお、誤り訂正装置 100a の構成要素の一部がプロセッサ 91 およびメモリ 92 で実現される場合、残りの構成要素は上述した単回路、複回路などで実現される。すなわち、誤り訂正装置 100a は、一部の構成要素が専用のハードウェアで実現され、残りの構成要素が図 5 に示すプロセッサ 91 およびメモリ 92 で実現されてもよい。

【0036】

誤り訂正装置 100a の構成要素の一部または全部がプロセッサ 91 およびメモリ 92 で実現される場合、メモリ 92 に格納される上記のプログラムは、例えば、CD (Compact Disc) - ROM、DVD (Digital Versatile Disc) - ROM などの記憶媒体に書き込まれた状態でユーザ等に提供される形態であってもよいし、ネットワークを介して提供される形態であってもよい。

【0037】

以上の実施の形態に示した構成は、一例を示すものであり、別の公知の技術と組み合わせることも可能であるし、実施の形態同士を組み合わせることも可能であるし、要旨を逸脱しない範囲で、構成の一部を省略、変更することも可能である。

【符号の説明】

【0038】

1 軟判定受信系列、2 硬判定値抽出部、3 テストパターン位置候補選択部、4-1~4-T テストパターン選択決定部、5-1~5-T テストパターン加算部、6、6-1~6-T シンδροーム演算部、7、7-1~7-T 誤り訂正演算部、8 訂正候補選択部、9 訂正処理部、10-1~10-S シンδροーム選択部、11-1~11-T シンδροーム加算部、100、100a 誤り訂正装置、110、110a 疑似訂正処理部。

10

20

30

40

50

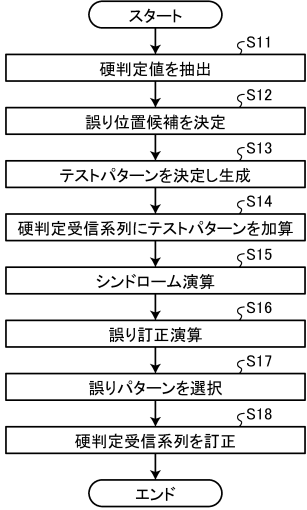
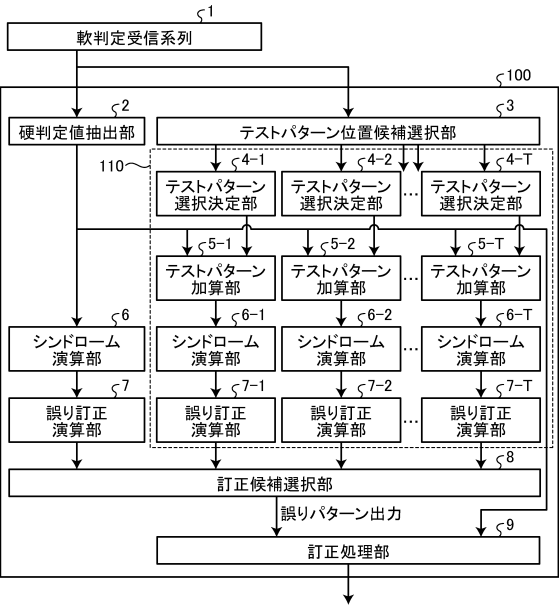
【要約】

誤り訂正装置（１００）は、軟判定情報を有する軟判定受信系列から硬判定値を抽出し、抽出した硬判定値系列を硬判定受信系列として出力する硬判定値抽出部（２）と、硬判定受信系列にテストパターンを適用する位置であるテストパターン位置候補を軟判定情報に基づいて決定するテストパターン位置候補選択部（３）と、テストパターン位置候補に適用する複数のテストパターンの生成および生成したテストパターンを用いた誤り訂正処理を硬判定受信系列に対して並列に実行する疑似訂正処理部（１１０）と、を備える。

【図面】

【図１】

【図２】



10

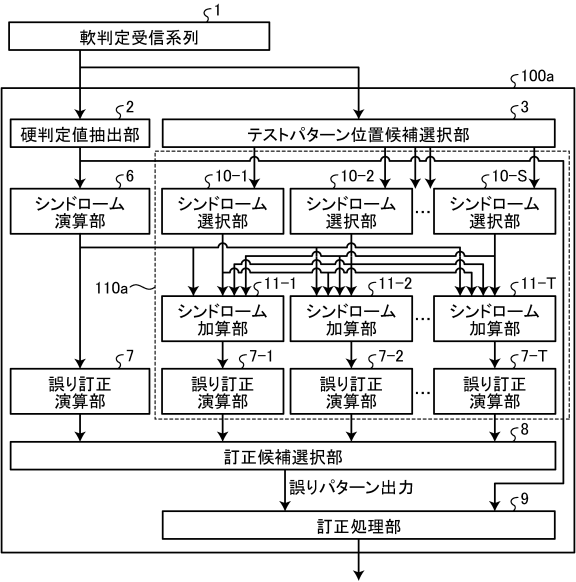
20

30

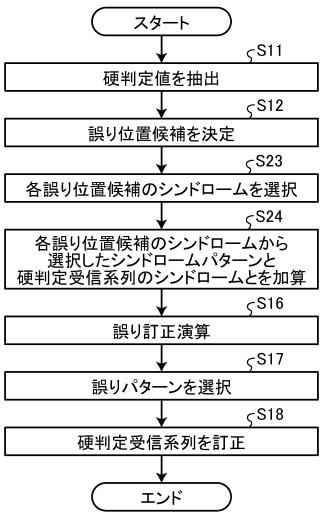
40

50

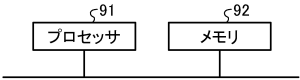
【図 3】



【図 4】



【図 5】



10

20

30

40

50

フロントページの続き

(56)参考文献 韓国登録特許第 1 0 - 1 8 8 2 6 2 0 (K R , B 1)
 米国特許出願公開第 2 0 1 7 / 0 1 7 9 9 8 0 (U S , A 1)
 CONDO, Carlo et al. , Input-distribution-aware parallel decoding of block codes , 2021 11th
 International Symposium on Topics in Coding(ISTC) , 2021年
 小林 学 他 , G M D 復号を用いた効率的な再尤復号法について , 電子情報通信学会技術研
 究報告 , 日本 , 社団法人電子情報通信学会 , 1994年 , V o l . 9 4 N o . 1 7 1 , pp.61-
 66
(58)調査した分野 (Int.Cl. , D B 名)
 H 0 3 M 1 3 / 4 5
 H 0 3 M 1 3 / 1 5
 H 0 4 L 1 / 0 0