

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/522 (2006.01)

H01L 21/768 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610136621.8

[43] 公开日 2007 年 5 月 9 日

[11] 公开号 CN 1959976A

[22] 申请日 2006.10.31

[21] 申请号 200610136621.8

[30] 优先权

[32] 2005.11.3 [33] US [31] 11/266,741

[71] 申请人 国际商业机器公司

地址 美国纽约阿芒克

[72] 发明人 杰克·A·曼德尔曼 许履尘

杨智超 威廉·汤蒂

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波

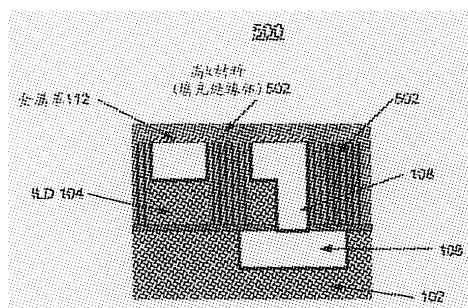
权利要求书 2 页 说明书 6 页 附图 12 页

[54] 发明名称

后端金属化结构及其制造方法

[57] 摘要

本发明公开了同时包含高 k 和低 k 电介质区域的制造方法及后端 (BEOL) 金属化结构。互连结构包含第一层间电介质 (ILD) 层和第二 ILD 层, 该第一 ILD 层位于第二 ILD 层下方。多个柱状空气间隙形成于第一 ILD 层内。由双相光致抗蚀剂材料产生该柱状空气间隙结构, 其中该双相光致抗蚀剂材料用于提供在后续工艺中的不同蚀刻选择性。



1. 一种用于制造同时包含高 k 和低 k 介电材料的半导体器件的后端金属化结构, 包含:

互连结构;

所述互连结构包含第一层间电介质层和第二层间电介质层;

所述第一层间电介质层位于所述第二层间电介质层下方; 以及

形成于所述第一层间电介质层内的多个柱状空气间隙。

2. 权利要求 1 所述的后端金属化结构, 其中形成于所述第一层间电介质层内的所述多个柱状空气间隙包含绝缘体材料。

3. 权利要求 2 所述的后端金属化结构, 其中所述绝缘体材料包含介电常数比形成所述第一层间电介质层的材料的介电常数高的介电材料。

4. 权利要求 2 所述的后端金属化结构, 其中所述绝缘体材料包含介电常数比形成所述第二层间电介质层的材料的介电常数高的介电材料。

5. 权利要求 1 所述的后端金属化结构, 其中所述第一层间电介质层选择性地形成具有低 k 介电性能区域和高 k 介电性能区域。

6. 权利要求 1 所述的后端金属化结构, 其中所述第一层间电介质层和所述第二层间电介质层包含选自由 SiOF、SiCOH、硅倍半氧烷化氢聚合物、硅倍半氧烷甲烷聚合物、聚对二甲苯、BCB、聚亚苯基低聚物、以及碳氟化合物组成的组的材料或其组合。

7. 权利要求 1 所述的后端金属化结构, 其中形成于所述第一层间电介质层内的所述多个柱状空气间隙包含绝缘体材料, 且所述绝缘体材料包含选自由高 k 材料、金属氧化物、 Ta_2O_5 、 BaTiO_3 、 HfO_2 、 ZrO_2 、 Al_2O_3 、金属硅化物、 HfSi_xO_y 和 $\text{HfSi}_x\text{O}_y\text{N}_z$ 的材料及其组合。

8. 权利要求 1 所述的后端金属化结构, 其中形成于所述第一层间电介质层内的所述多个柱状空气间隙包含绝缘体材料, 且所述绝缘体材料包含选自由二氧化硅、氮化硅、碳化硅、氮氧化硅、碳氧化硅、掺氢硅玻璃以及等离子体增强氮化硅组成的组的材料。

9. 权利要求 1 所述的后端金属化结构, 其中所述第一层间电介质层包含选择性形成的介电常数小于所述第一层间电介质层的低 k 介电性能区域。

10. 权利要求 1 所述的后端金属化结构, 其中所述第一层间电介质层包

含选择性形成的介电常数大于所述第一层间电介质层的高k介电性能区域。

11. 权利要求1所述的后端金属化结构,其中所述第一层间电介质层的选定厚度范围介于50nm与1000nm之间。

12. 一种制造后端互连结构的方法,包含的步骤为:

提供第一层间电介质层,所述第一层间电介质层位于介电硬掩模层下方;以及互连导体,延伸穿过所述介电硬掩模层进入所述第一层间电介质层;

提供选择性盖构造,从而在所述互连导体以及介电硬掩模表面上产生金属盖表面;

将双相光致抗蚀剂材料沉积在所述介电硬掩模表面和所述金属盖表面上方;

将双相分离的光致抗蚀剂材料图案转移到该第一层间电介质层以产生柱状空气间隙结构;以及

沉积绝缘体材料用于形成第二层间电介质层。

13. 权利要求12所述的后端互连结构制造方法,其中形成所述柱状空气间隙结构包含后端双金属镶嵌工艺而无需任何额外的临界掩模。

14. 权利要求12所述的后端互连结构制造方法,其中所述沉积的双相光致抗蚀剂材料提供了对于反应离子蚀刻工艺具有不同的蚀刻选择性。

15. 权利要求12所述的后端互连结构制造方法,还包含,对于需要高电容的应用,沉积填充绝缘体材料以填充该第一层间电介质层内的所述柱状空气间隙结构,在沉积用于形成所述第二层间电介质层的绝缘体材料之前,沉积所述填充绝缘体材料。

16. 权利要求12所述的后端互连结构制造方法,其中,对于高速应用,所述沉积的第二绝缘体材料并不填充所述柱状空气间隙结构,在所述第一层间电介质层内留下空气间隙。

17. 权利要求12所述的后端互连结构制造方法,其中所述双相光致抗蚀剂材料包含两种不同的聚合物。

18. 权利要求12所述的后端互连结构制造方法,其中所述双相光致抗蚀剂材料包含聚合物和氧化硅的组合。

19. 权利要求12所述的后端互连结构制造方法,其中所述第二层间电介质层由选自化学气相沉积、原子层沉积、或者旋涂相关的工艺之一的方法形成。

后端金属化结构及其制造方法

技术领域

本发明通常涉及制造半导体器件的领域，更具体而言，涉及用于包括同时选择性形成高介电常数(高k)和低k介电区的半导体器件的后端(BEOL)金属化结构和制造方法。

背景技术

为了减小由于互连线之间寄生电容引起的 BEOL 互连电路延迟，形成层间电介质(ILD)和间隙填充的具有介电常数值 k 约 4.0 的传统二氧化硅电介质已经被介电常数值 k 约 3.0 的致密的低 k 膜替代。为了进一步改善先进器件的性能，需要额外的电介质电容减小，例如介电常数值 k 小于 2.5。

另一方面，对于需要高电容的应用例如电荷存储以及解耦，介电常数值 k 大于 7 的高 k 材料是优选的。

从大量制造和低成本的观点，需要一种用于制造同时包含低 k 和高 k 的互连的单 BEOL 集成方案。

电容减小可以采用新的多孔低 k 电介质实现，然而，大部分多孔材料和致密电介质相比具有相对弱的机械性能。对于当前的 BEOL 工艺而言，将这些材料与其他模块工艺集成也是一个重大的挑战。

例如，传统的抛光工艺例如传统上用于金属镶嵌金属化工艺的化学机械抛光(CMP)，难以抛光低机械强度的多孔电介质。此外，传统的物理气相沉积(PVD)扩散阻挡沉积技术不能提供对多孔电介质表面的适当的覆盖。

已经提出了各种技术，以利用等离子体辅助蚀刻工艺例如利用反应离子蚀刻(RIE)工艺形成空气间隙。

需要一种用于实施用于同时包含高介电常数(高k)和低k介电材料的半导体器件的 BEOL 金属化结构的有效机制。

发明内容

本发明的主要方面是提供用于同时包含高 k 和低 k 介电材料的半导体器

件的方法和后端 (BEOL) 金属化结构。本发明的其他重要方面是提供基本上没有负效应并克服了现有技术设置的许多缺点的用于同时包含高 k 和低 k 介电材料的半导体器件的这种方法 and 后端 (BEOL) 金属化结构。

简而言之, 为同时包含高 k 和低 k 介电材料的半导体器件提供了制造方法及后端 (BEOL) 金属化结构。互连结构包含第一层间电介质 (ILD) 层和第二 ILD 层, 其中该第一 ILD 层位于第二 ILD 层下。多列空气间隙形成于第一 ILD 内。

根据本发明的特征, 使用双相光致抗蚀剂材料以在后续工艺例如后续的反应离子蚀刻 (RIE) 工艺其间提供不同的蚀刻选择性, 由此形成柱状空气间隙结构。为了增强蚀刻选择性, 该双相光致抗蚀剂材料的一个相在 RIE 工艺之前被除去。该双相光致抗蚀剂材料包含例如两种不同的聚合物或者聚合物与氧化硅的组合。

根据本发明的特征, 选择性盖构造被用于产生局部形貌, 并产生包含金属盖表面和介电硬掩模 (HM) 表面的两种不同表面。例如介电硬掩模 (HM) 层的材料延伸到第一 ILD 层上, 互连导体的暴露表面被选择性地覆盖金属层。该双相光致抗蚀剂材料沉积在该介电 HM 层和金属盖的表面上。双相的被分离的光致抗蚀剂材料图案被转移到第一 ILD 层以产生该柱状空气间隙结构。第二绝缘体沉积在该图案化的晶片表面上。

根据本发明的特征, 所沉积的第二绝缘体材料可选地填充第一 ILD 层内的柱状空气间隙以用于需要高电容的应用。对于其他高速应用, 所沉积的第二绝缘体材料并不填充该柱状空气间隙结构, 在最后的互连结构中在 ILD 层内留下空气间隙。

附图说明

通过图中所示本发明优选实施方案的下述详细描述, 可以最佳地理解本发明以及上述与其他目标和优点, 附图中:

图 1、2、3A、3B、4 和 5 示出了根据优选实施方案的用于制造互连结构的示范性工艺步骤;

图 6 和 7 为示出了根据优选实施方案的备选示范性互连结构的未按比例绘制的示意性侧视图;

图 8A 和 8B 示出了根据优选实施方案的示范性相分离特征; 以及

图 9A、9B、9C 以及 10A、10B、10C 示出了根据优选实施方案制造的示范性互连结构。

具体实施方式

根据优选实施方案的特征，为高 k 及低 k 互连应用的现代半导体器件提供了电容调整方法。该电容调整方法可快速容易地与目前 BEOL 工艺集成。并不需要特殊材料或新材料。空气间隙结构或高 k 材料可以被嵌入到原始的层间电介质材料内部。该方法与当前 BEOL 工艺兼容，且不需要新的模块开发以用于优化蚀刻分布、改善阻挡覆盖度或者处理 CMP 工艺。

根据优选实施方案的特征，提供了包含位于介电材料内部的空气间隙的互连结构，用于整体 BEOL 电容减小。还提供了包含嵌在原始电介质内的高 k 材料的互连结构，用于整体 BEOL 电容增大。提供了形成低 k 的 BEOL 互连结构的方法。

现在参考附图，在图 1、2、3A、4、5、6 和 7 中，示出了根据优选实施方案的用于制造互连结构的示范性工艺步骤。

在图 1 中，根据优选实施方案，通常用参考符号 100 表示的第一工艺步骤开始于选择性盖构造。在第一工艺步骤 100 中，选择性盖构造被用于产生局部形貌，并产生包含金属盖表面和介电硬掩模 (HM) 表面的两种不同表面。

如图所示，用于第一工艺步骤 100 的初始结构包含位于第一层间电介质 (ILD) 层 104 和多个导体 108 下的衬底层 102。界面材料 110 或介电硬掩模 (HM) 层 110 设于被暴露的第一 ILD 层 104 上。延伸穿透介电 HM 层 110 的各个互连导体 108 的暴露表面被选择性地覆盖了金属层或金属盖 112。

第一 ILD 层 104 为低 k 材料，优选地具有介于 50nm 与 1000nm 的厚度。例如，第一 ILD 层 104 为选自例如 SiOF (FSG)、SiCOH、HSQ (硅倍半氧烷化氢聚合物) 以及 MSQ (硅倍半氧烷甲烷聚合物) 的含硅材料或者例如聚对二甲苯、BCB、聚亚苯基低聚物、碳氟化合物的有机物组成的组的材料及其组合。

导体 108 由任何合适的导电材料例如 Cu、Al、Al (Cu) 和 W 形成。该 HM 层 110 例如提供亲水表面用于随后的局部选择性相分离。该 HM 层 110 的厚度介于 2nm 与 80nm 之间。该 HM 层 110 可以为导体、绝缘体或半导体。

例如,铜导体 108 的暴露表面被选择性地覆盖了由 CoWP 形成的盖层 112,该盖层同时作为钝化以及 Cu 扩散阻挡层。优选该 CoWP 层 112 的厚度介于 5nm 与 30nm 之间。除了 CoWP 之外,其他材料例如 CoSnP、CoP、CoB、CoSnB、CoWB、Pd 和 Ru 也是用于形成盖层 112 的良好候选。优选地,形成盖层 112 的材料具有疏水表面,以用于与由介电 HM 层 110 提供的亲水表面进行随后的随机相形成。

参考图 2,在通常用参考符号 200 表示的下一个工艺步骤中,双相光致抗蚀剂 202 沉积于晶片表面上。光致抗蚀剂层 202 优选地具有介于 20nm 与 500nm 之间的厚度。该双相光致抗蚀剂 202 可由例如两种不同的聚合物形成,或者可由聚合物与氧化硅的组合形成。

参考图 3A 和 3B,在通常用参考符号 300 表示的下一个工艺步骤中,执行该双相光致抗蚀剂材料 202 的相分离。该双相光致抗蚀剂材料 202 的相分离仅局部地发生于介电 HM 层 110 顶部上通常用参考符号 302 表示的区域内,形成相 A 304 和相 B 306。图 3B 为示出了由相分离步骤 300 形成的相分离区域 302 引起的相 A、B 的局部详细视图。

两种不同的相材料具有不同的蚀刻选择性,例如,相 A 304 具有高于相 B 306 的蚀刻抗性。该相分离仅局部地发生于介电 HM 层 110 顶部上。已有晶片或不同界面性能上、双相光致抗蚀剂 202 和 HM 层 110 之间、以及双相光致抗蚀剂 202 和金属盖层 112 之间的形貌特征有利于触发这种局部相分离。

为了获得改进的后续蚀刻选择性,相 B 306 可选地在下一个工艺之前从晶片表面被除去。该除去步骤可以通过湿法、等离子体、或其他化学相关工艺实现。

参考图 4,通常用参考符号 400 表示的下一个工艺步骤通过 RIE 工艺提供了从光致抗蚀剂相分离区域 302 到下方的第一 ILD 层 104 的图案转移。图示出了结果的柱状空气间隙结构 402。

应该理解,上述抗蚀剂沉积、相分离、以及 RIE 工艺可选地可以沿不同取向被重复以产生具有空气间隙网络的结构,从而进一步减小最后的介电电容。

参考图 5,在通常用参考符号 500 表示的下一个工艺步骤中,填充绝缘体材料 502 随后沉积在晶片表面上用于进一步的工艺。该沉积技术可以是化

学气相沉积 (CVD)、原子层沉积 (ALD)、或者旋涂相关的工艺。优选地, 该第二绝缘体 502 为高 k 材料。填充绝缘体材料 502 由例如高 k 材料、金属氧化物、 Ta_2O_5 、 BaTiO_3 、 HfO_2 、 ZrO_2 、 Al_2O_3 , 金属硅化物、 HfSi_xO_y 、 $\text{HfSi}_x\text{O}_y\text{N}_z$ 及其组合形成。填充绝缘体材料 502 例如选自二氧化硅、氮化硅、碳化硅、氮氧化硅、碳氧化硅、掺氢硅玻璃以及等离子体增强氮化硅的材料形成。如图 5 所示, 所沉积的填充绝缘体材料 502 填充了先前形成的包含 ILD 104 的柱状空气间隙结构 402 内部的空气间隙。

优选地, 在沉积该填充绝缘体材料 502 之前, 沉积和图案化一阻挡层。该阻挡层的目的是选择性地保护旨在保持不被填充的那些空气间隙区域 402, 同时提供了如前所述允许填充绝缘材料 502 填充空气间隙 402 的开口。阻挡层材料可包含氮化硅或其他合适的材料, 该材料被沉积使得对应于柱状空气间隙的开口被密封。如前所述的使用第二绝缘体材料 502 填充该暴露的空气间隙 402 之后, 该阻挡层可通过选择性蚀刻被除去。可选地, 阻挡层的除去可以被掩模覆盖, 以提供保留阻挡层的区域。因此, 在这个工艺阶段, ILD 104 的选择性区域已经被转换成高 k 电介质, 而该表面的其余部分包含敞开的空气间隙 402。

图 6 示出了在沉积该填充绝缘体材料 502 以及从晶片表面除去该高 k 绝缘体材料 502 之后, 通常用参考符号 600 表示的下一个工艺步骤。在步骤 600, 第二绝缘体材料 602 随后沉积在晶片表面上用于进一步的工艺。如图 6 所示, 互连导体 604 嵌入在第二绝缘体材料 602 内。该沉积技术可以是 CVD、ALD、或旋涂相关的工艺。优选地, 第二绝缘体 602 为形成第二 ILD 层的低 k 材料。该第二 ILD 层 602 由低 k 材料形成, 例如选自由 SiOF (FSG)、 SiCOH 、HSQ (硅倍半氧烷化氢聚合物) 以及 MSQ (硅倍半氧烷甲烷聚合物) 的含硅材料或者例如聚对二甲苯、BCB、聚亚苯基低聚物、碳氟化合物的有机物组成的组的材料及其组合。图 6 示出了用于电容器或需要高电容的器件的优选最终结构。

参考图 7, 该图示出了在图 4 的步骤 400 之后, 通常用参考符号 700 表示的备选的下一个工艺步骤。在工艺步骤 700 中, 第二绝缘体材料 702 随后沉积在晶片表面上用于进一步的工艺。如图 7 所示, 互连导体 704 嵌入在第二绝缘体材料 702 内。图 7 示出了用于高速器件应用的优选最终结构。该沉积技术可以是 CVD、ALD、或旋涂相关的工艺。优选地, 第二绝缘体 702

为形成第二 ILD 层的低 k 材料。该第二 ILD 层 702 由低 k 材料形成，例如选自 SiOF (FSG)、SiCOH、HSQ (硅倍半氧烷化氢聚合物) 以及 MSQ (硅倍半氧烷甲烷聚合物) 的含硅材料或者例如聚对二甲苯、BCB、聚亚苯基低聚物、碳氟化合物的有机物组成的组的材料及其组合。如图 7 所示，所沉积的第二绝缘体 702 并不填充该柱状空气间隙结构 402 内部的空气间隙，在最终结构中留下空气间隙，且第二绝缘体材料 702 密封对应于空气间隙 402 的开口。

根据优选实施方案的特征，本发明和现有技术相比的优点在于，与当前 Cu 双金属镶嵌工艺相兼容地形成了空气间隙结构，而无需额外的临界掩模。当低 k 和高 k 区域都形成于同一 BEOL 内时，只需一个非临界掩模。现有技术需要额外的临界掩模。本发明产生的工艺成本低于现有技术。

另外参考图 8A 和 8B，示出了通常用参考符号 800 表示的示范性结构，其示出了根据优选实施方案制造的其他示范性相分离特征 802。

现在参考图 9A、9B、9C 以及 10A、10B、10C，分别示出了根据优选实施方案制造的通常用参考符号 900 和 1000 表示的示范性互连结构。

尽管已经参考附图所示本发明实施方案的细节描述了本发明，这些细节不是用于限制本发明的范围，本发明的范围由权利要求界定。

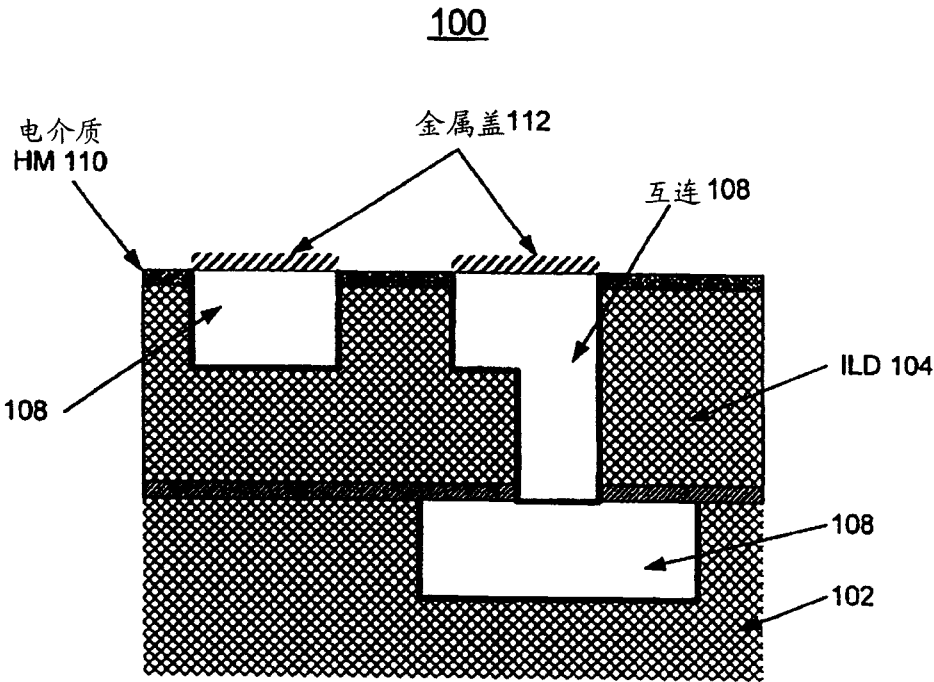


图 1

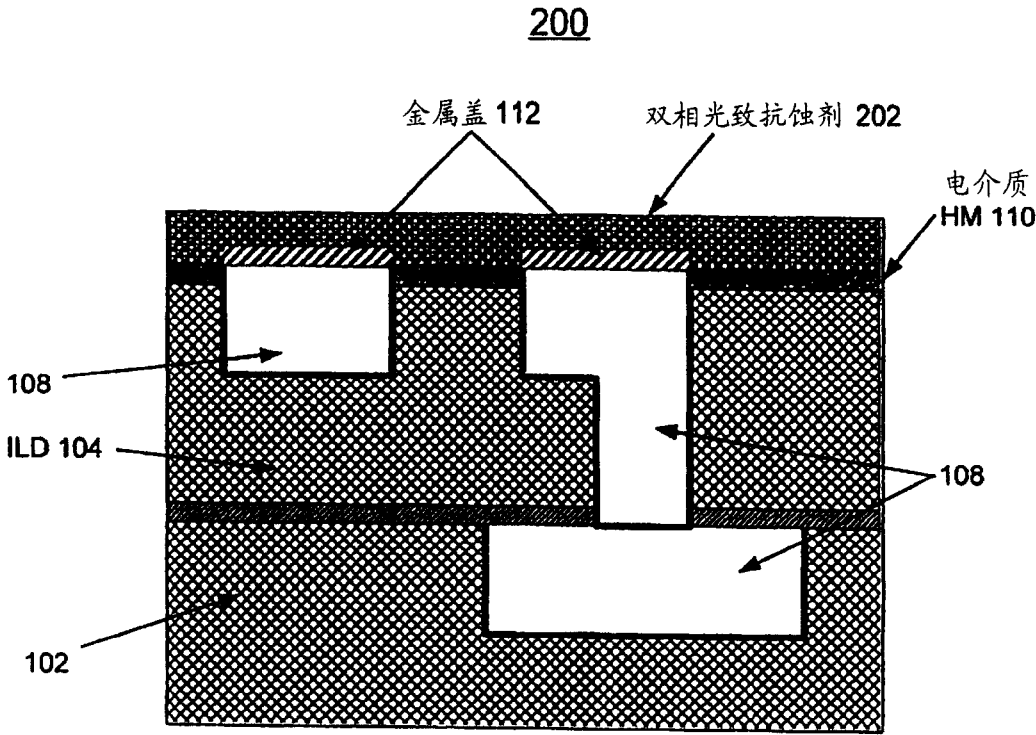


图 2

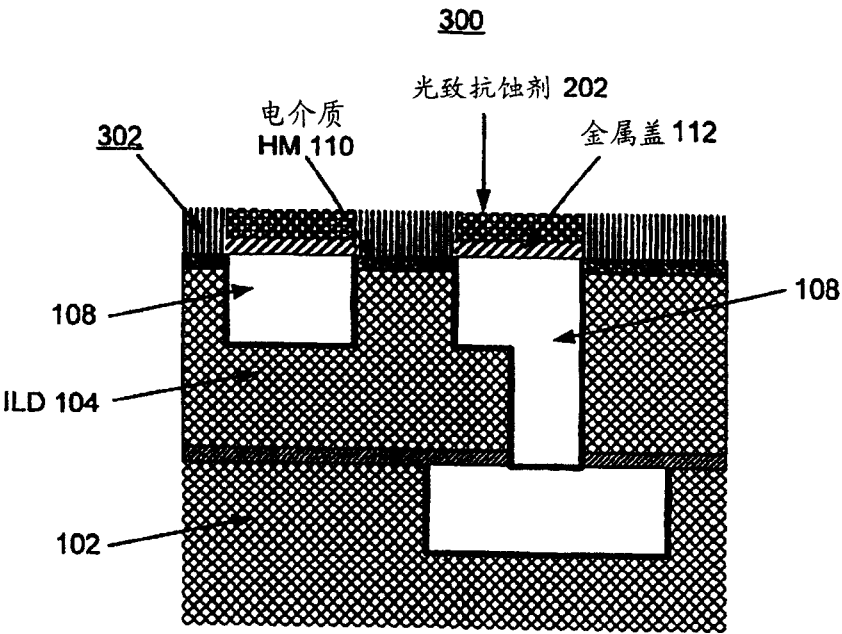


图 3A

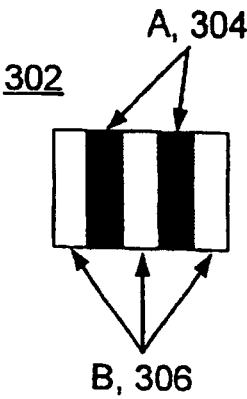


图 3B

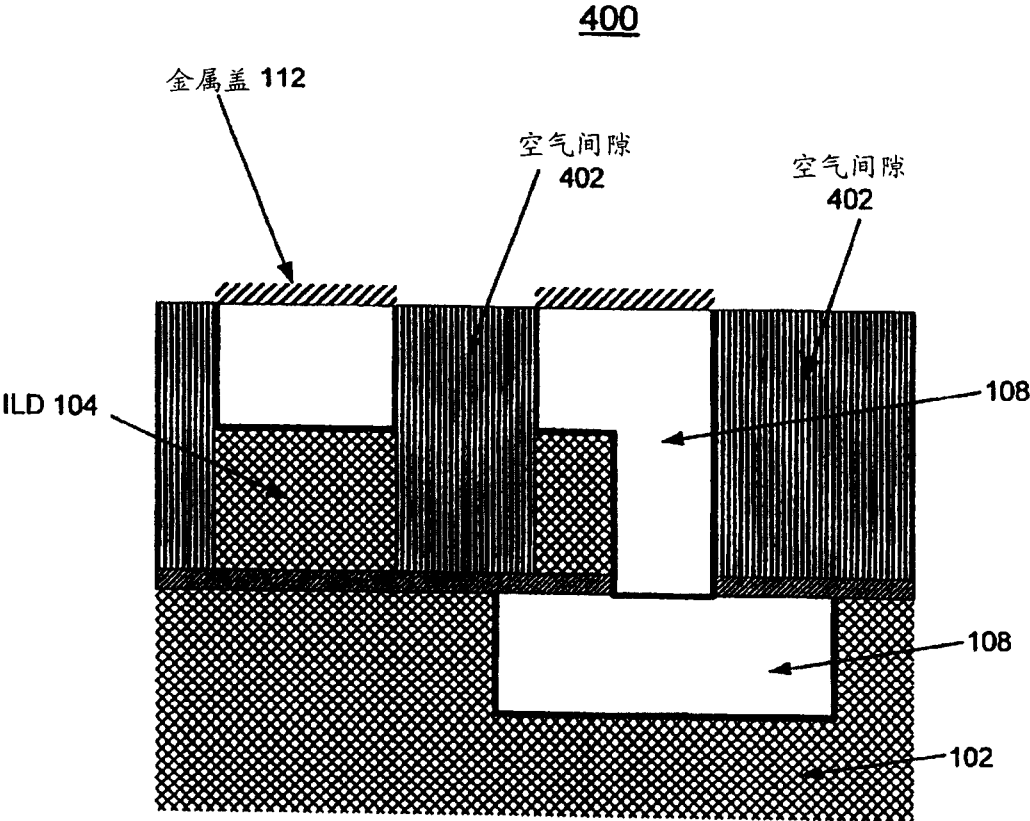


图 4

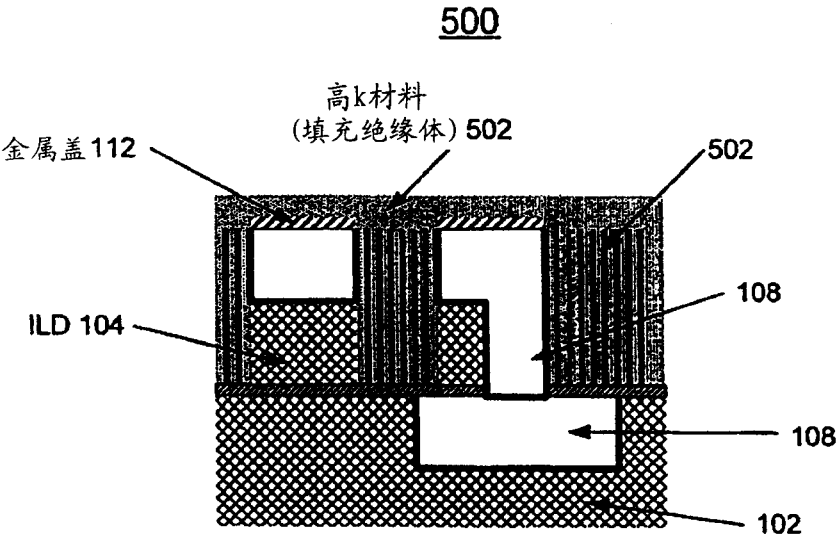


图 5

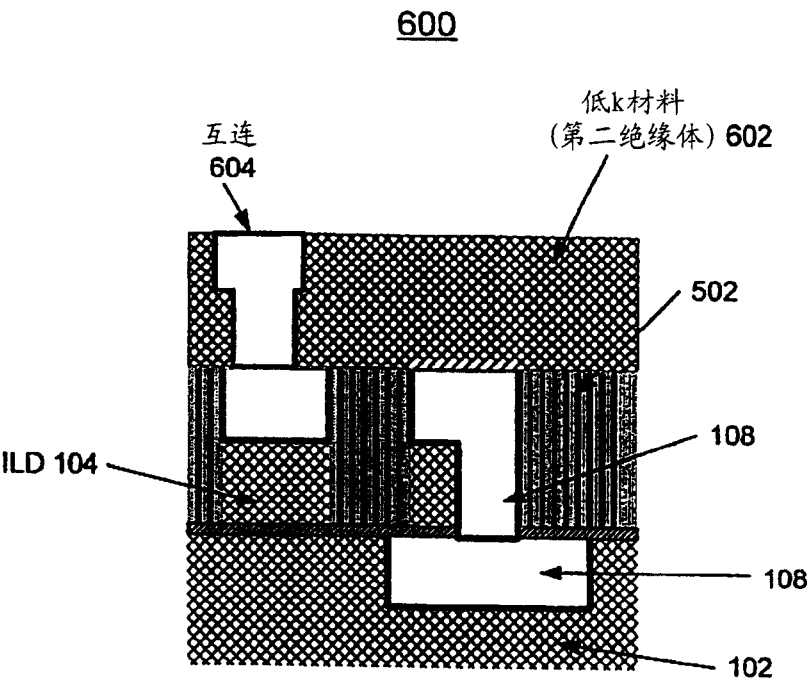


图 6

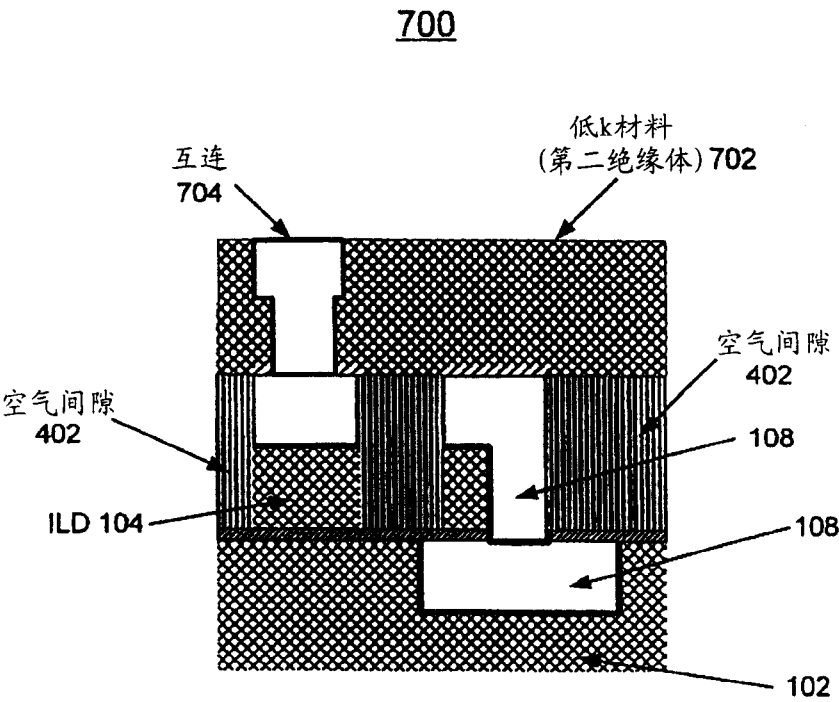


图 7

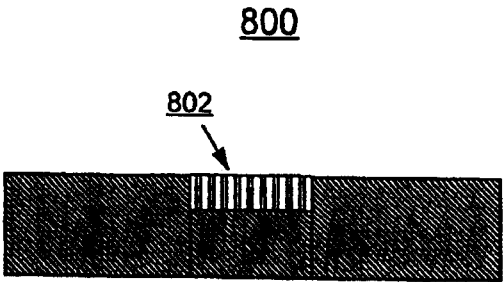


图 8A

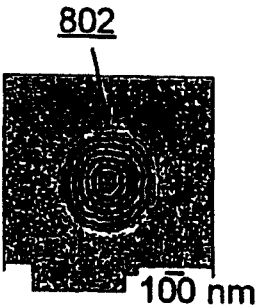


图 8B

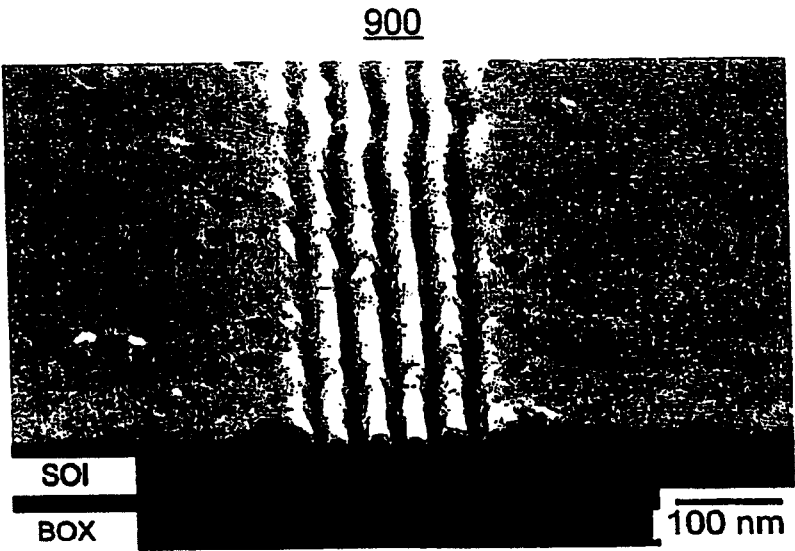


图 9A

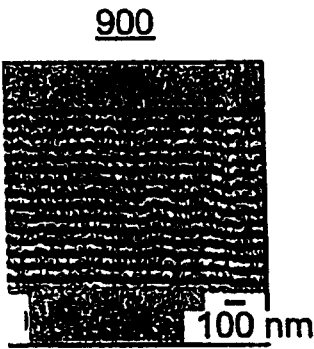


图 9B

900

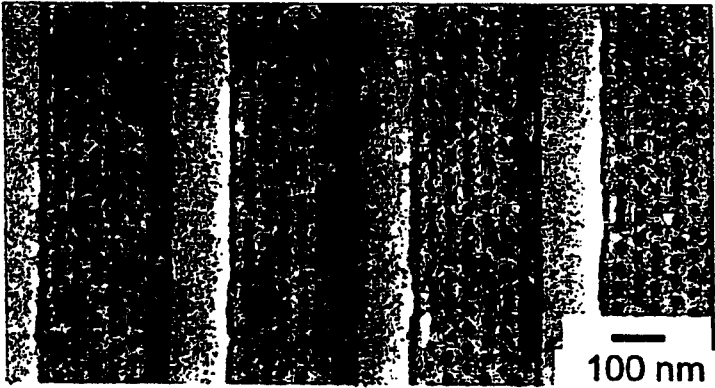


图 9C

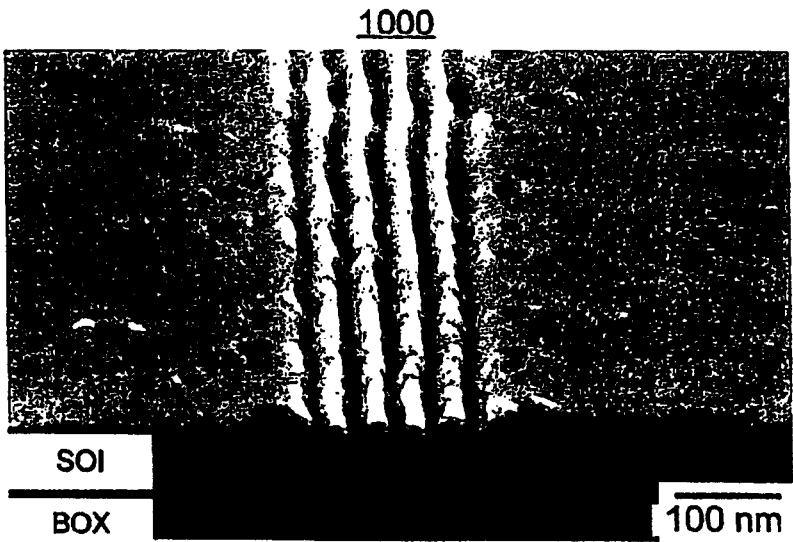


图 10A

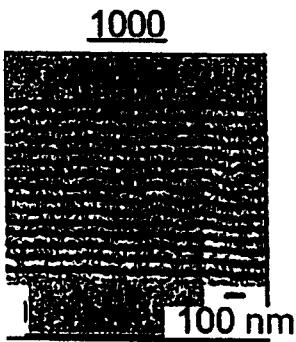


图 10B

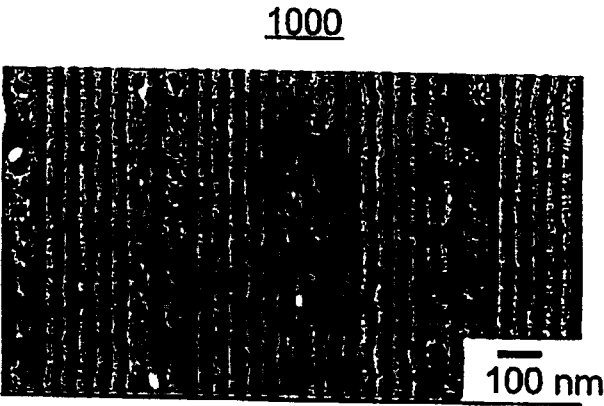


图 10C