

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成29年6月29日(2017.6.29)

【公開番号】特開2016-213466(P2016-213466A)

【公開日】平成28年12月15日(2016.12.15)

【年通号数】公開・登録公報2016-068

【出願番号】特願2016-93940(P2016-93940)

【国際特許分類】

H 01 L 23/12 (2006.01)

H 05 K 3/46 (2006.01)

【F I】

H 01 L 23/12 5 0 1 P

H 05 K 3/46 Q

H 05 K 3/46 N

H 05 K 3/46 B

H 05 K 3/46 Z

H 01 L 23/12 N

【手続補正書】

【提出日】平成29年5月22日(2017.5.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

貫通孔を有する第1連結部材と、

前記第1連結部材の貫通孔に配置され、接続パッドが配置された活性面、及び前記活性面の反対側に配置された非活性面を有する半導体チップと、

前記第1連結部材及び前記半導体チップの非活性面の少なくとも一部を封止する封止材と、

前記第1連結部材及び前記半導体チップの活性面上に配置され、前記接続パッドと電気的に連結された再配線層を含む第2連結部材と、を含み、

前記第1連結部材は、第1絶縁層、前記第1絶縁層の一面に配置された第1再配線層、前記第1絶縁層上に配置され、前記第1再配線層を覆う第2絶縁層、及び前記第2絶縁層上に配置される第2再配線層を含み、

前記第1及び第2再配線層は前記接続パッドと電気的に連結される、ファンアウト半導体パッケージ。

【請求項2】

前記第1絶縁層は前記第2絶縁層より厚さが厚い、請求項1に記載のファンアウト半導体パッケージ。

【請求項3】

前記第2再配線層は前記第2連結部材の再配線層より厚さが厚い、請求項1に記載のファンアウト半導体パッケージ。

【請求項4】

前記第2再配線層は前記接続パッドと実質的に同一のレベルに位置する、請求項1に記載のファンアウト半導体パッケージ。

【請求項5】

前記第1再配線層は前記半導体チップの活性面と非活性面との間に位置する、請求項1に記載のファンアウト半導体パッケージ。

【請求項6】

前記第1連結部材は前記第1絶縁層の他面に配置された第3再配線層をさらに含み、

前記第3再配線層は前記接続パッドと電気的に連結される、請求項1に記載のファンアウト半導体パッケージ。

【請求項7】

前記第1連結部材は、前記第1絶縁層上に配置され、前記第3再配線層を覆う第3絶縁層、及び前記第3絶縁層上に配置された第4再配線層をさらに含み、

前記第4再配線層は前記接続パッドと電気的に連結される、請求項6に記載のファンアウト半導体パッケージ。

【請求項8】

前記半導体チップは信号用接続パッドを有し、

前記信号用接続パッドは、前記第2連結部材の再配線層の信号パターン及び前記第1連結部材の第1再配線層の信号パターンをこの順序または反対の順序で経由する電気的経路を通じて前記第1連結部材上のファンアウト領域に配置された信号用接続端子と電気的に連結され、

前記第1連結部材の第2及び第3再配線層はグランドパターンを有する、請求項6に記載のファンアウト半導体パッケージ。

【請求項9】

前記半導体チップは信号用接続パッドを有し、

前記信号用接続パッドは、前記第2連結部材の再配線層の信号パターン、前記第1連結部材の第1再配線層の信号パターン、及び前記第1連結部材の第4再配線層の信号パターンをこの順序または反対の順序で経由する電気的経路を通じて前記第1連結部材上のファンアウト領域に配置された信号用接続端子と電気的に連結され、

前記第1連結部材の第2及び第3再配線層はグランドパターンを有する、請求項7に記載のファンアウト半導体パッケージ。

【請求項10】

前記半導体チップは信号用接続パッドを有し、

前記信号用接続パッドは、前記第2連結部材の再配線層の信号パターン及び前記第1連結部材の第1再配線層の信号パターンをこの順序または反対の順序で経由する電気的経路を通じて前記第2連結部材上のファンアウト領域に配置された信号用接続端子と電気的に連結され、

前記第1連結部材の第2及び第3再配線層はグランドパターンを有する、請求項6に記載のファンアウト半導体パッケージ。

【請求項11】

前記第3再配線層はワイヤボンディング用パッドを有し、

前記ワイヤボンディング用パッドは外部に露出する、請求項6に記載のファンアウト半導体パッケージ。

【請求項12】

前記第1連結部材は、前記第1絶縁層を貫通し、前記第1及び第3再配線層を連結する第1ビア、及び前記第2絶縁層を貫通し、前記第1及び第2再配線層を連結する第2ビアをさらに含み、

前記第1ビアは前記第2ビアより直径が大きい、請求項6に記載のファンアウト半導体パッケージ。

【請求項13】

前記第1絶縁層は前記第2絶縁層より弾性係数が大きい、請求項1に記載のファンアウト半導体パッケージ。

【請求項14】

前記第1連結部材は前記貫通孔の壁面に配置された金属層をさらに含む、請求項1に記

載のファンアウト半導体パッケージ。

【請求項 1 5】

前記金属層は前記第 1 及び第 2 再配線層のうち少なくとも一つと電気的に連結される、請求項 1 4 に記載のファンアウト半導体パッケージ。

【請求項 1 6】

前記第 1 連結部材の貫通孔内に配置された手動部品をさらに含む、請求項 1 に記載のファンアウト半導体パッケージ。

【請求項 1 7】

前記封止材は前記第 1 連結部材及び前記半導体チップの非活性面を覆い、前記貫通孔の壁面と前記半導体チップの側面との間を満たす、請求項 1 に記載のファンアウト半導体パッケージ。

【請求項 1 8】

前記封止材は、ガラス繊維、無機フィラー、及び絶縁樹脂を含む、請求項 1 に記載のファンアウト半導体パッケージ。

【請求項 1 9】

前記第 2 連結部材上に配置され、前記第 2 連結部材の再配線層の少なくとも一部を露出させる開口部を有するパッシベーション層と、

前記開口部上に配置された第 1 接続端子と、をさらに含み、

前記第 1 接続端子のうち少なくとも一つはファンアウト領域に位置する、請求項 1 に記載のファンアウト半導体パッケージ。

【請求項 2 0】

前記封止材を貫通する開口部上に配置され、前記第 1 連結部材と電気的に連結された第 2 接続端子をさらに含む、請求項 1 9 に記載のファンアウト半導体パッケージ。

【請求項 2 1】

前記封止材上に配置されたカバー層と、

前記カバー層を貫通する開口部上に配置され、前記第 1 連結部材と電気的に連結された第 2 接続端子と、をさらに含む、請求項 1 9 に記載のファンアウト半導体パッケージ。

【請求項 2 2】

前記封止材上に積層され、前記第 1 連結部材と電気的に連結されたメモリーパッケージをさらに含み、

前記半導体チップはアプリケーションプロセッサーチップを含み、

前記メモリーパッケージはメモリーチップを含む、請求項 1 に記載のファンアウト半導体パッケージ。

【請求項 2 3】

第 1 絶縁層を準備する段階、前記第 1 絶縁層の一面に第 1 再配線層を形成する段階、前記第 1 絶縁層上に前記第 1 再配線層を覆う第 2 絶縁層を形成する段階、前記第 2 絶縁層上に第 2 再配線層を形成する段階、及び前記第 1 及び第 2 絶縁層を貫通する貫通孔を形成する段階を含む第 1 連結部材を形成する段階と、

前記第 1 連結部材の貫通孔内に接続パッドが配置された活性面、及び前記活性面の反対側に配置された非活性面を有する半導体チップを配置する段階と、

前記第 1 連結部材及び前記半導体チップの非活性面の少なくとも一部を封止する封止材を形成する段階と、

前記第 1 連結部材及び前記半導体チップの活性面上に前記接続パッドと電気的に連結された再配線層を含む第 2 連結部材を形成する段階と、を含み、

前記第 1 及び第 2 再配線層は前記接続パッドと電気的に連結され、

前記第 1 及び第 2 再配線層は前記半導体チップの配置前に形成される、ファンアウト半導体パッケージの製造方法。

【請求項 2 4】

前記第 1 連結部材を形成する段階は、前記第 1 絶縁層の他面に第 3 再配線層を形成する段階をさらに含み、

前記第3再配線層は前記接続パッドと電気的に連結され、

前記第3再配線層は前記半導体チップの配置前に形成される、請求項23に記載のファンアウト半導体パッケージの製造方法。

【請求項25】

前記第1連結部材を形成する段階は、前記第1絶縁層上に前記第3再配線層を覆う第3絶縁層を形成する段階、及び前記第3絶縁層上に第4再配線層を形成する段階をさらに含み、

前記第4再配線層は前記接続パッドと電気的に連結され、

前記第4再配線層は前記半導体チップの配置前に形成される、請求項24に記載のファンアウト半導体パッケージの製造方法。

【請求項26】

前記半導体チップを配置する段階は、

前記第1連結部材上に粘着フィルムを付着し、前記第1連結部材の貫通孔を介して露出された前記粘着フィルムに前記半導体チップの活性面を付着して配置する段階である、請求項23に記載のファンアウト半導体パッケージの製造方法。

【請求項27】

第1絶縁層、前記第1絶縁層の下部に形成された二つ以上の再配線層、及び前記二つ以上の再配線層の間に配置された第2絶縁層を含む第1連結部材と、

前記第1連結部材を貫通する貫通孔内に配置された半導体チップと、

前記二つ以上の再配線層及び前記半導体チップと電気的に連結され、前記第1連結部材及び前記半導体チップ上に配置された第2連結部材と、を含み、

前記二つ以上の再配線層及び前記第2絶縁層は前記第2連結部材と前記第1絶縁層との間に配置される、ファンアウト半導体パッケージ。

【請求項28】

前記二つ以上の再配線層のうち少なくとも一つは前記半導体チップの上面及び下面の間に配置される、請求項27に記載のファンアウト半導体パッケージ。

【請求項29】

複数の絶縁層及び複数の再配線層を含む第1連結部材を準備する段階と、

前記第1連結部材の全体を貫通する貫通孔を形成する段階と、

前記第1連結部材及び前記第1連結部材の貫通孔内に配置される半導体チップを仮基板上に付着する段階と、

前記第1連結部材の貫通孔を少なくとも封止材で満たして前記半導体チップを封止する段階と、

前記第1連結部材、前記封止材、及び前記半導体チップの一面から前記仮基板を分離する段階と、

前記第1連結部材、前記封止材、及び前記半導体チップの一面に前記半導体チップと前記複数の再配線層を電気的に連結させる第2連結部材を形成する段階と、を含む、ファンアウト半導体パッケージの製造方法。

【請求項30】

前記第1連結部材の複数の再配線層のうち少なくとも一つは前記半導体チップの上面及び下面の間に形成される、請求項29に記載のファンアウト半導体パッケージの製造方法。

。

【請求項31】

前記封止材上に配置されたバックサイド再配線層をさらに含み、

前記バックサイド再配線層は、前記半導体チップの接続パッドと電気的に連結されている、請求項1に記載のファンアウト半導体パッケージ。

【請求項32】

前記封止材上に配置され、前記バックサイド再配線層の少なくとも一部を露出させる開口部を有するカバー層をさらに含む、請求項31に記載のファンアウト半導体パッケージ

。