



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월07일
(11) 등록번호 10-0819552
(24) 등록일자 2008년03월28일

(51) Int. Cl.

G11C 5/14 (2006.01)

(21) 출원번호 10-2006-0105838

(22) 출원일자 2006년10월30일

심사청구일자 2006년10월30일

(56) 선행기술조사문헌

공개특허공보 특1999-0033381호

공개특허공보 10-2004-0034162호

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김두곤

경기 안양시 동안구 호계동 998-18

박덕하

경기 수원시 영통구 망포동 벽산아파트 113동 1803호

강명곤

경기 수원시 영통구 영통동 1032-3 302호

(74) 대리인

박상수

전체 청구항 수 : 총 28 항

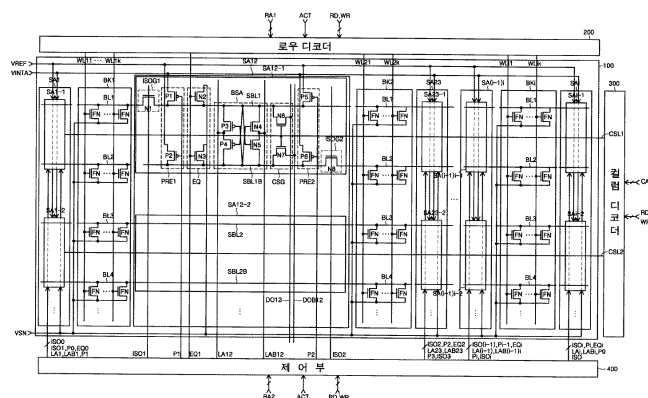
심사관 : 이승한

(54) 반도체 메모리 장치 및 이 장치의 동작 방법

(57) 요약

본 발명은 반도체 메모리 장치 및 이 장치의 동작 방법을 공개한다. 이 장치는 제1비트 라인과 소스 전압이 인가되는 소스 라인 사이에 연결되고 제1워드 라인에 연결된 게이트를 가지는 플로팅 바디를 가지는 제1메모리 셀을 구비하는 제1블록과 제2비트 라인과 소스 라인에 연결되고 제2워드 라인에 연결된 게이트를 가지는 플로팅 바디를 가지는 제2메모리 셀을 구비하는 제2블록을 구비하는 메모리 셀 어레이, 제1비트 라인과 센스 비트 라인 사이에 데이터를 전송하고, 제2비트 라인과 반전 센스 비트 라인 사이에 데이터를 전송하는 비트 라인 아이솔레이션부, 및 등화 동작시에 센스 비트 라인 및 반전 센스 비트 라인을 등화 전압 레벨로 등화하고, 프리차지 동작시에 센스 비트 라인과 반전 센스 비트 라인중 하나의 라인을 등화 전압보다 높은 제1프리차지 전압 레벨로, 다른 하나의 라인을 등화 전압보다 낮고 제1프리차지 전압보다 낮은 제2프리차지 전압 레벨로 프리차지하고, 리드 및 라이트 동작시에 센스 비트 라인 및 반전 센스 비트 라인의 전압 차를 감지하여 증폭하는 센스 증폭부로 구성되어 있다. 따라서, 데이터 리드 동작 및 제어가 단순화되고 회로 구성 또한 간단하게 된다.

대표도



특허청구의 범위

청구항 1

제1비트 라인과 소스 전압이 인가되는 소스 라인사이에 연결되고 제1워드 라인에 연결된 게이트를 가지는 플로팅 바디를 가지는 제1메모리 셀을 구비하는 제1블록과 제2비트 라인과 상기 소스 라인에 연결되고 제2워드 라인에 연결된 게이트를 가지는 플로팅 바디를 가지는 제2메모리 셀을 구비하는 제2블록을 구비하는 메모리 셀 어레이;

상기 제1비트 라인과 센스 비트 라인사이에 데이터를 전송하고, 상기 제2비트 라인과 반전 센스 비트 라인사이에 데이터를 전송하는 비트 라인 아이솔레이션부; 및

등화 동작시에 상기 센스 비트 라인 및 상기 반전 센스 비트 라인을 상기 등화 전압 레벨로 등화하고, 프리차지 동작시에 상기 센스 비트 라인과 상기 반전 센스 비트 라인중 하나의 라인을 상기 등화 전압보다 높은 제1프리차지 전압 레벨로, 다른 하나의 라인을 상기 등화 전압보다 높고 상기 제1프리차지 전압보다 낮은 제2프리차지 전압 레벨로 프리차지하고, 리드 및 라이트 동작시에 상기 센스 비트 라인 및 상기 반전 센스 비트 라인의 전압차를 감지하여 증폭하는 센스 증폭부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 소스 전압과 상기 등화 전압은 동일한 전압 레벨인 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제1항에 있어서, 상기 반도체 메모리 장치는

상기 리드 동작 및 상기 라이트 동작시에 상기 제1워드 라인 또는 상기 제2워드 라인중의 선택된 하나의 라인으로 선택 전압이 인가되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

제3항에 있어서, 상기 선택 전압은

데이터 "1"이 저장되는 경우의 상기 메모리 셀의 문턱전압과 데이터 "0"이 저장되는 경우의 상기 메모리 셀의 문턱전압사이의 소정의 전압에 상기 소스 전압을 더한 전압 레벨로 설정되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5

제3항에 있어서, 상기 선택 전압은

상기 제2프리차지 전압 레벨로 설정되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6

제1항에 있어서, 상기 센스 증폭부는

상기 등화 동작시에 등화 제어신호에 응답하여 상기 센스 비트 라인과 상기 반전 센스 비트 라인을 상기 등화 전압 레벨로 등화하는 등화 회로부;

상기 프리차지 동작시에 상기 제1블록이 선택되면 제1프리차지 제어신호에 응답하여 상기 센스 비트 라인을 상기 제1프리차지 전압 레벨로, 상기 반전 센스 비트 라인을 상기 제2프리차지 전압 레벨로 프리차지하는 제1프리차지 회로부;

상기 프리차지 동작시에 상기 제2블록이 선택되면 제2프리차지 제어신호에 응답하여 상기 반전 센스 비트 라인을 상기 제1프리차지 전압 레벨로, 상기 센스 비트 라인을 상기 제2프리차지 전압 레벨로 프리차지하는 제2프리차지 회로부; 및

상기 라이트 동작 및 상기 리드 동작시에 센스 인에이블 제어신호들에 응답하여 상기 센스 비트 라인과 상기 반

전 센스 비트 라인의 전압 차를 감지하여 증폭하는 비트 라인 센스 증폭기를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7

제6항에 있어서, 상기 센스 증폭부는

상기 라이트 동작 및 상기 리드 동작시에 상기 센스 비트 라인과 데이터 라인사이 및 상기 반전 센스 비트 라인과 반전 데이터 라인사이에 데이터를 전송하는 컬럼 선택 게이트를 추가적으로 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8

제6항에 있어서, 상기 비트 라인 아이솔레이션부는

상기 등화 동작, 상기 프리차지 동작, 및 상기 리드 동작중 제1리드 동작시에 제1비트 라인 아이솔레이션 제어 신호에 응답하여 상기 제1비트 라인과 상기 센스 비트 라인을 연결하고 상기 리드 동작중 제2리드 동작시에 상기 제2메모리 셀이 선택되면 상기 제1비트 라인과 상기 센스 비트 라인을 분리하는 제1비트 라인 아이솔레이션 게이트; 및

상기 등화 동작, 상기 프리차지 동작, 및 상기 제1리드 동작시에 제2비트 라인 아이솔레이션 제어신호에 응답하여 상기 제2비트 라인과 상기 반전 센스 비트 라인을 연결하고 상기 제2리드 동작시에 상기 제1블록이 선택되면 상기 제2비트 라인과 상기 반전 센스 비트 라인을 분리하는 제2비트 라인 아이솔레이션 게이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9

제8항에 있어서, 상기 제1 및 제2비트 라인 아이솔레이션 게이트들 각각은

NMOS트랜지스터로 구성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10

제8항에 있어서, 상기 제1 및 제2비트 라인 아이솔레이션 게이트들 각각은

CMOS전송 게이트로 구성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 11

제6항에 있어서, 상기 등화 회로부는

상기 센스 비트 라인에 연결되고 상기 등화 제어신호에 응답하여 상기 등화 전압을 전송하는 제1NMOS트랜지스터; 및

상기 반전 센스 비트 라인에 연결되고 상기 등화 제어신호에 응답하여 상기 등화 전압을 전송하는 제2NMOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 12

제6항에 있어서, 상기 제1프리차지 회로부는

상기 센스 비트 라인에 연결되고 상기 제1프리차지 제어신호에 응답하여 상기 제1프리차지 전압을 전송하는 제1PMOS트랜지스터; 및

상기 반전 센스 비트 라인에 연결되고 상기 제1프리차지 제어신호에 응답하여 상기 제2프리차지 전압을 전송하는 제2PMOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 13

제6항에 있어서, 상기 제2프리차지 회로부는

상기 센스 비트 라인에 연결되고 상기 제2프리차지 제어신호에 응답하여 상기 제2프리차지 전압을 전송하는 제

3PMOS트랜지스터; 및

상기 반전 센스 비트 라인에 연결되고 상기 제2프리차지 제어신호에 응답하여 상기 제1프리차지 전압을 전송하는 제4PMOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 14

제6항에 있어서, 상기 비트 라인 센스 증폭기는

상기 센스 비트 라인과 상기 반전 센스 비트 라인 사이에 연결되어 하나의 센스 인에이블 제어신호에 응답하여 센스 비트 라인과 상기 반전 센스 비트 라인 중의 하나의 라인의 "로우"레벨의 데이터를 상기 등화 전압보다 낮은 접지전압 레벨로 증폭하는 PMOS센스 증폭기; 및

상기 센스 비트 라인과 상기 반전 센스 비트 라인 사이에 연결되어 다른 하나의 센스 인에이블 제어신호에 응답하여 상기 센스 비트 라인과 상기 반전 센스 비트 라인 중의 다른 하나의 라인의 "하이"레벨의 데이터를 상기 제1프리차지 전압보다 높은 고전압 레벨로 증폭하는 NMOS센스 증폭기를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 15

제8항에 있어서, 상기 반도체 메모리 장치는

상기 등화 동작시에 상기 제1 및 제2비트 라인 아이솔레이션 제어신호들과 상기 등화 제어신호를 활성화하고, 상기 프리차지 동작시에 상기 제1블록이 선택되면 상기 등화 제어신호를 비활성화하고, 상기 제1프리차지 제어신호를 활성화하고 상기 제2블록이 선택되면 상기 등화 제어신호를 비활성화하고, 상기 제2프리차지 제어신호를 활성화하고, 상기 제1워드 라인으로 선택 전압이 인가되고 소정 시간 후에 상기 라이트 동작 및 상기 리드 동작시에 상기 센스 인에이블 제어신호들을 활성화하는 제어부를 추가적으로 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 16

제15항에 있어서, 상기 제어부는

상기 라이트 동작전에 상기 등화 동작을 수행하고, 상기 리드 동작 전에 상기 등화 동작 및 상기 프리차지 동작을 수행하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 17

제8항에 있어서, 상기 제1블록은 제3비트 라인과 상기 소스 라인 사이에 연결되고 상기 제1워드 라인에 연결된 게이트를 가지는 플로팅 바디를 가지는 제3메모리 셀을 추가적으로 구비하고, 상기 제2블록은 제4비트 라인과 상기 소스 라인에 연결되고 상기 제2워드 라인에 연결된 게이트를 가지는 플로팅 바디를 가지는 제4메모리 셀을 추가적으로 구비하고,

상기 비트 라인 아이솔레이션부는 상기 제3비트 라인과 상기 반전 센스 비트 라인 사이에 데이터를 전송하고, 상기 제4비트 라인과 상기 센스 비트 라인 사이에 데이터를 전송하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 18

제17항에 있어서, 상기 비트 라인 아이솔레이션부는

상기 등화 동작, 상기 프리차지 동작, 및 상기 리드 동작중 제1리드 동작시에 제3비트 라인 아이솔레이션 제어신호에 응답하여 상기 제3비트 라인과 상기 반전 센스 비트 라인을 연결하고 상기 리드 동작중 제2리드 동작시에 상기 제3메모리 셀이 선택되면 상기 제3비트 라인과 상기 반전 센스 비트 라인을 분리하는 제3비트 라인 아이솔레이션 게이트; 및

상기 등화 동작, 상기 프리차지 동작, 및 상기 제1리드 동작시에 제4비트 라인 아이솔레이션 제어신호에 응답하여 상기 제4비트 라인과 상기 센스 비트 라인을 연결하고 상기 제2리드 동작시에 상기 제4블록이 선택되면 상기 제4비트 라인과 상기 센스 비트 라인을 분리하는 제4비트 라인 아이솔레이션 게이트를 추가적으로 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 19

제18항에 있어서, 상기 제3 및 제4비트 라인 아이솔레이션 게이트들 각각은 NMOS트랜지스터로 구성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 20

제18항에 있어서, 상기 제3 및 제4비트 라인 아이솔레이션 게이트들 각각은 CMOS전송 게이트로 구성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 21

제18항에 있어서, 상기 반도체 메모리 장치는

상기 등화 동작시에 상기 제1 내지 제4비트 라인 아이솔레이션 제어신호들과 상기 등화 제어신호를 활성화하고, 상기 프리차지 동작시에 상기 제1블록이 선택되면 상기 등화 제어신호를 비활성화하고, 상기 제1프리차지 제어신호를 활성화하고 상기 제2블록이 선택되면 상기 등화 제어신호를 비활성화하고, 상기 제2프리차지 제어신호를 활성화하고, 상기 제1워드 라인으로 선택 전압이 인가된 후 소정 시간 후에 상기 라이트 동작 및 상기 리드 동작시에 상기 센스 인에이블 제어신호들을 활성화하는 제어부를 추가적으로 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 22

제21항에 있어서, 상기 제어부는

상기 라이트 동작전에 상기 등화 동작을 수행하고, 상기 리드 동작 전에 상기 등화 동작 및 상기 프리차지 동작을 수행하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 23

제1비트 라인과 소스 전압이 인가되는 소스 라인사이에 연결되고 제1워드 라인에 연결된 게이트를 가지는 플로팅 바디를 가지는 제1메모리 셀을 구비하는 제1블록과 제2비트 라인과 상기 소스 라인에 연결되고 제2워드 라인에 연결된 게이트를 가지는 플로팅 바디를 가지는 제2메모리 셀을 구비하는 제2블록을 구비하는 메모리 셀 어레이를 구비하는 반도체 메모리 장치의 동작 방법에 있어서,

등화 동작시에 상기 제1비트 라인과 센스 비트 라인을 연결하고, 상기 제2비트 라인과 반전 센스 비트 라인을 연결하고 상기 제1 및 제2비트 라인들과 상기 센스 비트 라인과 상기 반전 센스 비트 라인을 등화 전압 레벨로 등화하고,

프리차지 동작시에 상기 제1블록이 선택되면 상기 제1비트 라인과 상기 센스 비트 라인을 상기 등화 전압보다 높은 제1프리차지 전압 레벨로, 상기 반전 센스 비트 라인을 상기 제1프리차지 전압보다 낮고 상기 등화 전압보다 높은 제2프리차지 전압 레벨로 프리차지하고, 제2블록이 선택되면 상기 제2비트 라인과 상기 반전 센스 비트 라인을 상기 제1프리차지 전압 레벨로, 상기 센스 비트 라인을 상기 제2프리차지 전압 레벨로 프리차지하고,

제1리드 동작시에 상기 제1워드 라인과 상기 제2워드 라인중의 선택된 하나의 라인으로 선택 전압을 인가하고,

제2리드 동작시에 상기 제1블록이 선택되면 상기 제1비트 라인과 상기 센스 비트 라인사이의 연결을 끊고 상기 제1비트 라인과 상기 반전 센스 비트 라인의 데이터를 증폭하고, 제2블록이 선택되면 상기 제2비트 라인과 상기 반전 센스 비트 라인사이의 연결을 끊고 상기 제2비트 라인과 상기 센스 비트 라인의 데이터를 증폭하는 것을 특징으로 하는 반도체 메모리 장치의 동작 방법.

청구항 24

제23항에 있어서, 상기 소스 전압과 상기 등화 전압은 동일한 전압 레벨인 것을 특징으로 하는 반도체 메모리 장치의 동작 방법.

청구항 25

제23항에 있어서, 상기 선택 전압은

데이터 "1"이 저장된 경우의 상기 메모리 셀의 문턱전압과 데이터 "0"이 저장된 경우의 상기 메모리 셀의 문턱 전압사이의 소정의 전압에 상기 소스 전압을 더한 전압 레벨로 설정되는 것을 특징으로 하는 반도체 메모리 장치의 동작 방법.

청구항 26

제23항에 있어서, 상기 선택 전압은

상기 제2프리차지 전압 레벨로 설정되는 것을 특징으로 하는 반도체 메모리 장치의 동작 방법.

청구항 27

제23항에 있어서, 상기 제1리드 동작시에

상기 선택 전압이 인가되는 경우에 데이터 "1"이 저장된 제1메모리 셀 및 상기 제2메모리 셀이 연결된 비트 라인은 상기 제1프리차지 전압 레벨로부터 상기 등화 전압보다 낮은 레벨로 떨어지고, 데이터 "0"이 저장된 제1메모리 셀 및 상기 제2메모리 셀이 연결된 비트 라인은 상기 제2프리차지 전압 레벨을 유지하는 것을 특징으로 하는 반도체 메모리 장치의 동작 방법.

청구항 28

제23항에 있어서, 상기 동작 방법은

상기 등화 동작 후에 라이트 동작시에 상기 제1워드 라인과 상기 제2워드 라인중의 선택된 하나의 라인으로 선택 전압을 인가하고, 상기 제1블록이 선택되면 상기 제1비트 라인과 상기 센스 비트 라인사이의 연결을 끊고 상기 제1비트 라인과 상기 반전 센스 비트 라인의 데이터를 증폭하고, 제2블록이 선택되면 상기 제2비트 라인과 상기 반전 센스 비트 라인사이의 연결을 끊고 상기 제2비트 라인과 상기 센스 비트 라인의 데이터를 증폭하는 것을 특징으로 하는 반도체 메모리 장치의 동작 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <7> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 플로팅 바디를 가지는 하나의 트랜지스터로 구성된 동적 메모리 셀을 구비하는 반도체 메모리 장치 및 이 장치의 동작 방법에 관한 것이다.
- <8> 일반적인 동적 메모리 셀은 하나의 액세스 트랜지스터와 하나의 데이터 저장캐패시터로 구성되며, 캐패시터에 전하를 충전하면 데이터 "1"을 저장하는 것이 되고, 캐패시터에 충전된 전하가 없으면 데이터 "0"을 저장하는 것이 된다. 그러나, 캐패시터에 충전된 전하는 일정 시간이 지나면 소실되기 때문에 반드시 리프레쉬(재저장)를 해주어야 한다.
- <9> 그러나, 일반적인 동적 메모리 셀은 캐패시터가 반드시 필요하기 때문에 이 셀을 이용하여 메모리 셀 어레이를 구성하게 되면 반도체 메모리 장치의 레이아웃 면적을 줄이는데 한계가 있다.
- <10> 그래서, 최근에 플로팅 바디(floating body)를 가지는 트랜지스터가 제안되었으며, 이 트랜지스터는 플로팅 바디에 다수 캐리어를 저장하며, 저장된 다수 캐리어는 일정 시간이 지나면 소실되기 때문에 리프레쉬를 해주어야 한다. 결과적으로, 플로팅 바디를 가지는 트랜지스터로 구성된 메모리 셀은 일반적인 메모리 셀처럼 캐패시터를 가지지는 않지만 캐패시터처럼 동작하기 때문에 동적 메모리 셀로서 사용된다.
- <11> 이와같이 플로팅 바디를 가지는 트랜지스터는 하나의 트랜지스터가 하나의 메모리 셀을 구성하기 때문에, 동일한 용량의 반도체 메모리 장치를 두가지 종류의 메모리 셀을 이용하여 제조한다고 가정하면, 일반적인 메모리 셀을 구비하는 반도체 메모리 장치에 비해서 플로팅 바디를 가지는 메모리 셀을 구비하는 반도체 메모리 장치의 레이아웃 면적이 훨씬 줄어들게 된다.
- <12> 도1은 종래의 플로팅 바디를 가지는 메모리 셀을 구비하는 반도체 메모리 장치의 일예의 구성을 나타내는 것으

로, 반도체 메모리 장치는 메모리 셀 어레이 블록들(BLK1, BLK2), 비트 라인 선택기들(10-11 ~ 10-1m, 10-21 ~ 10-2m), 기준 비트 라인 선택기(12-1), 레벨 리미터들(14-1 ~ 14-m, 14-(m+1)), 센스 증폭기들(16-1 ~ 16-m), 기준 전압 발생기(18), 비교기들(COM1 ~ COMm), 래치들(LA1 ~ LAm), 라이트 백 게이트(WBG1 ~ WBGm), 리드 컬럼 선택 게이트들(RG1 ~ RGm), 라이트 컬럼 선택 게이트들(WG1 ~ WGm), 및 기준 라이트 컬럼 선택 게이트(RWG)로 구성되어 있다.

<13> 도1에 나타난 구성들 각각의 기능을 설명하면 다음과 같다.

<14> 메모리 셀 어레이 블록들(BLK1, BLK2) 각각의 메모리 셀들(MC) 및 기준 메모리 셀들(RMC)은 라이트 동작시에 해당 워드 라인으로 소정 레벨의 전압(예를 들면, 1.5V)이 인가되고, 해당 비트 라인으로 소정 레벨보다 높은 레벨의 전압(예를 들면, 1.5V)이 인가되면 임팩트 이온화(impact ionization)에 의해서 많은 수의 전자-홀 쌍들이 메모리 셀을 이루는 NMOS트랜지스터의 드레인 근처에서 생성되고, 이 쌍들중에 전자들은 NMOS트랜지스터의 드레인으로 흡수되고 정공들은 플로팅 바디에 저장되어 데이터 "1"이 라이트된다. 즉, 데이터 "1"을 라이트할 때 NMOS트랜지스터는 포화 영역에서 동작한다. 반면에, 해당 워드 라인으로 소정 레벨의 전압(예를 들면, 1.5V)이 인가되고, 해당 비트 라인으로 소정 레벨보다 낮은 레벨의 전압(예를 들면, -1.5V)이 인가되면 NMOS트랜지스터의 플로팅 바디와 드레인이 순방향으로 바이어스되고, 이에 따라 플로팅 바디에 저장된 대부분의 정공들이 드레인으로 방출되어 데이터 "0"이 라이트된다. 데이터 "1"이 저장되면 NMOS트랜지스터의 문턱전압이 감소되고, 데이터 "0"이 저장되면 NMOS트랜지스터의 문턱전압이 증가된다. 그리고, 리드 동작시에 해당 워드 라인으로 소정 레벨의 전압(예를 들면, 1.5V)이 인가되고, 해당 비트 라인으로 트랜지스터를 선형 영역에서 동작하도록 하기 위한 전압(예를 들면, 0.2V)이 인가되면 해당 비트 라인에 전류 차를 발생하며, 이 전류 차를 감지함에 의해서 데이터 "0"과 데이터 "1"을 리드하게 된다. 메모리 셀이 데이터 "1"을 저장하고 있는 경우에 문턱전압이 낮으므로 데이터 "1"을 리드하는 경우의 비트 라인 전류가 커지고, 데이터 "0"을 저장하고 있는 경우에 문턱전압이 높으므로 데이터 "0"을 리드하는 경우의 비트 라인 전류가 작아진다. 비트 라인 선택기들(10-11 ~ 10-1m, 10-21 ~ 10-2m) 각각은 비트 라인 선택 신호들(BS1 ~ BS_k) 각각에 응답하여 서브 메모리 셀 어레이 블록들(SBLK11 ~ SBLK1m, SBLK21 ~ SBLK2m) 각각의 k개의 비트 라인들(BL1 ~ BL_k) 중의 하나의 비트 라인을 선택하여 해당 센스 비트 라인(SBL1 ~ SBL_m)과 연결한다. 기준 비트 라인 선택기들(12-1, 12-2) 각각은 해당 기준 비트 라인 선택신호(RBS1, 2)에 응답하여 기준 메모리 셀 어레이 블록들(RBLK1, RBLK2) 각각의 기준 비트 라인들(RBL1, RBL2)을 기준 센스 비트 라인(RSBL)에 연결한다. 레벨 리미터들(14-1 ~ 14-m, 14-(m+1)) 각각은 해당 센스 비트 라인(SBL1 ~ SBL_m) 및 기준 센스 비트 라인(RSBL)의 레벨이 제한 전압(VBLR)의 레벨보다 높으면 해당 센스 비트 라인(SBL1 ~ SBL_m) 및 기준 센스 비트 라인(RSBL)으로 해당 전류(Ic1 ~ Ic(m+1))가 공급되는 것을 차단한다. 즉, 제한 전압(VBLR)의 레벨을 0.2V정도로 설정하면 레벨 리미터들(14-1 ~ 14-(m+1))에 의해서 리드 동작을 위한 전압이 비트 라인들(BL1 ~ BL_k) 및 기준 비트 라인들(RBL1, RBL2)로 인가되고, 이때 해당 전류(Ic1 ~ Ic(m+1))가 흐르게 한다. 제한 전압(VBLR)의 레벨을 0.2V정도로 낮게 설정하는 이유는 만일 제한 전압(VBLR)의 레벨을 0.2V보다 큰 값으로 설정하면 플로팅 바디를 가지는 NMOS트랜지스터가 포화 상태로 바이어스되고, 이에 따라 데이터 "0"을 리드할 때 임팩트 이온화에 의해서 데이터 "1"로 잘못 리드할 수 있기 때문이다. 기준전압 발생기(18)는 전류(Ic(m+1))에 따른 기준전압(VREF)을 발생한다. 센스 증폭기들(16-1 ~ 16-m) 각각은 해당 전류(Ic1 ~ Ic_m)를 감지하여 해당 전류(Ic1 ~ Ic_m)에 따른 전압을 발생한다. 기준전압 발생기(18)로부터 출력되는 기준 전압(VREF)은 센스 증폭기들(16-1 ~ 16-m) 각각으로부터 출력되는 데이터 "0"에 해당하는 전압과 데이터 "1"에 해당하는 전압사이의 전압을 가지게 된다.

<15> 도1에 나타난 종래의 반도체 메모리 장치는 미국 공개 특허번호 제2003/0231524호에 공개되어 있는 내용을 기초로 작성된 것이며, 플로팅 바디를 가지는 메모리 셀들 및 기준 메모리 셀들을 구비하는 반도체 메모리 장치는 미국 공개 특허번호 제2005/0068807호, 미국 특허번호 제6,567,330호, 및 미국 특허번호 제6,882,008호 등에 소개되어 있다.

<16> 그런데, 종래의 플로팅 바디를 가지는 메모리 셀들을 구비하는 반도체 메모리 장치는 리드 동작을 수행하기 위하여 도1에 나타난 바와 같은 기준 메모리 셀, 레벨 리미터, 센스 증폭기(전류 센스 증폭기), 비교기, 래치, 및 라이트 백 게이트 등의 복잡한 회로 구성을 가져야 하고, 그 동작 및 제어가 복잡하다는 문제가 있다.

<17> 또한, 종래의 플로팅 바디를 가지는 메모리 셀들을 구비하는 반도체 메모리 장치는 리드 동작을 수행한 후에 리프레쉬(재저장) 동작을 수행하여야 한다는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <18> 본 발명의 목적은 데이터 리드 동작 및 제어가 단순한 반도체 메모리 장치를 제공하는데 있다.
- <19> 본 발명의 다른 목적은 데이터 리드 동작을 위한 회로 구성이 간단한 반도체 메모리 장치를 제공하는데 있다.
- <20> 본 발명의 또 다른 목적은 상기 목적과 다른 목적을 달성하기 위한 반도체 메모리 장치의 동작 방법을 제공하는데 있다.
- <21> 상기 목적과 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치는 제1비트 라인과 소스 전압이 인가되는 소스 라인 사이에 연결되고 제1워드 라인에 연결된 게이트를 가지는 플로팅 바디를 가지는 제1메모리 셀을 구비하는 제1블록과 제2비트 라인과 상기 소스 라인에 연결되고 제2워드 라인에 연결된 게이트를 가지는 플로팅 바디를 가지는 제2메모리 셀을 구비하는 제2블록을 구비하는 메모리 셀 어레이, 상기 제1비트 라인과 센스 비트 라인 사이에 데이터를 전송하고, 상기 제2비트 라인과 반전 센스 비트 라인 사이에 데이터를 전송하는 비트 라인 아이솔레이션부, 및 등화 동작시에 상기 센스 비트 라인 및 상기 반전 센스 비트 라인을 상기 등화 전압 레벨로 등화하고, 프리차지 동작시에 상기 센스 비트 라인과 상기 반전 센스 비트 라인중 하나의 라인을 상기 등화 전압보다 높은 제1프리차지 전압 레벨로, 다른 하나의 라인을 상기 등화 전압보다 높고 상기 제1프리차지 전압보다 낮은 제2프리차지 전압 레벨로 프리차지하고, 리드 및 라이트 동작시에 상기 센스 비트 라인 및 상기 반전 센스 비트 라인의 전압 차를 감지하여 증폭하는 센스 증폭부를 구비하는 것을 특징으로 한다. 상기 소스 전압과 상기 등화 전압은 동일한 전압 레벨인 것을 특징으로 한다.
- <22> 상기 반도체 메모리 장치는 상기 리드 동작 및 상기 라이트 동작시에 상기 제1워드 라인 또는 상기 제2워드 라인중의 선택된 하나의 라인으로 선택 전압이 인가되는 것을 특징으로 하고, 상기 선택 전압은 데이터 "1"이 저장되는 경우의 상기 메모리 셀의 문턱전압과 데이터 "0"이 저장되는 경우의 상기 메모리 셀의 문턱전압사이의 소정의 전압에 상기 소스 전압을 더한 전압 레벨로 설정되거나, 상기 제2프리차지 전압 레벨로 설정되는 것을 특징으로 한다.
- <23> 상기 센스 증폭부는 상기 등화 동작시에 등화 제어신호에 응답하여 상기 센스 비트 라인과 상기 반전 센스 비트 라인을 상기 등화 전압 레벨로 등화하는 등화 회로부, 상기 프리차지 동작시에 상기 제1블록이 선택되면 제1프리차지 제어신호에 응답하여 상기 센스 비트 라인을 상기 제1프리차지 전압 레벨로, 상기 반전 센스 비트 라인을 상기 제2프리차지 전압 레벨로 프리차지하는 제1프리차지 회로부, 상기 프리차지 동작시에 상기 제2블록이 선택되면 제2프리차지 제어신호에 응답하여 상기 반전 센스 비트 라인을 상기 제1프리차지 전압 레벨로, 상기 센스 비트 라인을 상기 제2프리차지 전압 레벨로 프리차지하는 제2프리차지 회로부, 및 상기 라이트 동작 및 상기 리드 동작시에 센스 인에이블 제어신호들에 응답하여 상기 센스 비트 라인과 상기 반전 센스 비트 라인의 전압 차를 감지하여 증폭하는 비트 라인 센스 증폭기를 구비하는 것을 특징으로 한다. 상기 센스 증폭부는 상기 라이트 동작 및 상기 리드 동작시에 상기 센스 비트 라인과 데이터 라인사이 및 상기 반전 센스 비트 라인과 반전 데이터 라인 사이에 데이터를 전송하는 컬럼 선택 게이트를 추가적으로 구비하는 것을 특징으로 한다.
- <24> 상기 비트 라인 아이솔레이션 게이트부는 상기 등화 동작, 상기 프리차지 동작, 및 상기 리드 동작중 제1리드 동작시에 제1비트 라인 아이솔레이션 제어신호에 응답하여 상기 제1비트 라인과 상기 센스 비트 라인을 연결하고 상기 리드 동작중 제2리드 동작시에 상기 제2메모리 셀이 선택되면 상기 제1비트 라인과 상기 센스 비트 라인을 분리하는 제1비트 라인 아이솔레이션 게이트, 및 상기 등화 동작, 상기 프리차지 동작, 및 상기 제1리드 동작시에 제2비트 라인 아이솔레이션 제어신호에 응답하여 상기 제2비트 라인과 상기 반전 센스 비트 라인을 연결하고 상기 제2리드 동작시에 상기 제1블록이 선택되면 상기 제2비트 라인과 상기 반전 센스 비트 라인을 분리하는 제2비트 라인 아이솔레이션 게이트를 구비하는 것을 특징으로 하고, 상기 제1 및 제2비트 라인 아이솔레이션 게이트들 각각은 NMOS트랜지스터로 구성되거나, CMOS전송 게이트로 구성되는 것을 특징으로 하고, 상기 등화 회로부는 상기 센스 비트 라인에 연결되고 상기 등화 제어신호에 응답하여 상기 등화 전압을 전송하는 제1NMOS트랜지스터, 및 상기 반전 센스 비트 라인에 연결되고 상기 등화 제어신호에 응답하여 상기 등화 전압을 전송하는 제2NMOS트랜지스터를 구비하는 것을 특징으로 하고, 상기 제1프리차지 회로부는 상기 센스 비트 라인에 연결되고 상기 제1프리차지 제어신호에 응답하여 상기 제1프리차지 전압을 전송하는 제1PMOS트랜지스터, 및 상기 반전 센스 비트 라인에 연결되고 상기 제1프리차지 제어신호에 응답하여 상기 제2프리차지 전압을 전송하는 제2PMOS트랜지스터를 구비하는 것을 특징으로 하고, 상기 제2프리차지 회로부는 상기 센스 비트 라인에 연결되고 상기 제2프리차지 제어신호에 응답하여 상기 제2프리차지 전압을 전송하는 제3PMOS트랜지스터, 및 상기 반전 센스 비트 라인에 연결되고 상기 제2프리차지 제어신호에 응답하여 상기 제1프리차지 전압을 전송하는 제4PMOS트랜지스터를 구비하는 것을 특징으로 하고, 상기 비트 라인 센스 증폭기는 상기 센스 비트 라인과 상기 반전 센스 비트 라인 사이에 연결되어 하나의 센스 인에이블 제어신호에 응답하여 센스 비트 라인과 상기 반전 센스 비

트 라인중의 하나의 라인의 "로우"레벨의 데이터를 상기 등화 전압보다 낮은 접지전압 레벨로 증폭하는 PMOS 센스 증폭기, 및 상기 센스 비트 라인과 상기 반전 센스 비트 라인 사이에 연결되어 다른 하나의 센스 인에이블 제어 신호에 응답하여 상기 센스 비트 라인과 상기 반전 센스 비트 라인중의 다른 하나의 라인의 "하이"레벨의 데이터를 상기 제1프리차지 전압보다 높은 고전압 레벨로 증폭하는 NMOS 센스 증폭기를 구비하는 것을 특징으로 한다.

<25> 상기 반도체 메모리 장치는 상기 등화 동작시에 상기 제1 및 제2비트 라인 아이솔레이션 제어 신호들과 상기 등화 제어 신호를 활성화하고, 상기 프리차지 동작시에 상기 제1블록이 선택되면 상기 등화 제어 신호를 비활성화하고, 상기 제1프리차지 제어 신호를 활성화하고 상기 제2블록이 선택되면 상기 등화 제어 신호를 비활성화하고, 상기 제2프리차지 제어 신호를 활성화하고, 상기 제1워드 라인으로 선택 전압이 인가되고 소정 시간 후에 상기 라이트 동작 및 상기 리드 동작시에 상기 센스 인에이블 제어 신호 및 상기 반전 센스 인에이블 제어 신호를 활성화하는 제어부를 추가적으로 구비하는 것을 특징으로 하고, 상기 제어부는 상기 라이트 동작전에 상기 등화 동작을 수행하고, 상기 리드 동작 전에 상기 등화 동작 및 상기 프리차지 동작을 수행하는 것을 특징으로 한다.

<26> 또한, 본 발명의 반도체 메모리 장치는 상기 제1블록은 제3비트 라인과 상기 소스 라인 사이에 연결되고 상기 제1워드 라인에 연결된 게이트를 가지는 플로팅 바디를 가지는 제3메모리 셀을 추가적으로 구비하고, 상기 제2블록은 제4비트 라인과 상기 소스 라인에 연결되고 상기 제2워드 라인에 연결된 게이트를 가지는 플로팅 바디를 가지는 제4메모리 셀을 추가적으로 구비하고, 상기 비트 라인 아이솔레이션부는 상기 제3비트 라인과 상기 반전 센스 비트 라인 사이에 데이터를 전송하고, 상기 제4비트 라인과 상기 센스 비트 라인 사이에 데이터를 전송하는 것을 특징으로 하고, 상기 비트 라인 아이솔레이션 게이트부는 상기 등화 동작, 상기 프리차지 동작, 및 상기 리드 동작중 제1리드 동작시에 제3비트 라인 아이솔레이션 제어 신호에 응답하여 상기 제3비트 라인과 상기 반전 센스 비트 라인을 연결하고 상기 리드 동작중 제2리드 동작시에 상기 제3메모리 셀이 선택되면 상기 제3비트 라인과 상기 반전 센스 비트 라인을 분리하는 제3비트 라인 아이솔레이션 게이트, 및 상기 등화 동작, 상기 프리차지 동작, 및 상기 제1리드 동작시에 제4비트 라인 아이솔레이션 제어 신호에 응답하여 상기 제4비트 라인과 상기 센스 비트 라인을 연결하고 상기 제2리드 동작시에 상기 제4블록이 선택되면 상기 제4비트 라인과 상기 센스 비트 라인을 분리하는 제4비트 라인 아이솔레이션 게이트를 추가적으로 구비하는 것을 특징으로 한다.

<27> 상기 또 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 동작 방법은 제1비트 라인과 소스 전압이 인가되는 소스 라인 사이에 연결되고 제1워드 라인에 연결된 게이트를 가지는 플로팅 바디를 가지는 제1메모리 셀을 구비하는 제1블록과 제2비트 라인과 상기 소스 라인에 연결되고 제2워드 라인에 연결된 게이트를 가지는 플로팅 바디를 가지는 제2메모리 셀을 구비하는 제2블록을 구비하는 메모리 셀 어레이를 구비하는 반도체 메모리 장치의 동작 방법에 있어서, 등화 동작시에 상기 제1비트 라인과 센스 비트 라인을 연결하고, 상기 제2비트 라인과 반전 센스 비트 라인을 연결하고 상기 제1 및 제2비트 라인들과 상기 센스 비트 라인과 상기 반전 센스 비트 라인을 등화 전압 레벨로 등화하고, 프리차지 동작시에 상기 제1블록이 선택되면 상기 제1비트 라인과 상기 센스 비트 라인을 상기 등화 전압보다 높은 제1프리차지 전압 레벨로, 상기 반전 센스 비트 라인을 상기 제1프리차지 전압보다 낮고 상기 등화 전압보다 높은 제2프리차지 전압 레벨로 프리차지하고, 제2블록이 선택되면 상기 제2비트 라인과 상기 반전 센스 비트 라인을 상기 제1프리차지 전압 레벨로, 상기 센스 비트 라인을 상기 제2프리차지 전압 레벨로 프리차지하고, 제1리드 동작시에 상기 제1워드 라인과 상기 제2워드 라인중의 선택된 하나의 라인으로 선택 전압을 인가하고, 제2리드 동작시에 상기 제1블록이 선택되면 상기 제1비트 라인과 상기 센스 비트 라인 사이의 연결을 끊고 상기 제1비트 라인과 상기 반전 센스 비트 라인의 데이터를 증폭하고, 제2블록이 선택되면 상기 제2비트 라인과 상기 반전 센스 비트 라인 사이의 연결을 끊고 상기 제2비트 라인과 상기 센스 비트 라인의 데이터를 증폭하는 것을 특징으로 한다. 상기 소스 전압과 상기 등화 전압은 동일한 전압 레벨인 것을 특징으로 한다.

<28> 상기 제1리드 동작시에 상기 선택 전압이 인가되는 경우에 데이터 "1"이 저장된 제1메모리 셀 및 상기 제2메모리 셀이 연결된 비트 라인은 상기 제1프리차지 전압 레벨로부터 상기 등화 전압보다 낮은 레벨로 떨어지고, 데이터 "0"이 저장된 제1메모리 셀 및 상기 제2메모리 셀이 연결된 비트 라인은 상기 제2프리차지 전압 레벨을 유지하는 것을 특징으로 한다.

<29> 상기 동작 방법은 상기 등화 동작 후에 라이트 동작시에 상기 제1워드 라인과 상기 제2워드 라인중의 선택된 하나의 라인으로 선택 전압을 인가하고, 상기 제1블록이 선택되면 상기 제1비트 라인과 상기 센스 비트 라인 사이의 연결을 끊고 상기 제1비트 라인과 상기 반전 센스 비트 라인의 데이터를 증폭하고, 제2블록이 선택되면 상기 제2비트 라인과 상기 반전 센스 비트 라인 사이의 연결을 끊고 상기 제2비트 라인과 상기 센스 비트 라인의 데이

터를 증폭하는 것을 특징으로 한다.

발명의 구성 및 작용

- <30> 이하, 첨부한 도면을 참고로 하여 본 발명의 반도체 메모리 장치 및 이 장치의 동작 방법을 설명하면 다음과 같다.
- <31> 도2는 본 발명의 플로팅 바디를 가지는 메모리 셀을 구비하는 반도체 메모리 장치의 일실시예의 구성을 개략적으로 나타내는 것으로, 반도체 메모리 장치는 메모리 셀 어레이(100), 로우 디코더(200), 컬럼 디코더(300), 및 제어부(400)로 구성되고, 메모리 셀 어레이(100)는 i 개의 메모리 셀 어레이 블록들(BK1 ~ BKi) 및 센싱 블록들(SA1, SA12, ..., SAi)로 구성되어 있다.
- <32> 센싱 블록들(SA1, SA12, ..., SAi) 각각은 센스 증폭부들((SA1-1, SA1-2, ...), ..., (SAi-1, SAi-2, ...))로 구성되고, 센스 증폭부들 각각은 비트 라인 아이솔레이션 게이트들(ISOG1, ISOG2), 비트 라인 센스 증폭기(BSA), 컬럼 선택 게이트(CSG), 프리차지 회로들(PRE1, PRE2), 및 등화 회로(EQ)로 구성되어 있다. 비트 라인 아이솔레이션 게이트(ISOG1)는 NMOS트랜지스터(N1)로 구성되고, 비트 라인 아이솔레이션 게이트(ISOG2)는 NMOS트랜지스터(N8)로 구성되어 있다. 비트 라인 센스 증폭기(BSA)는 PMOS트랜지스터들(P3, P4) 및 NMOS트랜지스터들(N4, N5)로 구성되고, 컬럼 선택 게이트(CSG)는 NMOS트랜지스터들(N6, N7)로 구성되고, 프리차지 회로(PRE1)는 PMOS트랜지스터들(P1, P2)로 구성되고, 프리차지 회로(PRE2)는 PMOS트랜지스터들(P5, P6)로 구성되고, 등화 회로(EQ)는 NMOS트랜지스터들(N2, N3)로 구성되어 있다. 그리고, i 개의 메모리 셀 어레이 블록들(BK1 ~ BKi) 각각은 워드 라인들((WL11 ~ WL1k), ..., (WLi1 ~ WLi k)) 각각과 비트 라인들(BL1, BL2, BL3, BL4, ...)사이에 연결된 플로팅 바디를 가지는 복수개의 메모리 셀들(FN)로 구성되고, 복수개의 메모리 셀들(FN) 각각은 비트 라인들(BL1, BL2, BL3, BL4, ...) 중 대응하는 비트 라인에 공통 연결된 제1전극(드레인)과 소스 전압(VSN)이 공통 인가되는 제2전극(소스)과 워드 라인들((WL11 ~ WL1k), ..., (WLi1 ~ WLi k)) 각각에 연결된 게이트를 가진다. 도2의 반도체 메모리 장치는 비트 라인들(BL1, BL2, BL3, BL4, ...)이 오픈 비트 라인 구조를 가지고 배치되어 있다.
- <33> 도2에 나타난 블록들 각각의 기능을 설명하면 다음과 같다.
- <34> 메모리 셀 어레이(100)는 선택된 워드 라인과 컬럼 선택 신호에 의해서 선택된 2개의 비트 라인들사이에 연결된 2개의 메모리 셀들에 데이터를 라이트하거나, 2개의 메모리 셀들로부터 데이터를 리드하는 것이 가능하다. 메모리 셀 어레이 블록(BK1)은 2개의 데이터 입출력 라인쌍((DO1, DOB1)(미도시), (DO12, DOB12))을 통하여 전송되는 데이터를 라이트하고, 저장된 데이터를 2개의 데이터 입출력 라인쌍((DO1, DOB1)(미도시), (DO12, DOB12))을 통하여 리드한다. 메모리 셀 어레이 블록들(BK2 ~ BKi) 각각은 양측에 배치된 2개의 데이터 입출력 라인쌍을 통하여 데이터를 입출력한다. 로우 디코더(200)는 액티브 명령(ACT)이 인가되면 제1로우 어드레스(RA1)를 디코딩하여 워드 라인들(WL11 ~ WL1k, ..., WLi1 ~ WLi k)중의 하나의 워드 라인 선택신호를 활성화한다. 로우 디코더(200)는 리드 명령(RD)과 라이트 명령(WR)에 관계없이 워드 라인 선택신호의 활성화 기간을 고정하도록 구성될 수도 있고, 리드 명령(RD)과 라이트 명령(WR)에 따라 워드 라인 선택신호의 활성화 기간을 가변하도록 구성될 수도 있다. 컬럼 디코더(300)는 리드 명령(RD) 또는 라이트 명령(WR)이 인가되면 컬럼 어드레스(CA)를 디코딩하여 컬럼 선택 신호 라인들(CSL1 ~ CSLn)을 선택하기 위한 컬럼 선택 신호들을 발생한다. 제어부(400)는 액티브 명령(ACT)이 인가되면 메모리 셀 어레이 블록들(BK1 ~ BKi)을 지정하는 제2로우 어드레스(RA2)를 디코딩하여 비트 라인 아이솔레이션 제어신호들(ISO1 ~ ISOi), 센스 인에이블 제어신호쌍들((LA1, LAB1), (LA12, LAB12), (LA23, LAB23), ..., (LAi, LABi)), 등화 제어신호들(EQ0 ~ EQi), 및 프리차지 제어신호들(P0 ~ Pi)을 발생한다. 제어부(400)는 제2로우 어드레스(RA2)가 메모리 셀 어레이 블록(BK1)을 지정하는 어드레스이면, 비트 라인 아이솔레이션 제어신호(ISO1)를 활성화하고, 리드 명령(RD)과 라이트 명령(WR)시에 센스 인에이블 제어신호쌍들((LA1, LAB1), (LA12, LAB12))을 발생한다. 또한, 제어부(400)는 리드 명령(RD)과 라이트 명령(WR)에 따라 비트 라인 아이솔레이션 제어신호(ISO)의 활성화 기간 및 센스 인에이블 제어신호쌍들((LA1, LAB1), (LA12, LAB12))의 활성화 기간을 조절하는 것이 가능하다. 즉, 제어부(400)는 제2로우 어드레스(RA2)가 지정하는 메모리 셀 어레이 블록의 양측의 비트 라인 아이솔레이션 제어신호를 활성화하고, 센스 인에이블 제어신호로 센싱 전압을 인가한다. 비트 라인 아이솔레이션 게이트들(ISOG1 ~ ISOGi) 각각은 비트 라인 아이솔레이션 제어신호들(ISO1 ~ ISOi) 각각에 응답하여 온되어 비트 라인들과 센스 비트 라인쌍들을 연결한다. 비트 라인 아이솔레이션 제어신호들(ISO1 ~ ISOi) 각각은 해당 메모리 셀 어레이 블록(BK1 ~ BKi)이 지정되는 경우에 활성화된다. 예를 들어, 메모리 셀 어레이 블록(BK1)이 지정되면 비트 라인 아이솔레이션 제어신호(ISO1)가 활성화되어 비트 라인 아이솔레이션 게이트(ISOG1)의 NMOS트랜지스터들(N1, N2)을 온한다. 비트 라인 센스 증폭기들(BSA) 각각은 해당

센스 인에이블 제어신호쌍들((LA1, LAB1), (LA12, LAB12), (LA23, LAB23), ..., (LAi, LABi)) 각각에 응답하여 센스 비트 라인쌍((SBL1, SBL1B), (SBL2, SBL2B), ...)의 전압 차를 감지하여 증폭한다. 예를 들어, 메모리 셀 어레이 블록(BK1)이 지정되면 센스 인에이블 제어신호쌍들((LA1, LAB1), (LA12, LAB12))을 발생한다. 등화 회로들(EQ) 각각은 등화 제어신호들(EQ1 ~ EQi)에 응답하여 NMOS트랜지스터들(N2, N3)이 온되어 해당 센스 비트 라인쌍들((SBL1, SBL1B), (SBL2, SBL2B), ...)로 등화 전압(VSN)을 인가한다. 등화 전압(VSN)과 소스 전압이 동일하게 구성되어 있으나, 등화 전압(VSN)은 소스 전압이 서로 다른 레벨로 구성될 수도 있다. 프리차지 회로들(PRE1, PRE2) 각각은 해당 프리차지 제어신호들(P0 ~ Pi) 각각에 응답하여 PMOS트랜지스터들(P5, P6)이 온되어 해당 센스 비트 라인쌍들((SBL1, SBL1B), (SBL2, SBL2B), ...)의 하나의 라인으로 내부 전압(VINTA)을 인가하고, 다른 하나의 라인으로 기준 전압(VREF)을 인가한다. 즉, 센스 비트 라인쌍들중 메모리 셀의 데이터가 전송되는 라인으로 내부 전압(VINTA)을 인가한다.

<35> 도2에 나타난 본 발명의 반도체 메모리 장치는 기준 메모리 셀을 구비하지 않고, 데이터 리드 동작을 위한 센스 블록의 구성이 도1에 나타난 반도체 메모리 장치에 비해서 단순화된다.

<36> 도3a는 도2에 나타난 본 발명의 반도체 메모리 장치의 실시예의 데이터 라이트 동작을 설명하기 위한 동작 타이밍도로서, 액티브 명령(ACT)과 함께 워드 라인(WL11)을 선택하기 위한 제1로우 어드레스(RA1) 및 메모리 셀 어레이 블록(BK1)을 지정하기 위한 제2로우 어드레스(RA2)가 인가되고, 라이트 명령(WR)과 함께 컬럼 선택 신호 라인(CSL1)을 선택하기 위한 컬럼 어드레스(CA)가 인가되는 경우의 동작을 나타내는 것이다.

<37> 등화 기간(WT1)에서, 제어부(400)는 내부 전압(VINTA) 레벨을 가지는 프리차지 제어신호들(P1 ~ Pi), 및 고전압(VPP) 레벨을 가지는 등화 제어신호들(EQ1 ~ EQi) 및 비트 라인 아이솔레이션 제어신호들(ISO1 ~ ISOi)을 발생한다. 그러면, 프리차지 회로들(PRE1, PRE2) 각각의 PMOS트랜지스터들(P1, P2, P5, P6)이 오프되고, 등화 회로들(EQ) 각각의 NMOS트랜지스터들(N2, N3)이 온되고, 비트 라인 아이솔레이션 게이트들(ISO1, ISO2)의 NMOS트랜지스터들(N1, N8)이 온되어, 비트 라인들(BL1, BL2, ...) 및 센스 비트 라인쌍들((SBL1, SBL1B), (SBL2, SBL2B), ...)을 등화 전압(VSN) 레벨로 등화한다.

<38> 라이트 기간(WT2)에서, 제어부(400)는 메모리 셀 어레이 블록(BK1)을 지정하는 제2로우 어드레스(RA2)에 응답하여 접지전압(VSS) 레벨의 등화 제어신호들(EQ0, EQ1) 및 고전압(VPP) 레벨의 등화 제어신호들(EQ2 ~ EQi)을 발생하고, 비트 라인 아이솔레이션 제어신호들(ISO1 ~ ISOi)은 고전압(VPP) 레벨을 유지한다. 그러면, 메모리 셀 어레이 블록(BK1)의 양측의 등화 회로들(EQ)이 오프된다. 이 후, 로우 디코더(200)는 제1로우 어드레스(RA1)를 디코딩하여 워드 라인(WL11)을 선택하기 위한 선택 전압(VWL=VSN+(Vth0+Vth1)/2 또는 기준 전압(VREF), VSN(<VPP, <VREF, >VSS) 레벨을 가지는 워드 라인 선택신호를 발생한다. Vth0는 데이터 "0"이 저장된 메모리 셀(FN)의 문턱전압을 나타내고, Vth1은 데이터 "1"이 저장된 메모리 셀(FN)의 문턱전압을 나타내며, 문턱전압(Vth0)이 문턱전압(Vth1)보다 높다. 제어부(400)는 라이트 명령(WR) 및 제2로우 어드레스(RA2)에 응답하여 고전압(VPP) 레벨의 센스 인에이블 제어신호들(LA1, LA12) 및 접지전압(VSS) 레벨의 센스 인에이블 제어신호들(LAB1, LAB12)을 발생하고, 컬럼 디코더(300)는 라이트 명령(WR) 및 컬럼 어드레스(CA)에 응답하여 고전압(VPP) 레벨의 컬럼 선택신호(CSL1)를 발생한다. 그러면, 메모리 셀 어레이 블록(BK1)의 양측의 컬럼 선택 게이트들(CSG)이 온되어 데이터 라인쌍들((D01, D01B)(미도시), (D012, D012B), ...) 각각의 "하이"레벨과 "로우"레벨의 데이터 쌍을 양측의 센스 비트 라인쌍들(SBL1, SBL1B)로 전송하고, 양측의 비트 라인 센스 증폭기들(BSA)이 온되어 센스 비트 라인쌍들(SBL1, SBL1B) 각각으로 전송된 데이터 쌍을 증폭하여 고전압(VPP) 레벨과 접지전압(VSS) 레벨로 만든다. 그리고, 비트 라인 아이솔레이션 게이트들(ISO1, ISO2)이 온되어 있으므로 양측의 센스 비트 라인들(SBL1B, SBL1) 각각의 증폭된 데이터가 비트 라인들(BL2, BL1)로 각각 전송된다. 이때, 메모리 셀 어레이 블록(BK1)내의 2개의 메모리 셀들(FN)의 게이트로 선택 전압(VWL)이 인가되고 있으므로, 2개의 메모리 셀들(FN)중 비트 라인(BL1)에 연결된 메모리 셀(FN)에 임팩트 이온화(impact ionization)가 발생되어 메모리 셀들(FN)의 플로팅 바디에 정공이 축적되어 데이터 "1"이 라이트되고, 비트 라인(BL2)에 연결된 메모리 셀(FN)에는 순방향 바이어스가 걸려 데이터 "0"이 라이트된다. 이에 따라, 데이터 "1"이 저장된 메모리 셀(FN)의 문턱전압은 Vth1을 가지게 되고, 데이터 "0"이 저장된 메모리 셀(FN)의 문턱전압은 Vth를 가지게 된다.

<39> 이 후, 제어부(400)는 등화 기간(WT1)에서와 동일한 동작을 수행하여 비트 라인들(BL1, BL2, ...) 및 센스 비트 라인쌍들((SBL1, SBL1B), (SBL2, SBL2B), ...)을 등화 전압(VSN) 레벨로 등화한다.

<40> 상술한 바와 같은 방법으로 메모리 셀 어레이 블록(BK1)의 워드 라인(WL11)과 비트 라인(BL1)사이의 메모리 셀(FN)에 데이터 "1"이 라이트되고, 워드 라인(WL11)과 비트 라인(BL2)사이의 메모리 셀(FN)에 데이터 "0"이 라이트된다.

- <41> 도3b는 도2에 나타난 본 발명의 반도체 메모리 장치의 실시예의 데이터 리드 동작을 설명하기 위한 동작 타이밍도로서, 도3a의 동작에 의해서 메모리 셀 어레이 블록(BK1)의 2개의 메모리 셀(FN)에 저장된 데이터 "1"과 데이터 "0"을 리드하는 경우의 동작을 나타내는 것이다.
- <42> 등화 기간(RT1)에서, 제어부(400)는 도3a의 등화 기간(WT1)에서와 동일한 동작을 수행하여 비트 라인들(BL1, BL2, ...) 및 센스 비트 라인쌍들((SBL1, SBL1B), (SBL2, SBL2B), ...)을 등화 전압(VSN) 레벨로 등화한다.
- <43> 프리차지 기간(RT2)에서, 제어부(400)는 메모리 셀 어레이 블록(BK1)을 지정하는 제2로우 어드레스(RA2)에 응답하여 접지전압(VSS) 레벨을 가지는 프리차지 제어신호(P1)를 발생하고, 접지전압(VSS) 레벨을 가지는 등화 제어신호(EQ0, EQ1)를 발생하고, 비트 라인 아이솔레이션 제어신호들(ISO0 ~ ISOi)을 고전압(VPP) 레벨로 유지한다. 그러면, 메모리 셀 어레이 블록(BK1)의 좌측의 프리차지 회로들(PRE2)이 온되어 좌측의 반전 센스 비트 라인(SBL1B)과 비트 라인(BL2) 및 우측의 센스 비트 라인(SBL1) 및 비트 라인(BL1)을 내부 전압(VINTA(<VPP, >VSN)) 레벨로 만들고, 좌측의 센스 비트 라인(SBL1) 및 우측의 반전 센스 비트 라인(SBL1B)을 기준 전압(VREF(<VINTA, >VSN)) 레벨로 만든다. 즉, 프리차지 동작시에 프리차지 회로들(PRE1, PRE2)이 동작하여 데이터가 리드되는 라인을 내부 전압(VINTA) 레벨로 만들고, 다른 하나의 라인은 기준 전압(VREF) 레벨로 만든다.
- <44> 제1리드 기간(RT3)에서, 제어부(400)는 내부 전압(VINTA) 레벨의 프리차지 제어신호(P1)를 발생하고, 등화 제어신호(EQ0, EQ1)를 접지전압(VSS) 레벨로 유지하고, 로우 디코더(200)는 제1로우 어드레스(RA1)를 디코딩하여 워드 라인(WL11)을 선택하기 위한 선택 전압(VWL=VSN+(Vth0+Vth1)/2 또는 VREF) 레벨을 가지는 워드 라인 선택신호를 발생한다. 그러면, 워드 라인(WL11)과 비트 라인(BL1)사이에 연결된 메모리 셀(FN)에 데이터 "1"이 저장되어 있고, 선택 전압의 레벨이 문턱전압(Vth1)보다 높으므로 전류가 흐르게 되고, 반면에 워드 라인(WL11)과 비트 라인(BL2)사이에 연결된 메모리 셀(FN)에는 데이터 "0"이 저장되어 있고, 선택 전압의 레벨이 문턱전압(Vth0)보다 낮으므로 전류가 흐르지 않게 된다. 따라서, 메모리 셀 어레이 블록(BK1)의 비트 라인(BL1)과 센스 비트 라인(SBL1)은 내부 전압(VINTA) 레벨로부터 떨어져서 기준 전압(VREF) 레벨보다 낮은 레벨로 떨어지게 되고, 메모리 셀 어레이 블록(BK1)의 비트 라인(BL2)과 반전 센스 비트 라인(SBL1B)은 기준 전압(VREF) 레벨을 유지하게 된다. 이에 따라, 센스 비트 라인쌍들((SBL1, SBL1B), (SBL2, SBL2B), ...)사이의 전압 차(ΔV)가 비트 라인 센스 증폭기들(SA12, SA1)에 의해서 감지될 수 있는 레벨로 되게 된다.
- <45> 제2리드 기간(RT4)에서, 제어부(400)는 고전압(VPP) 레벨의 센스 인에이블 제어 신호들(LA1, LA12), 접지전압(VSS) 레벨의 센스 인에이블 제어 신호들(LAB1, LAB12)과 비트 라인 아이솔레이션 제어신호(ISO1)를 발생한다. 그러면, 메모리 셀 어레이 블록(BK1)의 좌측의 비트 라인 아이솔레이션 게이트(ISO1G1)와 우측의 비트 라인 아이솔레이션 게이트(ISO1G2)의 NMOS트랜지스터들(N1, N8)이 오프되어 비트 라인(BL1)과 센스 비트 라인(SBL1)사이가 분리되고, 비트 라인(BL2)과 반전 센스 비트 라인(SBL1B)사이가 분리된다. 또한, 메모리 셀 어레이 블록(BK1)의 양측의 비트 라인 센스 증폭기들이 온되어 센스 비트 라인쌍들((SBL1, SBL1B), (SBL2, SBL2B), ...)의 전압 차를 증폭하여 접지전압(VSS) 레벨과 고전압(VPP) 레벨로 증폭한다. 이 후, 컬럼 디코더(300)가 컬럼 어드레스(CA)를 디코딩하여 고전압(VPP) 레벨의 컬럼 선택신호(CSL1)를 발생하면 메모리 셀 어레이 블록(BK1)의 양측의 컬럼 선택 게이트들(CSG)의 NMOS트랜지스터들(N6, N7)이 온되어 양측의 센스 비트 라인쌍(SBL1, SBL1B)의 "로우"레벨과 "하이"레벨의 데이터 쌍을 데이터 라인쌍들((DO1, DO1B)(미도시), (DO12, DO12B))로 각각 전송한다. 이때, 데이터 라인쌍((DO1B, DO1B)(미도시), (DO12, DO12B))로 전송되는 데이터 쌍이 메모리 셀들(FN)에 저장된 데이터 쌍의 위상과는 반대되는 위상을 가지게 된다. 도2의 실시예의 반도체 메모리 장치에 도시하지는 않았지만, 리드 동작시에 데이터 라인쌍들로 전송된 데이터의 위상을 반전하여 출력하기 위한 구성을 추가하여 메모리 셀들(FN)에 저장된 데이터 쌍의 위상과 동일한 위상을 가지는 데이터 쌍으로 변환하면 된다.
- <46> 이 후, 제어부(400)는 등화 기간(RT1)에서와 동일한 동작을 수행하여 비트 라인들(BL1, BL2, ...) 및 센스 비트 라인쌍들((SBL1, SBL1B), (SBL2, SBL2B), ...)을 등화 전압(VSN) 레벨로 등화한다.
- <47> 상술한 바와 같은 방법으로 메모리 셀 어레이 블록(BK1)의 워드 라인(WL11)과 비트 라인(BL1)사이의 메모리 셀(FN)로부터 데이터 "1"을 리드하고 워드 라인(WL11)과 반전 비트 라인(BL1B)사이의 메모리 셀(FN)로부터 데이터 "0"을 리드한다.
- <48> 본 발명의 반도체 메모리 장치는 리드 동작 전에 프리차지 동작을 수행하여 비트 라인 및 센스 비트 라인을 등화 전압(VSN)보다 높은 내부 전압(VINTA) 레벨로 만들고 반전 센스 비트 라인은 등화 전압(VSN)과 내부 전압(VINTA)사이의 기준 전압(VREF) 레벨로 만든다. 그리고, 메모리 셀로 선택 전압(VWL)을 인가하여 데이터 "0"이 저장된 메모리 셀(FN)은 오프되어 기준 전압(VREF) 레벨을 그대로 유지하고, 데이터 "1"이 저장된 메모리 셀(FN)은 온되어 아주 작은 양의 전류를 흐르게 하여 비트 라인의 전압을 내부 전압(VINTA) 레벨로부터 기준 전압

(VREF) 레벨보다 낮은 레벨로 천이시키고, 이 후, 비트 라인 아이솔레이션 게이트를 오프하고, 센스 비트 라인 쌍에 대한 센싱 동작을 수행하기 때문에 메모리 셀들에 저장된 데이터가 변경되지 않고 그대로 유지되므로 리프레쉬(재저장) 동작을 수행하지 않아도 된다.

- <49> 도4는 본 발명의 반도체 메모리 장치의 워드 라인을 선택하기 위한 선택 신호의 전압 레벨을 설정하는 방법을 설명하기 위한 그래프로서, 가로축은 선택 전압(VWL)에서 등화 전압(VSN)을 뺀 전압(VWL-VSN)을 세로축은 메모리 셀을 통하여 흐르는 전류(Ic)를 나타낸다.
- <50> 도4의 그래프에 도시된 바와 같이, 플로팅 바디를 가지는 메모리 셀(FN)은 데이터 "1"이 저장된 경우의 문턱전압(Vth1)이 데이터 "0"이 저장된 경우의 문턱전압(Vth0)보다 낮다.
- <51> 본 발명의 반도체 메모리 장치의 선택 전압(VWL)은 상술한 설명에서 등화 전압(VSN)에 문턱전압(Vth1)과 문턱전압(Vth0)사이의 중간 전압($VSM=(Vth1+Vth0)/2$)을 더한 전압으로 설정되는 것으로 설명하였으나, 선택 전압(VWL)은 등화 전압(VSN)에 문턱전압(Vth1)과 문턱전압(Vth0)사이의 레벨의 전압을 더한 전압으로 설정하여도 된다. 즉, 선택 전압(VWL)은 등화 전압(VSN)에 문턱전압(Vth1)보다 크고 중간 전압(VSM)보다 작은 레벨의 전압(구간 ①의 전압)을 더한 값으로 설정하거나, 등화 전압(VSN)에 중간 전압(VSM)보다 크고 문턱전압(Vth0)보다 작은 레벨의 전압(구간 ②의 전압)을 더한 값으로 설정하더라도 상관없다.
- <52> 이와 같이 설정된 선택 전압(VWL)을 메모리 셀(FN)로 인가함에 의해서 데이터 "1"이 저장된 메모리 셀(FN)은 온되어 비트 라인으로부터 소스 라인으로 메모리 셀 전류(Ic)를 흐르게 하고, 데이터 "0"이 저장된 메모리 셀(FN)은 오프되어 비트 라인으로부터 소스 라인으로 전류(Ic)를 흐르지 않게 한다. 이에 따라, 데이터 "1"이 저장된 메모리 셀과 데이터 "0"이 저장된 메모리 셀의 데이터를 구분하여 리드하는 것이 가능하다.
- <53> 도5는 본 발명의 플로팅 바디를 가지는 메모리 셀을 구비하는 반도체 메모리 장치의 다른 실시예의 구성을 개략적으로 나타내는 것으로, 반도체 메모리 장치는 메모리 셀 어레이(100'), 로우 디코더(200), 컬럼 디코더(300), 및 제어부(400')로 구성되고, 메모리 셀 어레이(100')는 i개의 메모리 셀 어레이 블록들(BK1 ~ BKi) 및 센싱 블록들(SA1, SA12, ..., SAi)로 구성되어 있다.
- <54> 센싱 블록들(SA1, SA12, ..., SAi) 각각은 센스 증폭부들((SA1-1, SA1-2, ...), ..., (SAi-1, SAi-2, ...))로 구성되고, 센스 증폭부들 각각은 비트 라인 아이솔레이션 게이트들(ISOG1 ~ ISOG4), 비트 라인 센스 증폭기(BSA), 컬럼 선택 게이트(CSG), 프리차지 회로들(PRE1, PRE2), 및 등화 회로(EQ)로 구성되어 있다. 비트 라인 아이솔레이션 게이트들(ISOG1 ~ ISOG4) 각각은 NMOS트랜지스터들(N1-1, N8-1, N1-2, N8-2)로 각각 구성되어 있다. 비트 라인 센스 증폭기(BSA), 프리차지 회로들(PRE1, PRE2), 컬럼 선택 게이트(CSG), 및 등화 회로(EQ)는 도2와 동일하게 구성되어 있다. 그리고, i개의 메모리 셀 어레이 블록들(BK1 ~ BKi) 각각의 메모리 셀들(FN) 또한 도2와 동일하게 구성되어 있다. 도5의 반도체 메모리 장치는 비트 라인들(BL1, BL2, ...)이 폴딩된 비트 라인 구조를 가지고 배치되어 있다.
- <55> 도5에 나타난 블록들 각각의 기능을 설명하면 다음과 같다.
- <56> 메모리 셀 어레이(100')는 도2의 메모리 셀 어레이(100)와 다른 구성을 가지나, 도2의 메모리 셀 어레이(100)와 마찬가지로 선택된 워드 라인과 컬럼 선택 신호에 의해서 선택된 2개의 비트 라인들에 연결된 2개의 메모리 셀들에 데이터를 라이트하거나, 2개의 메모리 셀들로부터 데이터를 리드하는 것이 가능하다. 메모리 셀 어레이 블록들(BK1 ~ BKi) 각각의 기능 또한 도2의 메모리 셀 어레이 블록들의 기능과 동일하다. 로우 디코더(200) 및 컬럼 디코더(300)의 기능 또한 도2의 로우 디코더 및 컬럼 디코더(300)와 동일한 기능을 수행한다. 제어부(400')는 액티브 명령(ACT)이 인가되면 메모리 셀 어레이 블록들(BK1 ~ BKi)을 지정하는 제2로우 어드레스(RA2) 및 홀수번째 비트 라인들과 짝수번째 비트 라인들을 구분하기 위한 어드레스(A)에 응답하여 비트 라인 아이솔레이션 제어신호들(IS00 ~ IS0i), 센스 인에이블 제어 신호쌍들((LA1, LAB1), (LA12, LAB12), (LA23, LAB23), ..., (LAi, LABi)), 등화 제어신호들(EQ0 ~ EQi), 및 프리차지 제어신호들(P0 ~ Pi)을 발생한다. 제어부(400')는 제2로우 어드레스(RA2)가 메모리 셀 어레이 블록(BK1)을 지정하고, 어드레스(A)가 홀수번째 비트 라인들을 지정하는 어드레스이면, 메모리 셀 어레이 블록(BK1)의 좌측의 비트 라인 아이솔레이션 제어신호(IS02)와 우측의 비트 라인 아이솔레이션 제어신호(IS01)를 활성화하고, 어드레스(A)가 짝수번째 비트 라인들을 지정하는 어드레스이면, 메모리 셀 어레이 블록(BK1)의 좌측의 비트 라인 아이솔레이션 제어신호(IS04)와 우측의 비트 라인 아이솔레이션 제어신호(IS03)를 활성화하고, 리드 명령(RD)과 라이트 명령(WR)시에 센스 인에이블 제어 신호쌍들((LA1, LAB1), (LA12, LAB12))을 활성화한다. 제어부(400')는 제2로우 어드레스(RA2)에 따라 지정되는 메모리 셀 어레이 블록의 양측의 4개씩의 비트 라인 아이솔레이션 제어신호들중의 하나의 제어신호를 활성화하고, 센스

인에이블 제어신호쌍들을 활성화한다. 비트 라인 아이솔레이션 게이트들(IS01 ~ IS04) 각각은 비트 라인 아이솔레이션 제어신호들(IS01 ~ IS04) 각각에 응답하여 온되어 비트 라인들과 센스 비트 라인쌍의 하나의 라인을 연결한다. 비트 라인 아이솔레이션 제어신호들(IS01 ~ IS04) 각각은 해당 메모리 셀 어레이 블록(BK1 ~ BKi)이 지정되고 해당 비트 라인이 선택되는 경우에 활성화된다. 비트 라인 센스 증폭기들(BSA), 등화 회로들(EQ) 및 프리차지 회로들(PRE1, PRE2)의 기능은 도2의 비트 라인 센스 증폭기들, 등화 회로들 및 프리차지 회로들의 기능과 동일하다.

- <57> 도5의 본 발명의 반도체 메모리 장치 또한 도2의 장치와 마찬가지로 기준 메모리 셀을 구비하지 않고, 데이터 리드 동작을 위한 센싱 블록의 구성이 단순화된다.
- <58> 도5에 나타낸 반도체 메모리 장치의 동작은 도3a, b에 나타낸 도2에 나타낸 반도체 메모리 장치의 동작 타이밍도 및 설명을 참고로 하면 쉽게 이해될 수 있을 것이다.
- <59> 도5에 나타낸 반도체 메모리 장치는 메모리 셀 어레이 블록(BK1) 및 홀수번째 비트 라인들이 선택되는 경우에 메모리 셀 어레이 블록(BK1)의 좌측의 비트 라인 아이솔레이션 게이트(ISOG2)와 우측의 비트 라인 아이솔레이션 게이트(ISOG1)가 온되고, 메모리 셀 어레이 블록(BK1) 및 짝수번째 비트 라인들이 선택되는 경우에 메모리 셀 어레이 블록(BK1)의 좌측의 비트 라인 아이솔레이션 게이트(ISOG4)와 우측의 비트 라인 아이솔레이션 게이트(ISOG3)가 선택되어 라이트 동작 및 리드 동작을 수행한다.
- <60> 본 발명의 반도체 메모리 장치의 비트 라인 아이솔레이션 게이트들은 NMOS트랜지스터로 구성되어 있으나, CMOS 전송 게이트로 구성되더라도 상관없다. 즉, 비트 라인과 센스 비트 라인사이에 PMOS트랜지스터를 추가하고, PMOS트랜지스터의 게이트로 비트 라인 아이솔레이션 제어신호를 반전한 신호가 인가되도록 구성할 수도 있다.
- <61> 또한, 본 발명의 반도체 메모리 장치의 등화 회로에 NMOS트랜지스터를 추가하여, NMOS트랜지스터가 등화 제어신호에 응답하여 센스 비트 라인과 반전 센스 비트 라인을 연결하도록 구성할 수도 있다.
- <62> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

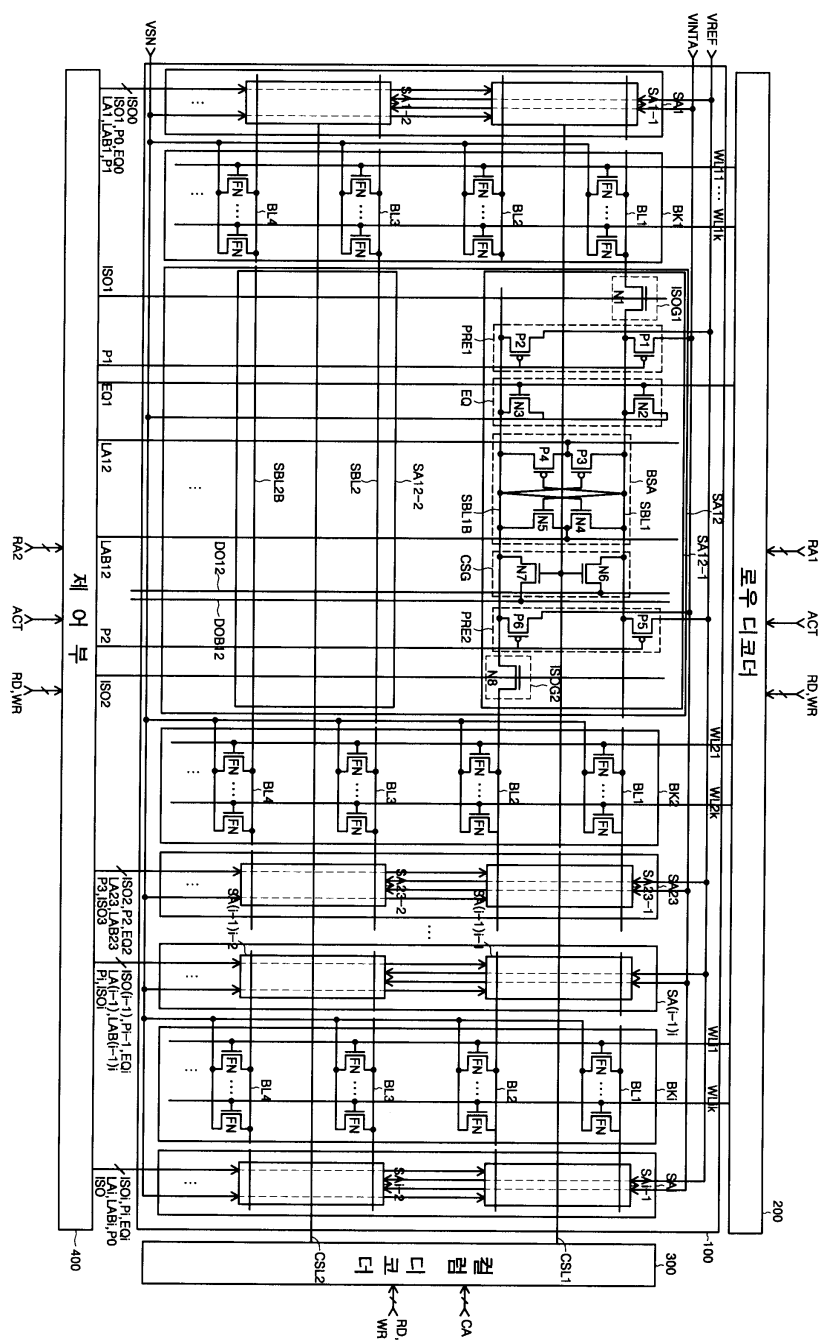
발명의 효과

- <63> 본 발명의 반도체 메모리 장치는 데이터 리드를 위하여 사용되는 센싱 블록의 구성이 단순화되고, 제어가 간단하게 되며, 기준 메모리 셀이 없더라도 데이터를 리드하는 것이 가능하다.
- <64> 또한, 본 발명의 반도체 메모리 장치 및 이 장치의 동작 방법은 데이터 리드 동작 후에 리프레쉬(재저장) 동작을 수행할 필요가 없다.

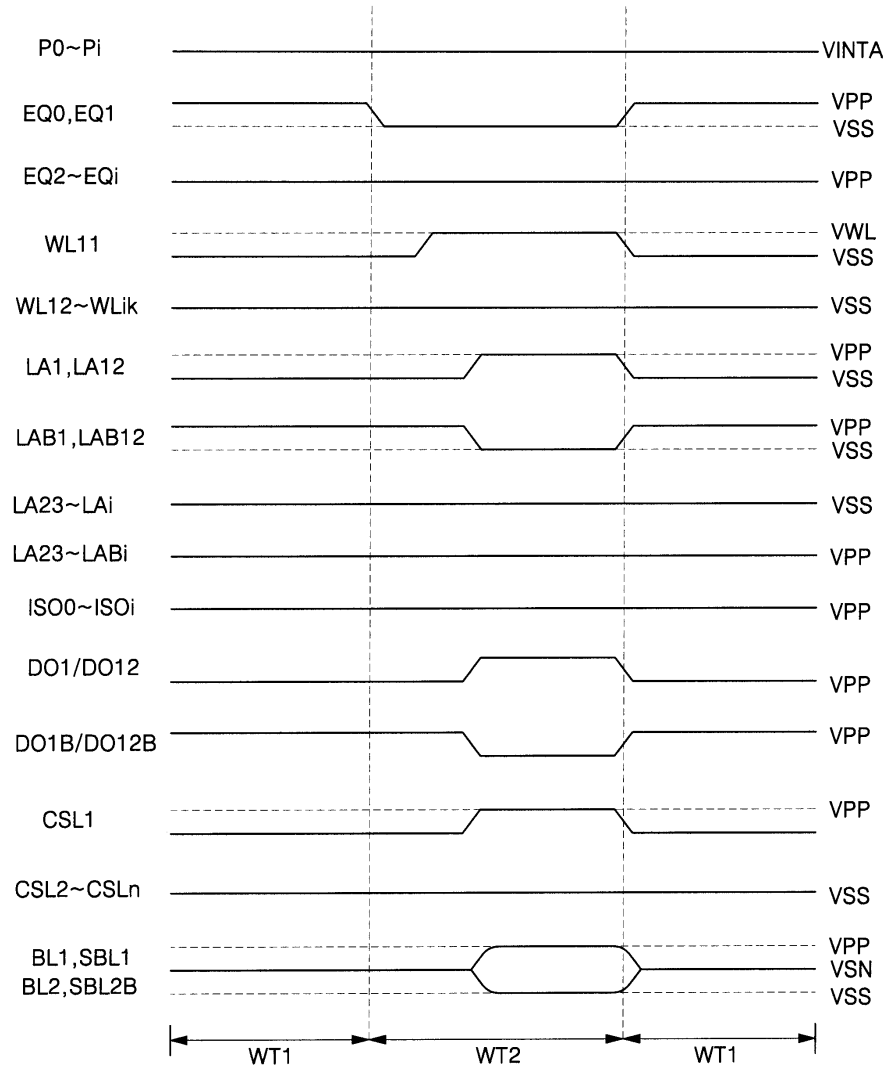
도면의 간단한 설명

- <1> 도1은 종래의 플로팅 바디를 가지는 메모리 셀을 구비하는 반도체 메모리 장치의 일예의 구성을 나타내는 것이다.
- <2> 도2는 본 발명의 플로팅 바디를 가지는 메모리 셀을 구비하는 반도체 메모리 장치의 일실시예의 구성을 개략적으로 나타내는 것이다.
- <3> 도3a는 도2에 나타낸 본 발명의 반도체 메모리 장치의 실시예의 데이터 라이트 동작을 설명하기 위한 동작 타이밍도이다.
- <4> 도3b는 도2에 나타낸 본 발명의 반도체 메모리 장치의 실시예의 데이터 리드 동작을 설명하기 위한 동작 타이밍도이다.
- <5> 도4는 본 발명의 반도체 메모리 장치의 워드 라인을 선택하기 위한 선택 신호의 전압 레벨을 설정하는 방법을 설명하기 위한 그래프이다.
- <6> 도5는 본 발명의 플로팅 바디를 가지는 메모리 셀을 구비하는 반도체 메모리 장치의 다른 실시예의 구성을 개략적으로 나타내는 것이다.

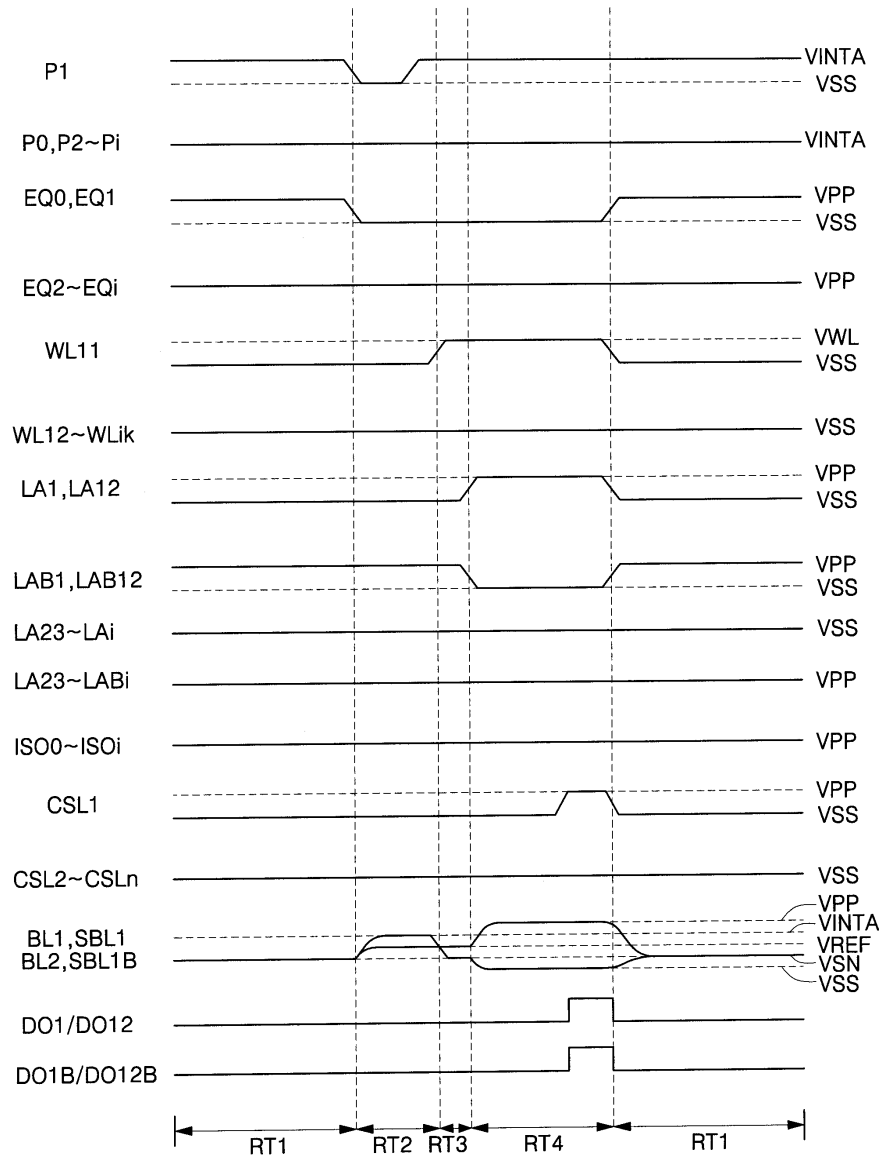
도면2



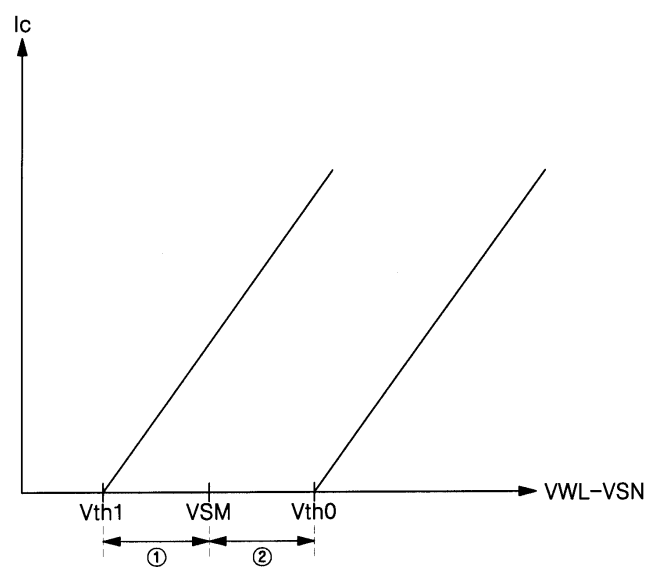
도면3a



도면3b



도면4



도면5

