



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월12일
(11) 등록번호 10-1118330
(24) 등록일자 2012년02월13일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 21/324 (2006.01)</p> <p>(21) 출원번호 10-2006-7019046</p> <p>(22) 출원일자(국제) 2005년02월10일
심사청구일자 2010년02월10일</p> <p>(85) 번역문제출일자 2006년09월15일</p> <p>(65) 공개번호 10-2007-0020426</p> <p>(43) 공개일자 2007년02월21일</p> <p>(86) 국제출원번호 PCT/US2005/004318</p> <p>(87) 국제공개번호 WO 2005/083762
국제공개일자 2005년09월09일</p> <p>(30) 우선권주장
10/784,904 2004년02월23일 미국(US)</p> <p>(56) 선행기술조사문헌
US05966605 A*
US06100171 A*
*는 심사관에 의하여 인용된 문헌</p> | <p>(73) 특허권자
애플라이드 머티어리얼스, 인코포레이티드
미국 95054 캘리포니아 산타 클라라 바우어스 애브뉴 3050</p> <p>(72) 발명자
마, 와이
미국 95054 캘리포니아 산타 클라라 마르스톤 레인 4213
아하메드, 칼레드, 제트.
미국 92804 캘리포니아 아나헤임 웨스트 브로드웨이 2366
(뒷면에 계속)</p> <p>(74) 대리인
남상선</p> |
|---|--|

전체 청구항 수 : 총 33 항

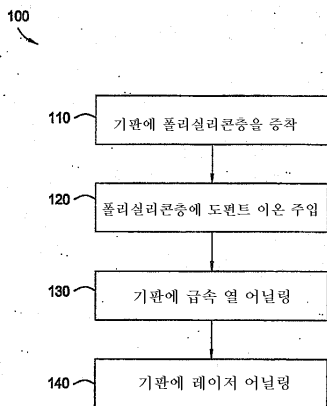
심사관 : 김상택

(54) 발명의 명칭 반도체 제조를 위한 게이트 전극 도펀트 활성화 방법

(57) 요약

일 실시예에서, 본 발명은 개괄적으로 기판에 증착된 도핑된 층을 어닐링하는 방법을 제공한다. 본 방법은 게이트 산화물층과 같은 기판 표면에 다결정층을 증착하는 단계 및 도핑된 다결정층을 형성하기 위하여 도펀트를 이용하여 다결정층을 주입하는 단계를 포함한다. 본 방법은 다결정층을 통하여 즉시 도펀트를 분포시키기 위하여 도핑된 다결정층을 급속 열 어닐링에 노출하는 단계를 더 포함한다. 그 후, 본 방법은 다결정층의 상부에 도펀트를 활성화시키기 위하여 도핑된 다결정층을 레이저 어닐링에 노출하는 단계를 포함한다. 레이저 어닐링은 도펀트, 원자들을 다결정 재료의 결정 격자로 통합시킨다.

대표도 - 도2



(72) 발명자

퀸닝햄, 케빈, 엘.

미국 94041 캘리포니아 마운틴 뷰 처치 스트리트 227

맥킨트쉬, 로버트, 씨.

미국 95126 캘리포니아 샌어제이 힐맨 애브뉴 71

마유르, 아브힐아쉬, 제이.

미국 93907 캘리포니아 사리나스 올손 플레이스 17651

리앙, 하이판

미국 94606 캘리포니아 오클랜드 #210 3 애브뉴 1130

얌, 마크

미국 95030 캘리포니아 몬테 세레노 비네랜드 애브뉴 17608

리얼, 토이, 유, 벅키

미국 94087 캘리포니아 씨니베일 테나카 플레이스 1575아파트먼트 에프3

울젠, 크리스토퍼

미국 94538 캘리포니아 프레몬트 램스톤 커몬 4024

왕, 슈린

미국 95008 캘리포니아 캠프벨 스테인웨이 애브뉴 959

포드, 마제드

미국 94087 캘리포니아 씨니베일 웨라톤 드라이브 640

마이너, 개리, 유진

미국 94539 캘리포니아 프레몬트 크라운 리지 커몬 48865

특허청구의 범위

청구항 1

기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법으로서,

기판 상에 유전체 층을 증착하는 단계;

질화된 유전체 층을 형성하기 위해 상기 유전체 층을 질화 공정에 노출시키는 단계;

상기 질화된 유전체 층 상에 다결정 층을 증착하는 단계;

1×10^{19} atoms/cm³ 내지 1×10^{21} atoms/cm³ 범위 내의 도펀트 농도를 갖는 도핑된 다결정 층을 형성하기 위해 상기 다결정 층에 도펀트를 주입하는 단계;

상기 기판을 급속 열 어닐링에 노출시키는 단계; 및

그 후, 상기 도핑된 다결정 층을 레이저 어닐링에 노출시키는 단계

를 포함하는, 기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 2

제1항에 있어서,

상기 유전체 층은 실리콘 산화물, 실리콘 옥시질화물, 하프늄 산화물, 하프늄 규산염, 알루미늄 산화물, 알루미늄 규산염, 이들의 유도체들 및 이들의 조합물들로 이루어진 그룹으로부터 선택된 물질을 포함하고, 상기 유전체 층은 5Å 내지 50Å 범위 내의 두께를 가지는,

기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 3

제1항에 있어서,

상기 유전체 층은 실리콘 산화물, 실리콘 옥시질화물, 하프늄 산화물, 하프늄 규산염, 알루미늄 산화물, 알루미늄 규산염, 이들의 유도체들 및 이들의 조합물들로 이루어진 그룹으로부터 선택된 물질을 포함하고, 상기 질화된 유전체 층은 실리콘 옥시질화물, 하프늄 옥시질화물, 질화된 하프늄 규산염, 알루미늄 옥시질화물, 이들의 유도체들 및 이들의 조합물들로 이루어진 그룹으로부터 선택된 물질을 포함하는,

기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 4

제3항에 있어서,

상기 질화 공정은 분리형 플라즈마 질화(decoupled plasma nitridation) 공정이고 상기 질화된 유전체 층은 실리콘 옥시질화물을 포함하며 상기 질화된 유전체 층은 1×10^{14} atoms/cm² 내지 1×10^{16} atoms/cm² 범위 내의 질소 농도를 포함하는,

기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 5

제1항에 있어서,

상기 도핑된 다결정 층은 상기 레이저 어닐링 동안 1,000℃ 이상의 온도로 가열되는,

기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 6

제5항에 있어서,

온도는 상기 레이저 어닐링 동안 1,050℃ 이상인,
기관 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 7

제6항에 있어서,
온도는 상기 레이저 어닐링 동안 1,050℃ 내지 1,400℃ 범위 내인,
기관 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 8

제7항에 있어서,
상기 도핑된 다결정 층은 500밀리초 이하 동안 상기 레이저 어닐링에 노출되는,
기관 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 9

제8항에 있어서,
상기 도핑된 다결정 층은 100밀리초 이하 동안 상기 레이저 어닐링에 노출되는,
기관 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 10

제1항에 있어서,
상기 기관은 상기 급속 열 어닐링 동안 800℃ 이상의 온도로 가열되는,
기관 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 11

제10항에 있어서,
온도는 상기 급속 열 어닐링 동안 1,000℃ 이상인,
기관 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 12

제11항에 있어서,
상기 도핑된 다결정 층은 $400\text{ohms}/\text{cm}^2$ 미만의 전기적 비저항을 가지는,
기관 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 13

제1항에 있어서,
상기 도핑된 다결정 층은 붕소를 포함하는,
기관 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 14

제13항에 있어서,
상기 도핑된 다결정 층은 실리콘 및 탄소를 포함하는,
기관 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 15

제13항에 있어서,
 상기 도핑된 다결정 층은 실리콘 및 게르마늄을 포함하는,
 기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 16

기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법으로서,
 유전체 층 상에 다결정 층을 증착하는 단계;
 1×10^{19} atoms/cm³ 내지 1×10^{21} atoms/cm³ 범위 내의 도펀트 농도를 갖는 도핑된 다결정 층을 형성하기 위해 상기 다결정 층에 도펀트를 주입하는 단계 ? 상기 도핑된 다결정 층은 실리콘, 탄소 및 붕소를 포함함 ?;
 상기 기판을 급속 열 어닐링에 노출시키는 단계; 및
 그 후, 상기 도핑된 다결정 층을 레이저 어닐링에 노출시키는 단계
 를 포함하는, 기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 17

제16항에 있어서,
 상기 유전체 층은 실리콘 산화물, 실리콘 옥시질화물, 하프늄 산화물, 하프늄 규산염, 알루미늄 산화물, 알루미늄 규산염, 이들의 유도체들 및 이들의 조합물들로 이루어진 그룹으로부터 선택된 물질을 포함하고, 상기 유전체 층은 5Å 내지 50Å 범위 내의 두께를 가지는,
 기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 18

제16항에 있어서,
 상기 유전체 층은 실리콘 산화물, 실리콘 옥시질화물, 하프늄 산화물, 하프늄 규산염, 알루미늄 산화물, 알루미늄 규산염, 이들의 유도체들 및 이들의 조합물들로 이루어진 그룹으로부터 선택된 물질을 포함하고, 상기 유전체 층은 실리콘 옥시질화물, 하프늄 옥시질화물, 질화된 하프늄 규산염, 알루미늄 옥시질화물, 이들의 유도체들 및 이들의 조합물들로 이루어진 그룹으로부터 선택된 물질을 포함하는 질화된 유전체 층을 형성하기 위해 질화 공정에 노출되는,
 기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 19

제18항에 있어서,
 상기 질화 공정은 분리형 플라즈마 질화 공정이고 상기 질화된 유전체 층은 실리콘 옥시질화물을 포함하며 상기 질화된 유전체 층은 1×10^{14} atoms/cm² 내지 1×10^{16} atoms/cm² 범위 내의 질소 농도를 포함하는,
 기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 20

제16항에 있어서,
 상기 도핑된 다결정 층은 상기 레이저 어닐링 동안 1,000℃ 이상의 온도로 가열되는,
 기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 21

제17항에 있어서,
온도는 상기 레이저 어닐링 동안 1,050℃ 이상인,
기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 22

제18항에 있어서,
온도는 상기 레이저 어닐링 동안 1,050℃ 내지 1,400℃ 범위 내인,
기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 23

제19항에 있어서,
상기 도핑된 다결정 층은 500밀리초 이하 동안 상기 레이저 어닐링에 노출되는,
기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 24

제20항에 있어서,
상기 도핑된 다결정 층은 100밀리초 이하 동안 상기 레이저 어닐링에 노출되는,
기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 25

제19항에 있어서,
상기 기판은 상기 급속 열 어닐링 동안 1,000℃ 이상의 온도로 가열되는,
기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 26

기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법으로서,
기판 상에 실리콘-함유 층을 증착하는 단계;

1×10^{19} atoms/cm³ 내지 1×10^{21} atoms/cm³ 범위 내의 도펀트 농도를 함유하는 도핑된 실리콘-함유 층을 형성하기 위해 상기 실리콘-함유 층에 도펀트를 주입하는 단계 ? 상기 도핑된 실리콘-함유 층은 탄소를 더 포함함 ?;

상기 도핑된 실리콘-함유 층을 급속 열 어닐링에 노출시키는 단계; 및

그 후, 상기 도핑된 실리콘-함유 층을 레이저 어닐링 동안 1,000℃ 이상의 온도로 가열하는 단계를 포함하는, 기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 27

제26항에 있어서,
상기 도핑된 실리콘-함유 층은 다결정 층인,
기판 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 28

제27항에 있어서,
상기 도핑된 실리콘-함유 층은 게르마늄 및 붕소를 더 포함하는,

기관 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 29

제26항에 있어서,

온도는 상기 레이저 어닐링 동안 1,050℃ 이상인,

기관 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 30

제29항에 있어서,

상기 도핑된 실리콘-함유 층은 상기 레이저 어닐링 동안 1,050℃ 내지 1,400℃ 범위의 온도로 가열되는,

기관 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 31

제30항에 있어서,

상기 도핑된 실리콘-함유 층은 100밀리초 이하 동안 상기 레이저 어닐링에 노출되는,

기관 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 32

제26항에 있어서,

상기 도핑된 실리콘-함유 층은 상기 레이저 어닐링 동안 1,415℃ 미만의 온도로 가열되는,

기관 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

청구항 33

제32항에 있어서,

상기 기관은 상기 급속 열 어닐링 동안 1,000℃ 이상의 온도로 가열되는,

기관 상에 도핑된 실리콘-함유 물질을 형성하기 위한 방법.

명세서

기술분야

[0001] 본 발명의 실시예들은 일반적으로 반도체 제조 공정 분야에 관련된 것으로서, 보다 상세하게는, 게이트 전극들과 같은 반도체 소자들을 형성하는 실리콘 함유 박막들 내에 도펀트 활성화를 위한 방법이다.

배경기술

[0002] 점점 작은 크기의 트랜지스터들이 제조됨에 따라, 소자의 성능을 향상시키기 위하여 더욱 얇은 게이트 유전체 재료가 요구되고 있다. 그러나, 캐리어 고갈(carrier depletion)은 붕소으로 도핑된 p 타입 폴리실리콘 또는 비소 및/또는 인으로 도핑된 n-타입 폴리실리콘과 같은 게이트 전극 재료의 반전 산화물 두께가 약 4Å이 되게 한다. 폴리 고갈(poly-depletion)을 감소시키는 것은 소자 성능을 유지시키는데 결정적이며 되었다. 종래의 공정들은 열적 예산 제한을 가지는 급속 열 어닐링(RTA: rapid thermal annealing) 공정을 포함한다. 예를 들어, 붕소는 게이트 유전체 재료에 침투하여 소자 성능 및 신뢰성을 낮추기 때문에, 1,050℃ 이상의 온도는 바람직하지 않다.

[0003] 100nm 이하의 CMOS(complementary metal-oxide semiconductor) 소자를 위해 30nm 이하의 접합 깊이(junction depth)가 요구됨에 따라 극도로 얇은 소스/드레인 접합부들은 생산하기가 더욱 어려워지고 있다. 열 포스트-어닐링은 향상된 도펀트 확산을 야기하기 때문에, 열 포스트-어닐링(thermal post-annealing)을 수반하는 이온 주입에 의한 종래의 도핑은 접합 깊이가 10nm의 사이즈에 접근함에 따라 덜 효과적이게 된다. 도펀트 확산은

인접한 층들을 오염시키고 소자의 불량을 초래할 수 있다.

[0004] 도펀트 확산을 야기하지 않고 폴리실리콘 게이트 전극을 활성화하는 것은 생산라인 초기(FEOL: front end of line)에 있어 중요한 과제이다. 향상된 도펀트 활성화와 총체적인 도펀트 확산 사이에는 엄격한 밸런스가 존재한다. 총체적인 활성화 어닐링은 높은 캐리어 농도를 야기할 수 있으나, 도펀트는 게이트 유전층 또는 심지어 채널 영역으로까지 확산될 수 있다. 소자 제조업자들이 폴리 고갈을 극복하기 위하여 노력함에 따라 이러한 밸런스를 유지하는 것이 점점 어려워지고 있다. 폴리 고갈은 폴리실리콘층의 반전 영역 내에서 활성화된 도펀트들의 감소이다. 게이트 길이 및 게이트 유전체 두께들이 더 작아짐에 따라, 폴리-고갈은 $Tox \cdot inv$ (캐리어 농도/폴리 고갈)의 양을 증가시키는 원인이 된다. 130nm 및 90nm의 기관 피쳐들에 대하여, 급속 열 처리(RTP: rapid thermal processing) 및 스파이크 어닐링(spike annealing)과 같은 종래 열 공정들은 주요한 도펀트 활성화 방법들이다. 결과적인 폴리 고갈은 4-5Å의 반전 산화물 두께에 기여한다. 폴리 고갈의 1Å의 추가적인 감소는 65nm 크기의 기관 피쳐에 필수적이다. 폴리 고갈이 Å 감소할 때마다 약 3%의 구동 전류 이득이 기대된다. 종래의 열 공정들은 도펀트 확산을 일으키지 않고서는 이러한 작은 기관 피쳐들을 어닐링하는 것이 불가능하다. 또한, 도펀트 침투 및 열적으로 민감한 높은 k 재료들의 사용을 방지하는 것은 낮은 열적 예산의 활성화 어닐링을 필요로 한다.

[0005] 도펀트 확산을 유도하지 않고도 높은 도펀트 활성화를 달성할 수 있는 레이저 어닐링은, 65nm 피쳐들에서의 사용을 위해 폴리 고갈에 대한 요구조건을 충족시키기 위해 개발되어왔다. 레이저 어닐링 기술은 몇 밀리초 이내에 실리콘의 녹는 점에 가까운 전이 온도(transient temperature)를 생성하여, 적은 도펀트 확산으로 높은 도펀트 활성화를 초래한다. 이것은 붕소가 인 및 비소보다 빠르게 확산되기 때문에, 붕소 활성화와 같은 공정으로 얻어지는 특별한 장점이다. 그러나, 실리콘을 녹이는 레이저 어닐링 온도는 소자 산출 손실을 초래할 수 있는 다결정 그레인 크기 성장을 야기하는 것으로 나타났다.

[0006] 따라서, 피쳐 내의 다결정층들을 도핑하고, 이어서 최소의 도펀트 확산 또는 도펀트 확산없이 도핑된 다결정을 어닐링하고 활성화하는 프로세스가 필요하다.

발명의 상세한 설명

[0007] 일 실시예에서, 본 발명은 통상적으로 다결정층을 게이트 산화물층에 증착하는 단계, 도핑된 다결정층을 형성하기 위하여 도펀트를 다결정층에 주입하는 단계, 도핑된 다결정층을 급속 열 어닐링에 노출하는 단계 및 도핑된 다결정층을 레이저 어닐링에 노출하는 단계를 포함하는, 도핑된 층을 기관상에 어닐링하는 방법을 제공한다.

[0008] 다른 실시예에서, 본 발명은 통상적으로 격자를 포함하는 다결정 층을 기관에 증착하는 단계, 도핑된 다결정 층을 형성하기 위하여 적어도 하나의 도펀트 원소를 이용하여 다결정층에 도핑하는 단계 및 격자에 적어도 하나의 도펀트 원소를 통합시키기 위하여 레이저를 이용하여 도핑된 다결정 층을 어닐링하는 단계를 포함하는, 기관에 층을 어닐링하는 방법을 제공한다.

[0009] 다른 실시예에서, 본 발명은 전반적으로 다결정 층을 기관에 증착하는 단계, 도핑된 다결정 층을 형성하기 위하여 적어도 하나의 도펀트 원소를 다결정 층에 도핑하는 단계, 도핑된 다결정 층을 제1 온도에서 급속 열 어닐링에 노출하는 단계 및 도핑된 다결정 층을 약 1,000°C 내지 약 1,415°C까지의 제2 온도에서 레이저 어닐링에 노출하는 단계를 포함하는, 도핑된 실리콘층을 기관에 어닐링하는 방법을 제공한다.

[0010] 다른 실시예에서, 본 발명은 전반적으로 다결정 층을 기관에 증착하는 단계를 포함하는 기관에 층을 형성하는 방법을 제공한다. 다결정 층은 도펀트 원소 및 격자 구조를 포함한다. 본 방법은 도핑된 다결정 층을 형성하는 격자 구조에 도펀트 원소를 통합시키기 위하여 레이저를 이용하여 다결정 층을 어닐링하는 단계를 더 포함한다.

[0011] 위에서 인용된 본 발명의 피쳐들이 상세하게 이해될 수 있도록 하기 위하여, 위에서 간략히 요약된 본 발명에 대한 더욱 상세한 설명은 실시예들을 참조할 수 있으며, 그 일부는 첨부된 도면들에 도시된다. 그러나, 첨부된 도면들은 본 발명의 전형적인 실시예들만을 도시할 뿐, 그것의 원칙을 제한하기 위함이 아니며, 본 발명에 대하여 다른 동일한 효과적인 실시예들도 가능함을 유의하라.

실시예

[0015] 본 발명의 실시예들은 실리콘 이산화물, 실리콘 옥시질화물 같은 유전체 재료 또는 높은 유전 상수의 재료상에 도핑된 다결정 실리콘층을 형성하는 방법을 제공한다. 일반적으로, 다결정층은 이온 주입에 의하여 도핑되고,

급속 열 어닐링(RTA) 공정 등을 이용하여 열적으로 어닐링되며, 이어서 동적 표면 어닐링(DSA: dynamic surface anneal) 공정에 의하여 도펀트들을 활성화시키기 위하여 레이저 어닐링된다.

[0016] 도 1a-1e는 본 발명의 일실시예에서 개시된 공정들을 통한 게이트 스택 구조 공정의 단면도를 도시한다. 도 1a는 반도체 공정들에서 사용되는 실리콘 기판과 같은 기판(10)상에 배치된 유전체층(20)을 도시한다. 일 실시예에서, 기판(10)은 약 15Ω-cm 내지 약 20Ω-cm 범위의 비저항으로 붕소가 도핑된 300mm의 p 타입 실리콘 기판일 수 있고, 일반적으로 유전체층(20)의 증착에 앞서 종래의 예비 게이트 클리닝(pre-gate clean)을 이용하여 예비 클리닝된다.

[0017] 유전체층(20)은 급속 열 산화(RTO), 화학적 기상 증착(CVD), 플라즈마 강화 화학적 기상 증착(PE-CVD), 물리적 기상 증착(PVD), 원자 층 증착(ALD), 원자 층 에피택시(ALE) 또는 이들의 조합과 같은 다양한 증착 공정들에 의하여 기판(10)에 증착될 수 있다. 바람직하게는, SiO₂, SiO_xN_y와 같은 유전체 재료는 RTO 공정에 의하여 기판(10)상에 성장된다. 유전체층으로서 적합한 재료들은 실리콘 산화물, 실리콘 질화물, 실리콘 옥시질화물, 하프늄 산화물, 하프늄 규산염, 알루미늄 산화물, 알루미늄 규산염, 지르코늄 산화물, 지르코늄 규산염, 이들의 유도체 및 이들의 조합을 포함할 수 있다. 일반적으로, 유전체층(20)은 약 1Å 내지 약 150Å 범위의, 바람직하게는 약 5Å 내지 약 50Å 범위의 두께로 증착된다.

[0018] 몇몇 실시예들에서, 유전체 재료는 질소 산화물(NO) 또는 아질산 산화물(N₂O)에서의 분리형 플라즈마 질화(DPN: decoupled plasma nitridation) 또는 열 질화 등을 이용하여 질화될 수 있다. 포스트 질화 어닐링은 산화물에 질소를 더욱 강력하게 접착하고, 유전체층(20)과 기판(10) 사이의 인터페이스를 개선하기 위하여 수행된다. 예를 들어, 실리콘 산화물은 약 1×10¹⁴ atoms/cm² 내지 약 1×10¹⁶ atoms/cm² 범위 내의, 예컨대 약 1×10¹⁵ atoms/cm² 의, 질소 농도를 이용하여 실리콘 옥시질화물을 형성하기 위한 DPN 공정에 따른 RTO 공정에 의하여 기판(10)상에 성장될 수 있다. 다른 질화된 유전체 재료들은 알루미늄 옥시질화물, 질화된 하프늄 규산염, 하프늄 옥시질화물 및 지르코늄 옥시질화물을 포함한다.

[0019] 도 2에서, 흐름도는 도 1b에 도시된 바와 같이 다결정 실리콘과 같은 폴리실리콘층(30)을 유전체층(20)상에 증착하기 위한 단계(110)를 포함하는 공정(100)을 도시한다. 폴리실리콘층(30)은 통상적으로 화학적 기상 증착(CVD), 급속 열 CVD(RT-CVD), 플라즈마 강화 CVD(PE-CVD), 물리적 기상 증착(PVD), 원자 층 증착(ALD), 원자 층 에피택시(ALE) 또는 이들의 조합에 의하여 증착된다. 폴리실리콘층(30)은 약 650℃ 내지 약 800℃ 범위, 바람직하게는 약 700℃ 내지 약 750℃ 사이의 온도에서 급속 열 CVD 공정을 이용하여 증착되는 것이 바람직하다. RT-CVD 공정 중에, 폴리실리콘층(30)의 그레인 크기의 변동을 유도하기 위하여 온도가 변동될 수 있다. 예를 들어, 평균적인 폴리실리콘 그레인 크기는 710℃보다 큰 720℃일 때, 약 50Å 이상 클 수 있다. 일반적으로, 폴리실리콘층(30)은 약 100Å 내지 약 10,000Å 범위, 바람직하게는 약 500Å 내지 약 2,500Å 범위, 보다 바람직하게는 약 750Å 내지 약 1500Å 범위의 두께로 증착된다. 이중층 폴리실리콘은 또한 RT-CVD 공정을 이용하여 증착될 수 있다. 폴리실리콘층(30)은 일반적으로 다결정 실리콘이지만, 게르마늄 및/또는 탄소와 같은 다른 원소들을 포함할 수 있다. 따라서, 폴리실리콘층(30)은 Si, SiGe, SiC 또는 SiGeC를 포함할 수 있다. 몇몇 실시예에서, 폴리실리콘층은 얇은 지름을 갖는 원주형의 구조 또는 하부의 마이크로 그레인과 상부의 원주형 층을 포함하는 이중층 구조의 조합을 가질 수 있다.

[0020] 유전체층들 및/또는 폴리실리콘층들을 증착하기 위해 사용될 수 있는 하드웨어는 캘리포니아 산타 클라라에 위치한 Applied Materials, Inc.에 의해 제공가능한 Epi Centura[?] 및 PolyGen[?] 시스템을 포함한다. 산화물들의 성장에 유용한 RT-CVD 챔버는 캘리포니아 산타 클라라에 위치한 Applied Materials, Inc.에 의해 제공가능한 Radiance[?] 시스템이다. 높은 k 층들 및/또는 폴리실리콘층들을 증착하기 위해 사용될 수 있는 ALD 장치는 공동으로 양도된 미국특허 공개번호 제20030079686호에 개시되어 있으며, 이는 본 발명을 설명하기 위한 목적으로 본 명세서에 참조된다. 종래 본 발명이 속하는 기술 분야에 알려진 바와 같이, 다른 장치들은 배치(batch), 고온 퍼니스(high-temperature furnace)를 포함한다.

[0021] 단계(120)는 원소성 도펀트들(31)로 폴리실리콘층(30)을 도핑하는 단계를 포함한다. 도 1c는 폴리실리콘층(30)의 상부(32)에서 원소성 도펀트들(31)을 도시한다. 원소성 도펀트들은 대략 단일 원자 층으로부터 약 150Å 범위, 바람직하게는 약 70Å의 깊이에서 폴리실리콘층(30)의 상부(32)를 관통한다. 원소성 도펀트들은 붕소, 비소, 인, 갈륨, 안티몬, 인듐 또는 이들의 조합물을 포함할 수 있다. 원소성 도펀트들은 폴리실리콘층(30)에서 약 1×10¹⁹ atoms/cm³ 내지 약 1×10²¹ atoms/cm³ 범위의 농도를 갖는다. 일 실시예에서, 폴리실리콘층(30)은 약

1×10^{19} atoms/cm³ 내지 약 1×10^{21} atoms/cm³, 바람직하게는 약 1×10^{20} atoms/cm³ 내지 약 5×10^{20} atoms/cm³ 범위에서의 농도로 붕소의 이온 주입에 의해 p 타입으로 도핑된다. 다른 실시예에서, 폴리실리콘층(30)은 약 1×10^{19} atoms/cm³ 내지 약 1×10^{21} atoms/cm³, 바람직하게는 약 1×10^{20} atoms/cm³ 내지 약 5×10^{20} atoms/cm³ 범위에서의 농도로 인의 이온 주입에 의해 n⁺ 타입으로 도핑된다. 다른 실시예에서, 폴리실리콘층(30)은 약 1×10^{15} atoms/cm³ 내지 약 1×10^{19} atoms/cm³ 범위에서의 농도로 비소 또는 인의 확산에 의하여 n⁻ 타입으로 도핑된다.

[0022] 공동으로 양도된 미국특허 제6,583,018호에 개시되어 있는 바와 같이 도펀트들은 이온 주입 공정을 이용하여 주입될 수 있고, 상기 문헌은 본 장치를 설명하기 위한 목적으로 본 명세서에 참조된다. 본 발명의 실시예들에 유용한 이온 주입 장치는 약 5KeV 이하, 바람직하게는 약 3 KeV 이하의, 매우 낮은 주입 에너지를 이용하여 이온을 주입하는 것이 가능하다. 본 발명의 실시예들에서 유용한 두 이온 주입 장치들은 캘리포니아 산타 클라라에 위치한 Applied Materials, Inc.에 의해 제공가능한 Quantum III⁷ 시스템 및 임플란트 xR LEAP⁷ 시스템으로 제조되고 판매된다. 붕소는 약 3KeV의 설정 에너지 및 약 1×10^{15} atoms/cm² 내지 약 1×10^{15} atoms/cm² 범위에서의 설정 도즈량(dose)을 이용하여 주입될 수 있다. 일 실시예에서, 붕소는 약 4×10^{15} atoms/cm²에서 주입된다. 다른 실시예에서, 붕소는 약 8×10^{15} atoms/cm²에서 주입된다.

[0023] 단계(130) 중에, 기판은 열 어닐링 공정에 노출되어, 상부(32)로부터의 원소성 도펀트(31)가 폴리실리콘층(30)을 통해 확산 분포되어 도핑된 폴리실리콘층(34)을 형성한다. 바람직한 어닐링 공정은 약 2초 내지 약 20초, 바람직하게는 약 5초 내지 10초의 범위 내에서 지속되는 급속 열 어닐링(RTA) 공정이다. RTA 공정 동안, 기판은 약 800℃ 내지 약 1400℃, 바람직하게는 약 1,000℃ 내지 약 1,200℃ 범위의 온도로 가열된다. RTA 공정의 일 실시예에서, 기판은 약 5초간 약 1,000℃로 가열된다. RTA 공정 동안의 온도와 시간의 정확한 조합은 원소성 도펀트들(31)이 도 1d에 도시된 바와 같이, 소자 내의 인접한 피쳐들을 오염시키지 않고 폴리실리콘층(30)을 통하여 분포되게 한다. 본 명세서에서 설명되는 RTA 공정 중에 사용되는 공정 챔버는 캘리포니아 산타 클라라에 위치한 Applied Materials, Inc.에 의해 제공가능한 Centura RTP⁷이다.

[0024] 단계(140) 중에, 도핑된 폴리실리콘층(34)은 동적 표면 어닐링(DSA) 공정에 의하여 레이저 어닐링된다. 원소성 도펀트들(31) 및 도핑된 폴리실리콘층(34)내의 실리콘은 도 1e에 도시된 바와 같이 DSA 공정 동안에 활성화된 도핑된 폴리실리콘층(36)을 형성하기 위하여 활성화된다. 폴리실리콘층의 결정 격자 내의 원자 사이트들은 도펀트 원자들(33)로 교체된다. 따라서, 결정 격자, 일반적인 실리콘은 붕소, 비소, 인 또는 본 명세서에 개시된 다른 도펀트들과 같이 주입되는 도펀트 원소들(33)을 개방시켜 통합시킨다.

[0025] 도핑된 폴리실리콘층(34)은 DSA 공정 동안 실제로는 액체로 변하지 않지만 거의 녹는 점 가까이 가열된다. 도핑된 폴리실리콘층(34)은 약 1,000℃ 내지 약 1,415℃ 범위, 바람직하게는 약 1,050℃ 내지 약 1,400℃ 범위의 온도로 가열된다. 도펀트 확산은 피쳐 내에서 다른 재료들의 오염을 야기하기 쉽기 때문에, 다결정 실리콘의 녹는 점 이상의 온도(약 1,415℃)는 바람직하지 않다. 도핑된 다결정 층은 400ohms/cm² 미만의 전기적 비저항을 가진다. 층은 DSA 공정 중에 약 500밀리초 미만, 바람직하게는 100밀리초 미만 동안 기판에 노출될 수 있다. DSA 공정은 캘리포니아 산타 클라라에 위치한 Applied Materials, Inc.에 의해 제공가능한 DSA 플랫폼상에 수행될 수 있다. 일반적으로 레이저는 10.6μm 또는 0.88μm의 선택 파장을 가지는 빛을 방출한다.

[0026] 도 3a-3c는 게이트 스택 구조를 형성하기 위하여 본 명세서의 일 실시예에서 도시된 폴리실리콘 재료의 증착을 도시한다. 유전체층(204)은 도 3a의 횡단면에 도시된 바와 같이 기판(200)상에 증착된다. 도시되진 않았지만, 기판(200)은 도핑된 영역들을 포함하는 다양한 피쳐들을 포함할 수 있다. 유전체층(204)은 기판(200)상에 증착된다. 기판(200)은 션로우 트렌치 절연부(STIs: shallow trench isolations)(202)를 더 포함한다. 일반적으로 STI들(202)은 기판(200)속으로 에칭된 트렌치들의 측벽을 산화시키고, 그 후 고밀도 플라즈마 CVD 산화물로 트렌치들을 채움으로써 형성된다.

[0027] 도 3b는 유전체층(204) 및 STI(202)상에 증착된 폴리실리콘층(206)을 도시한다. 폴리실리콘층(206)은 화학 기상 증착(CVD), 급속 열 CVD(RT-CVD), 플라즈마 강화 CVD(PE-CVD), 물리적 기상 증착(PVD), 원자 층 증착(ALD) 또는 이들의 조합에 의하여 증착될 수 있다. 일 실시예에서, 폴리실리콘층(206)은 약 650℃ 내지 약 800℃의 범위, 바람직하게는 약 700℃ 내지 약 750℃ 범위의 온도에서 RT-CVD 공정을 이용하여 증착된다. 일반적으로 폴리실리콘층(206)은 약 100Å 내지 약 10,000Å 범위, 바람직하게는 약 500Å 내지 약 2,500Å 범위, 더 바람직하게는 약 750Å 내지 약 1,500Å 범위의 두께로 증착된다. 일반적으로 폴리실리콘층(206)은 다결정 실리콘

이지만, 게르마늄 및/또는 탄소와 같은 다른 원소들을 포함할 수도 있다. 그러므로, 폴리실리콘층(206)은 Si, SiGe, SiC 또는 SiGeC를 포함할 수 있다.

[0028] 도 3c에 도시된 바와 같이, 폴리실리콘층(206)은 패터닝된 폴리실리콘(208)을 형성하기 위하여 패터닝 및 에칭된다. 폴리실리콘층(206)은 에칭되기에 앞서 도핑될 수 있으나, 일반적으로 패터닝된 폴리실리콘(208)이 형성된 후 도핑된다. 패터닝된 폴리실리콘(208)은 도핑, 어닐링되고, 및/또는 오프셋(offset) 스페이서(미도시)와 같이 그 상부에 더 많은 층들이 증착될 수 있다. 일 실시예에서, 패터닝된 폴리실리콘은 오프셋 스페이서의 증착을 이용하여 캡슐화되고, 그 후 주입된 도펀트들을 활성화시키기 위하여 RTA 어닐링 공정에 노출되며 DSA 공정에 노출되는 이온 주입 공정으로 도핑될 수 있다.

[0029] 실현

[0030] 도핑된 다결정 실리콘 게이트 전극을 시물레이션하기 위하여, 표 1에 도시된 바와 같이, 다결정 실리콘은 실리콘 옥시질화물 게이트 유전체층을 포함하는 8개의 기판(기판 A-H)상에 증착된다. 기판들은 15-20Ω-cm의 비저항을 가지는 300mm의 p 타입(붕소가 도핑됨) 실리콘 웨이퍼들이다. 기판들은 프리 게이트 클리닝에 노출되고, 다음 급속 열 산화 공정의 노출이 이루어진다. SiO₂ 박막은 약 20Å 두께로 형성된다. SiO₂ 박막은 분리된 플라즈마 질화에 의하여 플라즈마 질화되어, 약 1×10¹⁵ atoms/cm²의 질소 농도가 형성된다. 모든 기판들은 실리콘 산화물에 질소를 더욱 철저히 접촉시키고 표면 인터페이스를 개선하기 위하여, 포스트 질화 어닐링에 노출된다.

[0031]

기판	Poly-Si(°C)	[B](×10 ¹⁵)	RTA	DSA
A	710	4	x	
B	710	4	x	x
C	720	4	x	
D	720	4	x	x
E	710	8	x	
F	710	8	x	x
G	720	8	x	
H	720	8	x	x

[0032] 표 1

[0033] 다결정 실리콘은 단일 웨이퍼의 급속 열 CVD 챔버로 각각의 기판상에 약 1,000Å의 두께로 증착된다. 평균 폴리 그레인 크기는 변화된다. 폴리실리콘 재료는 제1 그레인 크기를 형성하기 위하여 710°C에서 기판(A, B, E 및 F)상에 증착되는 반면, 폴리실리콘은 더 큰 크기의 그레인을 생산하기 위하여 720°C에서 기판(C, D, G 및 H)상에 증착된다. 붕소가 3KeV의 에너지 및 4×10¹⁵ atoms/cm²로 설정되는 도즈량으로 기판(A-D)에 주입되고, 8×10¹⁵ atoms/cm²로 설정되는 도즈량으로 기판(E-H)에 주입된다. 모든 기판들은 약 1,000°C에서 종래의 RTA 공정을 행한다. 기판(B, D, F 및 H)은 1,350°C에서 DSA 공정에 의하여 레이저 어닐링된다.

[0034] 결과적인 구조의 시트 저항(Rs) 및 스프레딩 저항(spreading resistance)이 캐리어 농도 및 활성화를 평가하기 위하여 측정된다. 도펀트(붕소) 프로파일들은 제2차 이온 질량 분광기(SIMS: secondary ion mass spectroscopy)에 의하여 분석된다. 다결정 구조는 엑스레이 회절 분광기(XRD: x-ray diffraction spectroscopy) 및 횡단면 투과형 전자 현미경(TEM: cross section transmission electron microscopy)를 이용하여 분석될 수 있다.

[0035] 레이저 어닐링은 오로지 도펀트 농도 증가에 의하여 달성되는 것보다 더욱 시트 저항을 감소시킨다. 예를 들어, 도펀트 농도를 두 배로 하면 시트 저항이 약 10%까지 감소된다. 그러나, 도펀트 농도를 4×10¹⁵ atoms/cm²에서 유지하면서, DSA 공정에 노출된 기판들의 시트 저항은 40%만큼 감소된다. 시트 저항은 기판상에 2배의 도펀트 농도 및 DSA 공정에의 노출에 의하여 50%만큼 감소된다. 폴리 그레인 구조는 시트 저항에 영향력을 덜 받는다. 720°C에서 증착된 폴리실리콘은 710°C에서 증착된 폴리실리콘보다 시트 저항 퍼센티지가 낮다. 레이저 어닐링은 추가 도펀트 확산, 폴리 그레인 구조의 변경 및 도펀트 활성화의 증가와 같은 적어도 3가지 메커니즘을 통하여 시트 저항을 감소시킨다.

[0036] SIMS에 의한 더 이상의 추가 도펀트 확산이 관찰되지 않았다. 도펀트는 RTA 공정에 의하여 완전하게 확산되어, 레이저 어닐링 공정 후 더 이상의 변화는 발생하지 않는다. 단 몇 밀리초 동안이라는 제한 시간 동안 웨이퍼상

의 각각의 포인트에 레이저가 조사되어, 도펀트는 높은 온도에도 불구하고 확산될 수 있다. 폴리실리콘 그래인 구조는 레이저 어닐링 공정 후에 몇 가지 사소한 변화를 보인다. XRD 분석은 DSA 공정 후에 그래인 크기가 361 Å에서 370Å로 9Å 증가됨을 나타낸다. TEM 이미지들은 원주형 구조들이 잘 유지됨을 보였으나, 그래인 구조는 다소 더욱 결정성을 나타낸다. 그래인 구조의 변화는 낮은 시트 저항에 공헌해 왔다. 그러나, 실리콘의 녹는 점 이상의 레이저 어닐링을 이용하여 일어날 수 있는 소자 수율을 위협하는 뚜렷한 그래인 크기의 증가가 이루어지지 않는다.

[0037] 스프레딩 저항 프로파일들은 캐리어 농도가 폴리실리콘을 통한 레이저 어닐링 온도를 이용하여 증가되었음을 보인다. 도펀트 활성화 증가는 폴리실리콘과 옥시질화물층 사이에 인터페이스에서 특히 크다. 높은 캐리어 농도는 폴리-고갈을 감소시킨다. 레이저 어닐링은 도펀트 활성화의 증가를 통하여 시트 저항을 감소시킬 수 있다. 요컨대, 높은 온도의 레이저 어닐링은 폴리실리콘 박막에서 더 많은 캐리어들을 만들어낸다.

[0038] 앞서 본 발명의 실시예들을 설명하였지만, 본 발명의 원칙이나 사상에서 벗어나지 않으면서 본 실시예를 변형할 수 있을 것이며, 발명의 범위는 첨부된 청구항에 의해 정해될 것이다.

도면의 간단한 설명

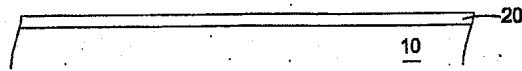
[0012] 도 1a-1e는 게이트 스택 구조 내에서 층들의 단계적 형성을 도시하고.

[0013] 도 2는 게이트 스택 내에서 도핑된 다결정층을 증착하는 과정을 도시하는 흐름도이며,

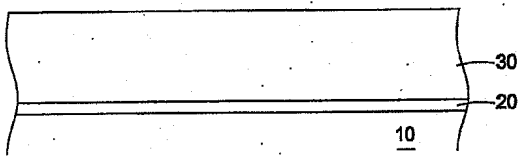
[0014] 도 3a-3c는 게이트 스택 구조 내에서 층들의 형성을 도시한다.

도면

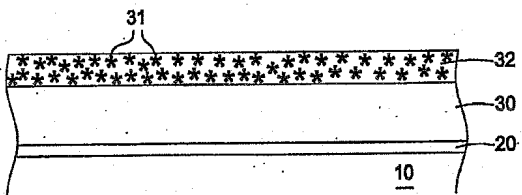
도면1a



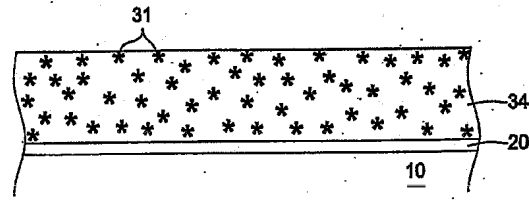
도면1b



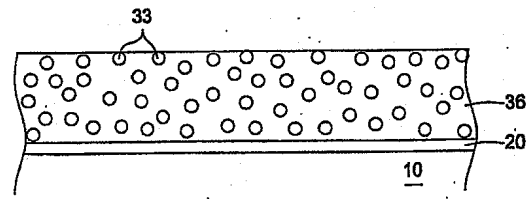
도면1c



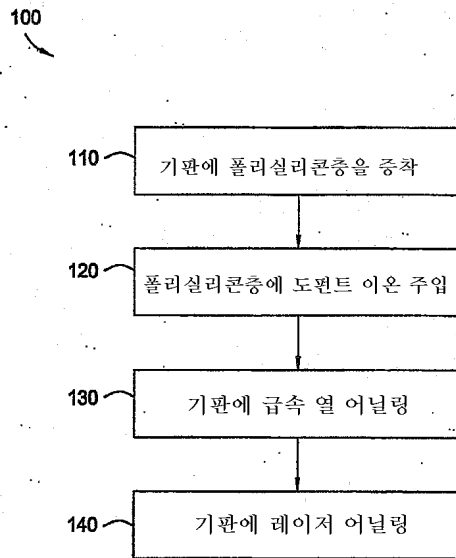
도면1d



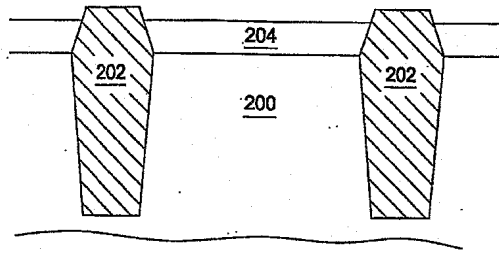
도면1e



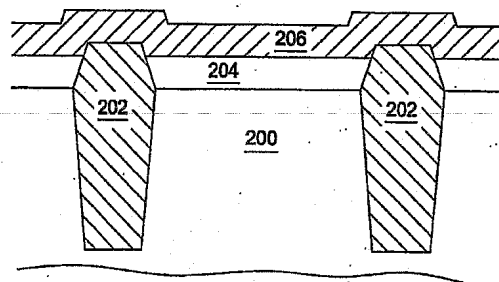
도면2



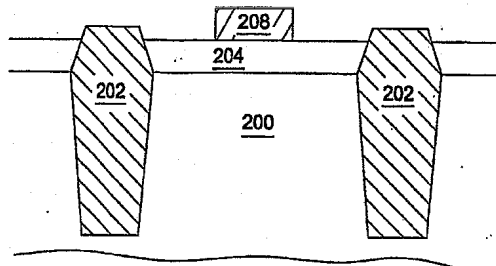
도면3a



도면3b



도면3c



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 22의 둘째 줄

【변경전】

상기 온도는

【변경후】

온도는

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 21의 둘째 줄

【변경전】

상기 온도는

【변경후】

온도는