

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-89152

(P2009-89152A)

(43) 公開日 平成21年4月23日(2009.4.23)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 17/08 (2006.01)	H03K 17/08	Z 5H740
H03K 17/56 (2006.01)	H03K 17/56	Z 5J055
H02M 1/00 (2007.01)	H02M 1/00	H

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願2007-257672 (P2007-257672)
 (22) 出願日 平成19年10月1日 (2007. 10. 1)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (71) 出願人 504136878
 東芝ディスクリットテクノロジー株式会社
 神奈川県川崎市幸区堀川町580番地 ソ
 リッドスクエアビル西館9階
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 沼野 優
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

最終頁に続く

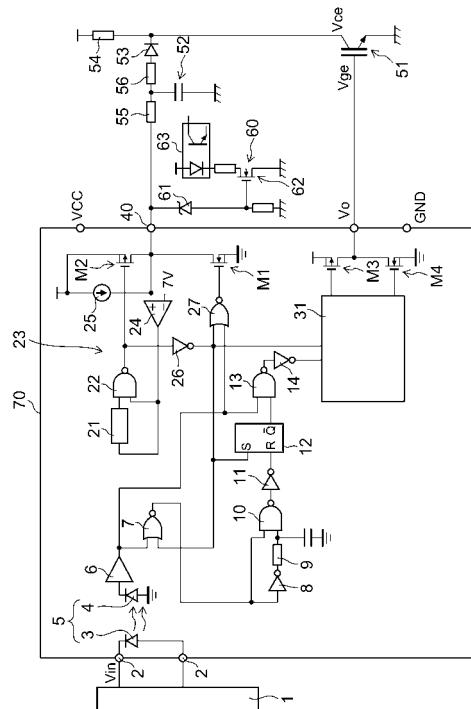
(54) 【発明の名称】 ドライバ装置

(57) 【要約】

【課題】トランジスタの異常動作検出と異常信号出力の両機能を備えつつも小型化が図れるドライバ装置を提供する。

【解決手段】外部からの入力信号を受けてトランジスタを駆動制御するドライバ回路と、トランジスタのコレクタに接続されたセンス端子と、センス端子の電位と閾値電圧とを比較するコンパレータと、コンパレータの出力に基づいてセンス端子の電位を保持するラッチ回路と、コンパレータの出力に基づいてタイマー動作を開始するとともに所定時間経過後にセンス端子の電位の保持を解除するためのリセット信号をラッチ回路に出力するタイマー回路とを有し、センス端子の電位に基づいてトランジスタの異常動作を検出するセンス回路と、センス端子に接続され閾値電圧と同じかそれより高い電圧で動作し、異常信号を出力する異常信号出力回路とを備えている。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

外部からの入力信号を受けてトランジスタを駆動制御するドライバ回路と、
前記トランジスタのコレクタに接続されたセンス端子と、前記センス端子の電位と閾値電圧とを比較するコンパレータと、前記コンパレータの出力に基づいて前記センス端子の電位を保持するラッチ回路と、前記コンパレータの出力に基づいてタイマー動作を開始するとともに所定時間経過後に前記センス端子の電位の保持を解除するためのリセット信号を前記ラッチ回路に出力するタイマー回路とを有し、前記センス端子の電位に基づいて前記トランジスタの異常動作を検出するセンス回路と、

前記センス端子に接続され、前記閾値電圧と同じかそれより高い電圧で動作し、異常信号を出力する異常信号出力回路と、
を備えたことを特徴とするドライバ装置。

【請求項 2】

前記異常信号出力回路は、カソードが前記センス端子に接続され、前記閾値電圧と同じかそれより高い逆方向電圧で降伏するダイオードを有することを特徴とする請求項 1 記載のドライバ装置。

【請求項 3】

前記トランジスタの異常動作が検出されると、前記トランジスタの制御電位を緩やかに低下させるソフトシャットダウン回路をさらに備えたことを特徴とする請求項 1 または 2 に記載のドライバ装置。

【請求項 4】

前記リセット信号が出力されたとき前記入力信号がオン状態である場合には、前記入力信号がオフ状態になるのを待ってから、前記センス端子の電位は前記閾値電圧よりも低いローレベルにリセットされることを特徴とする請求項 1 ~ 3 のいずれか 1 つに記載のドライバ装置。

【請求項 5】

前記入力信号を光信号に変換し、その光信号を再度電気信号に変換して前記ドライバ回路に出力するフォトプラをさらに備えたことを特徴とする請求項 1 ~ 4 のいずれか 1 つに記載のドライバ装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、トランジスタの異常動作検出及び保護機能付きのドライバ装置に関する。

【背景技術】**【0002】**

パワーエレクトロニクス用途に用いられる IGBT (Insulated Gate Bipolar Transistor) などのパワートランジスタを駆動制御するドライバ装置には、IGBT の負荷の短絡等による過大電流を防止する保護回路を備えたものがある (例えば、特許文献 1)。

【0003】

そのような保護回路を内蔵した半導体パッケージ品には、入力信号端子、電源端子、グランド端子などの他に、トランジスタの異常動作に基づく信号が入力される異常検出端子、異常信号を外部の例えばマイクロコンピュータ等に出力するための出力端子が必要となり、端子数の増大は、近年半導体パッケージ品に求められている小型化の妨げになる。

【特許文献 1】特開 2006 - 295326 号公報

【発明の開示】**【発明が解決しようとする課題】****【0004】**

本発明は、トランジスタの異常動作検出と異常信号出力の両機能を備えつつも小型化が図れるドライバ装置を提供する。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 0 5 】

本発明の一態様によれば、外部からの入力信号を受けてトランジスタを駆動制御するドライバ回路と、前記トランジスタのコレクタに接続されたセンス端子と、前記センス端子の電位と閾値電圧とを比較するコンパレータと、前記コンパレータの出力に基づいて前記センス端子の電位を保持するラッチ回路と、前記コンパレータの出力に基づいてタイマー動作を開始するとともに所定時間経過後に前記センス端子の電位の保持を解除するためのリセット信号を前記ラッチ回路に出力するタイマー回路とを有し、前記センス端子の電位に基づいて前記トランジスタの異常動作を検出するセンス回路と、前記センス端子に接続され、前記閾値電圧と同じかそれより高い電圧で動作し、異常信号を出力する異常信号出力回路と、を備えたことを特徴とするドライバ装置が提供される。

10

【 発明の効果 】

【 0 0 0 6 】

本発明によれば、トランジスタの異常動作検出と異常信号出力の両機能を備えつつも小型化が図れるドライバ装置が提供される。

【 発明を実施するための最良の形態 】

【 0 0 0 7 】

以下、図面を参照し、本発明の実施形態について説明する。以下に説明する実施形態では、異常動作検出対象のトランジスタとしては、例えば I G B T (Insulated Gate Bipolar Transistor) を一例に挙げて説明する。

【 0 0 0 8 】

20

[第 1 の実施形態]

図 1 は、本発明の第 1 の実施形態に係るドライバ装置を示す回路図である。図 1 において、符号 7 0 で示される実線で囲まれた部分はひとつのパッケージ体としてパッケージングされており、そのパッケージ体 7 0 の外部には、入力信号 V_{in} の入力端子 2、電源端子 V_{cc} 、グランド端子 GND 、センス端子 4 0、ドライバ装置の出力端子 V_o の各端子が導出されている。

【 0 0 0 9 】

本実施形態に係るドライバ装置は、主として、I G B T 5 1 を駆動制御するドライバ回路 3 1 と、I G B T 5 1 の異常動作を検出するセンス回路 2 3 と、異常信号を外部に出力する異常信号出力回路 6 0 とを備えている。

30

【 0 0 1 0 】

ドライバ回路 3 1 は、例えば M O S F E T (Metal-Oxide-Semiconductor Field Effect Transistor) などのスイッチング素子 M_3 、 M_4 のゲートに接続され、スイッチング素子 M_3 、 M_4 はドライバ回路 3 1 からの制御信号によりオン/オフされる。スイッチング素子 M_3 、 M_4 は、電源とグランドとの間に直列接続され、それら両者の接続ノードは出力端子 V_o を介して I G B T 5 1 のゲートに接続されている。I G B T 5 1 のコレクタは抵抗 5 4 を介して電源に接続され、エミッタはグランドに接続されている。

【 0 0 1 1 】

また、I G B T 5 1 のコレクタは、コレクタ側から見て逆方向接続されたダイオード 5 3、抵抗 5 6、5 5 を介して、本実施形態に係るドライバ装置が具備するセンス回路 2 3 のセンス端子 4 0 に接続されている。センス回路 2 3 は、その他に、コンパレータ 2 4、ラッチ回路 2 2、タイマー回路 2 1 などとを有する。

40

【 0 0 1 2 】

コンパレータ 2 4 の一方の入力端子はセンス端子 4 0 と接続されている、コンパレータ 2 4 は、センス端子 4 0 の電位 (以下、単にセンス電位とも称する) と、他方の入力端子に入力する閾値電圧 V_{th} (例えば 7 V) とを比較する。コンパレータ 2 4 の出力はラッチ回路 2 2 に入力する。また、コンパレータ 2 4 の出力はタイマー回路 2 1 にも入力し、タイマー回路 2 1 の出力はラッチ回路 2 2 に入力する。タイマー回路 2 1 は、例えばクロック発生器と、このクロック発生器が発生するクロック信号をカウントするカウンターを有する。

50

【 0 0 1 3 】

また、例えばM O S F E Tなどのスイッチング素子M 1、M 2が電源とグランド間に直列接続され、それら両者の接続ノードは、センス端子4 0とコンパレータ2 4の入力端子との間を接続するラインに接続されている。また、そのラインには内部定電流源2 5の出力側が接続されている。

【 0 0 1 4 】

ラッチ回路2 2の出力はスイッチング素子M 2のゲートに入力される。また、ラッチ回路2 2の出力は、論理回路2 6、2 7を介してスイッチング素子M 1のゲートに入力される。さらに、ラッチ回路2 2の出力はドライバ回路3 1にも入力される。

【 0 0 1 5 】

I G B T 5 1のコレクタとセンス端子4 0とを結ぶラインにおいて、抵抗5 5と抵抗5 6との接続ノードと、グランドとの間にはコンデンサ5 2が接続されている。

【 0 0 1 6 】

センス端子4 0と抵抗5 5とを結ぶラインには、異常信号出力回路6 0が接続されている。異常信号出力回路6 0は、ツェナーダイオード6 1、トランジスタカプラ6 3、トランジスタカプラ6 3とグランドとの間に接続された例えばM O S F E Tなどのスイッチング素子6 2などを有する。ツェナーダイオード6 1のカソードは、センス端子4 0と抵抗5 5との間のラインに接続され、アノードは抵抗を介してグランドに接続されている。また、ツェナーダイオード6 1のアノードはスイッチング素子6 2のゲートに接続されている。

【 0 0 1 7 】

異常信号出力回路6 0とコンデンサ5 2は、それぞれパッケージ体7 0の外部で、センス端子4 0に接続している。I G B T 5 1は、パッケージ体7 0の外部でドライバ装置の出力端子V oに接続している。

【 0 0 1 8 】

入力端子2は、パッケージ体7 0の外部に設けられたマイクロコンピュータ1に接続されている。マイクロコンピュータ1はドライバ回路3 1を制御するための入力信号V i nを与えると同時に、図1に示す各構成を含むシステム全体を制御する。

【 0 0 1 9 】

マイクロコンピュータ1側（一次側）と、ドライバ回路3 1やセンス回路2 3などの二次側とは電氣的に絶縁されており、フォトカプラ5を介して、一次側の信号が二次側に伝達される。フォトカプラ5は、入力端子2に接続され、入力信号V i nを光信号に変換して出力する発光素子3（発光ダイオード等）と、発光素子3から発せられる光信号を電気信号に変換する受光素子4（フォトダイオードやフォトトランジスタ等）とを有する。受光素子4が出力する電気信号は、論理回路6 ~ 1 4などを介してドライバ回路3 1に入力される。

【 0 0 2 0 】

フォトカプラ5はパッケージ体7 0の内部に収められ、パッケージ体7 0によってフォトカプラ5に対する外部からの光（発光素子3以外からの光）が遮断される。

【 0 0 2 1 】

次に、図1に示す回路における主要ノード波形を示す図2を参照しつつ、本実施形態に係るドライバ装置の動作について説明する。

【 0 0 2 2 】

まず、正常動作時について説明すると、入力信号V i nがハイレベル（オン状態）のとき、ドライバ回路3 1はスイッチング素子M 3をオンにし、スイッチング素子M 4をオフにし、これによりI G B T 5 1の制御電位（ゲート電位）V g eがハイレベルとなり、I G B T 5 1はオン状態になる。

【 0 0 2 3 】

この正常動作時、センス端子4 0の電位（センス電位）は、閾値電圧V t h（例えば7 V）より小さいローレベルとなり、異常は検出されない。センス電位が閾値電圧V t h以

10

20

30

40

50

上になると、IGBT51が異常動作していると検出する。

【0024】

なお、IGBT51がオフからオンに移行する時に、IGBT51のコレクタ電位 V_{ce} が一時上昇するが、そのときコレクタ電位 V_{ce} が閾値電圧 V_{th} 以上になると、正常動作しているにもかかわらず異常として誤って検出してしまう。しかし、本実施形態では、外付けコンデンサ52の容量と内部定電流源25とで規定されるブランキングタイム(Blanking Time)により、IGBT51のオン状態への移行過渡期にセンス電位が閾値電圧 V_{th} を超えてしまうのを防ぐことができる。

【0025】

次に、異常が発生した場合の動作について説明する。

【0026】

例えばIGBT51の負荷が短絡すると、IGBT51のコレクタ電位 V_{ce} がローレベルに下がらなくなる。そして、内部定電流源25から供給される電流はセンス端子40を介してコンデンサ52に充電され、センス端子40の電位(センス電位)は前述したブランキングタイムにしたがって上昇していく。

【0027】

コンパレータ24は、センス電位と閾値電圧 V_{th} とを比較してラッチ回路22に出力しており、センス電位が閾値電圧 V_{th} に達するとコンパレータ24の出力を受けたラッチ回路22は、ドライバ回路31に信号を出力する。この信号を受け、ドライバ回路31は、スイッチング素子M3をオフ、スイッチング素子M4をオンにする。これにより、IGBT51のゲートがグランドにつながり、ゲート電位 V_{ge} がローレベルに低下してIGBT51はオフ状態に(シャットダウン)される。この結果、IGBT51に過大な電流が流れることによる破壊を防ぐことができる。

【0028】

ここで、異常信号出力回路60のツェナーダイオード61は、閾値電圧 V_{th} と同じかそれより高い逆方向電圧で降伏する。また、センス電位が閾値電圧 V_{th} に達すると、ラッチ回路22はスイッチング素子M2をオフ状態からオン状態に切り替える。このとき、スイッチング素子M1はオフ状態である。したがって、センス端子40の電位が閾値電圧 V_{th} に達すると、スイッチング素子M2を介して電源電流がツェナーダイオード61の逆方向に流れ、異常信号出力回路60のスイッチング素子62がオン状態となり、異常信号出力回路60が動作する。このとき、異常信号出力回路60は、異常信号(Fault信号)をマイクロコンピュータ1に出力し、この異常信号を受けてマイクロコンピュータ1はシステム全体をシャットダウンさせることができる。

【0029】

前述した異常検出動作中、ラッチ回路22の出力信号に基づいてスイッチング素子M1はオフ状態とされている。したがって、センス端子40の電位(センス電位)は、コンデンサ52にチャージされた電荷に基づいた、ある所定の電位(閾値電圧 V_{th} 以上の電位)に保持(ラッチ)される。

【0030】

センス電位がその所定電位になると、そのときのコンパレータ24の出力を受けて、タイマー回路21は時間のカウントを開始し、そのカウント期間中、センス電位は閾値電圧 V_{th} 以上の電位に保持され、この期間中IGBT51は保護される。この構成によれば、マイクロコンピュータ1側からのシステムリセットがない場合でもIGBT51の保護動作が可能となる。

【0031】

また、カウンターを使用することで、通常モードへの自己復帰も可能となる。カウンターのカウントが終了すると、タイマー回路21はリセット信号をラッチ回路22に出力する。このリセット信号を受け、ラッチ回路22はスイッチング素子M2をオフにし、スイッチング素子M1をオンにする。スイッチング素子M1のオンにより、コンデンサ52のチャージ電荷はスイッチング素子M1を介してグランドに放電され、センス電位はローレ

10

20

30

40

50

ベルにリセットされる。

【0032】

センス電位が閾値電圧 V_{th} より小さくなることで異常検出は解除されるが、入力信号 V_{in} がハイレベルとなっているときにセンス電位がローレベル (0V) 近くまで十分低下していないと、IGBT51がターンオンした際にセンス電位が一時的に上昇して閾値電圧 V_{th} に達し、誤って異常状態を検出してしまうおそれがある。したがって、IGBT51の正常モードへの復帰によるターンオン前には、センス電位を0V近くにまで低下させておく必要がある。

【0033】

そこで、本実施形態では、上記リセット信号が出力されたとき、入力信号 V_{in} がハイレベル (オン状態) である場合には、入力信号 V_{in} がローレベル (オフ状態) になるのを待ってから、スイッチング素子 $M1$ をオンにしてセンス電位のリセットを開始するようにしている。上記リセット信号が出力されたとき、入力信号 V_{in} がローレベルである場合には、入力信号 V_{in} がローレベルになるのを待つまでもなく、スイッチング素子 $M1$ をオンにしてセンス電位のリセットを開始する。

【0034】

センス電位がローレベルにリセットされた後の最初の入力信号 V_{in} のオンパルスで、IGBT51の動作が再開される。

【0035】

正常動作に移行後、さらに異常検出が続いて上記動作が繰り返される場合、短絡時の電圧/電流による過大パワーの印加期間は短くても次第に熱が積分されIGBT51が過熱し破壊するおそれがあるため、異常信号出力回路60から異常信号 (FAULT信号) のフィードバックを受けたマイクロコンピュータ1の処理によりシステム全体がシャットダウンされる。

【0036】

本実施形態によれば、センス端子40は、パッケージ体70外部の駆動制御対象トランジスタ (IGBT51) の動作異常に基づく信号が入力される端子として機能するだけでなく、検出した異常をパッケージ体70外部に出力する端子としても機能し、すなわち、センス端子40は異常検出端子と異常信号出力端子とを兼用しているため、その分、パッケージ体70が具備する端子数 (ピン数) の低減が図れ、結果として半導体部品全体の小型化につながる。特に、フォトブラ5のように外部のマイクロコンピュータ1との間で電氣的絶縁を確保しつつ信号伝達が可能な構成をパッケージ体70内に内蔵するものはサイズが大きくなりがちであるので、そのような半導体パッケージに対して本実施形態は非常に有効である。

【0037】

[第2の実施形態]

図3は、本発明の第2の実施形態に係るドライバ装置を示す回路図である。

図4は、図3に示す回路における主要ノード波形のタイミングチャートである。

なお、前述した第1の実施形態と同じ要素には同一の符号を付し、その詳細な説明は省略する。

【0038】

一部のIGBTは急激にオフさせるとラッチアップすることがある。そこで、本実施形態では、異常動作検出時に急にIGBTがオフになるのを防ぐため、IGBTのゲート電位を徐々に低下させるソフトシャットダウン回路36を設けている。

【0039】

ソフトシャットダウン回路36は、抵抗35と、例えばMOSFETなどのスイッチング素子 $M5$ を有する。スイッチング素子 $M5$ は、スイッチング素子 $M3$ とスイッチング素子 $M4$ との間の接続ノードと出力端子 V_o とを結ぶラインと、グランドとの間に、抵抗35を介して接続されている。スイッチング素子 $M5$ のゲートには、ドライバ回路33からの制御信号が出力される。ドライバ回路33の前段には、スイッチング素子 $M3$ 、 $M4$ 、

10

20

30

40

50

M 5 を制御するための制御回路 3 2 が設けられている。

【 0 0 4 0 】

前述したタイマー回路 2 1 によるカウント開始と同時に、スイッチング素子 M 5 をオンさせ、このときスイッチング素子 M 3 とスイッチング素子 M 4 は両方ともオフ状態にする。I G B T 5 1 のゲートにチャージされた電荷は抵抗 3 5 を介してグラウンドに放電されるので、ゲート電位を緩やかに低下させてオフへの過渡時間を大きくすることができる。

【 0 0 4 1 】

このシャットダウン回路 3 6 を設けるに際して、パッケージ体 7 0 の端子数の増大はまねかないので小型化の妨げにはならない。すなわち、本実施形態によれば、より付加価値の高い機能を小型化を図りつつ実現できる。

【 0 0 4 2 】

以上、具体例を参照しつつ本発明の実施形態について説明した。しかし、本発明は、それらに限定されるものではなく、本発明の技術的思想に基づいて種々の変形が可能である。

【 0 0 4 3 】

前述した実施形態では、異常動作検出および保護対象トランジスタとして I G B T を例に挙げて説明したが、本発明は例えば M O S F E T にも適用可能である。また、本発明は特にパワーエレクトロニクス用途のトランジスタに好適である。

【 図面の簡単な説明 】

【 0 0 4 4 】

【 図 1 】 本発明の第 1 の実施形態に係るドライバ装置を示す回路図。

【 図 2 】 図 1 に示す回路における主要ノード波形のタイミングチャート。

【 図 3 】 本発明の第 2 の実施形態に係るドライバ装置を示す回路図。

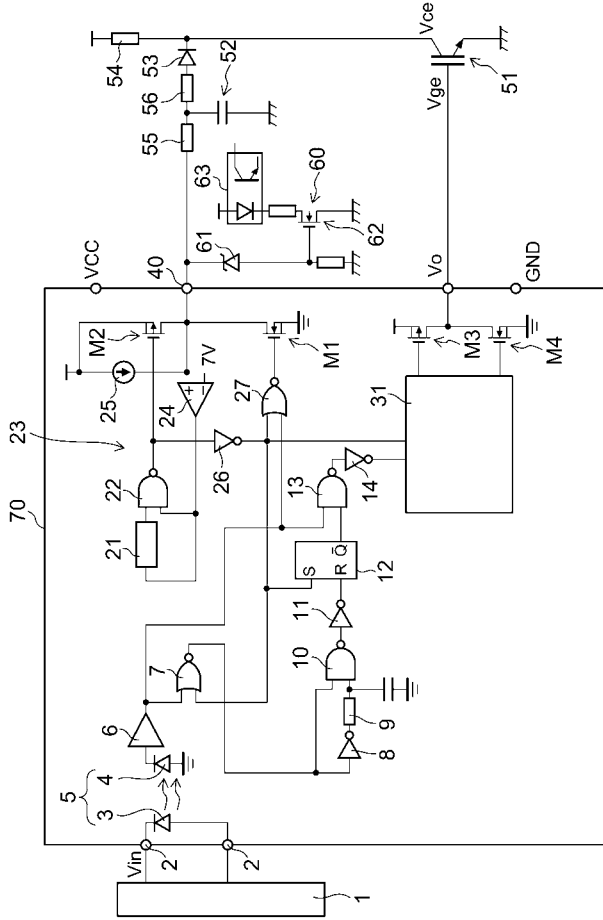
【 図 4 】 図 3 に示す回路における主要ノード波形のタイミングチャート。

【 符号の説明 】

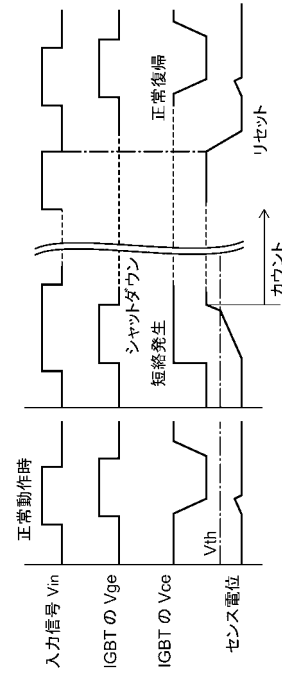
【 0 0 4 5 】

1 ... マイクロコンピュータ、 2 ... 入力端子、 5 ... フォトカプラ、 2 1 ... タイマー回路、 2 2 ... ラッチ回路、 2 3 ... センス回路、 2 4 ... コンパレータ、 2 5 ... 定電流源、 3 1 , 3 3 ... ドライバ回路、 3 6 ... ソフトシャットダウン回路、 4 0 ... センス端子、 5 2 ... コンデンサ、 5 1 ... I G B T、 6 0 ... 異常信号出力回路、 6 1 ... ツェナーダイオード

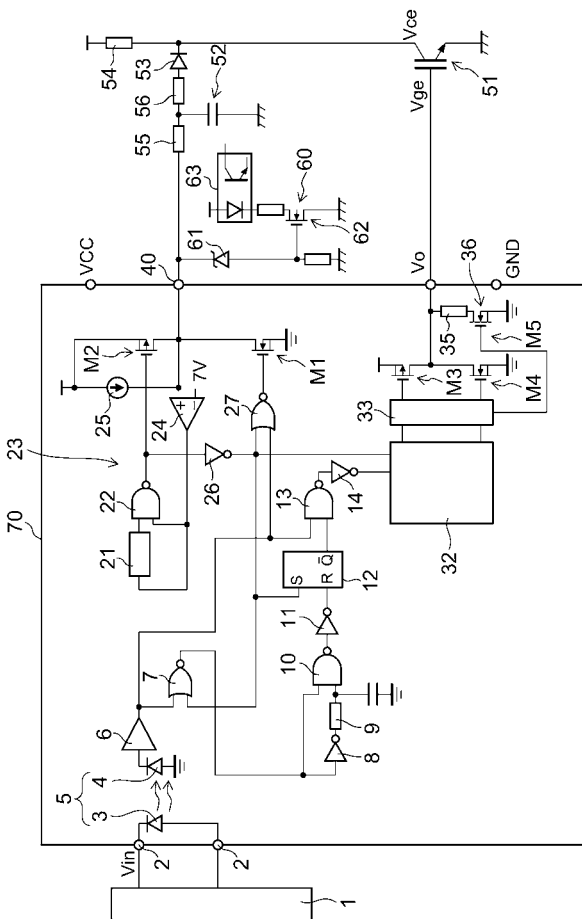
【図 1】



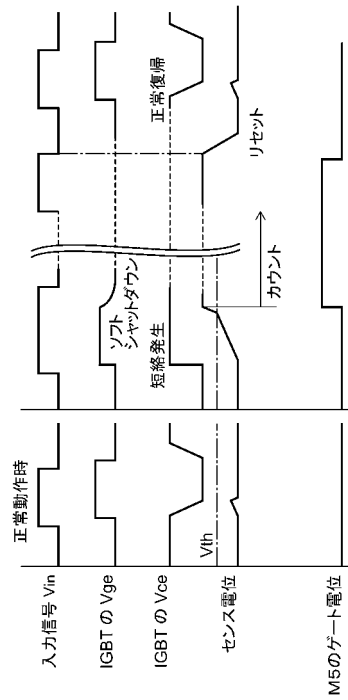
【図 2】



【図 3】



【図 4】



フロントページの続き

(72)発明者 杉本 隆

神奈川県川崎市幸区堀川町580番地 ソリッドスクエアビル西館9F 東芝ディスプレイテクノ
ロジー株式会社内

Fターム(参考) 5H740 BA11 BB07 BC01 BC02 JA01 JB01 KK08 MM11
5J055 AX37 AX44 BX16 CX07 DX09 DX22 DX56 DX62 DX72 DX73
DX82 DX83 EX02 EX07 EX30 EY01 EY10 EY12 EY14 EY21
EY28 EZ00 EZ01 EZ03 EZ07 EZ10 EZ25 EZ32 EZ34 FX05
FX12 FX20 FX37 FX38 GX01 GX02 GX04 GX05