

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 10 月 20 日 (20.10.2022)



(10) 国际公布号
WO 2022/217844 A1

(51) 国际专利分类号:
G11C 7/10 (2006.01)

(21) 国际申请号: PCT/CN2021/120526

(22) 国际申请日: 2021 年 9 月 26 日 (26.09.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110395656.8 2021 年 4 月 13 日 (13.04.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(72) 发明人: 张良 (ZHANG, Liang); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路6号4501房 (部位: 自编01-03和08-12单元) (仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: DATA TRANSMISSION CIRCUIT AND METHOD, AND STORAGE APPARATUS

(54) 发明名称: 数据传输电路、方法及存储装置

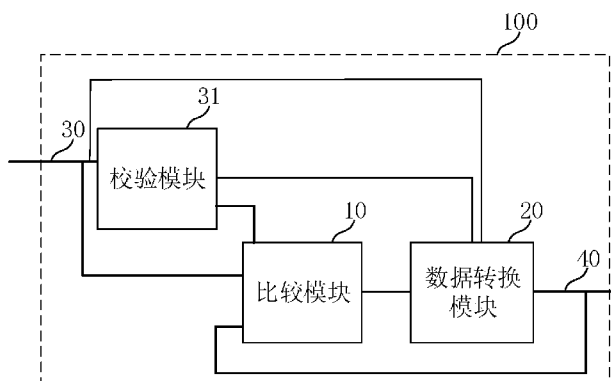


图 1

10 Comparison module
20 Data conversion module
31 Check module

(57) Abstract: The present application relates to a data transmission circuit and method, and a storage apparatus. The data transmission circuit comprises a check module, a comparison module, and a data conversion module, wherein the check module is used for generating check code data according to first data on a first data line, and combining the first data and the check code data into second data; the comparison module compares the second data with third data on a second data line according to the second data and the third data, and then outputs a comparison result indicating whether the number of bits at which the second data is different from the third data exceeds a preset threshold value; and the data conversion module inverts the second data and then transmits the converted second data to the second data line when the comparison result indicates that the number of bits exceeds the preset threshold value, or transmits the second data to the second data line when the comparison result indicates that the number of bits does not exceed the preset threshold value.

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请涉及一种数据传输电路、方法及存储装置, 所述数据传输电路包括校验模块、比较模块及数据转换模块, 校验模块用于根据第一数据线上的第一数据生成校验码数据, 并将第一数据和校验码数据组合成第二数据; 比较模块根据第二数据及所述第二数据线上的第三数据, 并将第二数据和第三数据进行比较, 输出第二数据与第三数据不相同的位数是否超过预设阈值的比较结果; 数据转换模块在比较结果超过预设阈值的情况下, 将第二数据取反后传输至第二数据线, 并在比较结果未超过预设阈值的情况下, 将第二数据传输至第二数据线。

数据传输电路、方法及存储装置

本申请要求于 2021 年 4 月 13 日提交的申请号为 202110395656.8、名称为“数据传输电路、方法及存储装置”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及半导体存储技术领域，特别是涉及一种数据传输电路、方法及存储装置。

背景技术

随着半导体技术的快速发展，市场对半导体存储装置的存储能力、省电性能、读写数据准确性的要求越来越高，这对半导体存储装置中外围电路区及存储阵列区的各项性能参数都提出了更高的要求。

然而，存储单元阵列中存储单元的密度及数量的增加导致存储阵列区中数据传输路径的长度增加，导致数据传输路径的耗电量占半导体存储装置的耗电量的比例越来越大，并增加了数据在传输过程中出现异常的概率。

如何有效地减少存储阵列区数据传输路径的功耗并提高数据传输的准确性，成为进一步提高半导体存储装置存储性能的过程中亟待解决的技术问题之一。

发明内容

本申请的第一方面提供了一种数据传输电路，包括校验模块、比较模块及数据转换模块，校验模块用于根据第一数据线上的第一数据生成校验码数据，并将所述第一数据和所述校验码数据组合成第二数据；比较模块与所述第一数据线、所述校验模块和第二数据线均电连接，用于接收所述第二数据及所述第二数据线上的第三数据，并将所述第二数据和所述第三数据进行比较，输出所述第二数据与所述第三数据不相同的位数是否超过预设阈值的比较结果，其中，所述第二数据与所述第三数据具有相同的预设位宽；数据转换模块与所述校验模块、所述比较模块及所述第二数据线均电连接，用于在所述比较结果超过预设阈值的情况下，将所述第二数据取反后传输至所述第二数据线，并在所述比较结果未超过所述预设阈值的情况下，将所述第二数据传输至所述第二数据线。

本申请的第二方面提供了一种存储装置，包括以上所述的数据传输电路，用于存储并传输读操作或写操作的数据。

本申请的第三方面提供了一种数据传输方法，包括：根据第一数据线上的第一数据生成校验码数据，所述第一数据和所述校验码数据组合成第二数据；将所述第二数据和第二数据线上的第三数据进行比较，以输出所述第二数据与所述第三数据不相同的位数是否超过预设阈值的比较结果，其中，所述第二数据与所述第三数据具有相同的预设位宽；在所述比较结果超过预设阈值的情况下，将所述第二数据取反后传输至所述第二数据线，并在所述比较结果未超过所述预设阈值的情况下，将所述第二数据传输至所述第二数据线。

本申请的各个实施例的细节将在下面的附图和描述中进行说明。根据说明书、附图以及权利要求书的记载，本领域技术人员将容易理解本申请的其它特征、解决的问题以及技术效果。

附图说明

为了更清楚地说明本申请实施例中的技术方案，下面将对实施例或描述中所需要使用的附图作简单地介绍。用于描述附图的附加细节或示例不应当被认为是对本申请的发明创造、目前所描述的实施例或优选方式中任何一者的范围的限制。

图 1 为本申请第一实施例中提供的一种数据传输电路的电路原理示意图；

图 2 为本申请第二实施例中提供的一种数据传输电路的电路原理示意图；

图 3 为本申请第三实施例中提供的一种数据传输电路的电路原理示意图；

图 4 为本申请第四实施例中提供的一种数据传输电路的电路原理示意图；

图 5a 为本申请第五实施例中提供的一种数据传输电路的电路原理示意图；

图 5b 为图 5a 的一种实施方式示意图；

图 6 为本申请第六实施例中提供的一种数据传输电路的电路原理示意图；

图 7 为本申请第七实施例中提供的一种数据传输电路的电路原理示意图；

图 8 为本申请一实施例中提供的一种数据传输电路中写使能模块的电路示意图；

图 9 为本申请一实施例中提供的一种数据传输电路中写驱动电路的电路示意图；

图 10 为本申请一实施例中提供的一种数据传输方法的流程示意图；

图 11 为本申请另一实施例中提供的一种数据传输方法的流程示意图。

具体实施方式

为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的首选实施例。但是，本申请可以以许多不同的形式来实

现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本申请的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本申请。另外，贯穿说明书和跟随的权利要求中所使用的某些术语指代特定元件。本领域的技术人员会理解为，制造商可以用不同的名字指代元件。本文件不想要区分名字不同但是功能相同的元件。在以下的描述和实施例中，术语“包含”和“包括”都是开放式使用的，因此应该解读为“包含，但不限于……”。同样，术语“连接”想要表达间接或直接的电气连接。相应地，如果一个设备被连接到另一个设备上，连接可以通过直接的电气连接完成，或者通过其他设备和连接件的间接电气连接完成。

应当理解，尽管本文可以使用术语“第一”、“第二”等来描述各种元件，但是这些元件不应受这些术语的限制。这些术语仅用于将一个元件和另一个元件区分开。例如，在不脱离本申请的范围的情况下，第一元件可以被称为第二元件，并且类似地，第二元件可以被称为第一元件。

请参考图 1，在本申请的一个实施例中，提供了一种数据传输电路 100，包括比较模块 10、数据转换模块 20 及校验模块 31，校验模块 31 用于根据第一数据线 30 上的第一数据生成校验码数据，并将第一数据和校验码数据组合成第二数据；比较模块 10 与第一数据线 30、校验模块 31 和第二数据线 40 均电连接，用于接收第二数据及第二数据线 40 上的第三数据，并将第二数据和第三数据进行比较，输出第二数据与第三数据不相同的位数是否超过预设阈值的比较结果，其中，第二数据与第三数据具有相同的预设位宽；数据转换模块 20 与第一数据

线 30、校验模块 31、比较模块 10 及第二数据线 40 均电连接，用于在比较结果超过预设阈值的情况下，将第二数据取反后传输至第二数据线 40，并在比较结果未超过预设阈值的情况下，将第二数据传输至第二数据线 40。

请继续参考图 1，通过设置校验模块 31 对第一数据线 30 上的第一数据进行校验以生成校验码数据，并将第一数据和校验码数据组合成第二数据，以便于将该第二数据传输至下一级数据线；设置比较模块 10 将第二数据和第二数据线 40 上的第三数据进行比较，以输出第二数据与第三数据不相同的位数是否超过预设阈值的比较结果，其中，第二数据与第三数据具有相同的预设位宽；使得数据转换模块 20 在比较结果超过预设阈值的情况下，将第二数据取反后传输至第二数据线 40，并在比较结果未超过预设阈值的情况下，将第二数据传输至第二数据线 40，可以设置预设阈值为预设位宽的一半。本实施例的这种省电算法可以实现在确保写入数据传输准确度的前提下减少写入数据翻转的次数，有效地减少写入数据传输过程中的耗电量。从而能够在不改变数据传输路径长度的情况下，减少数据写入过程中耗电量的同时，提高传输数据的准确性。本实施例中在运用这种省电算法之前，对第一数据线 30 上的第一数据进行预先校验并生成校验码数据，且后续将校验码数据存入存储单元中，待读出时对数据进行校验，以避免运用这种省电算法过程中在对第二数据进行取反时发生数据错误所带来的影响，从而能够降低功耗的同时也能保证数据写入过程或存储过程中的可靠性。

作为示例，请继续参考图 1，在本申请的一个实施例中，校验模块 31 包括 ECC 编码单元（未图示），ECC 编码单元对第一数据线 30 例如数据总线上的第一数据进行校验并生成 ECC 校验码，以便于后续根据 ECC 校验码对读出数据进行检错和/或纠错，以保证数据在运用本实施例省电算法时的可靠性。这里的数

据总线旨在示例性说明第一数据线 30 为第二数据线 40 的前级数据传输线，并不作为对本申请的限制。

请参考图 2，在本申请的一个实施例中，数据传输电路 100 还包括数据总线缓冲模块 50，数据总线缓冲模块 50 与数据转换模块 20、比较模块 10 及第二数据线 40 均电连接，用于根据比较结果生成数据极性标识信号 $p1$ ，以及还用于将第二数据或第二数据取反后的数据传输至第二数据线 40，以便于下一级电路根据该数据极性标识信号 $p1$ 对之前翻转后的数据还原，确保向存储阵列区写入数据的准确性。

请参考图 3，在本申请的一个实施例中，第二数据线 40 包括全局数据线 41 和互补全局数据线 42，全局数据线 41 和互补全局数据线 42 传输互为反相的信号；

将第二数据取反后传输至第二数据线 40 包括：

将第二数据取反后传输至全局数据线 YIO；

将第二数据传输至第二数据线 40 包括：

将第二数据传输至全局数据线 YIO。

作为示例，请继续参考图 3，通过设置第二数据线 40 包括全局数据线 41 和互补全局数据线 42，全局数据线 41 和互补全局数据线 42 传输互为反相的信号，使得全局数据线 41 和互补全局数据线 42 传输的数据可以相互参考，以进一步提高向后一级数据线传输数据的准确性。

请参考图 4，在本申请的一个实施例中，比较模块 10 包括比较单元 11 及状态识别单元 12，比较单元 11 用于对第二数据和第三数据进行逐位比较，并输出每一位的比较状态数据；状态识别单元 12 电连接比较单元 11，用于对每一位的比较状态数据进行统计，并根据统计结果输出比较结果。

作为示例，请参考图 5a 和图 5b，在本申请的一个实施例中，数据转换模块 20 包括第一传输单元 21、第一反相单元 22、第二传输单元 23 及第二反相单元 24，第一传输单元 21 电连接校验模块 31、第一数据线 30、第二数据线 40，以及通过第一反相单元 22 与状态识别单元 12 的输出端电连接，用于在比较结果未超过预设阈值的情况下，将第二数据传输至第二数据线 40，预设阈值为预设位宽的一半；第二传输单元 23 电连接第二数据线 40、状态识别单元 12 的输出端，以及通过第二反相单元 24 与第一数据线 30、校验模块 31 电连接，用于在比较结果超过预设阈值的情况下，将第二数据取反后传输至第二数据线 40。

请参考图 6，在本申请的一个实施例中，数据传输电路 100 还包括读写转换电路 70，读写转换电路 70 用于根据数据极性标识信号 $p1$ 及第二数据线 40 上的数据，生成第四数据，并将第四数据传输至第三数据线 80。利用读写转换电路 70 根据数据极性标识信号 $p1$ 及第二数据线 40 上的数据生成第四数据，以将之前翻转后的数据还原，确保向存储阵列区写入数据的准确性。

作为示例，请继续参考图 6，第三数据线 80 包括本地数据线 81 和互补本地数据线 82，本地数据线 81 和互补本地数据线 82 传输互为反相的信号。本地数据线 81 和互补本地数据线 82 传输的数据可以相互参考，进一步提高向后一级电路传输数据的准确性。

请参考图 7，在本申请的一个实施例中，读写转换电路 70 包括写使能模块 71 及写驱动电路 72，写使能模块 71 用于根据数据极性标识信号 $p1$ 和初始写使能信号 we 生成写使能信号 $WrEn$ 和写使能反信号 $WrEn_$ ；写驱动电路 72 用于根据写使能信号 $WrEn$ 、写使能反信号 $WrEn_$ 及第二数据线 40 上的数据生成第四数据，以将之前翻转后的数据还原，确保向存储阵列区写入数据的准确性。

作为示例，请参考图 8，在本申请的一个实施例中，写使能模块 71 包括第

一反相器 Inv1、第一或非门 Nor1、第二反相器 Inv2 及第二或非门 Nor2，第一反相器 Inv1 的输入端电连接初始写使能信号 we，第一反相器 Inv1 的输出端输出第一写使能反信号 We1₋；第一或非门 Nor1 的输入端电连接数据极性标识信号 pl 和第一反相器 Inv1 的输出端，第一或非门 Nor1 的输出端输出写使能信号 WrEn；第二反相器 Inv2 的输入端电连接数据极性标识信号 pl，第二反相器 Inv2 的输出端输出数据极性标识反信号 Pl₋；第二或非门 Nor2 的输入端电连接第二反相器 Inv2 的输出端和第一反相器 Inv1 的输出端，第二或非门 Nor2 的输出端输出写使能反信号 WrEn₋。以根据写使能信号 WrEn 及写使能反信号 WrEn₋ 控制写驱动电路 72 根据第二数据线 40 上的数据生成第四数据，并将所述第四数据传输至第三数据线 80 例如是本地数据线 LIO 或互补本地数据线 LIO₋，以保证数据传输的准确性。本地数据线 LIO 与互补本地数据线 LIO₋ 传输互为反相的信号。本地数据线 LIO 与互补本地数据线 LIO₋ 传输的数据可以相互参考，进一步提高向后一级电路传输数据的准确性。

作为示例，请参考图 9，在本申请的一个实施例中，写驱动电路 72 包括第一开关单元 721、第二开关单元 722、第三开关单元 723 及第四开关单元 724，第一开关单元 721 用于根据写使能信号 WrEn 电连接本地数据线 LIO 和全局数据线 YIO；第二开关单元 722 用于根据写使能反信号 WrEn₋ 电连接本地数据线 LIO 和互补全局数据线 YIO₋；第三开关单元 723 用于根据写使能反信号 WrEn₋ 电连接互补本地数据线 LIO₋ 和全局数据线 YIO；第四开关单元 724 用于根据写使能信号 WrEn 电连接互补本地数据线 LIO₋ 和互补全局数据线 YIO₋。以实现传输数据的恢复，保证数据传输的准确性。

作为示例，请继续参考图 9，在本申请的一个实施例中，读写转换电路 70 还包括读驱动电路 73，读驱动电路 73 包括第五开关单元 731、第六开关单元 732、

第七开关单元 733 及第八开关单元 734, 第五开关单元 731 的控制端电连接本地数据线 LIO, 用于根据控制端信号电连接互补全局数据线 YIO_和第一节点 a; 第六开关单元 732 用于根据读使能信号电连接第一节点 a 和接地端; 第七开关单元 733 的控制端电连接互补本地数据线 LIO_, 用于根据控制端信号电连接全局数据线 YIO 和第二节点 b; 第八开关单元 734 用于根据读使能信号电连接第二节点 b 和接地端。本实施例通过减少对写入数据传输过程中翻转的次数, 以有效地减少数据在经由数据总线 Data bus、全局数据线 YIO 或互补全局数据线 YIO_, 并写入本地数据线 LIO 或互补本地数据线 LIO_过程中的耗电量。

在本申请的一个实施例中, 提供了一种存储装置, 包括任一本申请实施例中所述的数据传输电路 100, 用于存储并传输读操作或写操作的数据。

关于上述实施例中的存储装置的具体限定可以参见上文中对于数据传输电路 100 的具体限定, 在此不再赘述。

需要说明的是, 本实施例附图中的线条均是对连接的关系的示意, 可以是多位的连接。同时, 本实施例所称的“电连接”可以表示直接连接, 也可以表示间接连接, 比如通过缓冲器进行连接等。

进一步地, 请参考图 10, 在本申请的一个实施例中, 提供了一种数据传输方法, 包括:

步骤 102, 根据第一数据线上的第一数据生成校验码数据, 所述第一数据和所述校验码数据组合成第二数据;

步骤 104, 将所述第二数据和第二数据线上的第三数据进行比较, 以输出所述第二数据与所述第三数据不相同的位数是否超过预设阈值的比较结果, 其中, 所述第二数据与所述第三数据具有相同的预设位宽;

步骤 106, 在所述比较结果超过预设阈值的情况下, 将所述第二数据取反后

传输至所述第二数据线，并在所述比较结果未超过所述预设阈值的情况下，将所述第二数据传输至所述第二数据线。

具体地，请继续参考图 10，通过对第一数据线上的第一数据进行校验以生成校验码数据，所述第二数据和所述校验码数据组合成第二数据，以便于将该第二数据传输至下一级数据线；然后将第二数据和第二数据线上的第三数据进行比较，以输出所述第二数据与所述第三数据不相同的位数是否超过预设阈值的比较结果，其中，所述第二数据与所述第三数据具有相同的预设位宽；在所述比较结果超过预设阈值的情况下，将所述第二数据取反后传输至所述第二数据线，并在所述比较结果未超过所述预设阈值的情况下，将所述第二数据传输至所述第二数据线，可以设置所述预设阈值为所述预设位宽的一半。由于传输的数据中一般包括由 0 及 1 组成的数据串，本实施例通过将这种省电算法运用在数据传输过程中，在确保写入数据传输准确度的前提下减少写入数据翻转的次数，有效地减少写入数据传输过程中的耗电量。从而能够在不改变数据传输路径长度的情况下，减少数据写入过程中耗电量的同时，提高传输数据的准确性。本实施例在运用省电算法之前，对第一数据线上的第一数据预先进行校验并生成校验码数据，且将校验码数据存入存储单元中，待读出时对数据进行校验，以避免运用省电算法过程中在对第二数据进行取反时发生数据错误所带来的影响，从而能够降低功耗的同时也能保证数据写入过程或存储过程中的可靠性。

在其中一个实施例中，所述预设阈值为所述第二数据的位宽的一半；所述方法还包括：

步骤 108，根据所述比较结果生成数据极性标识信号，并根据所述数据极性标识信号及所述第二数据线上的数据，生成第四数据，以将所述第四数据传输

至第三数据线。

具体地，请继续参考图 11，可以设置第三数据线包括本地数据线 LIO 和互补本地数据线 LIO₋，本地数据线 LIO 和互补本地数据线 LIO₋传输互为反相的信号，使得本地数据线 LIO 和互补本地数据线 LIO₋传输的数据可以相互参考，以提高数据传输的准确性；设置第二数据线包括全局数据线 YIO 和互补全局数据线 YIO₋，全局数据线 YIO 和互补全局数据线 YIO₋传输互为反相的信号，使得全局数据线 YIO 和互补全局数据线 YIO₋传输的数据可以相互参考，以提高数据传输的准确性。可以在数据极性标识信号指示的比较结果超过预设阈值的情况下，将全局数据线 YIO 上的第三数据取反后传输至本地数据线 LIO，并在数据极性标识信号指示的比较结果未超过预设阈值的情况下，将全局数据线 YIO 上的第三数据传输至本地数据线 LIO，以将之前翻转后的数据还原，确保向下一级电路传输数据的准确性。

在本申请的一个实施例中，提供了一种计算机可读存储介质，其上存储有计算机程序，所述计算机程序被处理器执行时实现任一本申请实施例中所述的数据传输方法。

应该理解的是，虽然图 10、图 11 的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以以其它的顺序执行。而且，图 10、图 11 中的至少一部分步骤可以包括多个步骤或者多个阶段，这些步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤中的步骤或者阶段的至少一部分轮流或者交替地执行。

本领域普通技术人员可以理解实现上述实施例方法中的全部或部分流程，

是可以通过计算机程序来指令相关的硬件来完成，所述的计算机程序可存储于一非易失性计算机可读取存储介质中，该计算机程序在执行时，可包括如上述各方法的实施例的流程。其中，本申请所提供的各实施例中所使用的对存储器、存储、数据库或其它介质的任何引用，均可包括非易失性和/或易失性存储器。非易失性存储器可包括只读存储器（ROM）、可编程 ROM（PROM）、电可编程 ROM（EPROM）、电可擦除可编程 ROM（EEPROM）或闪存。易失性存储器可包括随机存取存储器（RAM）或者外部高速缓冲存储器。作为说明而非局限，RAM 以多种形式可得，诸如静态 RAM（SRAM）、动态 RAM（DRAM）、同步 DRAM（SDRAM）、双数据率 SDRAM（DDRSDRAM）、增强型 SDRAM（ESDRAM）、同步链路（Synchlink）DRAM（SLDRAM）、以及存储器总线动态 RAM（RDRAM）等。

请注意，上述实施例仅出于说明性目的而不意味对本申请的限制。

上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求要求为准。

权利要求书

1.一种数据传输电路，包括：

校验模块，用于根据第一数据线上的第一数据生成校验码数据，并将所述第一数据和所述校验码数据组合成第二数据；

比较模块，与所述第一数据线、所述校验模块和第二数据线均电连接，用于接收所述第二数据及所述第二数据线上的第三数据，并将所述第二数据和所述第三数据进行比较，以输出所述第二数据与所述第三数据不相同的位数是否超过预设阈值的比较结果，其中，所述第二数据与所述第三数据具有相同的预设位宽；

数据转换模块，与所述校验模块、所述比较模块及所述第二数据线均电连接，用于在所述比较结果超过预设阈值的情况下，将所述第二数据取反后传输至所述第二数据线，并在所述比较结果未超过所述预设阈值的情况下，将所述第二数据传输至所述第二数据线。

2.根据权利要求1所述的数据传输电路，还包括：

数据总线缓冲模块，与所述数据转换模块、所述比较模块及所述第二数据线均电连接，用于根据所述比较结果生成数据极性标识信号，以及还用于将所述第二数据或所述第二数据取反后的数据传输至所述第二数据线。

3.根据权利要求2所述的数据传输电路，其中，所述第二数据线包括全局数据线和互补全局数据线，所述全局数据线和所述互补全局数据线传输互为反相的信号；

所述将所述第二数据取反后传输至所述第二数据线包括：

将所述第二数据取反后传输至所述全局数据线；

所述将所述第二数据传输至所述第二数据线包括：

将所述第二数据传输至所述全局数据线。

4.根据权利要求 1-3 任一项所述的数据传输电路,其中,所述比较模块包括:比较单元,用于对所述第二数据和所述第三数据进行逐位比较,并输出每一位的比较状态数据;

状态识别单元,电连接所述比较单元,用于对每一位的比较状态数据进行统计,并根据统计结果输出所述比较结果。

5.根据权利要求 4 所述的数据传输电路,其中,所述数据转换模块包括:

第一传输单元,电连接所述第一数据线、所述校验模块、所述第二数据线,以及通过第一反相单元与所述状态识别单元的输出端电连接,用于在所述比较结果为未超过所述预设阈值的情况下,将所述第二数据传输至所述第二数据线,所述预设阈值为所述预设位宽的一半;

第二传输单元,电连接所述第二数据线、所述状态识别单元的输出端,以及通过第二反相单元与所述第一数据线、所述校验模块电连接,用于在所述比较结果为超过所述预设阈值的情况下,将所述第二数据取反后传输至所述第二数据线。

6.根据权利要求 2 或 3 所述的数据传输电路,还包括读写转换电路,所述读写转换电路用于根据所述数据极性标识信号及所述第二数据线上的数据,生成第四数据,并将所述第四数据传输至第三数据线。

7.根据权利要求 6 所述的数据传输电路,其中,所述第三数据线包括本地数据线和互补本地数据线,所述本地数据线和所述互补本地数据线传输互为反相的信号。

8.根据权利要求 7 所述的数据传输电路,其中,所述读写转换电路包括:

写使能模块,用于根据所述数据极性标识信号和初始写使能信号生成写使

能信号和写使能反信号；

写驱动电路，用于根据所述写使能信号、所述写使能反信号及所述第二数据线上的数据生成所述第四数据。

9.根据权利要求 8 所述的数据传输电路，其中，所述写使能模块包括：

第一反相器，被配置为：输入端电连接初始写使能信号，输出端输出第一写使能反信号；

第一或非门，被配置为：输入端电连接所述数据极性标识信号和所述第一反相器的输出端，输出端输出写使能信号；

第二反相器，被配置为：输入端电连接数据极性标识信号，输出端输出数据极性标识反信号；

第二或非门，被配置为：输入端电连接所述第二反相器的输出端和所述第一反相器的输出端，输出端输出写使能反信号。

10.根据权利要求 9 所述的数据传输电路，其中，所述写驱动电路包括：

第一开关单元，用于根据所述写使能信号电连接所述本地数据线和全局数据线；

第二开关单元，用于根据所述写使能反信号电连接所述本地数据线和互补全局数据线；

第三开关单元，用于根据所述写使能反信号电连接所述互补本地数据线和所述全局数据线；

第四开关单元，用于根据所述写使能信号电连接所述互补本地数据线和所述互补全局数据线。

11.根据权利要求 10 所述的数据传输电路，其中，所述读写转换电路还包括读驱动电路，所述读驱动电路包括：

第五开关单元，控制端电连接所述本地数据线，用于根据控制端信号电连接所述互补全局数据线和第一节点；

第六开关单元，用于根据读使能信号电连接所述第一节点和接地端；

第七开关单元，控制端电连接所述互补本地数据线，用于根据控制端信号电连接所述全局数据线和第二节点；

第八开关单元，用于根据读使能信号电连接所述第二节点和接地端。

12.根据权利要求 1-3 任一项所述的数据传输电路，其中，所述校验模块包括 ECC 编码单元。

13.一种存储装置，包括：

如权利要求 1-12 任一项所述的数据传输电路，用于存储并传输读操作或写操作的数据。

14.一种数据传输方法，包括：

根据第一数据线上的第一数据生成校验码数据，所述第一数据和所述校验码数据组合成第二数据；

将所述第二数据和第二数据线上的第三数据进行比较，以输出所述第二数据与所述第三数据不相同的位数是否超过预设阈值的比较结果，其中，所述第二数据与所述第三数据具有相同的预设位宽；

在所述比较结果超过预设阈值的情况下，将所述第二数据取反后传输至所述第二数据线，并在所述比较结果未超过所述预设阈值的情况下，将所述第二数据传输至所述第二数据线。

15.根据权利要求 14 所述的数据传输方法，其中，所述预设阈值为所述第二数据的位宽的一半；所述方法还包括：

根据所述比较结果生成数据极性标识信号，并根据所述数据极性标识信号

及所述第二数据线上的数据，生成第四数据，以将所述第四数据传输至第三数据线。

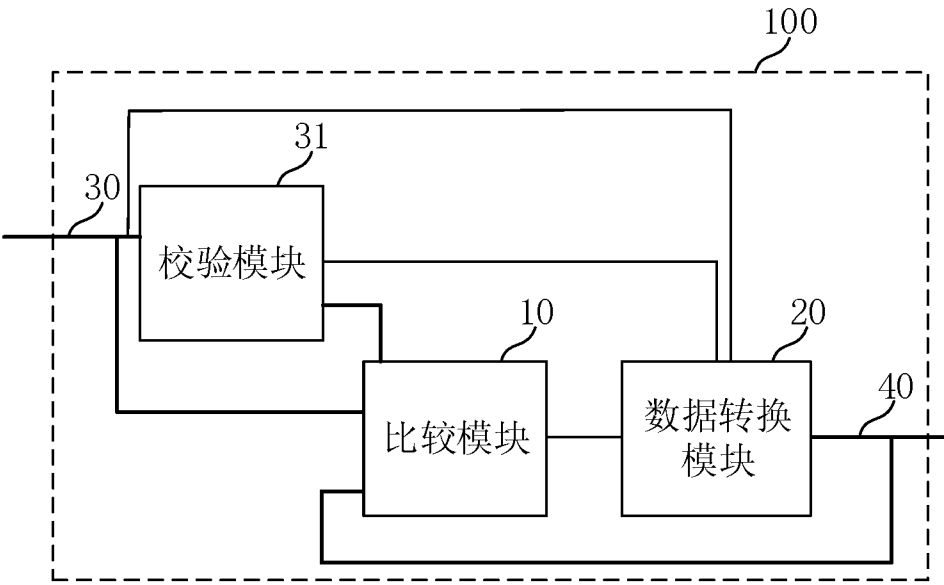


图 1

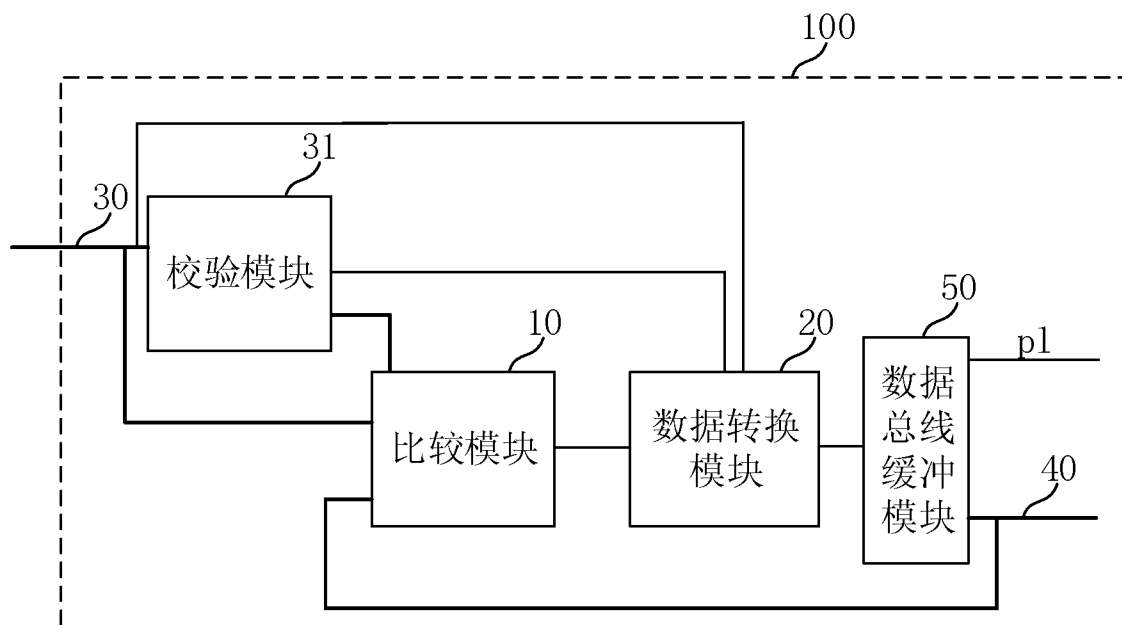


图 2

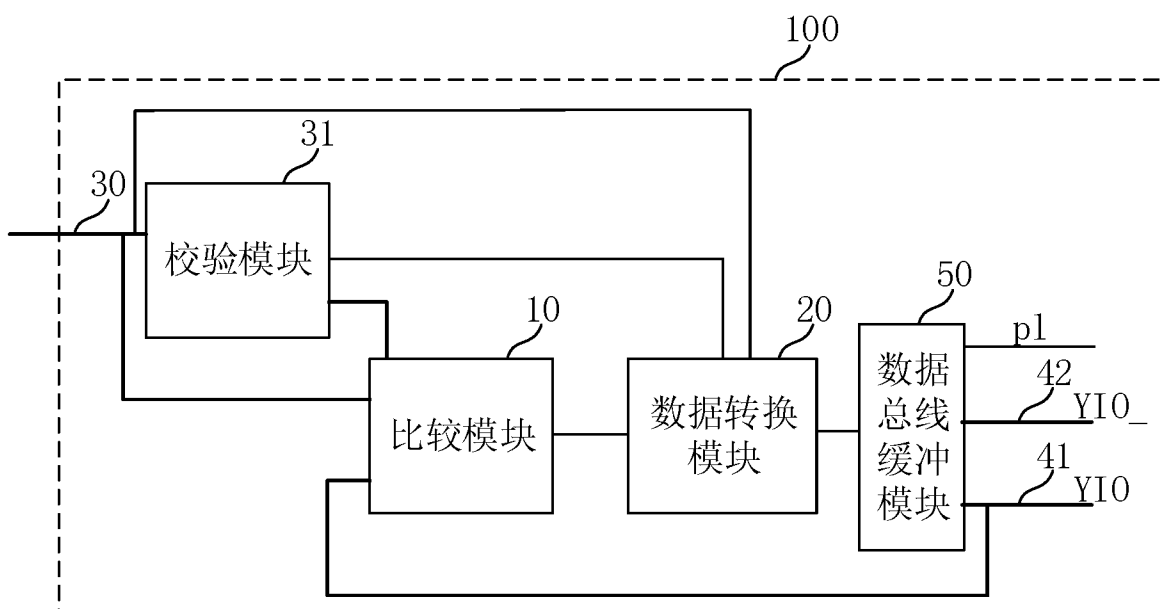


图 3

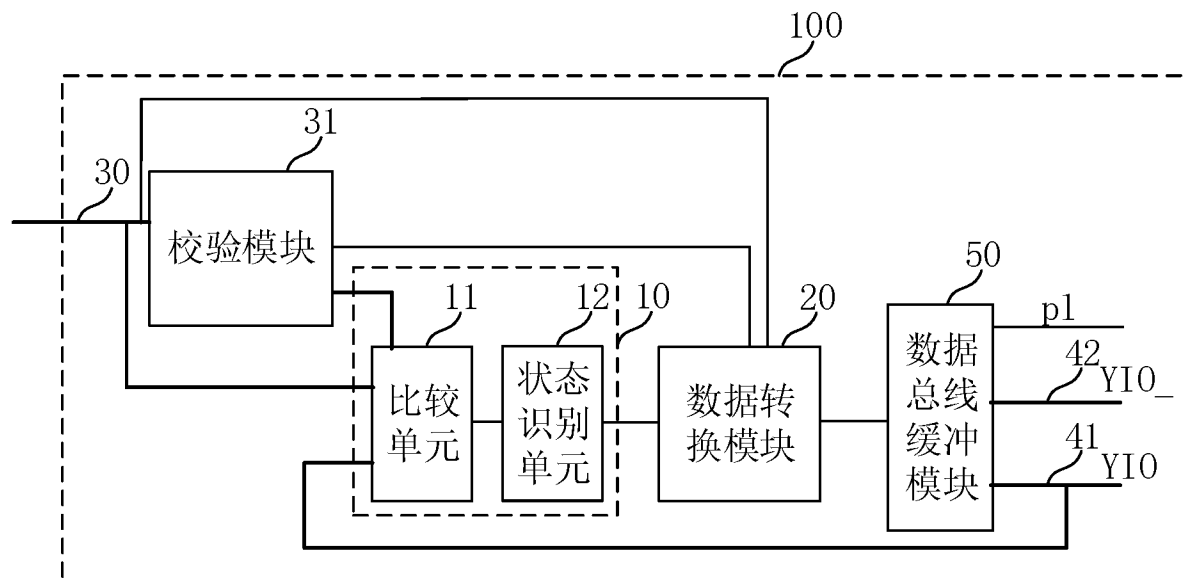


图 4

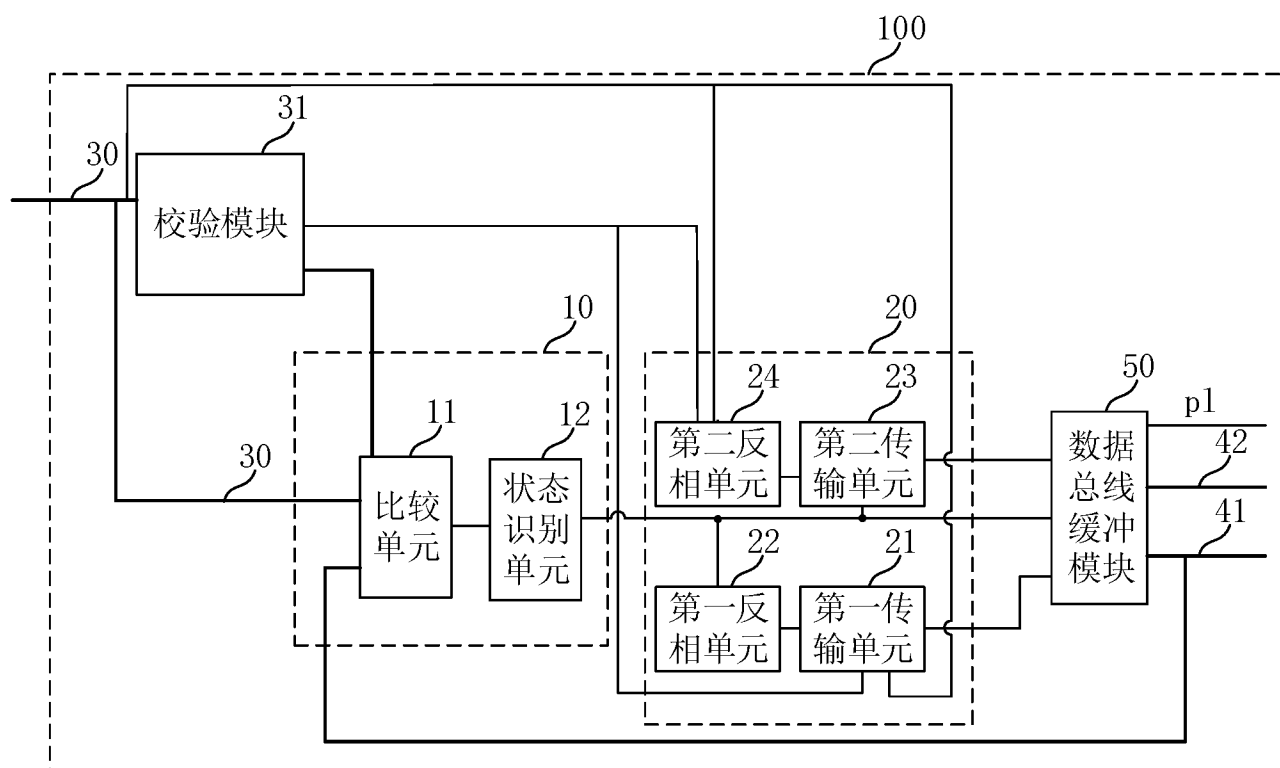


图 5a

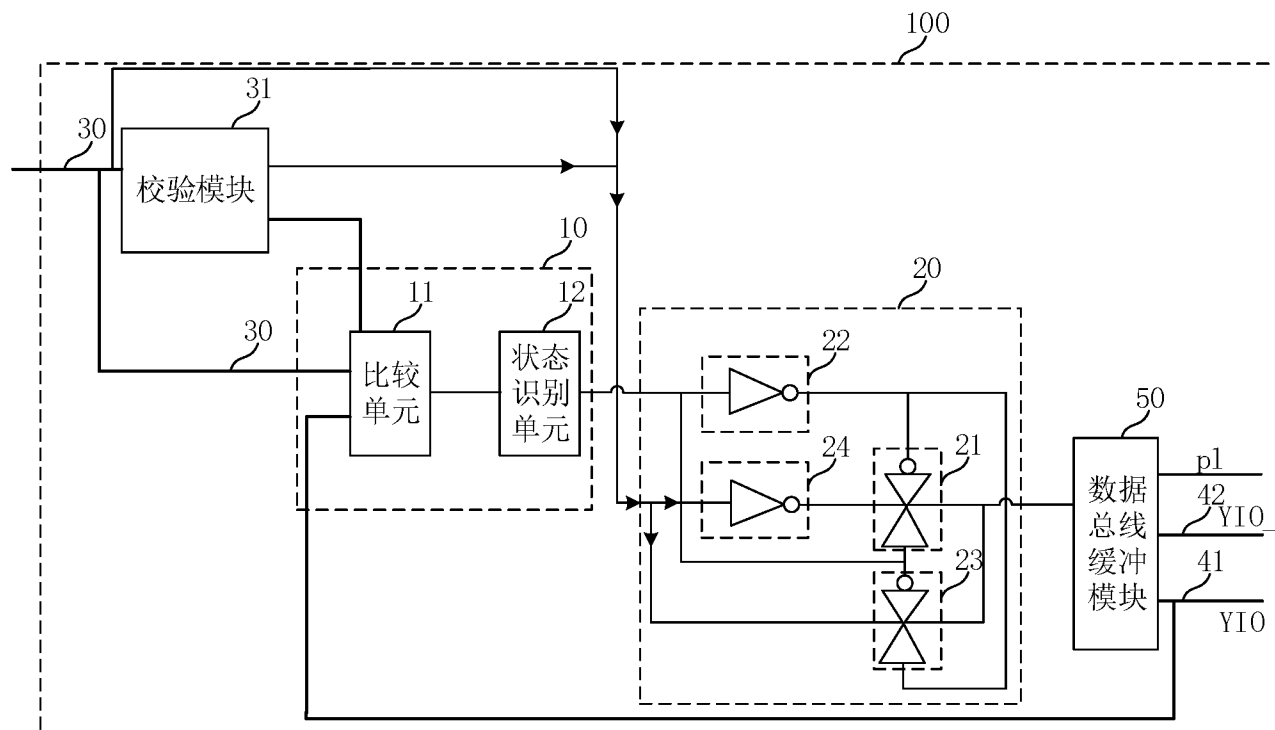


图 5b

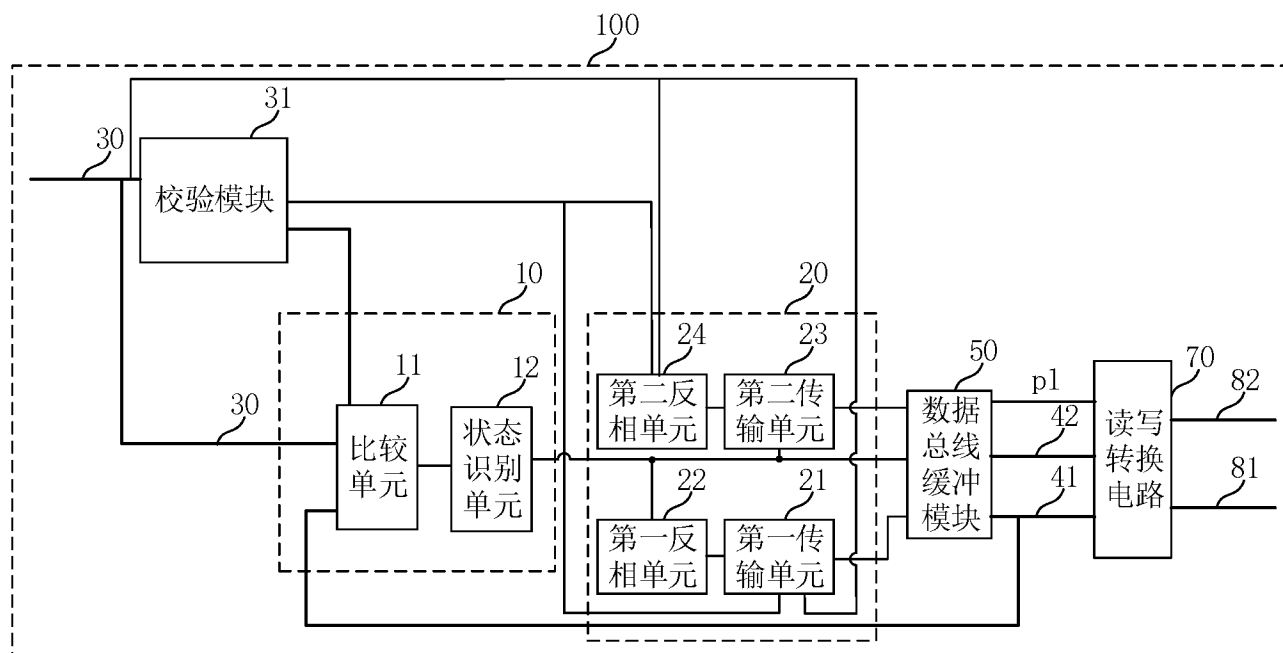


图 6

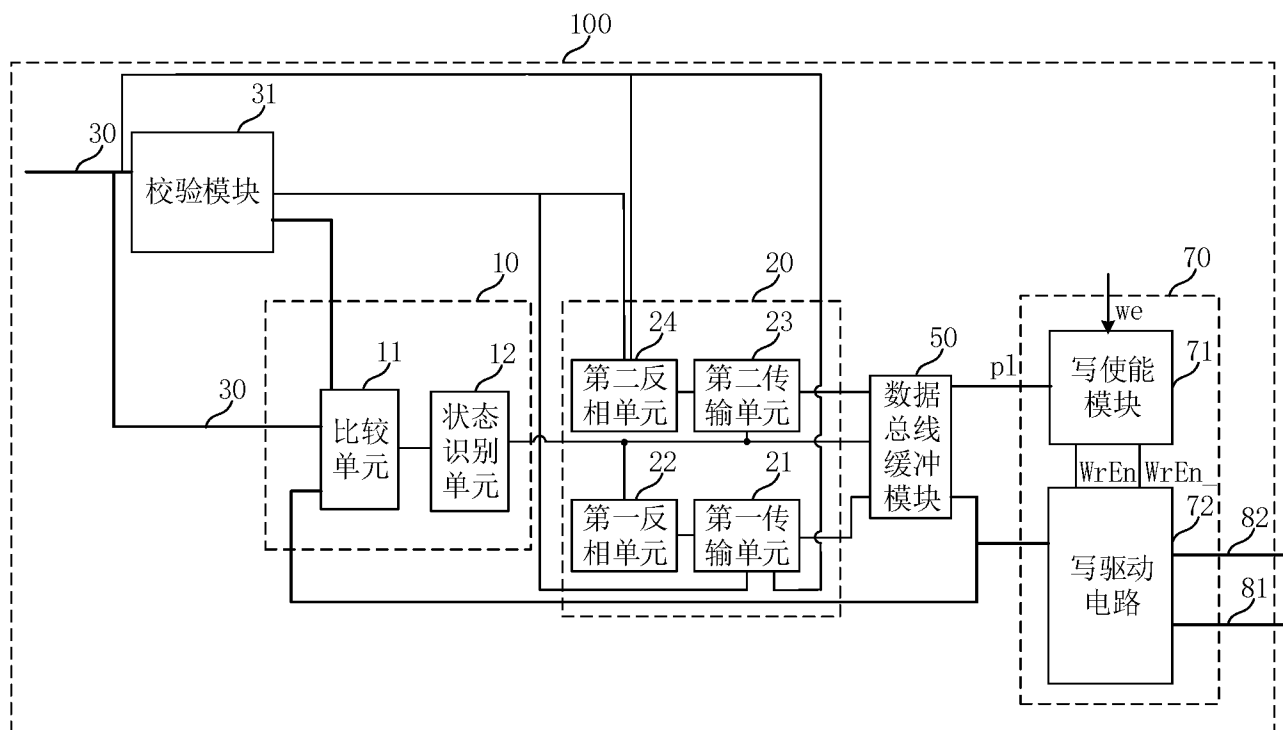


图 7

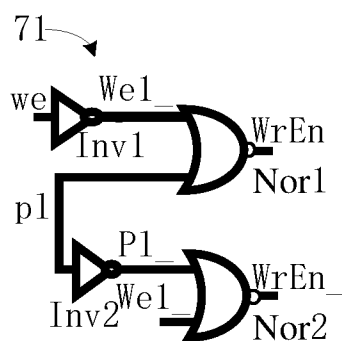


图 8

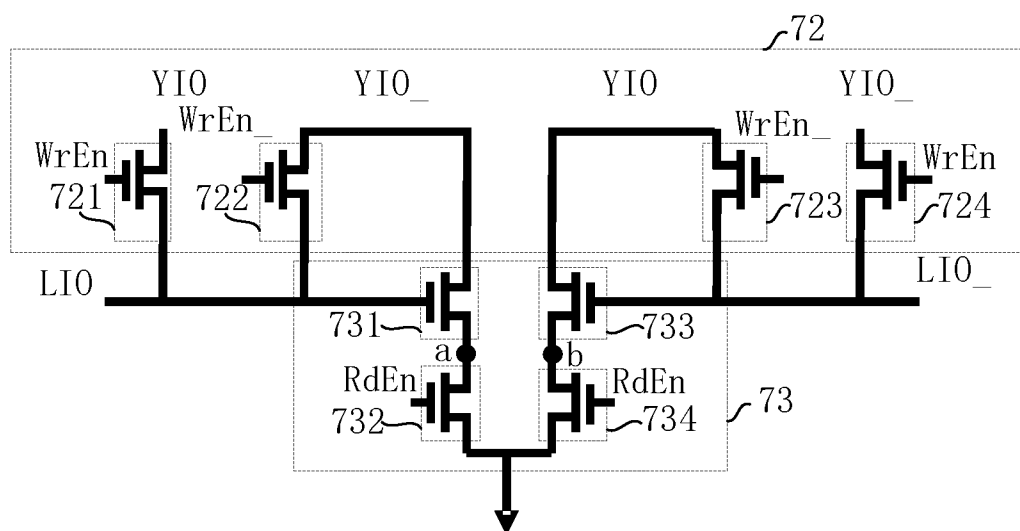


图 9

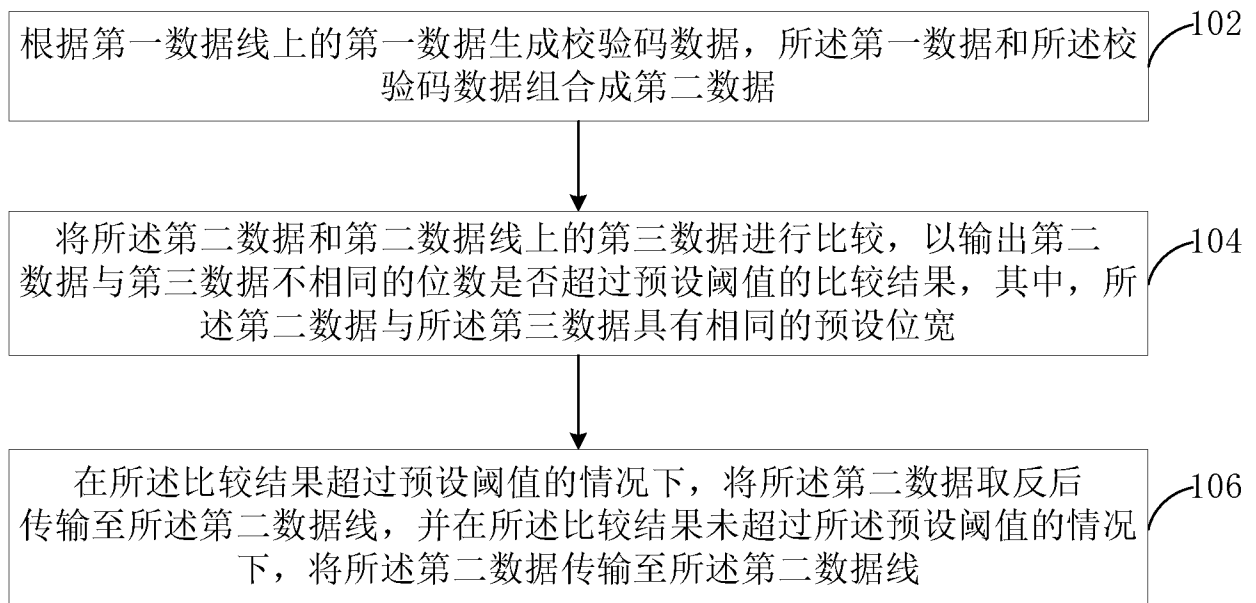


图 10

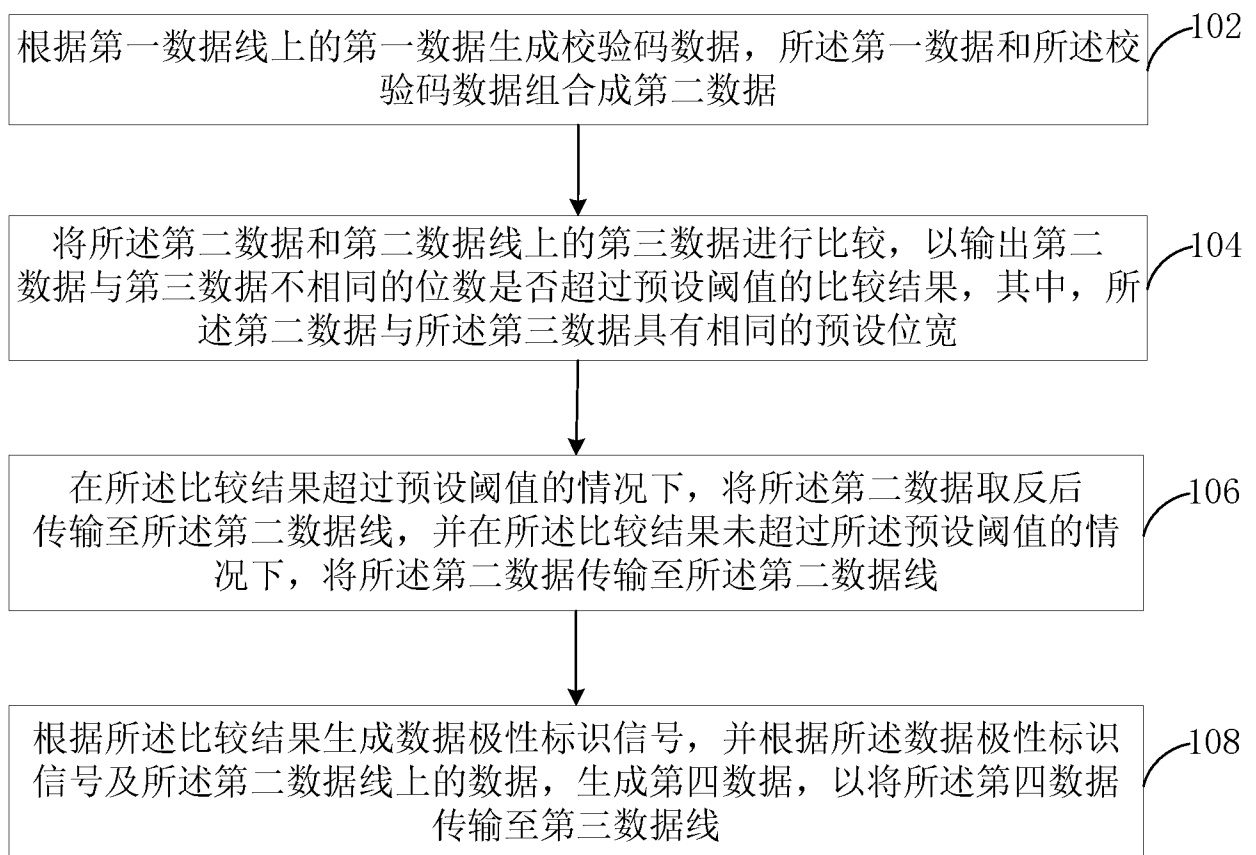


图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/120526

A. CLASSIFICATION OF SUBJECT MATTER

G11C 7/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 校验, 翻转, 比较, 取反, 反转, 阈值, 转换, 传输, 数据线, 阈值, 极性, transmit, checkout, reverse, threshold, compare

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 107222298 A (BEIJING NORTHERN FIBERHOME TECHNOLOGIES CO., LTD.) 29 September 2017 (2017-09-29) description, paragraphs [0060]-[0185]	1-15
A	CN 112309484 A (CHENGDU SINO MICROELECTRONICS TECHNOLOGY CO., LTD.) 02 February 2021 (2021-02-02) entire document	1-15
A	CN 210667806 U (CHANGXIN MEMORY TECHNOLOGIES (SHANGHAI) INC.) 02 June 2020 (2020-06-02) entire document	1-15
A	CN 105634504 A (ZTE CORP.) 01 June 2016 (2016-06-01) entire document	1-15
A	WO 2019127350 A1 (MICRON TECHNOLOGY, INC.) 04 July 2019 (2019-07-04) entire document	1-15

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

20 December 2021

Date of mailing of the international search report

14 January 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/120526

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107222298	A	29 September 2017	None			
CN	112309484	A	02 February 2021	None			
CN	210667806	U	02 June 2020	CN	112712842	A	21 April 2021
				WO	2021077780	A1	29 April 2021
				US	20210247938	A1	12 August 2021
CN	105634504	A	01 June 2016	WO	2016070573	A1	12 May 2016
				EP	3217580	A1	13 September 2017
				US	2017359150	A1	14 December 2017
WO	2019127350	A1	04 July 2019	CN	111656329	A	11 September 2020
				JP	2021508140	A	25 February 2021
				US	2021012851	A1	14 January 2021
				KR	20200100167	A	25 August 2020

国际检索报告

国际申请号

PCT/CN2021/120526

A. 主题的分类

G11C 7/10 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNPAT, CNKI, WPI, EP0DOC: 校验, 翻转, 比较, 取反, 反转, 阈值, 转换, 传输, 数据线, 阈值, 极性, transmit, checkout, reverse, threshold, compare

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 107222298 A (北京北方烽火科技有限公司) 2017年9月29日 (2017 - 09 - 29) 说明书第[0060]-[0185]段	1-15
A	CN 112309484 A (成都华微电子科技有限公司) 2021年2月2日 (2021 - 02 - 02) 全文	1-15
A	CN 210667806 U (长鑫存储技术上海有限公司) 2020年6月2日 (2020 - 06 - 02) 全文	1-15
A	CN 105634504 A (中兴通讯股份有限公司) 2016年6月1日 (2016 - 06 - 01) 全文	1-15
A	WO 2019127350 A1 (MICRON TECHNOLOGY, INC.) 2019年7月4日 (2019 - 07 - 04) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年12月20日

国际检索报告邮寄日期

2022年1月14日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

梁艳

电话号码 86-(10)-53961298

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/120526

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	107222298	A	2017年9月29日	无	
CN	112309484	A	2021年2月2日	无	
CN	210667806	U	2020年6月2日	CN	112712842 A 2021年4月21日
				WO	2021077780 A1 2021年4月29日
				US	20210247938 A1 2021年8月12日
CN	105634504	A	2016年6月1日	WO	2016070573 A1 2016年5月12日
				EP	3217580 A1 2017年9月13日
				US	2017359150 A1 2017年12月14日
WO	2019127350	A1	2019年7月4日	CN	111656329 A 2020年9月11日
				JP	2021508140 A 2021年2月25日
				US	2021012851 A1 2021年1月14日
				KR	20200100167 A 2020年8月25日