

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 10 月 29 日 (29.10.2020)



(10) 国际公布号
WO 2020/215435 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01)

(21) 国际申请号: PCT/CN2019/088752

(22) 国际申请日: 2019 年 5 月 28 日 (28.05.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910322323.5 2019 年 4 月 22 日 (22.04.2019) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 张留旗(ZHANG, Liuqi); 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。 韩佰祥(HAN, Baixiang); 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙)(ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) Title: GOA CIRCUIT AND DISPLAY PANEL

(54) 发明名称: GOA 电路及显示面板

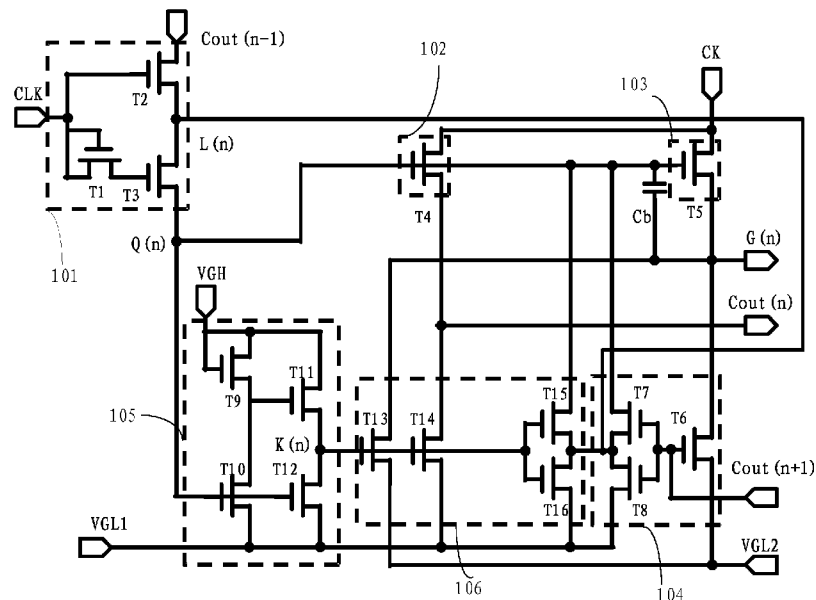


图 2

(57) Abstract: A GOA circuit and a display panel. The GOA circuit comprises: an input module (101), a first output module (102), a second output module (103), a pull-down module (104), an inverting module (105), a pull-down holding module (106) and a bootstrap capacitor (Cb), wherein the input module (101) comprises: a first transistor (T1), a second transistor (T2) and a third transistor (T3); a gate electrode of the first transistor (T1), a gate electrode of the second transistor (T2) and a source electrode of the second transistor (T2) are all electrically connected to a first clock signal (CLK); a source electrode of the first transistor (T1) is electrically connected to a previous-stage stage transfer signal Gout(n-1); a drain electrode of the first transistor T1 and a source electrode of the third transistor T3 are both electrically connected to a second node (L(n)); a drain electrode of the second transistor (T2) is electrically connected to a

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

gate electrode of the third transistor (T3); and a drain electrode of the third transistor (T3) is electrically connected to a first node (Q(n)). According to the present invention, the size of a second transistor and the size of a third transistor are adjusted, so that the influence of a first clock signal on the potential of a first node can be effectively suppressed, thereby improving the output capability of a GOA circuit.

(57) 摘要: 一种GOA电路及显示面板, 该GOA电路包括: 输入模块 (101)、第一输出模块 (102)、第二输出模块 (103)、下拉模块 (104)、反相模块 (105)、下拉维持模块 (106) 以及自举电容 (Cb), 输入模块 (101) 包括: 第一晶体管 (T1)、第二晶体管 (T2) 以及第三晶体管 (T3); 第一晶体管 (T1) 的栅极、第二晶体管 (T2) 的栅极以及第二晶体管 (T2) 的源极均电性连接于第一时钟信号 (CLK), 第一晶体管 (T1) 的源极电性连接于上一级级传信号 Gout(n-1), 第一晶体管 T1 的漏极与第三晶体管 T3 的源极均电性连接于第二节点 (L(n)), 第二晶体管 (T2) 的漏极与第三晶体管 (T3) 的栅极电性连接, 第三晶体管 (T3) 的漏极电性连接于第一节点 (Q(n)), 本发明通过调整第二晶体管的尺寸以及第三晶体管的尺寸, 从而可以有效抑制第一时钟信号对第一节点的电位的影响, 进而提高GOA电路的输出能力。

GOA电路及显示面板

技术领域

[0001] 本申请涉及显示技术领域，具体涉及一种GOA电路及显示面板。

背景技术

[0002] GOA(英文全称: Gate Driver on Array, 中文全称: 集成栅极驱动电路)技术将栅极驱动电路集成在显示面板的阵列基板上，从而可以省掉栅极驱动集成电路部分，以从材料成本和制作工艺两方面降低产品成本。然而，现有的GOA电路输出能力较弱。

发明概述

技术问题

[0003] 本申请实施例的目的在于提供一种GOA电路及显示面板，能够解决现有的GOA电路输出能力较弱的技术问题。

问题的解决方案

技术解决方案

[0004] 本申请实施例提供一种GOA电路，包括：多级级联的GOA单元，每一级GOA单元均包括：输入模块、第一输出模块、第二输出模块、下拉模块、反相模块、下拉维持模块以及自举电容；

[0005] 所述输入模块接入第一时钟信号以及上一级级传信号，并电性连接于第一节点以及第二节点，用于在所述第一时钟信号的控制下将所述上一级级传信号输出至所述第一节点；

[0006] 所述第一输出模块接入第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级级传信号；

[0007] 所述第二输出模块接入所述第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级扫描信号；

[0008] 所述下拉模块接入下一级级传信号、第一参考低电平信号以及第二参考低电平信号，并电性连接于所述第一节点以及所述本级扫描信号，用于在所述下一级

级传信号的控制下，将所述第一节点的电位下拉至所述第一参考低电平信号的电位，以及将所述本级扫描信号的电位下拉至所述第二参考低电平信号的电位；

[0009] 所述反相模块接入参考高电平信号以及所述第一参考低电平信号，并电性连接于第三节点以及所述第一节点，用于根据所述参考高电平信号、所述第一参考低电平信号以及所述第一节点的电位控制所述第三节点的电位；

[0010] 所述下拉维持模块接入所述第一参考低电平信号以及所述第二参考低电平信号，并电性连接于所述第一节点、所述第三节点、所述本级级传信号以及所述本级扫描信号，用于在所述第三节点的电位控制下，将所述第一节点的电位以及所述本级级传信号的电位维持在所述第一参考低电平信号的电位，以及将所述本级扫描信号的电位维持在所述第二参考低电平信号的电位；

[0011] 所述自举电容的一端电性连接于所述第一节点，所述自举电容的另一端电性连接于所述本级扫描信号；

[0012] 所述输入模块包括：第一晶体管、第二晶体管以及第三晶体管；

[0013] 所述第一晶体管的栅极、所述第二晶体管的栅极以及所述第二晶体管的源极均电性连接于所述第一时钟信号，所述第一晶体管的源极电性连接于所述上一级级传信号，所述第一晶体管的漏极与所述第三晶体管的源极均电性连接于所述第二节点，所述第二晶体管的漏极与所述第三晶体管的栅极电性连接，所述第三晶体管的漏极电性连接于所述第一节点。

[0014] 所述第一输出模块包括：第四晶体管；

[0015] 所述第四晶体管的栅极电性连接于所述第一节点，所述第四晶体管的源极电性连接于所述第二时钟信号，所述第四晶体管的漏极电性连接于所述本级级传信号。

[0016] 在本申请所述的GOA电路中，所述第二输出模块包括：第五晶体管；

[0017] 所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极电性连接于所述第二时钟信号，所述第五晶体管的漏极电性连接于所述本级扫描信号。

[0018] 在本申请所述的GOA电路中，所述下拉模块包括：第六晶体管、第七晶体管以

及第八晶体管；

[0019] 所述第六晶体管的栅极、所述第七晶体管的栅极以及所述第八晶体管的栅极均电性连接于所述下一级级传信号，所述第六晶体管的源极电性连接于所述第二参考低电平信号，所述第七晶体管的漏极电性连接于所述第一节点，所述第七晶体管的源极与所述第八晶体管的漏极均与所述第二节点电性连接，所述第八晶体管的源极电性连接于所述第一参考低电平信号。

[0020] 在本申请所述的GOA电路中，所述反相模块包括：第九晶体管、第十晶体管、第十一晶体管以及第十二晶体管；

[0021] 所述第九晶体管的栅极、源极以及所述第十一晶体管的源极均电性连接于所述参考高电平信号，所述第九晶体管的漏极、所述第十一晶体管的栅极以及所述第十晶体管的漏极电性连接，所述第十一晶体管的漏极以及所述第十二晶体管的漏极均电性连接于所述第三节点，所述第十晶体管的栅极以及所述第十二晶体管的栅极均电性连接于所述第一节点，所述第十晶体管的源极以及所述第十二晶体管的源极均电性连接于所述第一参考低电平信号。

[0022] 在本申请所述的GOA电路中，所述下拉维持模块包括：第十三晶体管、第十四晶体管、第十五晶体管以及第十六晶体管；

[0023] 所述第十三晶体管的栅极、所述第十四晶体管的栅极、所述第十五晶体管的栅极以及所述第十六晶体管的栅极均电性连接于所述第三节点，所述第十三晶体管的源极电性连接于所述第二参考低电平信号，所述第十四晶体管的源极以及所述第十六晶体管的源极均电性连接于所述第一参考低电平信号，所述第十六晶体管的漏极与所述第十五晶体管的源极均与所述第二节点电性连接，所述第十三晶体管的漏极电性连接于所述本级扫描信号，所述第十四晶体管的漏极电性连接于所述本级级传信号，所述第十五晶体管的漏极电性连接于所述第一节点。

[0024] 在本申请所述的GOA电路中，所述GOA电路还包括：第十七晶体管、第十八晶体管以及第十九晶体管；

[0025] 所述第十七晶体管的栅极电性连接于所述本级级传信号，所述第十七晶体管的漏极电性连接于所述第二节点，所述第十七晶体管的源极、所述第十八晶体管

的漏极以及所述第十九晶体管的漏极电性连接，所述第十八晶体管的栅极电性连接于所述第一节点，所述第十八晶体管的源极电性连接于所述第二时钟信号，所述第十九晶体管的栅极电性连接于所述第三节点，所述第十九晶体管的源极电性连接于所述第二参考低电平信号。

[0026] 在本申请所述的GOA电路中，所述第一参考低电平信号的电位小于所述第二参考低电平信号的电位。

[0027] 本申请实施例还提供一种GOA电路，包括：多级级联的GOA单元，每一级GOA单元均包括：输入模块、第一输出模块、第二输出模块、下拉模块、反相模块、下拉维持模块以及自举电容；

[0028] 所述输入模块接入第一时钟信号以及上一级级传信号，并电性连接于第一节点以及第二节点，用于在所述第一时钟信号的控制下将所述上一级级传信号输出至所述第一节点；

[0029] 所述第一输出模块接入第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级级传信号；

[0030] 所述第二输出模块接入所述第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级扫描信号；

[0031] 所述下拉模块接入下一级级传信号、第一参考低电平信号以及第二参考低电平信号，并电性连接于所述第一节点以及所述本级扫描信号，用于在所述下一级级传信号的控制下，将所述第一节点的电位下拉至所述第一参考低电平信号的电位，以及将所述本级扫描信号的电位下拉至所述第二参考低电平信号的电位；

[0032] 所述反相模块接入参考高电平信号以及所述第一参考低电平信号，并电性连接于第三节点以及所述第一节点，用于根据所述参考高电平信号、所述第一参考低电平信号以及所述第一节点的电位控制所述第三节点的电位；

[0033] 所述下拉维持模块接入所述第一参考低电平信号以及所述第二参考低电平信号，并电性连接于所述第一节点、所述第三节点、所述本级级传信号以及所述本级扫描信号，用于在所述第三节点的电位控制下，将所述第一节点的电位以及所述本级级传信号的电位维持在所述第一参考低电平信号的电位，以及将所述

本级扫描信号的电位维持在所述第二参考低电平信号的电位；

[0034] 所述自举电容的一端电性连接于所述第一节点，所述自举电容的另一端电性连接于所述本级扫描信号。

[0035] 在本申请所述的GOA电路中，所述输入模块包括：第一晶体管、第二晶体管以及第三晶体管；

[0036] 所述第一晶体管的栅极、所述第二晶体管的栅极以及所述第二晶体管的源极均电性连接于所述第一时钟信号，所述第一晶体管的源极电性连接于所述上一级级传信号，所述第一晶体管的漏极与所述第三晶体管的源极均电性连接于所述第二节点，所述第二晶体管的漏极与所述第三晶体管的栅极电性连接，所述第三晶体管的漏极电性连接于所述第一节点。

[0037] 在本申请所述的GOA电路中，所述第一输出模块包括：第四晶体管；

[0038] 所述第四晶体管的栅极电性连接于所述第一节点，所述第四晶体管的源极电性连接于所述第二时钟信号，所述第四晶体管的漏极电性连接于所述本级级传信号。

[0039] 在本申请所述的GOA电路中，所述第二输出模块包括：第五晶体管；

[0040] 所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极电性连接于所述第二时钟信号，所述第五晶体管的漏极电性连接于所述本级扫描信号。

[0041] 在本申请所述的GOA电路中，所述下拉模块包括：第六晶体管、第七晶体管以及第八晶体管；

[0042] 所述第六晶体管的栅极、所述第七晶体管的栅极以及所述第八晶体管的栅极均电性连接于所述下一级级传信号，所述第六晶体管的源极电性连接于所述第二参考低电平信号，所述第七晶体管的漏极电性连接于所述第一节点，所述第七晶体管的源极与所述第八晶体管的漏极均与所述第二节点电性连接，所述第八晶体管的源极电性连接于所述第一参考低电平信号。

[0043] 在本申请所述的GOA电路中，所述反相模块包括：第九晶体管、第十晶体管、第十一晶体管以及第十二晶体管；

[0044] 所述第九晶体管的栅极、源极以及所述第十一晶体管的源极均电性连接于所述

参考高电平信号，所述第九晶体管的漏极、所述第十一晶体管的栅极以及所述第十晶体管的漏极电性连接，所述第十一晶体管的漏极以及所述第十二晶体管的漏极均电性连接于所述第三节点，所述第十晶体管的栅极以及所述第十二晶体管的栅极均电性连接于所述第一节点，所述第十晶体管的源极以及所述第十二晶体管的源极均电性连接于所述第一参考低电平信号。

[0045] 在本申请所述的GOA电路中，所述下拉维持模块包括：第十三晶体管、第十四晶体管、第十五晶体管以及第十六晶体管；

[0046] 所述第十三晶体管的栅极、所述第十四晶体管的栅极、所述第十五晶体管的栅极以及所述第十六晶体管的栅极均电性连接于所述第三节点，所述第十三晶体管的源极电性连接于所述第二参考低电平信号，所述第十四晶体管的源极以及所述第十六晶体管的源极均电性连接于所述第一参考低电平信号，所述第十六晶体管的漏极与所述第十五晶体管的源极均与所述第二节点电性连接，所述第十三晶体管的漏极电性连接于所述本级扫描信号，所述第十四晶体管的漏极电性连接于所述本级级传信号，所述第十五晶体管的漏极电性连接于所述第一节点。

[0047] 在本申请所述的GOA电路中，所述GOA电路还包括：第十七晶体管、第十八晶体管以及第十九晶体管；

[0048] 所述第十七晶体管的栅极电性连接于所述本级级传信号，所述第十七晶体管的漏极电性连接于所述第二节点，所述第十七晶体管的源极、所述第十八晶体管的漏极以及所述第十九晶体管的漏极电性连接，所述第十八晶体管的栅极电性连接于所述第一节点，所述第十八晶体管的源极电性连接于所述第二时钟信号，所述第十九晶体管的栅极电性连接于所述第三节点，所述第十九晶体管的源极电性连接于所述第二参考低电平信号。

[0049] 在本申请所述的GOA电路中，其特征在于，所述第一参考低电平信号的电位小于所述第二参考低电平信号的电位。

[0050] 本申请实施例还提供一种显示面板，其包括GOA电路，所述GOA电路包括：多级级联的GOA单元，每一级GOA单元均包括：输入模块、第一输出模块、第二输出模块、下拉模块、反相模块、下拉维持模块以及自举电容；

- [0051] 所述输入模块接入第一时钟信号以及上一级级传信号，并电性连接于第一节点以及第二节点，用于在所述第一时钟信号的控制下将所述上一级级传信号输出至所述第一节点；
- [0052] 所述第一输出模块接入第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级级传信号；
- [0053] 所述第二输出模块接入所述第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级扫描信号；
- [0054] 所述下拉模块接入下一级级传信号、第一参考低电平信号以及第二参考低电平信号，并电性连接于所述第一节点以及所述本级扫描信号，用于在所述下一级级传信号的控制下，将所述第一节点的电位下拉至所述第一参考低电平信号的电位，以及将所述本级扫描信号的电位下拉至所述第二参考低电平信号的电位；
- [0055] 所述反相模块接入参考高电平信号以及所述第一参考低电平信号，并电性连接于第三节点以及所述第一节点，用于根据所述参考高电平信号、所述第一参考低电平信号以及所述第一节点的电位控制所述第三节点的电位；
- [0056] 所述下拉维持模块接入所述第一参考低电平信号以及所述第二参考低电平信号，并电性连接于所述第一节点、所述第三节点、所述本级级传信号以及所述本级扫描信号，用于在所述第三节点的电位控制下，将所述第一节点的电位以及所述本级级传信号的电位维持在所述第一参考低电平信号的电位，以及将所述本级扫描信号的电位维持在所述第二参考低电平信号的电位；
- [0057] 所述自举电容的一端电性连接于所述第一节点，所述自举电容的另一端电性连接于所述本级扫描信号。
- [0058] 在本申请所述的显示面板中，所述输入模块包括：第一晶体管、第二晶体管以及第三晶体管；
- [0059] 所述第一晶体管的栅极、所述第二晶体管的栅极以及所述第二晶体管的源极均电性连接于所述第一时钟信号，所述第一晶体管的源极电性连接于所述上一级级传信号，所述第一晶体管的漏极与所述第三晶体管的源极均电性连接于所述第二节点，所述第二晶体管的漏极与所述第三晶体管的栅极电性连接，所述第

三晶体管的漏极电性连接于所述第一节点。

[0060] 在本申请所述的显示面板中，所述第一输出模块包括：第四晶体管；

[0061] 所述第四晶体管的栅极电性连接于所述第一节点，所述第四晶体管的源极电性连接于所述第二时钟信号，所述第四晶体管的漏极电性连接于所述本级级传信号。

[0062] 在本申请所述的显示面板中，所述第二输出模块包括：第五晶体管；

[0063] 所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极电性连接于所述第二时钟信号，所述第五晶体管的漏极电性连接于所述本级扫描信号。

发明的有益效果

有益效果

[0064] 本申请实施例提供的GOA电路及显示面板，通过调整第二晶体管的尺寸以及第三晶体管的尺寸，从而可以有效抑制第一时钟信号对第一节点的电位的影响，进而提高GOA电路的输出能力。

对附图的简要说明

附图说明

[0065] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0066] 图1为本申请实施例提供的GOA电路的结构示意图；

[0067] 图2为本申请实施例提供的GOA电路中一GOA单元的第一种电路示意图；

[0068] 图3为本申请实施例提供的GOA电路中一GOA单元的信号时序图；

[0069] 图4为本申请实施例提供的GOA电路中一GOA单元的第二种电路示意图；

[0070] 图5为本申请实施例提供的显示面板的结构示意图。

发明实施例

本发明的实施方式

[0071] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[0072] 本申请所有实施例中采用的晶体管可以为薄膜晶体管或场效应管或其他特性相同的器件，由于这里采用的晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本申请实施例中，为区分晶体管除栅极之外的两极，将其中一极称为源极，另一极称为漏极。按附图中的形态规定开关晶体管的中间端为栅极、信号输入端为源极、输出端为漏极。此外本申请实施例所采用的晶体管可以包括P型晶体管和/或N型晶体管两种，其中，P型晶体管在栅极为低电平时导通，在栅极为高电平时截止，N型晶体管为在栅极为高电平时导通，在栅极为低电平时截止。

[0073] 请参阅图1，图1为本申请实施例提供的GOA电路的结构示意图。如图1所示，本申请实施例提供的GOA电路包括多级级联的GOA单元。其中，图1以级联的第n-1级GOA单元、第n级GOA单元和第n+1级GOA单元为例。

[0074] 当第n级GOA单元工作时，第n级GOA单元输出的扫描信号为高电位，用于打开显示面板中一行中每个像素的晶体管开关，并通过数据信号对每个像素中的像素电极进行充电；第n级级传信号用于控制第n+1级GOA单元的工作；当第n+1级GOA单元工作时，第n+1级GOA单元输出的扫描信号为高电位，同时第n级GOA单元输出的扫描信号为低电位。

[0075] 进一步的，请参阅图2，图2为本申请实施例提供的GOA电路中一GOA单元的第一种电路示意图。如图2所示，该GOA电路包括：输入模块101、第一输出模块102、第二输出模块103、下拉模块104、反相模块105、下拉维持模块106以及自举电容Cb。

[0076] 其中，输入模块101接入第一时钟信号CLK以及上一级级传信号Gout (n-1)，并电性连接于第一节点Q (n) 以及第二节点L (n)，用于在第一时钟信号CLK的控制下将上一级级传信号Gout (n-1) 输出至第一节点Q (n)。

[0077] 其中，第一输出模块102接入第二时钟信号CK，并电性连接于第一节点Q (n)

，用于在第一节点 $Q(n)$ 的电位控制下输出本级级传信号 $Cout(n)$ 。

[0078] 其中，第二输出模块103接入第二时钟信号 CK ，并电性连接于第一节点 $Q(n)$

，用于在第一节点 $Q(n)$ 的电位控制下输出本级扫描信号 $G(n)$ 。

[0079] 其中，下拉模块104接入下一级级传信号 $Cout(n+1)$ 、第一参考低电平信号 V_{GL1} 以及第二参考低电平信号 V_{GL2} ，并电性连接于第一节点 $Q(n)$ 以及本级扫描信号 $G(n)$ ，用于在下一级级传信号 $Cout(n+1)$ 的控制下，将第一节点 $Q(n)$ 的电位下拉至第一参考低电平信号 V_{GL1} 的电位，以及将本级扫描信号 $G(n)$ 的电位下拉至第二参考低电平信号 V_{GL2} 的电位。

[0080] 其中，反相模块105接入参考高电平信号 V_{GH} 以及第一参考低电平信号 V_{GL1} ，并电性连接于第三节点 $K(n)$ 以及第一节点 $Q(n)$ ，用于根据参考高电平信号 V_{GH} 、第一参考低电平信号 V_{GL1} 以及第一节点 $Q(n)$ 的电位控制第三节点 $K(n)$ 的电位。

[0081] 其中，下拉维持模块106接入第一参考低电平信号 V_{GL1} 以及第二参考低电平信号 V_{GL2} ，并电性连接于第一节点 $Q(n)$ 、第三节点 $K(n)$ 、本级级传信号 $Cout(n)$ 以及本级扫描信号 $G(n)$ ，用于在第三节点 $K(n)$ 的电位控制下，将第一节点 $Q(n)$ 的电位以及本级级传信号 $Cout(n)$ 的电位维持在第一参考低电平信号 V_{GL1} 的电位，以及将本级扫描信号 $G(n)$ 的电位维持在第二参考低电平信号 V_{GL2} 的电位。

[0082] 其中，自举电容 C_b 的一端电性连接于第一节点 $Q(n)$ ，自举电容 C_b 的另一端电性连接于本级扫描信号 $G(n)$ 。

[0083] 在一些实施例中，输入模块101包括：第一晶体管 T_1 、第二晶体管 T_2 以及第三晶体管 T_3 ；第一晶体管 T_1 的栅极、第二晶体管 T_2 的栅极以及第二晶体管 T_2 的源极均电性连接于第一时钟信号 CLK ，第一晶体管 T_1 的源极电性连接于上一级级传信号 $Gout(n-1)$ ，第一晶体管 T_1 的漏极与第三晶体管 T_3 的源极均电性连接于第二节点 $L(n)$ ，第二晶体管 T_2 的漏极与第三晶体管 T_3 的栅极电性连接，第三晶体管 T_3 的漏极电性连接于第一节点 $Q(n)$ 。

[0084] 在一些实施例中，第一输出模块102包括：第四晶体管 T_4 ；第四晶体管 T_4 的栅极电性连接于第一节点 $Q(n)$ ，第四晶体管 T_4 的源极电性连接于第二时钟信号

CK，第四晶体管T4的漏极电性连接于本级级传信号Cout (n)。

[0085] 在一些实施例中，第二输出模块103包括：第五晶体管T5；第五晶体管T5的栅极电性连接于第一节点Q (n)，第五晶体管T5的源极电性连接于第二时钟信号CK，第五晶体管T5的漏极电性连接于本级扫描信号G (n)。

[0086] 在一些实施例中，下拉模块104包括：第六晶体管T6、第七晶体管T7以及第八晶体管T8；第六晶体管T6的栅极、第七晶体管T7的栅极以及第八晶体管T8的栅极均电性连接于下一级级传信号Cout (n+1)，第六晶体管T6的源极电性连接于第二参考低电平信号VGL2，第七晶体管T7的漏极电性连接于第一节点Q (n)，第七晶体管T7的源极与第八晶体管T8的漏极均与第二节点L (n) 电性连接，第八晶体管T8的源极电性连接于第一参考低电平信号VGL1。

[0087] 在一些实施例中，反相模块105包括：第九晶体管T9、第十晶体管T10、第十一晶体管T11以及第十二晶体管T12；第九晶体管T9的栅极、源极以及第十一晶体管T11的源极均电性连接于参考高电平信号VGH，第九晶体管T9的漏极、第十一晶体管T11的栅极以及第十晶体管T10的漏极电性连接，第十一晶体管T11的漏极以及第十二晶体管T12的漏极均电性连接于第三节点K (n)，第十晶体管T10的栅极以及第十二晶体管T12的栅极均电性连接于第一节点Q (n)，第十晶体管T10的源极以及第十二晶体管T12的源极均电性连接于第一参考低电平信号VGL1。

[0088] 在一些实施例中，下拉维持模块106包括：第十三晶体管T13、第十四晶体管T14、第十五晶体管T15以及第十六晶体管T16；第十三晶体管T13的栅极、第十四晶体管T14的栅极、第十五晶体管T15的栅极以及第十六晶体管T16的栅极均电性连接于第三节点K (n)，第十三晶体管T13的源极电性连接于第二参考低电平信号VGL2，第十四晶体管T14的源极以及第十六晶体管T16的源极均电性连接于第一参考低电平信号VGL1，第十六晶体管T16的漏极与第十五晶体管T15的源极均与第二节点L (n) 电性连接，第十三晶体管T13的漏极电性连接于本级扫描信号G (n)，第十四晶体管T14的漏极电性连接于本级级传信号Cout (n)，第十五晶体管T15的漏极电性连接于第一节点Q (n)。

[0089] 需要说明的是，本申请实施例提供的GOA电路与现有的GOA电路的区别在于：本申请实施例的GOA电路可通过调整第二晶体管T2和第三晶体管T3的尺寸，

从而可以有效抑制第一时钟信号CLK对第一节点Q (n) 电位的影响, 进而提高第一节点Q (n) 的电位, 以提高GOA电路的驱动能力。

[0090] 具体的, 请结合图2、图3, 图3为本申请实施例提供的GOA电路中一GOA电路的信号时序图。其中, 第一时钟信号CLK的周期与第二时钟信号CK的周期相同, 且第一时钟信号CLK的极性与第二时钟信号CK的极性相反。第一参考低电平信号VGL1的电位小于第二参考低电平信号VGL2的电位。

[0091] 在第一时间段t1, 第一时钟信号CLK为高电位, 第一晶体管T1、第二晶体管T2以及第三晶体管T3此时打开, 由于此时第二晶体管T2的源极输入的上一级级传信号Gout (n-1) 此时为高电位, 使得第一节点Q (n) 的电位被抬高, 第四晶体管T4和第五晶体管T5打开; 此时由于第二时钟信号CK为低电位, 因此本级级传信号Cout (n) 和本级扫描信均为低电位。

[0092] 在第二时间段t2, 第一时钟信号CLK为低电位, 第一晶体管T1、第二晶体管T2以及第三晶体管T3此时关闭, 第一节点Q (n) 的电位继续保持为高电位, 第四晶体管T4和第五晶体管T5依然打开。此时第二时钟信号CK为高电位, 因此, 本级级传信号Cout (n) 和本级扫描信号G (n) 均为高电位。在该阶段, 本级扫描信为高电位, 使得本级GOA电路对应的扫描线被充电, 打开本级扫描线对应的一行像素, 该行像素被点亮。

[0093] 同时, 在本阶段, 由于本级扫描信号G (n) 为高电位, 在自举电容Cb的作用下, 将第一节点Q (n) 的电位进一步抬高, 保证第四晶体管T4和第五晶体管T5的打开以及本级级传信号Cout (n) 和本级扫描信号G (n) 均为高电位信号。

[0094] 在第三时间段t3, 由于下一级级传信号Cout (n+1) 为高电位信号, 使得第六晶体管T6、第七晶体管T7和第八晶体管T8开启, 直接将第一节点Q (n) 与第一参考低电平信号VGL1连通, 以及将本级扫描信号G (n) 与第二参考低电平信号VGL2连通。也即, 此时, 本级扫描信号G (n) 的电位被下拉至第二参考低电平信号VGL2的电位, 第一节点Q (n) 的电位被下拉至第一参考低电平信号VGL1的电位。

[0095] 在第四时间段t3, 第一节点Q (n) 的电位为低电位, 第十晶体管T106和第十二晶体管T12关闭, 参考高电平信号的高电位输出至第二节点L (n), 从而使得第

十三晶体管T13、第十四晶体管T14、第十五晶体管T15以及第十六晶体管T16打开，第一节点Q (n) 的电位以及本级级传信号Cout (n) 的电位维持在第一参考低电平信号VGL1的电位，以及本级扫描信号G (n) 的电位维持在第二参考低电平信号VGL2的电位。

[0096] 另外，请参阅图3，图3为本申请实施例提供的GOA电路中一GOA单元的第二种电路示意图。其中，图3所示的电路与图2所示的电路的区别在于：图3所示的GOA电路还包括：第十七晶体管T17、第十八晶体管T18以及第十九晶体管T19。

[0097] 其中，第十七晶体管T17的栅极电性连接于本级级传信号Cout (n)，第十七晶体管T17的漏极电性连接于第二节点L (n)，第十七晶体管T17的源极、第十八晶体管T18的漏极以及第十九晶体管T19的漏极电性连接，第十八晶体管T18的栅极电性连接于第一节点Q (n)，第十八晶体管T18的源极电性连接于第二时钟信号CK，第十九晶体管T19的栅极电性连接于第三节点K (n)，第十九晶体管T19的源极电性连接于第二参考低电平信号VGL2。

[0098] 需要说明的是，本申请实施例通过增加第十七晶体管T17、第十八晶体管T18以及第十九晶体管T19，从而扩展GOA电路的功能，使得GOA电路更加安全、稳定。

[0099] 请参阅图5，图5为本申请实施例提供的显示面板的结构示意图。如图4所示，该显示面板包括显示区域100以及集成设置在显示区域100边缘上的GOA电路200；其中，该GOA电路200与上述的GOA电路的结构和原理类似，这里不再赘述。

[0100] 以上仅为本发明的实施例，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

- [权利要求 1] 一种GOA电路，其包括：多级级联的GOA单元，每一级GOA单元均包括：输入模块、第一输出模块、第二输出模块、下拉模块、反相模块、下拉维持模块以及自举电容；
- 所述输入模块接入第一时钟信号以及上一级级传信号，并电性连接于第一节点以及第二节点，用于在所述第一时钟信号的控制下将所述上一级级传信号输出至所述第一节点；
- 所述第一输出模块接入第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级级传信号；
- 所述第二输出模块接入所述第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级扫描信号；
- 所述下拉模块接入下一级级传信号、第一参考低电平信号以及第二参考低电平信号，并电性连接于所述第一节点以及所述本级扫描信号，用于在所述下一级级传信号的控制下，将所述第一节点的电位下拉至所述第一参考低电平信号的电位，以及将所述本级扫描信号的电位下拉至所述第二参考低电平信号的电位；
- 所述反相模块接入参考高电平信号以及所述第一参考低电平信号，并电性连接于第三节点以及所述第一节点，用于根据所述参考高电平信号、所述第一参考低电平信号以及所述第一节点的电位控制所述第三节点的电位；
- 所述下拉维持模块接入所述第一参考低电平信号以及所述第二参考低电平信号，并电性连接于所述第一节点、所述第三节点、所述本级级传信号以及所述本级扫描信号，用于在所述第三节点的电位控制下，将所述第一节点的电位以及所述本级级传信号的电位维持在所述第一参考低电平信号的电位，以及将所述本级扫描信号的电位维持在所述第二参考低电平信号的电位；
- 所述自举电容的一端电性连接于所述第一节点，所述自举电容的另一端电性连接于所述本级扫描信号；

所述输入模块包括：第一晶体管、第二晶体管以及第三晶体管；
所述第一晶体管的栅极、所述第二晶体管的栅极以及所述第二晶体管的源极均电性连接于所述第一时钟信号，所述第一晶体管的源极电性连接于所述上一级级传信号，所述第一晶体管的漏极与所述第三晶体管的源极均电性连接于所述第二节点，所述第二晶体管的漏极与所述第三晶体管的栅极电性连接，所述第三晶体管的漏极电性连接于所述第一节点。

所述第一输出模块包括：第四晶体管；
所述第四晶体管的栅极电性连接于所述第一节点，所述第四晶体管的源极电性连接于所述第二时钟信号，所述第四晶体管的漏极电性连接于所述本级级传信号。

[权利要求 2] 根据权利要求1所述的GOA电路，其中，所述第二输出模块包括：第五晶体管；
所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极电性连接于所述第二时钟信号，所述第五晶体管的漏极电性连接于所述本级扫描信号。

[权利要求 3] 根据权利要求1所述的GOA电路，其中，所述下拉模块包括：第六晶体管、第七晶体管以及第八晶体管；
所述第六晶体管的栅极、所述第七晶体管的栅极以及所述第八晶体管的栅极均电性连接于所述下一级级传信号，所述第六晶体管的源极电性连接于所述第二参考低电平信号，所述第七晶体管的漏极电性连接于所述第一节点，所述第七晶体管的源极与所述第八晶体管的漏极均与所述第二节点电性连接，所述第八晶体管的源极电性连接于所述第一参考低电平信号。

[权利要求 4] 根据权利要求1所述的GOA电路，其中，所述反相模块包括：第九晶体管、第十晶体管、第十一晶体管以及第十二晶体管；
所述第九晶体管的栅极、源极以及所述第十一晶体管的源极均电性连接于所述参考高电平信号，所述第九晶体管的漏极、所述第十一晶体

管的栅极以及所述第十晶体管的漏极电性连接，所述第十一晶体管的漏极以及所述第十二晶体管的漏极均电性连接于所述第三节点，所述第十晶体管的栅极以及所述第十二晶体管的栅极均电性连接于所述第一节点，所述第十晶体管的源极以及所述第十二晶体管的源极均电性连接于所述第一参考低电平信号。

[权利要求 5] 根据权利要求1所述的GOA电路，其中，所述下拉维持模块包括：第十三晶体管、第十四晶体管、第十五晶体管以及第十六晶体管；所述第十三晶体管的栅极、所述第十四晶体管的栅极、所述第十五晶体管的栅极以及所述第十六晶体管的栅极均电性连接于所述第三节点，所述第十三晶体管的源极电性连接于所述第二参考低电平信号，所述第十四晶体管的源极以及所述第十六晶体管的源极均电性连接于所述第一参考低电平信号，所述第十六晶体管的漏极与所述第十五晶体管的源极均与所述第二节点电性连接，所述第十三晶体管的漏极电性连接于所述本级扫描信号，所述第十四晶体管的漏极电性连接于所述本级级传信号，所述第十五晶体管的漏极电性连接于所述第一节点。

[权利要求 6] 根据权利要求1所述的GOA电路，其中，所述GOA电路还包括：第十七晶体管、第十八晶体管以及第十九晶体管；所述第十七晶体管的栅极电性连接于所述本级级传信号，所述第十七晶体管的漏极电性连接于所述第二节点，所述第十七晶体管的源极、所述第十八晶体管的漏极以及所述第十九晶体管的漏极电性连接，所述第十八晶体管的栅极电性连接于所述第一节点，所述第十八晶体管的源极电性连接于所述第二时钟信号，所述第十九晶体管的栅极电性连接于所述第三节点，所述第十九晶体管的源极电性连接于所述第二参考低电平信号。

[权利要求 7] 根据权利要求1所述的GOA电路，其中，所述第一参考低电平信号的电位小于所述第二参考低电平信号的电位。

[权利要求 8] 一种GOA电路，其包括：多级级联的GOA单元，每一级GOA单元均包括：输入模块、第一输出模块、第二输出模块、下拉模块、反相模

块、下拉维持模块以及自举电容；

所述输入模块接入第一时钟信号以及上一级级传信号，并电性连接于第一节点以及第二节点，用于在所述第一时钟信号的控制下将所述上一级级传信号输出至所述第一节点；

所述第一输出模块接入第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级级传信号；

所述第二输出模块接入所述第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级扫描信号；

所述下拉模块接入下一级级传信号、第一参考低电平信号以及第二参考低电平信号，并电性连接于所述第一节点以及所述本级扫描信号，用于在所述下一级级传信号的控制下，将所述第一节点的电位下拉至所述第一参考低电平信号的电位，以及将所述本级扫描信号的电位下拉至所述第二参考低电平信号的电位；

所述反相模块接入参考高电平信号以及所述第一参考低电平信号，并电性连接于第三节点以及所述第一节点，用于根据所述参考高电平信号、所述第一参考低电平信号以及所述第一节点的电位控制所述第三节点的电位；

所述下拉维持模块接入所述第一参考低电平信号以及所述第二参考低电平信号，并电性连接于所述第一节点、所述第三节点、所述本级级传信号以及所述本级扫描信号，用于在所述第三节点的电位控制下，将所述第一节点的电位以及所述本级级传信号的电位维持在所述第一参考低电平信号的电位，以及将所述本级扫描信号的电位维持在所述第二参考低电平信号的电位；

所述自举电容的一端电性连接于所述第一节点，所述自举电容的另一端电性连接于所述本级扫描信号。

[权利要求 9]

根据权利要求8所述的GOA电路，其中，所述输入模块包括：第一晶体管、第二晶体管以及第三晶体管；

所述第一晶体管的栅极、所述第二晶体管的栅极以及所述第二晶体管

的源极均电性连接于所述第一时钟信号，所述第一晶体管的源极电性连接于所述上一级级传信号，所述第一晶体管的漏极与所述第三晶体管的源极均电性连接于所述第二节点，所述第二晶体管的漏极与所述第三晶体管的栅极电性连接，所述第三晶体管的漏极电性连接于所述第一节点。

[权利要求 10] 根据权利要求8所述的GOA电路，其中，所述第一输出模块包括：第四晶体管；

所述第四晶体管的栅极电性连接于所述第一节点，所述第四晶体管的源极电性连接于所述第二时钟信号，所述第四晶体管的漏极电性连接于所述本级级传信号。

[权利要求 11] 根据权利要求8所述的GOA电路，其中，所述第二输出模块包括：第五晶体管；

所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极电性连接于所述第二时钟信号，所述第五晶体管的漏极电性连接于所述本级扫描信号。

[权利要求 12] 根据权利要求8所述的GOA电路，其中，所述下拉模块包括：第六晶体管、第七晶体管以及第八晶体管；

所述第六晶体管的栅极、所述第七晶体管的栅极以及所述第八晶体管的栅极均电性连接于所述下一级级传信号，所述第六晶体管的源极电性连接于所述第二参考低电平信号，所述第七晶体管的漏极电性连接于所述第一节点，所述第七晶体管的源极与所述第八晶体管的漏极均与所述第二节点电性连接，所述第八晶体管的源极电性连接于所述第一参考低电平信号。

[权利要求 13] 根据权利要求8所述的GOA电路，其中，所述反相模块包括：第九晶体管、第十晶体管、第十一晶体管以及第十二晶体管；

所述第九晶体管的栅极、源极以及所述第十一晶体管的源极均电性连接于所述参考高电平信号，所述第九晶体管的漏极、所述第十一晶体管的栅极以及所述第十晶体管的漏极电性连接，所述第十一晶体管的

漏极以及所述第十二晶体管的漏极均电性连接于所述第三节点，所述第十晶体管的栅极以及所述第十二晶体管的栅极均电性连接于所述第一节点，所述第十晶体管的源极以及所述第十二晶体管的源极均电性连接于所述第一参考低电平信号。

[权利要求 14] 根据权利要求8所述的GOA电路，其中，所述下拉维持模块包括：第十三晶体管、第十四晶体管、第十五晶体管以及第十六晶体管；所述第十三晶体管的栅极、所述第十四晶体管的栅极、所述第十五晶体管的栅极以及所述第十六晶体管的栅极均电性连接于所述第三节点，所述第十三晶体管的源极电性连接于所述第二参考低电平信号，所述第十四晶体管的源极以及所述第十六晶体管的源极均电性连接于所述第一参考低电平信号，所述第十六晶体管的漏极与所述第十五晶体管的源极均与所述第二节点电性连接，所述第十三晶体管的漏极电性连接于所述本级扫描信号，所述第十四晶体管的漏极电性连接于所述本级级传信号，所述第十五晶体管的漏极电性连接于所述第一节点。

[权利要求 15] 根据权利要求8所述的GOA电路，其中，所述GOA电路还包括：第十七晶体管、第十八晶体管以及第十九晶体管；所述第十七晶体管的栅极电性连接于所述本级级传信号，所述第十七晶体管的漏极电性连接于所述第二节点，所述第十七晶体管的源极、所述第十八晶体管的漏极以及所述第十九晶体管的漏极电性连接，所述第十八晶体管的栅极电性连接于所述第一节点，所述第十八晶体管的源极电性连接于所述第二时钟信号，所述第十九晶体管的栅极电性连接于所述第三节点，所述第十九晶体管的源极电性连接于所述第二参考低电平信号。

[权利要求 16] 根据权利要求8所述的GOA电路，其中，所述第一参考低电平信号的电位小于所述第二参考低电平信号的电位。

[权利要求 17] 一种显示面板，其包括GOA电路，所述GOA电路包括：多级级联的GOA单元，每一级GOA单元均包括：输入模块、第一输出模块、第二输出模块、下拉模块、反相模块、下拉维持模块以及自举电容；

所述输入模块接入第一时钟信号以及上一级级传信号，并电性连接于第一节点以及第二节点，用于在所述第一时钟信号的控制下将所述上一级级传信号输出至所述第一节点；

所述第一输出模块接入第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级级传信号；

所述第二输出模块接入所述第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级扫描信号；

所述下拉模块接入下一级级传信号、第一参考低电平信号以及第二参考低电平信号，并电性连接于所述第一节点以及所述本级扫描信号，用于在所述下一级级传信号的控制下，将所述第一节点的电位下拉至所述第一参考低电平信号的电位，以及将所述本级扫描信号的电位下拉至所述第二参考低电平信号的电位；

所述反相模块接入参考高电平信号以及所述第一参考低电平信号，并电性连接于第三节点以及所述第一节点，用于根据所述参考高电平信号、所述第一参考低电平信号以及所述第一节点的电位控制所述第三节点的电位；

所述下拉维持模块接入所述第一参考低电平信号以及所述第二参考低电平信号，并电性连接于所述第一节点、所述第三节点、所述本级级传信号以及所述本级扫描信号，用于在所述第三节点的电位控制下，将所述第一节点的电位以及所述本级级传信号的电位维持在所述第一参考低电平信号的电位，以及将所述本级扫描信号的电位维持在所述第二参考低电平信号的电位；

所述自举电容的一端电性连接于所述第一节点，所述自举电容的另一端电性连接于所述本级扫描信号。

[权利要求 18]

根据权利要求17所述的显示面板，其中，所述输入模块包括：第一晶体管、第二晶体管以及第三晶体管；

所述第一晶体管的栅极、所述第二晶体管的栅极以及所述第二晶体管的源极均电性连接于所述第一时钟信号，所述第一晶体管的源极电性

连接于所述上一级级传信号，所述第一晶体管的漏极与所述第三晶体管的源极均电性连接于所述第二节点，所述第二晶体管的漏极与所述第三晶体管的栅极电性连接，所述第三晶体管的漏极电性连接于所述第一节点。

[权利要求 19] 根据权利要求17所述的显示面板，其中，所述第一输出模块包括：第四晶体管；

所述第四晶体管的栅极电性连接于所述第一节点，所述第四晶体管的源极电性连接于所述第二时钟信号，所述第四晶体管的漏极电性连接于所述本级级传信号。

[权利要求 20] 根据权利要求17所述的显示面板，其中，所述第二输出模块包括：第五晶体管；

所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极电性连接于所述第二时钟信号，所述第五晶体管的漏极电性连接于所述本级扫描信号。

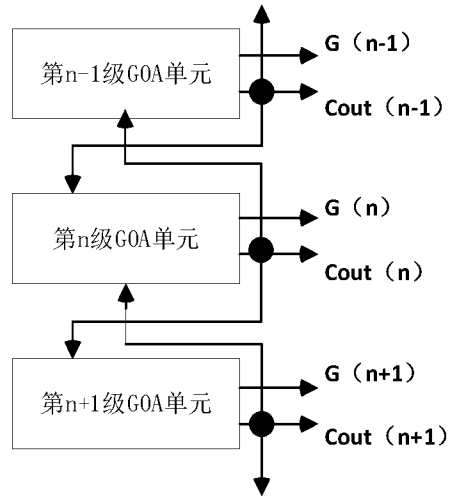


图 1

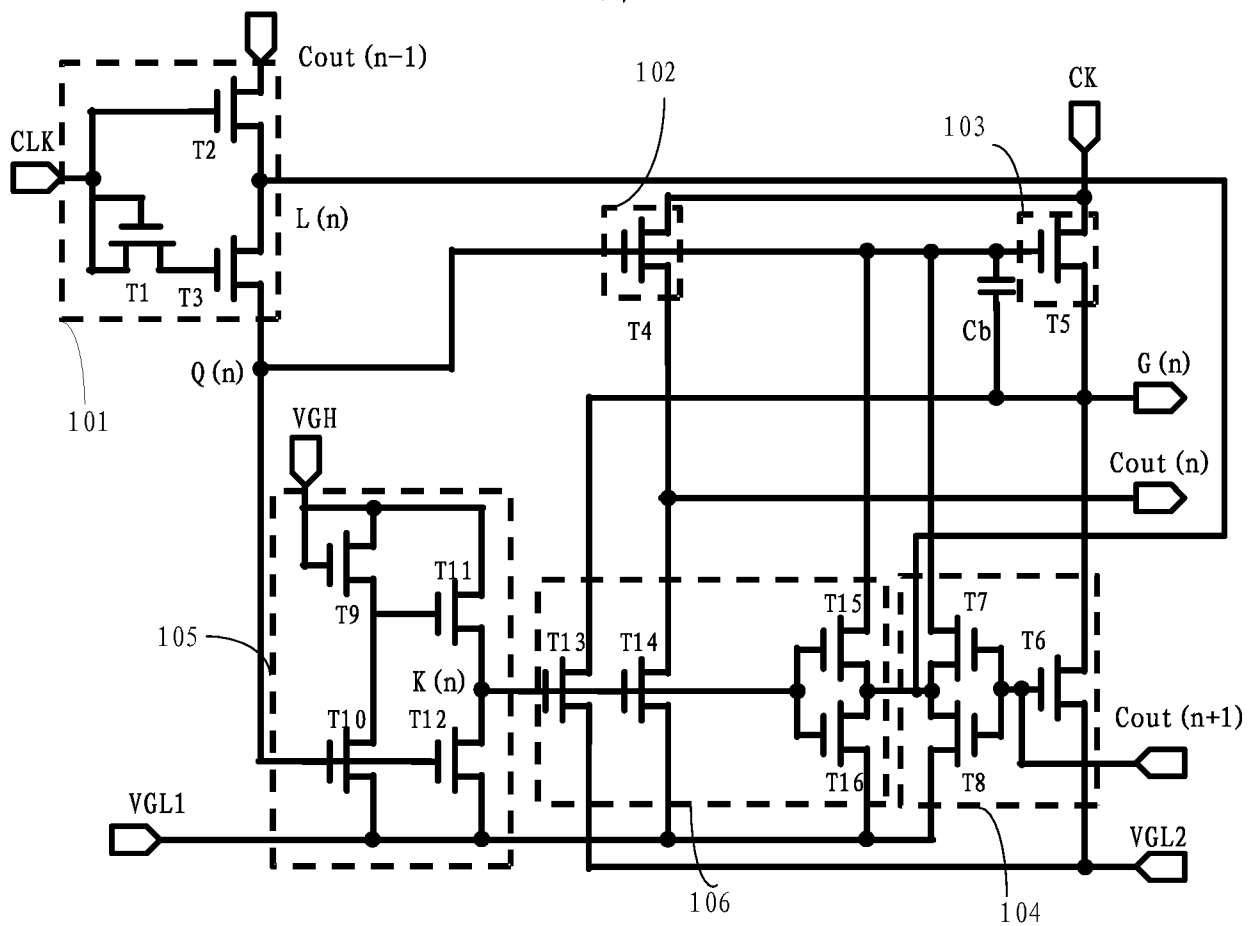


图 2

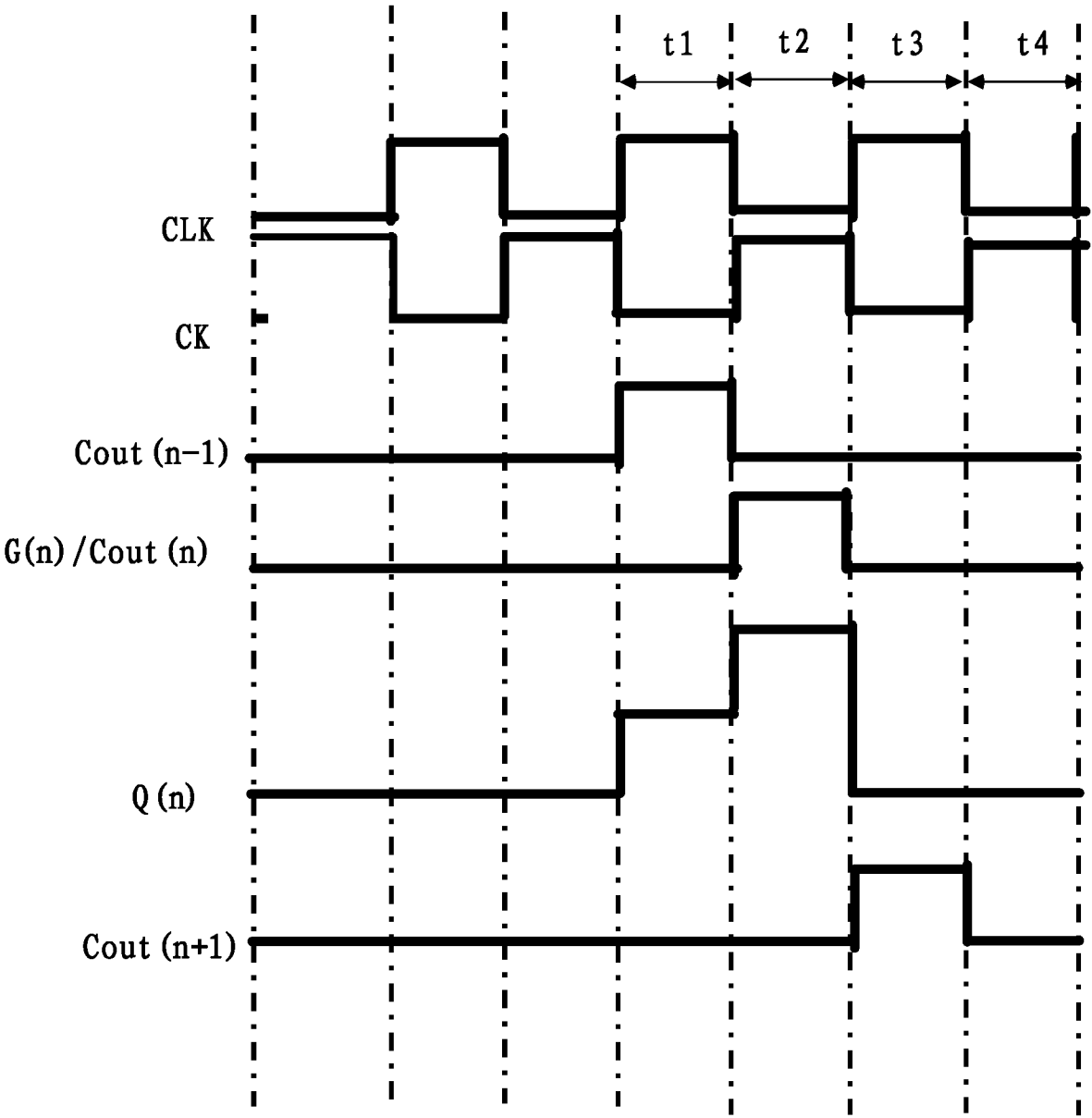


图 3

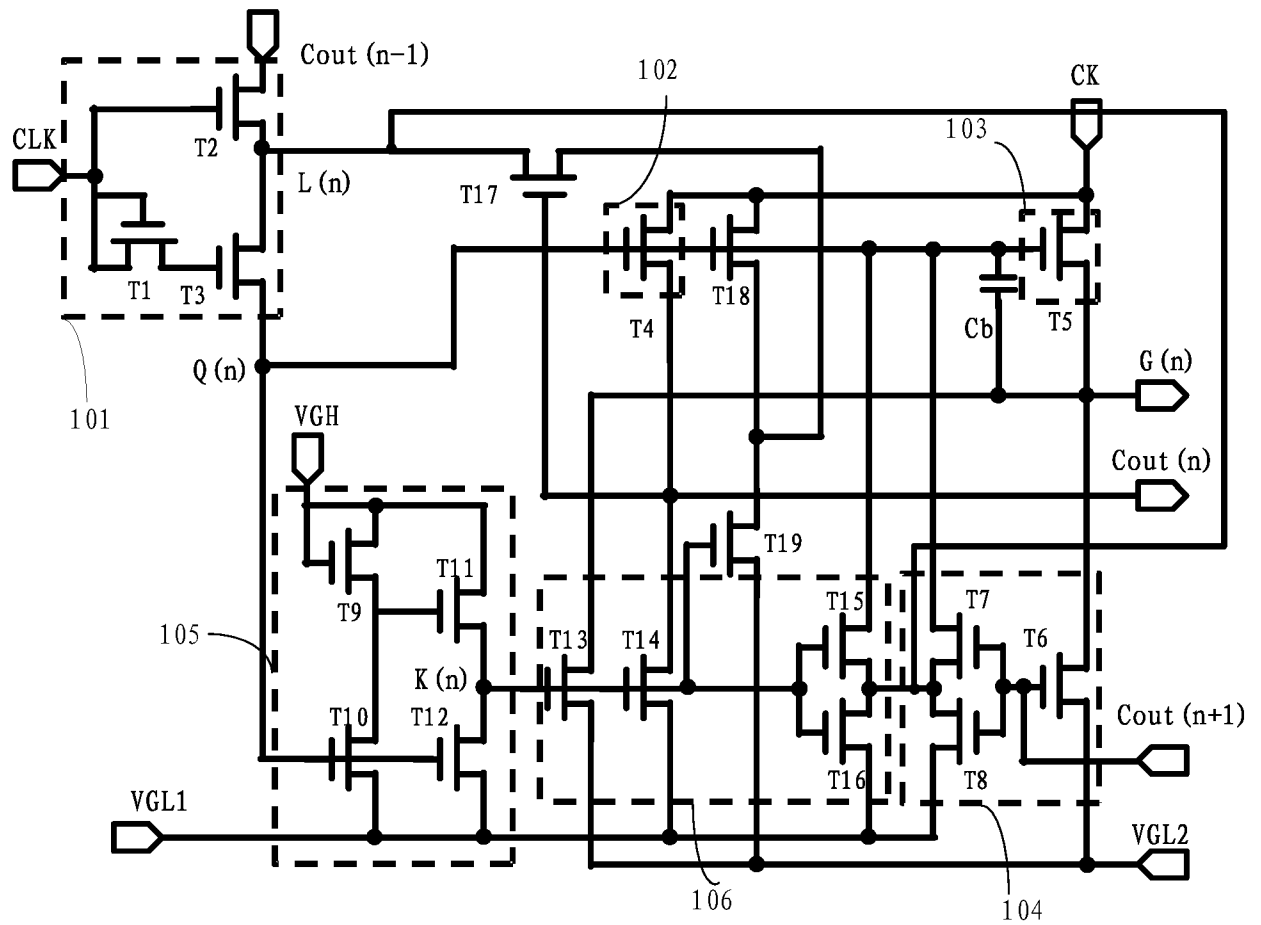


图 4

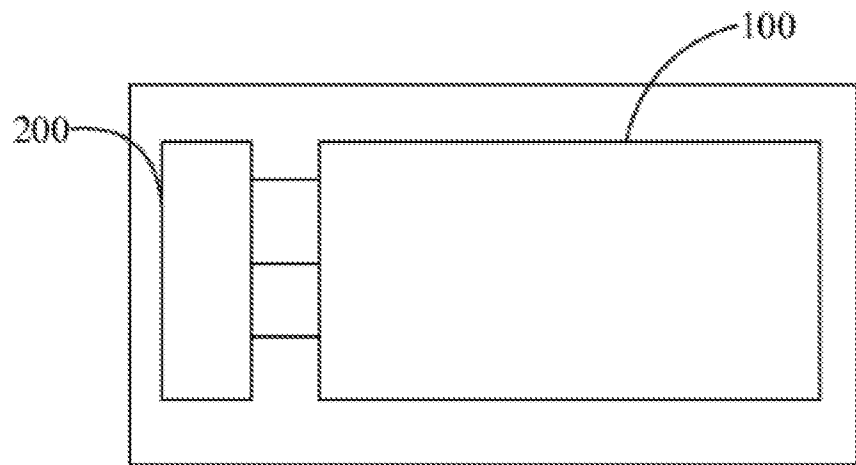


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/088752

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNAB, CNKI, VEN, CNTXT: GOA, 时钟, 下拉, 级联, 自举, 上拉, cascad+, pull, down, bootstrap+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104505050 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 08 April 2015 (2015-04-08) entire document	1-20
A	CN 108962166 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 07 December 2018 (2018-12-07) entire document	1-20
A	CN 108172181 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 15 June 2018 (2018-06-15) entire document	1-20
A	CN 104167191 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 26 November 2014 (2014-11-26) entire document	1-20
A	US 9934749 B2 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 03 April 2018 (2018-04-03) entire document	1-20
A	CN 106782395 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 31 May 2017 (2017-05-31) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 January 2020

Date of mailing of the international search report

23 January 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/088752**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 106448592 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 22 February 2017 (2017-02-22) entire document	1-20
A	CN 103680386 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 26 March 2014 (2014-03-26) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/088752

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104505050	A	08 April 2015	RU	2667457	C1	19 September 2018
				WO	2016106822	A1	07 July 2016
				KR	101989720	B1	14 June 2019
				US	9524689	B2	20 December 2016
				GB	201708784	D0	19 July 2017
				DE	112015005388	T5	24 August 2017
				GB	2548046	A	06 September 2017
				JP	2018508810	A	29 March 2018
				KR	20170100662	A	04 September 2017
				JP	6570639	B2	04 September 2019
				US	2016343336	A1	24 November 2016
				CN	104505050	B	01 February 2017
				None			
CN	108962166	A	07 December 2018	None			
CN	108172181	A	15 June 2018	None			
CN	104167191	A	26 November 2014	US	2016005372	A1	07 January 2016
				WO	2016000280	A1	07 January 2016
				CN	104167191	B	17 August 2016
US	9934749	B2	03 April 2018	US	2017270886	A1	21 September 2017
CN	106782395	A	31 May 2017	CN	106782395	B	26 February 2019
				US	2018211626	A1	26 July 2018
				US	10121442	B2	06 November 2018
				WO	2018120328	A1	05 July 2018
CN	106448592	A	22 February 2017	JP	2019532358	A	07 November 2019
				KR	20190061081	A	04 June 2019
				CN	106448592	B	02 November 2018
				WO	2018072303	A1	26 April 2018
				US	10127878	B1	13 November 2018
				US	2018330686	A1	15 November 2018
				EP	3531413	A1	28 August 2019
CN	103680386	A	26 March 2014	CN	103680386	B	09 March 2016
				US	9530371	B2	27 December 2016
				US	2016253938	A1	01 September 2016
				WO	2015089917	A1	25 June 2015

国际检索报告

国际申请号

PCT/CN2019/088752

A. 主题的分类

G09G 3/20 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNAB, CNKI, VEN, CNTXT:GOA, 时钟, 下拉, 级联, 自举, 上拉, cascad+, pull, down, bootstrap+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 104505050 A (深圳市华星光电技术有限公司) 2015年 4月 8日 (2015 - 04 - 08) 全文	1-20
A	CN 108962166 A (深圳市华星光电技术有限公司) 2018年 12月7日 (2018 - 12 - 07) 全文	1-20
A	CN 108172181 A (深圳市华星光电技术有限公司) 2018年 6月 15日 (2018 - 06 - 15) 全文	1-20
A	CN 104167191 A (深圳市华星光电技术有限公司) 2014年 11月 26日 (2014 - 11 - 26) 全文	1-20
A	US 9934749 B2 (SHENZHEN CHINA STAR OPTOELECT) 2018年 4月 3日 (2018 - 04 - 03) 全文	1-20
A	CN 106782395 A (深圳市华星光电技术有限公司) 2017年 5月 31日 (2017 - 05 - 31) 全文	1-20
A	CN 106448592 A (深圳市华星光电技术有限公司) 2017年 2月 22日 (2017 - 02 - 22) 全文	1-20
A	CN 103680386 A (深圳市华星光电技术有限公司) 2014年 3月 26日 (2014 - 03 - 26) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2020年 1月 18日

国际检索报告邮寄日期

2020年 1月 23日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

席万花

电话号码 62085833

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/088752

检索报告引用的专利文件			公布日 (年/月/日)	同族专利		公布日 (年/月/日)	
CN	104505050	A	2015年 4月 8日	RU	2667457	C1	2018年 9月 19日
				WO	2016106822	A1	2016年 7月 7日
				KR	101989720	B1	2019年 6月 14日
				US	9524689	B2	2016年 12月 20日
				GB	201708784	D0	2017年 7月 19日
				DE	112015005388	T5	2017年 8月 24日
				GB	2548046	A	2017年 9月 6日
				JP	2018508810	A	2018年 3月 29日
				KR	20170100662	A	2017年 9月 4日
				JP	6570639	B2	2019年 9月 4日
				US	2016343336	A1	2016年 11月 24日
				CN	104505050	B	2017年 2月 1日
CN	108962166	A	2018年 12月 7日	无			
CN	108172181	A	2018年 6月 15日	无			
CN	104167191	A	2014年 11月 26日	US	2016005372	A1	2016年 1月 7日
				WO	2016000280	A1	2016年 1月 7日
				CN	104167191	B	2016年 8月 17日
US	9934749	B2	2018年 4月 3日	US	2017270886	A1	2017年 9月 21日
CN	106782395	A	2017年 5月 31日	CN	106782395	B	2019年 2月 26日
				US	2018211626	A1	2018年 7月 26日
				US	10121442	B2	2018年 11月 6日
				WO	2018120328	A1	2018年 7月 5日
CN	106448592	A	2017年 2月 22日	JP	2019532358	A	2019年 11月 7日
				KR	20190061081	A	2019年 6月 4日
				CN	106448592	B	2018年 11月 2日
				WO	2018072303	A1	2018年 4月 26日
				US	10127878	B1	2018年 11月 13日
				US	2018330686	A1	2018年 11月 15日
				EP	3531413	A1	2019年 8月 28日
CN	103680386	A	2014年 3月 26日	CN	103680386	B	2016年 3月 9日
				US	9530371	B2	2016年 12月 27日
				US	2016253938	A1	2016年 9月 1日
				WO	2015089917	A1	2015年 6月 25日