

<b>DOMANDA DI INVENZIONE NUMERO</b>	<b>102022000001478</b>
<b>Data Deposito</b>	<b>28/01/2022</b>
<b>Data Pubblicazione</b>	<b>28/07/2023</b>

Classifiche IPC

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	01	L	29	51
Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	01	L	29	16
Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	01	L	21	04
Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	01	L	21	28
Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	01	L	29	20
Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	01	L	29	778
Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	01	L	29	78

Titolo

TRANSISTORE AD AMPIA BANDA PROIBITA CON STRUTTURA ISOLANTE DI PORTA NANOLAMINATA E PROCEDIMENTO PER FABBRICARE UN TRANSISTORE AD AMPIA BANDA PROIBITA

DESCRIZIONE

del brevetto per invenzione industriale dal titolo:  
"TRANSISTORE AD AMPIA BANDA PROIBITA CON STRUTTURA ISOLANTE  
DI PORTA NANOLAMINATA E PROCEDIMENTO PER FABBRICARE UN  
TRANSISTORE AD AMPIA BANDA PROIBITA"

di 1) STMICROELECTRONICS S.R.L.

di nazionalità italiana

con sede: VIA C. OLIVETTI 2

20864 AGRATE BRIANZA (MB)

di 2) CONSIGLIO NAZIONALE DELLE RICERCHE

di nazionalità italiana

con sede: PIAZZALE ALDO MORO, 7

00185 ROMA (RM)

Inventori: IUCOLANO Ferdinando, LO NIGRO Raffaella,  
SCHILIRO' Emanuela, ROCCAFORTE Fabrizio

\*\*\* \*\*\*\*\* \*\*\*

La presente invenzione è relativa a un transistor ad  
ampia banda proibita con struttura isolante di porta  
nanolaminata e a un procedimento per fabbricare un  
transistor ad ampia banda proibita.

Come è noto, i materiali semiconduttori, che hanno  
un'ampia banda proibita (WBG, Wide Band Gap), in particolare,  
che hanno un valore energetico  $E_g$  della banda proibita  
maggiore di 1,1 eV, bassa resistenza in stato acceso (RON),  
un elevato valore di conduttività termica, elevata frequenza

operativa e alta velocità di saturazione dei portatori di carica, sono particolarmente adatti per produrre componenti elettronici per applicazioni di potenza, come MOSFET, JFET, HEMT (High Electron Mobility Transistors) e MISHEMT (Metal-Insulator-Semiconductor High Electron-Mobility Transistors).

Un materiale avente simili caratteristiche, e progettato per essere utilizzato per la fabbricazione di componenti elettronici, è il carburo di silicio (SiC) nei suoi politipi diversi (per esempio, 3C-SiC, 4H-SiC, 6H-SiC).

Un altro esempio di materiale che viene vantaggiosamente sfruttato allo scopo è il nitruro di gallio (GaN). Per esempio, sono noti transistori ad effetto di campo ad alta mobilità basati sulla formazione di strati di gas bidimensionale di elettroni (2DEG) ad alta mobilità in corrispondenza di un'eterogiunzione, ovvero all'interfaccia tra materiali semiconduttori a differente banda proibita band gap. Ad esempio, sono noti transistori HEMT basati sull'eterogiunzione tra uno strato di nitruro di alluminio e gallio (AlGaN) ed uno strato di nitruro di gallio (GaN).

Nei transistori di potenza realizzati in SiC o GaN, è conveniente utilizzare dielettrici ad alta permittività per realizzare strutture di isolamento di porta. Questi materiali consentono infatti di ridurre sia il campo elettrico all'interno delle strutture di isolamento di

porta, sia la resistenza stato acceso RON dei dispositivi e, inoltre, comportano benefici anche per la tensione di soglia.

Un problema dei materiali ad alta permittività attualmente impiegati è legato alla tendenza a deteriorarsi se esposti ad alte temperature. In particolare, a temperature comunemente raggiunte in alcune fasi della fabbricazione di dispositivi ad ampia banda proibita i materiali ad alta permittività puri tendono a cristallizzare e il cambiamento di fase può condurre a un aumento delle correnti di dispersione ("leakage") dei dispositivi. Per esempio, la formazione di contatti ohmici richiede in genere fasi di annealing ad alta temperatura e può causare la cristallizzazione dei dielettrici ad alta permittività. Di conseguenza, il flusso di processo deve essere organizzato in modo da eseguire le fasi che richiedono alte temperature prima di formare le strutture di isolamento di porta. Questa sequenza di processo può però richiedere fasi aggiuntive altrimenti non necessarie che comportano un aumento dei costi di produzione. Per esempio, occorre eseguire una fotolitografia addizionale per definire i contatti ohmici separatamente dalla struttura isolante di porta.

D'altra parte, materiali come l'ossido di silicio tollerano temperature anche molto elevate senza degradarsi, ma non hanno permittività sufficiente per raggiungere le elevate prestazioni sovente richieste.

Scopo della presente invenzione è fornire un transistoro ad ampia banda proibita e un procedimento per fabbricare un transistoro ad ampia banda proibita che permettano di superare o almeno attenuare le limitazioni descritte.

Secondo la presente invenzione vengono forniti un transistoro ad ampia banda proibita e un procedimento per fabbricare un transistoro ad ampia banda proibita come definiti rispettivamente nelle rivendicazioni 1 e 7.

Per una migliore comprensione dell'invenzione, ne verranno ora descritte alcune forme di realizzazione, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- la figura 1 mostra una sezione trasversale attraverso un transistoro ad ampia banda proibita in accordo a una forma di realizzazione della presente invenzione;

- la figura 2a mostra un dettaglio ingrandito del transistoro di figura 1 in una fase di un processo in accordo a una forma di realizzazione della presente invenzione;

- la figura 2b mostra il dettaglio di figura 2a in una successiva fase di lavorazione;

- la figura 2c mostra il dettaglio di figura 2a in una successiva fase di lavorazione di un processo in accordo a una diversa forma di realizzazione della presente invenzione;

- la figura 3 mostra una sezione trasversale attraverso un transistor ad ampia banda proibita in accordo a una diversa forma di realizzazione della presente invenzione;

- le figure 4-8 mostrano sezioni trasversali attraverso una fetta semiconduttrice durante successive fasi di un processo in accordo a un'ulteriore forma di realizzazione della presente invenzione;

- la figura 9 mostra una sezione trasversale attraverso un transistor ad ampia banda proibita in accordo a un'ulteriore forma di realizzazione della presente invenzione;

- la figura 10 mostra una sezione trasversale attraverso una fetta semiconduttrice durante successive fasi di un processo in accordo ad ancora un'altra forma di realizzazione della presente invenzione;

- la figura 11 mostra una sezione trasversale attraverso un transistor ad ampia banda proibita in accordo a un'ulteriore forma di realizzazione della presente invenzione;

- le figure 12-16 mostrano sezioni trasversali attraverso una fetta semiconduttrice durante successive fasi di un processo in accordo a un'ulteriore forma di realizzazione della presente invenzione.

L'invenzione riguarda la fabbricazione di strutture isolanti di porta in particolare in transistori ad ampia

banda proibita. Con riferimento alla figura 1, in generale, un transistor a banda proibita comprende una struttura semiconduttrice 2, in cui almeno uno strato è di materiale semiconduttore ad ampia banda proibita, come nitruro di gallio (GaN) o carburo di silicio (SiC), un elettrodo di sorgente 3, un elettrodo di pozzo 4 e un elettrodo di porta 7, separato dalla struttura semiconduttrice 2 mediante una struttura isolante di porta 8. Più precisamente, la struttura semiconduttrice 2 può includere, nel caso di un dispositivo HEMT GaN, un'eterostruttura di nitruro di alluminio e gallio (AlGaN) e di GaN - eterostruttura AlGaN/GaN - oppure, nel caso di un MOSFET SiC, un substrato SiC ad alto drogaggio (per esempio  $10^{18}$  atomi/cm<sup>3</sup> o maggiore) e uno strato epitassiale SiC a drogaggio più basso (per esempio  $10^{15}$ - $10^{16}$  atomi/cm<sup>3</sup>).

La struttura isolante di porta 8 illustrata più in dettaglio nelle figure 2a-2c, contiene una miscela di alluminio, afnio e ossigeno. Più precisamente, la struttura isolante di porta 8 è ottenuta dalla deposizione conforme in successione di una pluralità di strati di ossido di alluminio 8a e di una pluralità di strati ossido di afnio 8b di spessore nanometrico alternati a formare una pila di porta 8' (figura 2a), seguita da una fase di annealing (figure 2b, 2c). Gli strati di ossido di alluminio 8a e di strati ossido di afnio 8b possono avere per esempio spessore compreso fra 0,5 nm e

10 nm, sono amorfi e sono ottenuti mediante Atomic Layer Deposition (ALD). Il numero di strati 8a, 8b è determinato in modo che uno spessore complessivo della struttura isolante di porta 8 abbia un valore desiderato, per esempio compreso fra 30 nm e 60 nm. In una forma di realizzazione non limitativa, tutti gli strati di ossido di alluminio 8a e gli strati ossido di afnio 8b hanno uguale spessore.

Durante la fase di annealing, l'ossido di alluminio e l'ossido di afnio diffondono alle interfacce fra gli strati 8a, 8b e si mescolano. Almeno alle interfacce, quindi, è presente la miscela di alluminio, afnio e ossigeno. Secondo lo spessore iniziale degli strati di ossido di alluminio 8a e degli strati ossido di afnio 8b, la durata e la temperatura della fase di annealing, nella struttura isolante di porta 8 finale la struttura stratificata di partenza può essere parzialmente conservata (figura 2b) oppure, in alternativa, può andare persa (figura 2c). La fase di annealing può essere condotta riscaldando la pila di porta 8' a una temperatura di annealing compresa fra 500 °C e 950 °C, preferibilmente fra 600 °C e 800 °C, per esempio 800 °C. La durata di annealing può essere compresa fra 30 s e 600 s. La temperatura di annealing e la durata di annealing sono comunque selezionate in modo da evitare la cristallizzazione della struttura isolante di porta 8, grazie alla diffusione e al mescolamento dell'ossido di alluminio e dell'ossido di

afnio. La permittività e la temperatura di cristallizzazione della struttura isolante di porta 8 sono intermedie fra la permittività e la temperatura dell'ossido di alluminio e quelle dell'ossido di afnio. La struttura isolante di porta 8 ha quindi valori soddisfacenti di permittività e, allo stesso tempo, è in grado di resistere senza alterazioni di struttura alle sollecitazioni termiche che si verificano durante le fasi di fabbricazione dei dispositivi di potenza, per esempio per la formazione di contatti ohmici. Dato che le strutture di porta non hanno necessità di essere protette dall'esposizione ad alte temperature, il flusso di processo può essere ottimizzato in modo da evitare fasi non indispensabili, per esempio riducendo il numero di fotolitografie.

La figura 3 mostra un dispositivo HEMT 10 provvisto di una struttura di ossido di porta ottenuta come descritto. Il dispositivo HEMT 10 include: un substrato 12, ad esempio di silicio, o carburo di silicio (SiC) o ossido di alluminio ( $\text{Al}_2\text{O}_3$ ); uno strato di canale 14, di nitruro di gallio (GaN) intrinseco, estendentesi sopra il substrato 12; uno strato di barriera 16, di nitruro di alluminio e gallio (AlGaN) intrinseco o, più in generale, di composti basati su leghe ternarie o quaternarie del nitruro di gallio, quali  $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ,  $\text{AlInGaN}$ ,  $\text{In}_x\text{Ga}_{1-x}\text{N}$ ,  $\text{Al}_x\text{In}_{1-x}\text{Al}$ , estendentesi sopra lo strato di canale 14; una struttura isolante di porta 17,

estendentesi su una faccia 16a dello strato di barriera 16 opposta allo strato di canale 14; un elettrodo di porta 18 estendentesi sulla struttura isolante di porta 17 tra un elettrodo di sorgente 20 e un elettrodo di pozzo 22.

Lo strato di canale 14 e lo strato di barriera 16 formano un'eterostruttura 13 con un'eterogiunzione 13a all'interfaccia fra loro. L'eterostruttura 13 si estende, quindi, tra un lato inferiore dello strato di canale 14, che è parte dell'interfaccia con il substrato 12 sottostante, e un lato superiore 16a dello strato di barriera 16.

Il substrato 12, lo strato di canale 14 e lo strato di barriera 16 sono nel seguito indicati, nel complesso, come struttura semiconduttrice 15. Una regione attiva 13a, definita nella struttura semiconduttrice 15, alloggia, in uso, il canale conduttivo del dispositivo HEMT 10. Nella forma di realizzazione di figura 3, l'elettrodo di porta 18 si estende sopra la struttura isolante di porta 17 in una zona corrispondente alla regione attiva 13a.

La struttura isolante di porta 17, realizzata come già illustrato con riferimento alle figure 2a-2c, contiene una miscela di alluminio, afnio e ossigeno. Più precisamente, la struttura isolante di porta 17 è ottenuta dalla deposizione conforme in successione di una pluralità di strati di ossido di alluminio 17a e di una pluralità di strati ossido di afnio 17b di spessore nanometrico o sub-nanometrico alternati,

seguita da una fase di annealing. Gli strati di ossido di alluminio 17a e gli strati ossido di afnio 17b sono amorfi.

Secondo ulteriori forme di realizzazione non mostrate, il corpo semiconduttore 15 e come la regione attiva 13a in esso alloggiata, possono comprendere, secondo le preferenze di progetto, un solo strato o più strati di GaN, o leghe di GaN, opportunamente drogati o di tipo intrinseco.

Nella forma di realizzazione di figura 3, le regioni di sorgente 20 e pozzo 22, di materiale conduttivo, ad esempio metallico, si estendono esclusivamente attraverso lo strato isolante di porta 17, fino a raggiungere la superficie 16a dello strato di barriera 16, senza sprofondare nello strato di barriera 16.

Secondo forme di realizzazione non illustrate, le regioni di sorgente 20 e le regioni di pozzo 22 si estendono per una parte dello spessore dello strato di barriera 16, terminando all'interno dello strato di barriera 16.

Secondo ulteriori forme di realizzazione non illustrate, le regioni di sorgente 20 e le regioni di pozzo 22 si estendono in profondità nel corpo semiconduttore 15, completamente attraverso lo strato di barriera 16, terminando all'interfaccia tra lo strato di barriera 16 e lo strato di canale 14.

Secondo ulteriori forme di realizzazione non illustrate, le regioni di sorgente 20 e le regioni di pozzo

22 si estendono inoltre parzialmente attraverso lo strato di canale 14 e terminano nello strato di canale 14.

Un esempio di un processo di fabbricazione del dispositivo HEMT 10 sarà di seguito descritto con riferimento alle figure 4-9.

Inizialmente, figura 4, una fetta semiconduttrice 30 comprende il substrato 12, ad esempio di silicio o carburo di silicio (SiC) o ossido di alluminio ( $Al_2O_3$ ). Sul substrato 12 vengono formati lo strato di canale 14, di nitruro di gallio (GaN), e lo strato di barriera 16, di nitruro di gallio e alluminio (AlGaN), estendentesi sullo strato di canale 14. Lo strato di barriera 16 e lo strato di canale 14 formano, come accennato in precedenza, l'eterostruttura 13 e l'eterogiunzione 13a.

Viene poi formata una pila di porta 17', come descritto con riferimento alla figura 2a. In particolare, la pila di porta 17' è ottenuta dalla deposizione conforme in successione di una pluralità di strati di ossido di alluminio 17a ( $Al_2O_3$ ) e di una pluralità di strati ossido di afnio 17b ( $HfO_2$ ) di spessore nanometrico alternati, fino a raggiungere uno spessore complessivo desiderato. Gli strati di ossido di alluminio 17a e gli strati ossido di afnio 17b sono amorfi e sono formati mediante Atomic Layer Deposition (ALD), che assicura conformità della struttura e un controllo estremamente accurato degli spessori.

Successivamente (figura 5), un primo strato sacrificale 25 per esempio di resist viene formato sulla pila di porta 17' e definito mediante un primo processo fotolitografico. Il primo strato sacrificale 25 ha aperture 26 per la formazione dell'elettrodo di sorgente 20 e dell'elettrodo di pozzo 22. Il primo strato sacrificale 25 viene utilizzato come maschera per attaccare selettivamente la pila di porta 17' attraverso le aperture 26.

Con riferimento alla figura 6, in seguito alla deposizione di uno strato o un multistrato metallico e alla rimozione (lift-off) del primo strato sacrificale 25, l'elettrodo di sorgente 20 e l'elettrodo di pozzo 22 risultano formati in posizioni corrispondenti a rispettive aperture 26.

Viene quindi eseguita una fase di annealing a temperatura compresa per esempio fra 500 °C e 950 °C, preferibilmente fra 600 °C e 800 °C, per la formazione di contatti ohmici. Allo stesso tempo, gli strati di ossido di alluminio 17a e gli strati ossido di alluminio 17b adiacenti diffondono gli uni negli altri alle rispettive interfacce e dalle porzioni residue della pila di porta 17' si forma la struttura isolante di porta 17, come mostrato in figura 7. Il numero e gli spessori degli strati di ossido di alluminio 17a e degli strati ossido di alluminio 17b, la temperatura di annealing e la durata di annealing sono selezionati secondo

le preferenze di progetto in modo che la struttura isolante di porta 17 mantenga (come nell'esempio di figura 2b) o non mantenga tracce (come nell'esempio di figura 2c) degli strato 17a, 17b di partenza e sia evitata la cristallizzazione.

Un secondo strato sacrificale 27 (figura 8) viene poi formato sulla struttura isolante di porta 17, sull'elettrodo di sorgente 20 e sull'elettrodo di pozzo 22 e definito mediante un secondo processo fotolitografico. Il secondo strato sacrificale 27 ha un'apertura 28 per la formazione dell'elettrodo di porta 18.

In seguito alla deposizione di uno strato o un multistrato metallico e alla rimozione (lift-off) attacco in plasma o umido) del secondo strato sacrificale 27, l'elettrodo di porta 18 risulta formato in posizione corrispondente all'apertura 28. Opzionalmente, un'ulteriore fase di annealing può essere eseguita dopo il deposito dello strato o multistrato metallico, per esempio a 400 °C.

Dopo fasi finali di lavorazione convenzionali e non illustrate e il taglio della fetta semiconduttrice 30, si ottiene il dispositivo HEMT 10 di figura 3.

La diffusione degli strati di ossido di alluminio 17a e degli strati ossido di afnio 17b durante l'annealing permette di mantenere un alto valore di permittività, tipicamente intermedio tra i valori di permittività dei singoli strati di  $\text{Al}_2\text{O}_3$  ed  $\text{HfO}_2$  intrinseci, evitando al

contempo la cristallizzazione del materiale durante successive fasi di lavorazione ad alta temperatura. In particolare, la resistenza alle alte temperature permette vantaggiosamente di formare la pila di porta 17' prima di realizzare gli elettrodi di sorgente e di pozzo con i rispettivi contatti ohmici senza che il materiale sia degradato. In questo modo è possibile utilizzare un solo processo fotolitografico e una sola fase di annealing per sia definire la struttura isolante di porta 17, sia per realizzare gli elettrodi di sorgente e di pozzo con i rispettivi contatti ohmici.

Secondo una diversa forma di realizzazione, figura 9, la regione di porta, qui indicata con 38, può essere di tipo recesso e struttura isolante di porta 40 non è planare. In questo caso, lo strato di barriera 16 viene selettivamente attaccato in plasma per aprire una trincea 41 prima di formare il multistrato isolante 40', che viene depositato in modo conforme mediante ALD (figura 10).

Con riferimento alla figura 11, un MOSFET 100 verticale comprende una struttura semiconduttrice 102 di carburo di silicio (SiC) ha un elettrodo di pozzo 100a su un lato retro 102a della struttura semiconduttrice 102 ed elettrodi di sorgente 100b e un elettrodo di porta 100c su un lato fronte 102b della struttura semiconduttrice 102. La struttura semiconduttrice 102 comprende a sua volta un substrato 103

(una faccia del quale definisce il lato retro 100a) e uno strato epitassiale 105 (una faccia del quale definisce il lato fronte 102b della struttura semiconduttrice 102) aventi entrambi conducibilità di un primo tipo, per esempio di tipo N. Il substrato 103 in SiC di tipo N ha però un primo livello di drogaggio più alto (per esempio  $10^{18}$  atomi/cm<sup>3</sup> o maggiore), mentre lo strato epitassiale 103 ha un secondo livello di drogaggio più basso (per esempio  $10^{15}$ - $10^{16}$  atomi/cm<sup>3</sup>).

Sacche di body 107, aventi conducibilità di un secondo tipo, qui tipo P, sono formate all'interno dello strato epitassiale 105 e alloggiano rispettive regioni di sorgente 108, con conducibilità del primo tipo, in particolare N<sup>+</sup> e regioni di contatto 109, con conducibilità del secondo tipo, in particolare P<sup>+</sup> e contigue a rispettive regioni di sorgente 108. Lo strato epitassiale 105 definisce uno strato di diffusione di corrente ("Current Spread Layer", CSL) in cui le sacche di body 107 sono annegate ("embedded").

Le sacche di body 107 sono separate l'una dall'altra da una distanza normalmente inferiore a 1  $\mu\text{m}$ , per esempio 0,6  $\mu\text{m}$ . Le sacche di body 107 e la porzione dello strato epitassiale 105 compresa fra di esse forma una regione di JFET parassita.

Una struttura isolante di porta 110 si estende sul lato fronte 102a della struttura semiconduttrice 102 sopra lo strato epitassiale 105 (o sopra lo strato di arricchimento

6, se presente) fra le regioni di sorgente 108 ed è sormontato dall'elettrodo di porta 100b. La struttura isolante di porta 110, realizzata come già illustrato con riferimento alle figure 2a-2c, contiene una miscela di alluminio, afnio e ossigeno. Più precisamente, la struttura isolante di porta 110 è ottenuta dalla deposizione conforme in successione di una pluralità di strati di ossido di alluminio e di una pluralità di strati ossido di afnio di spessore nanometrico o sub-nanometrico alternati, seguita da una fase di annealing.

Un esempio di un processo di fabbricazione del MOSFET 100 sarà di seguito descritto con riferimento alle figure 12-16.

Inizialmente, figura 12, una fetta semiconduttrice 130 comprende il substrato 103, sul quale viene cresciuto lo strato epitassiale 105 per formare la struttura semiconduttrice 102. Mediante successive impiantazioni ioniche di diverse specie droganti, vengono poi realizzate le sacche di body 107, le regioni di sorgente 108 e le regioni di contatto 109. Dopo le impiantazioni, viene effettuata una fase di annealing di attivazione ad alta temperatura, per esempio superiore a 1600 °C.

Quindi (figura 13), viene formata una pila di porta 110', come descritto con riferimento alla figura 2a. In particolare, la pila di porta 110' è ottenuta dalla

deposizione conforme in successione di una pluralità di strati di ossido di alluminio 110a e di una pluralità di strati ossido di afnio 110b di spessore nanometrico alternati, fino a raggiungere uno spessore complessivo desiderato. Gli strati di ossido di alluminio 110a e gli strati ossido di afnio 110b sono formati mediante Atomic Layer Deposition (ALD).

Come mostrato in figura 14, un primo strato sacrificale 112 di resist viene formato sulla pila di porta 110' e definito mediante un primo processo fotolitografico. Il primo strato sacrificale 112 ha aperture 113 per la formazione degli elettrodi di sorgente 100b e viene utilizzato come maschera per attaccare selettivamente la pila di porta 110'.

Con riferimento alla figura 15, in seguito alla deposizione di uno strato o un multistrato metallico sul lato fronte 102b della struttura semiconduttrice 102 e alla rimozione (lift-off) del primo strato sacrificale 112, gli elettrodi di sorgente 100b risultano formati in posizioni corrispondenti a rispettive aperture 113. Contestualmente o successivamente alla deposizione sul lato fronte 102b, uno strato o un multistrato metallico viene depositato anche sul lato retro 102a della struttura semiconduttrice 102e per formare l'elettrodo di pozzo 100a. Prima di depositare l'elettrodo di pozzo 100a, il substrato 103 può essere

assottigliato meccanicamente (grinding) ed eventualmente essere sottoposto ad annealing laser.

Una volta formati l'elettrodo di pozzo 100a e gli elettrodi di sorgente 100b, viene effettuata una fase di annealing, per esempio a una temperatura di annealing di 800 °C per la formazione di siliciuri. In questa fase, in cui la pila di porta 110' viene riscaldata alla temperatura di annealing, l'ossido di alluminio e l'ossido di afnio degli strati 110a, 110b della pila di porta 110' diffondono alle interfacce e si mescolano. Almeno alle interfacce, quindi, è presente la miscela di alluminio, afnio e ossigeno. Secondo lo spessore iniziale degli strati di ossido di alluminio 8a e degli strati ossido di afnio 8b, la durata e la temperatura della fase di annealing, nella struttura isolante di porta 110 finale la struttura stratificata di partenza può essere parzialmente conservata (come nell'esempio di figura 2b) oppure, in alternativa, può andare persa (come nell'esempio di figura 2c).

Dopo l'annealing (figura 16), uno strato o multistrato metallico 115, di materiale diverso dal materiale utilizzato per gli elettrodi di sorgente 100b, viene depositato sulla struttura isolante di porta 110 e sugli elettrodi di sorgente 100b, quindi un secondo strato sacrificale 120 di resist viene formato su parte dello strato o multistrato metallico 115 e viene definito mediante un secondo processo

fotolitografico. Il secondo strato sacrificale 120 ha aperture 121 per la formazione degli elettrodi di porta 100c. Il secondo strato sacrificale 120 viene utilizzato come maschera per attaccare selettivamente lo strato o multistrato metallico 115 attraverso le aperture 121, per esempio in plasma. Si ottiene così l'elettrodo di porta 100c.

Dopo fasi finali di lavorazione convenzionali e non illustrate e il taglio della fetta semiconduttrice 30, si ottiene il MOSFET 100 di figura 11.

La struttura isolante di porta 117 e il processo di fabbricazione descritto consentono di utilizzare dielettrici ad alta permittività come isolanti di porta in MOSFET SiC in luogo per esempio dell'ossido di silicio, con un duplice vantaggio. Da un lato, infatti, l'alta permittività consente di localizzare i valori più elevati di campo elettrico all'interno dello strato epitassiale 105. È così possibile ottimizzare sia lo spessore dello strato epitassiale 105 stesso, sia la resistenza di stato acceso RON. Dall'altro lato, il flusso di processo è semplificato perché le fasi di annealing post-ossidazione in ossido di azoto ad alta temperatura (1100 - 1200 °C) vengono eliminate.

Risulta infine evidente che al transistor e al procedimento descritti possono essere apportate modifiche e varianti, senza uscire dall'ambito della presente invenzione, come definito nelle rivendicazioni allegate.

## RIVENDICAZIONI

1. Transistore ad ampia banda proibita comprendente:

una struttura semiconduttrice (2; 15; 102), includente almeno uno strato semiconduttore ad ampia banda proibita (14, 16; 103, 105) di nitruro di gallio (GaN) o carburo di silicio (SiC);

una struttura isolante di porta (8; 17; 110);

un elettrodo di porta (7; 18; 100c), separato dalla struttura semiconduttrice (2; 15; 102) mediante la struttura isolante di porta (8; 17; 110);

in cui la struttura isolante di porta (8; 17; 110) contiene una miscela di alluminio, azio e ossigeno.

2. Transistore secondo la rivendicazione 1, in cui la struttura semiconduttrice (15) comprende un'eterostruttura (13) includente uno strato di canale (14) di nitruro di gallio (GaN) e uno strato di barriera (16) di un materiale selezionato nel gruppo composto da: nitruro di alluminio e gallio (AlGaN), leghe ternarie di alluminio e gallio o leghe quaternarie di alluminio e gallio; un'eterogiunzione (13a) essendo formata a un'interfaccia strato di canale (14) e lo strato di barriera (16).

3. Transistore secondo la rivendicazione 1, in cui la struttura semiconduttrice (102) comprende:

un substrato (103) di carburo di silicio (SiC) avente un conducibilità di un tipo e un primo livello di drogaggio;

e uno strato epitassiale (105) di carburo di silicio (SiC) avente conducibilità di detto tipo e un secondo livello di drogaggio più basso del primo livello di drogaggio.

4. Transistore secondo una qualsiasi delle rivendicazioni da 1 a 3, in cui la struttura isolante di porta (8; 17; 110) è almeno parzialmente stratificata in una pluralità di prime regioni (2a; 17a) contenenti ossido di alluminio ( $\text{Al}_2\text{O}_3$ ) e una pluralità di seconde regioni contenenti (2b; 17b) di ossido di afnio ( $\text{HfO}_2$ ) alternate alle prime regioni (2a; 17a).

5. Transistore secondo la rivendicazione 4, in cui le prime regioni (2a; 17a) e le seconde regioni contenenti (2b; 17b) hanno spessore compreso fra 1 nm e 5 nm.

6. Transistore secondo una qualsiasi delle rivendicazioni precedenti, in cui la struttura isolante di porta (8; 17; 110) è amorfa.

7. Processo per la fabbricazione di un transistore ad ampia banda proibita, comprendente:

formare una struttura semiconduttrice (2; 15; 102), includente almeno uno strato semiconduttore ad ampia banda proibita (14, 16; 103, 105) di nitruro di gallio (GaN) o carburo di silicio (SiC);

formare una struttura isolante di porta (8; 17; 110) sulla struttura semiconduttrice (2; 15; 102);

formare un elettrodo di porta (7; 18; 100c) sulla

struttura isolante di porta (8; 17; 110);

in cui la struttura isolante di porta (8; 17; 110) contiene una miscela di alluminio, afnio e ossigeno.

8. Processo secondo la rivendicazione 7, in cui formare la struttura semiconduttrice (2; 15; 102) comprende:

formare un'eterostruttura (13) includente uno strato di canale (14) di nitruro di gallio (GaN) e uno strato di barriera (16) di nitruro di alluminio e gallio (AlGaN), un'eterogiunzione (13a) essendo formata a un'interfaccia strato di canale (14) e lo strato di barriera (16).

9. Processo secondo la rivendicazione 7, in cui formare la struttura semiconduttrice (102) comprende:

formare un substrato (103) di carburo di silicio (SiC) avente un conducibilità di un tipo e un primo livello di drogaggio; e

formare uno strato epitassiale (105) di carburo di silicio (SiC) avente conducibilità di detto tipo e un secondo livello di drogaggio più basso del primo livello di drogaggio.

10. Processo secondo una qualsiasi delle rivendicazioni da 7 a 9, in cui formare la struttura isolante di porta (8; 17; 110) comprende:

deporre in successione una pluralità di strati di ossido di alluminio (8a; 17a; 110a) e una pluralità di strati ossido di afnio (8b; 17b; 110b) alternati, formando una pila di

porta (8'; 17'; 110'); e

eseguire un annealing in modo che a interfacce fra strati di ossido di alluminio (8a; 17a; 110a) e strati ossido di afnio (8b; 17b; 110b) adiacenti l'ossido di alluminio degli strati di ossido di alluminio (8a; 17a; 110a) e l'ossido di afnio degli strati ossido di afnio (8b; 17b; 110b) diffondano e si mescolino.

11. Processo secondo la rivendicazione 10, in cui eseguire un annealing comprende riscaldare la pila di porta (8'; 17'; 110') a una temperatura di annealing per una durata di annealing e in cui la temperatura di annealing e la durata di annealing sono selezionate in modo da evitare che la struttura isolante di porta (8; 17; 110) cristallizzi.

12. Processo secondo la rivendicazione 10 o 11, in cui la temperatura compresa e fra 500 °C e 950 °C, preferibilmente fra 600 °C e 800 °C, e la durata di annealing è compresa fra 30 s e 600 s .

13. Processo secondo una qualsiasi delle rivendicazioni da 10 a 12, in cui deporre in successione comprende deporre mediante Atomic Layer Deposition (ALD).

14. Processo secondo una qualsiasi delle rivendicazioni da 10 a 13, in cui gli strati di ossido di alluminio (8a; 17a; 110a) e gli strati ossido di afnio (8b; 17b; 110b) hanno spessore compreso fra 0,5 nm e 10 nm.

15. Processo secondo una qualsiasi delle rivendicazioni

da 10 a 14, comprendente formare almeno un elettrodo di sorgente (3; 20; 100b) e un elettrodo di pozzo (4; 20; 100a), dopo aver formato la pila di porta (8'; 17'; 110').

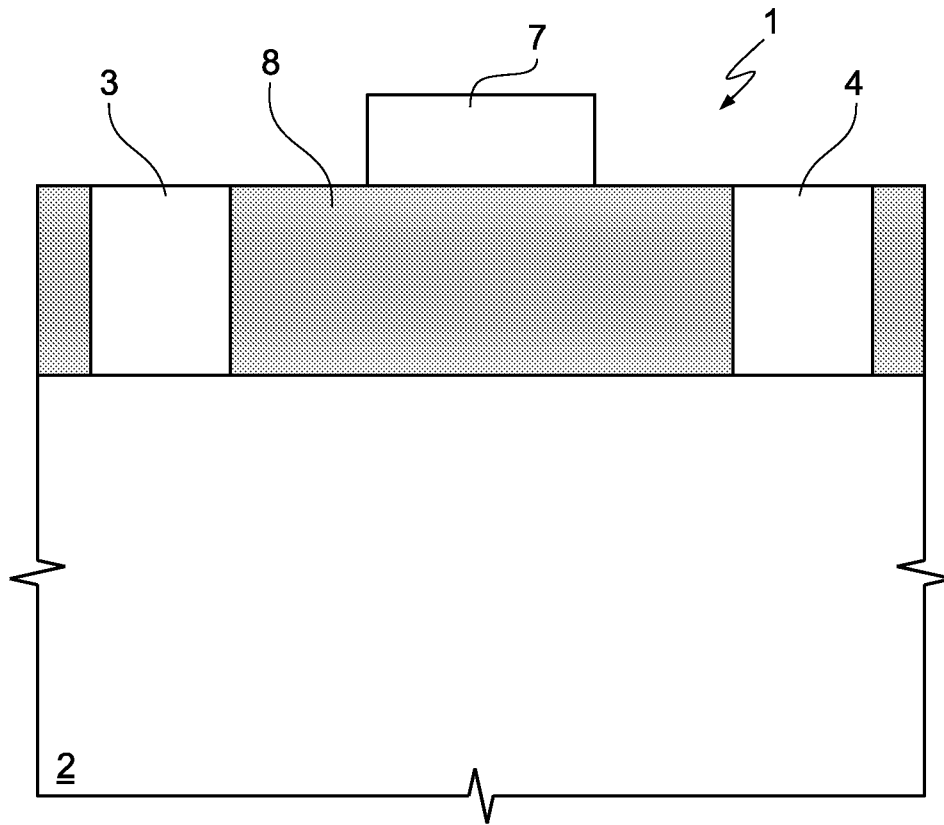


FIG. 1

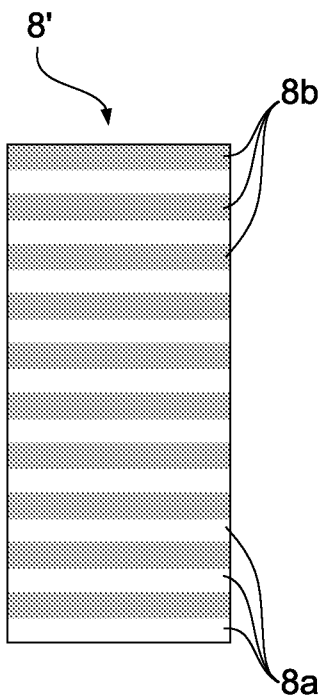


FIG. 2a

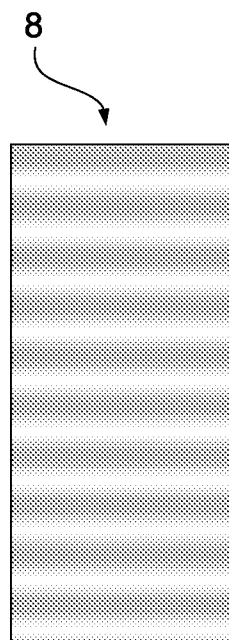


FIG. 2b

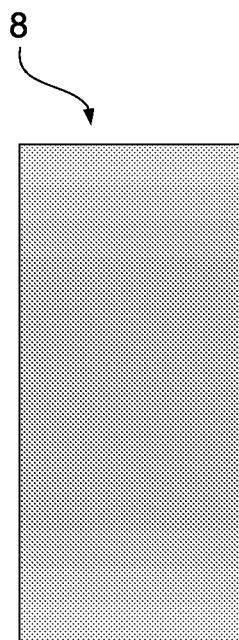


FIG. 2c

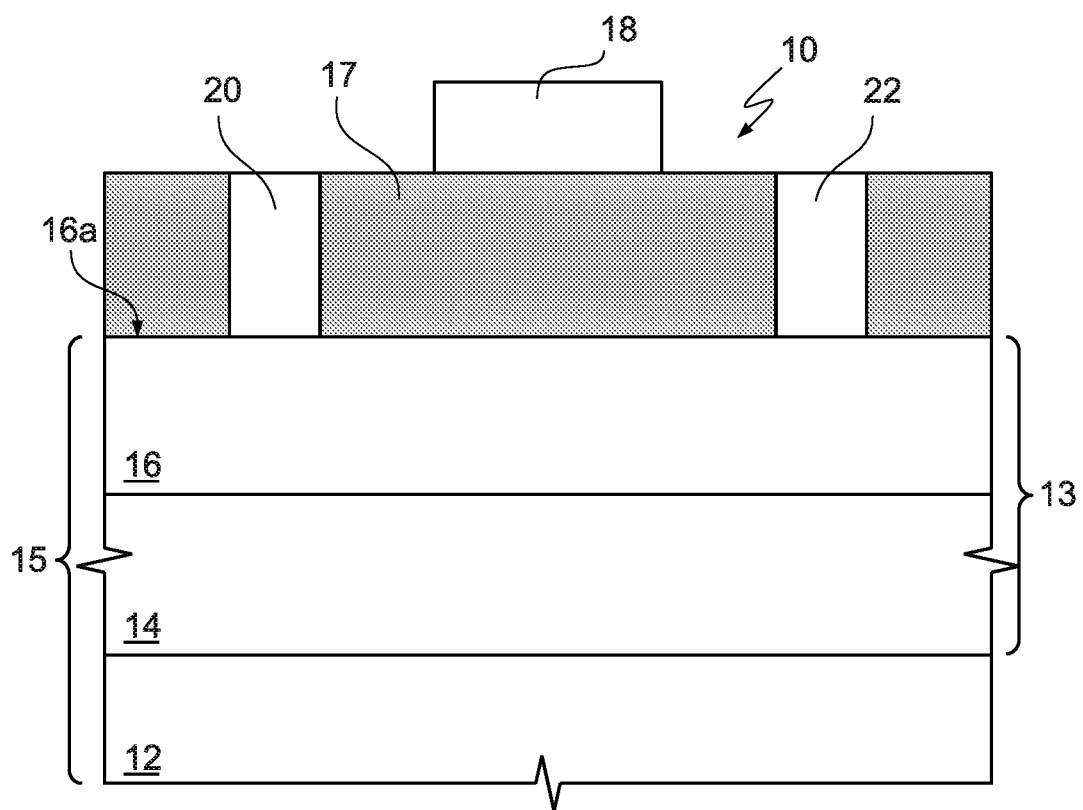


FIG. 3

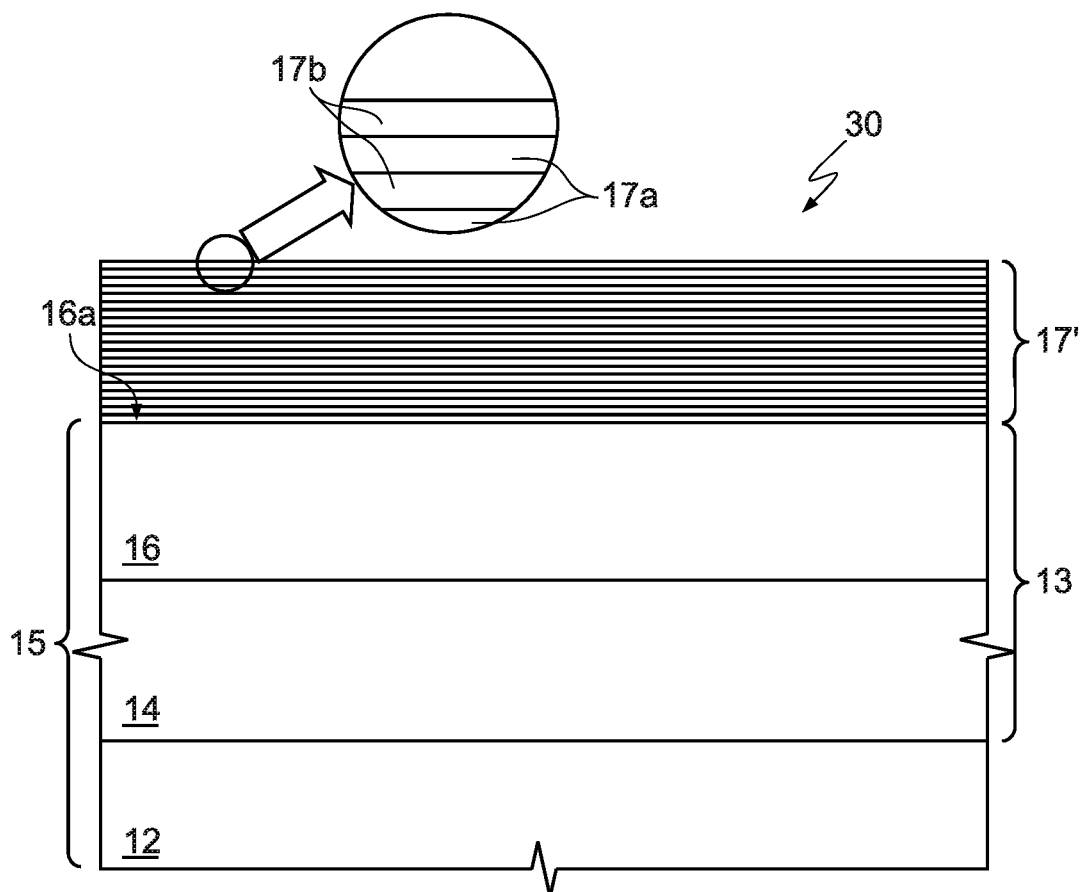


FIG. 4

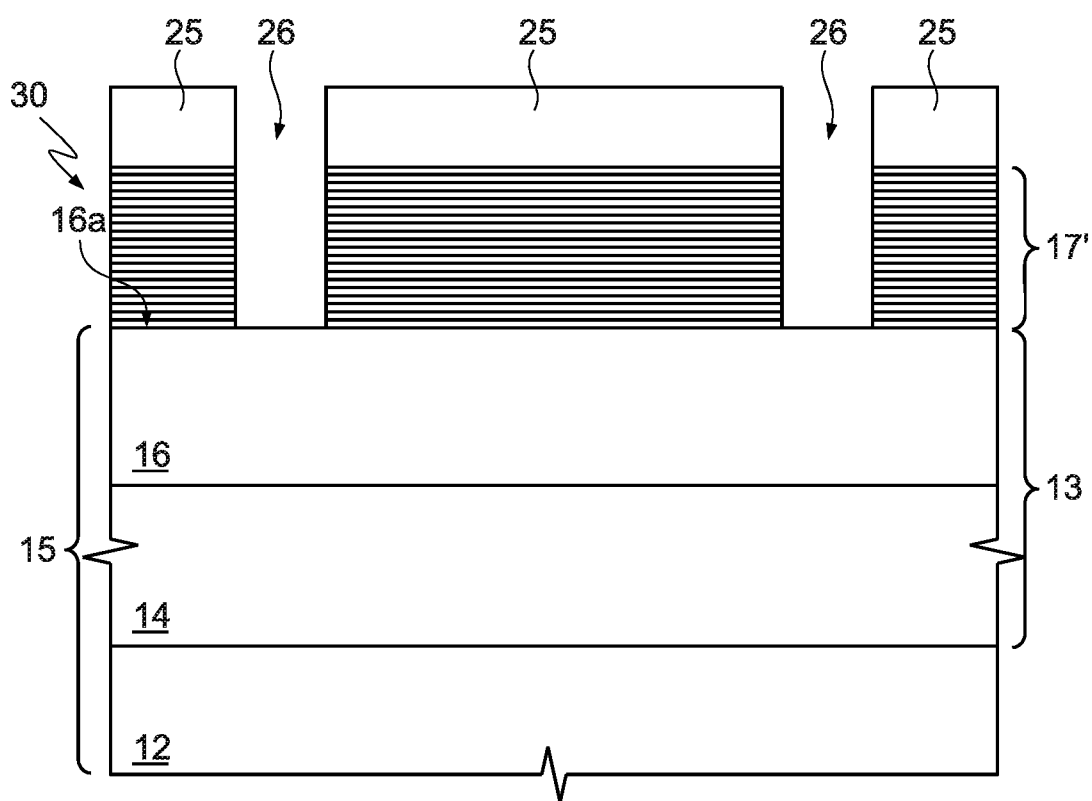


FIG.5

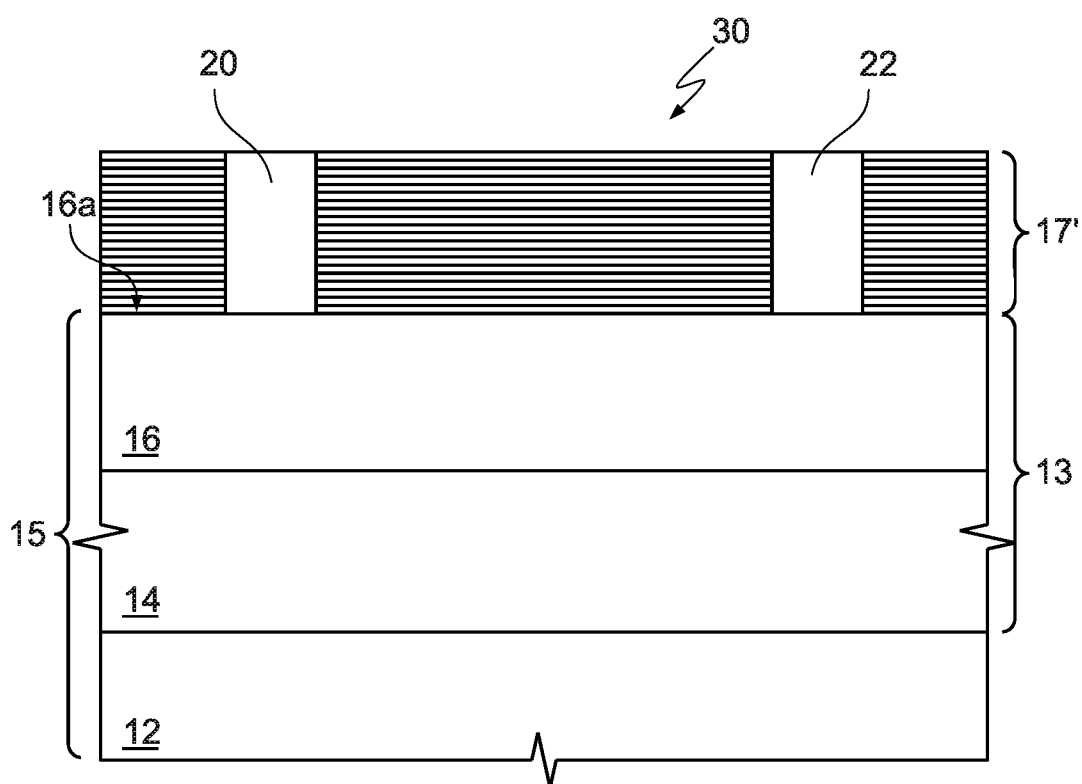


FIG.6

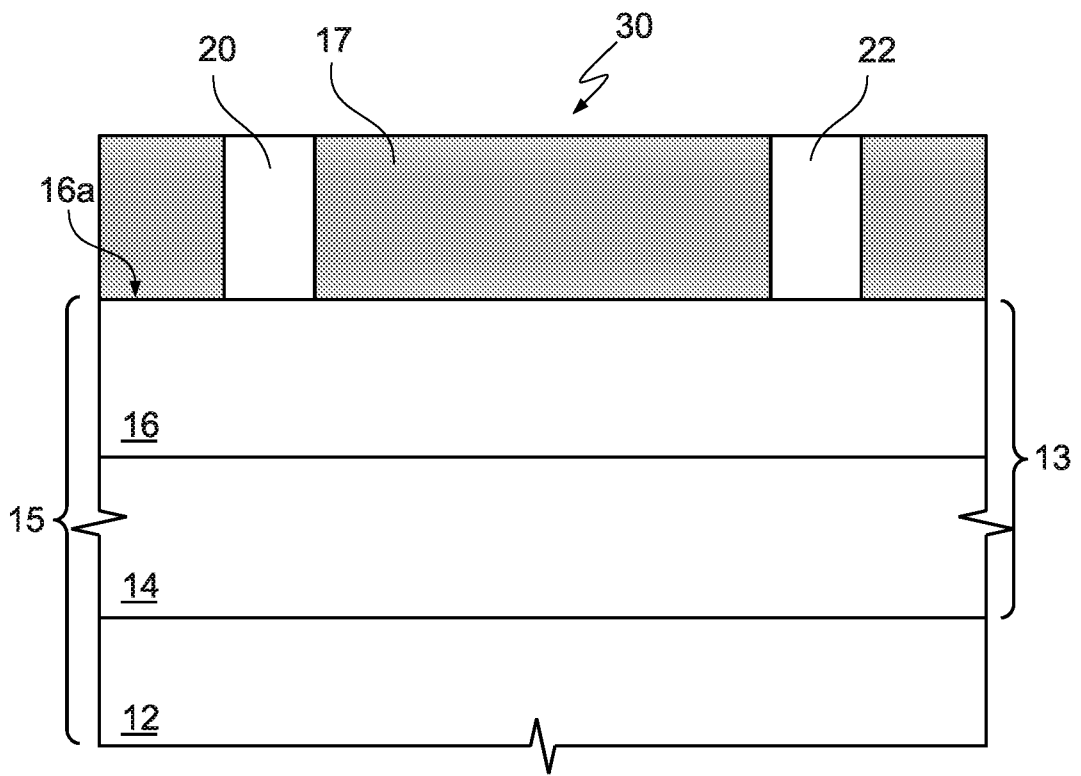


FIG. 7

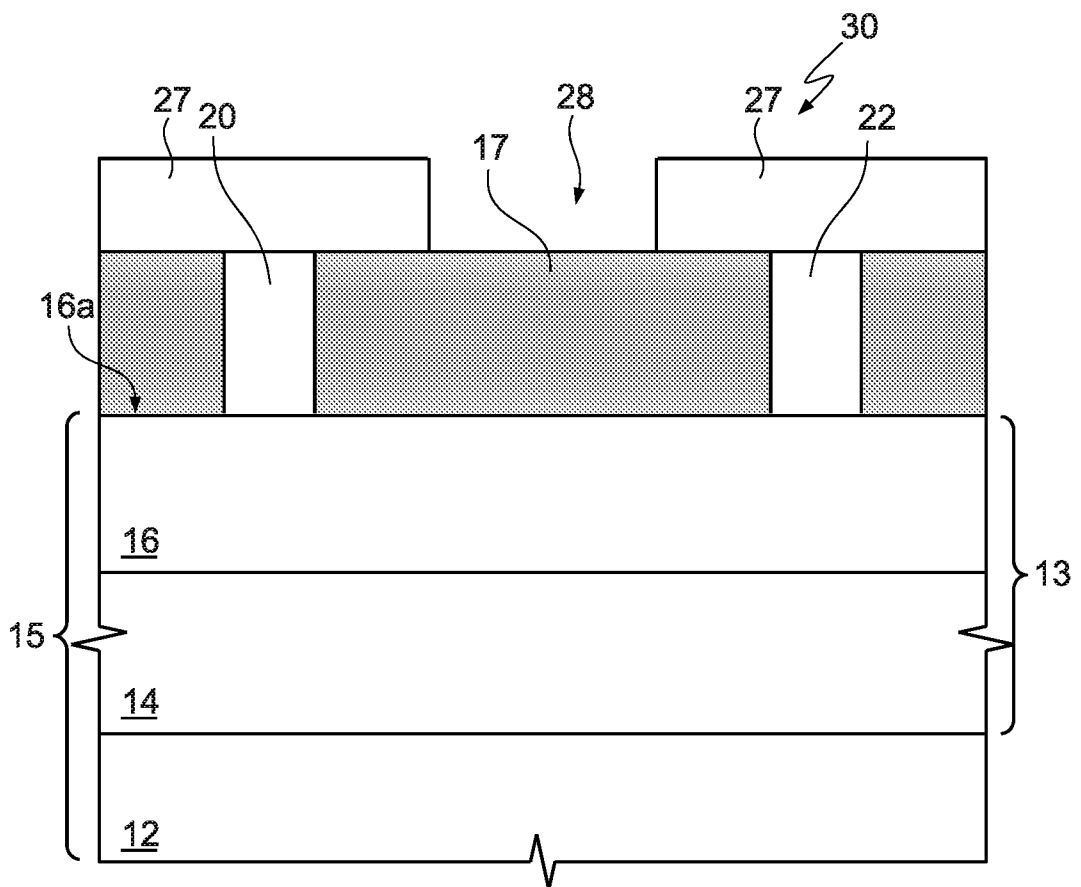


FIG. 8

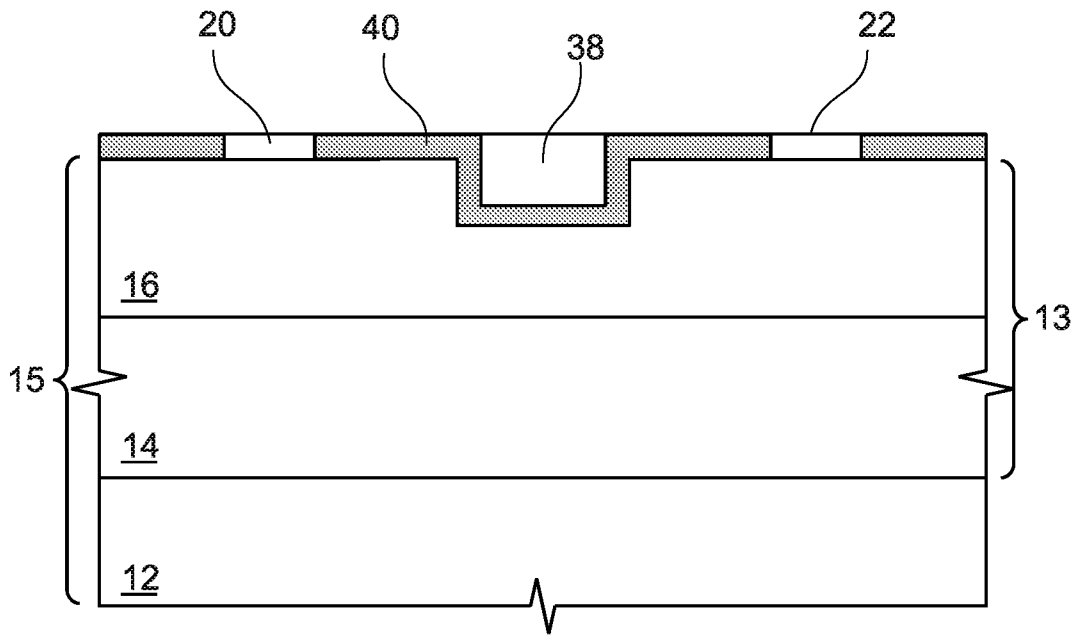


FIG.9

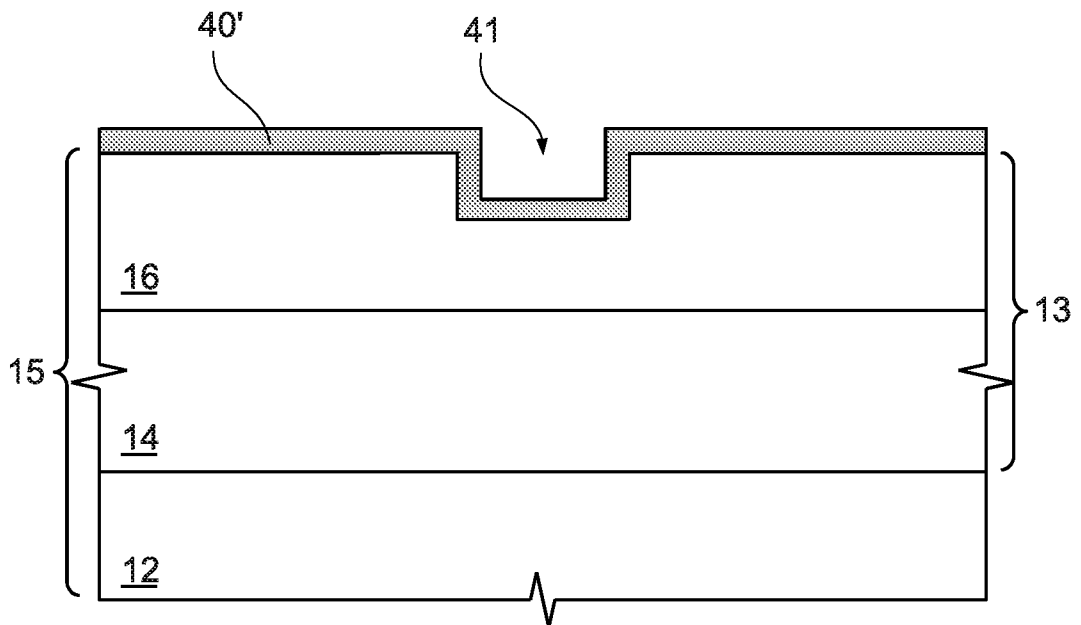


FIG.10

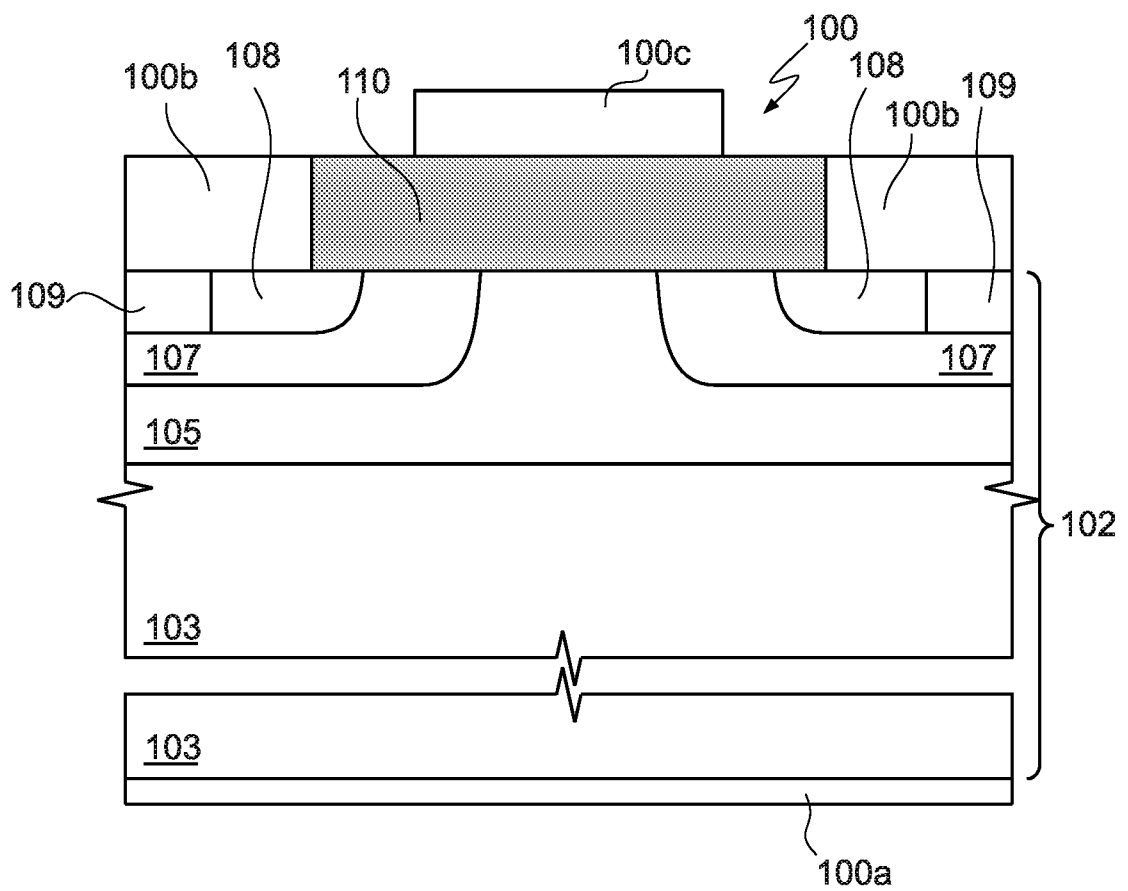


FIG. 11

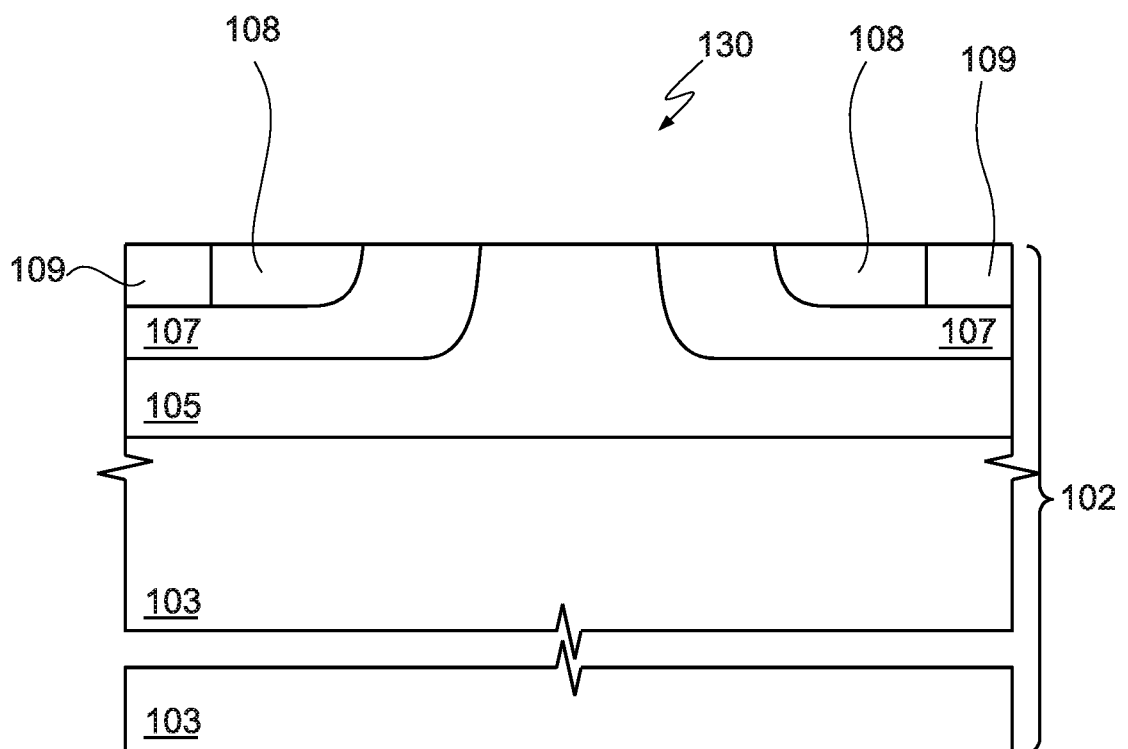


FIG. 12

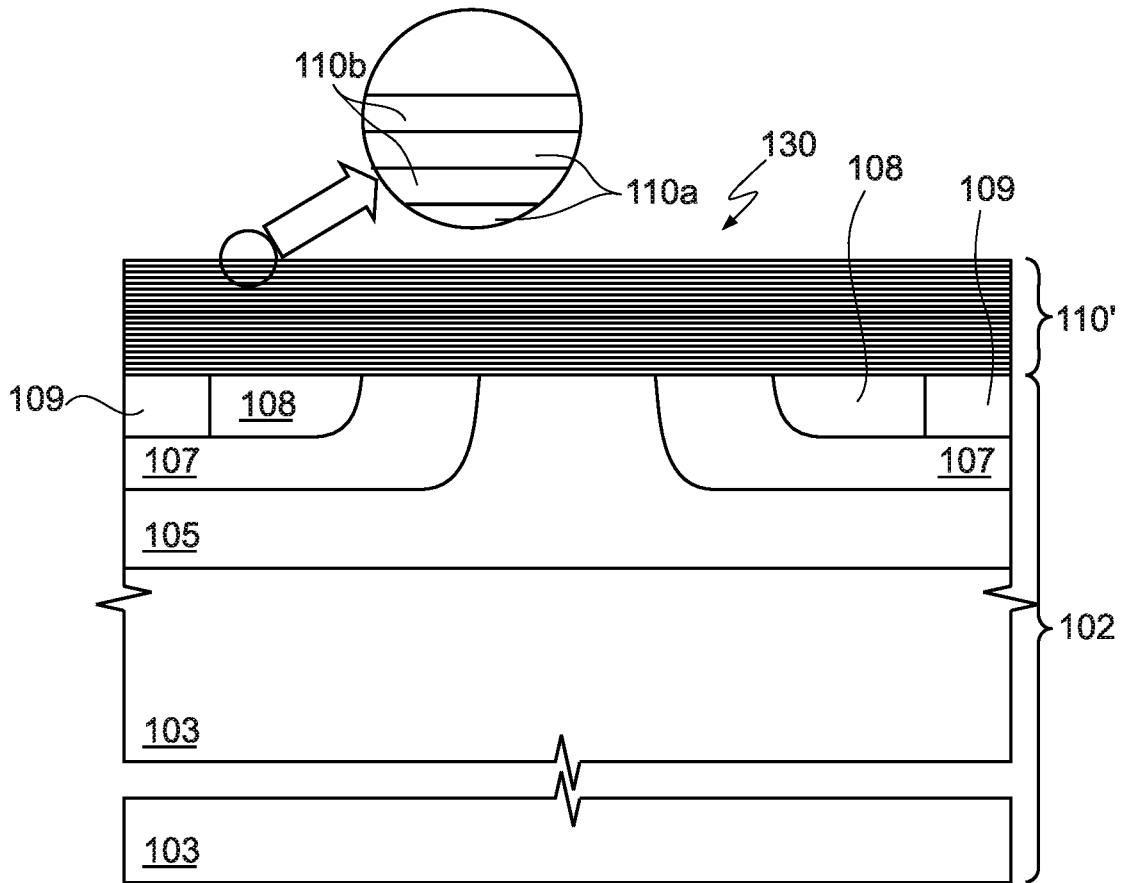


FIG. 13

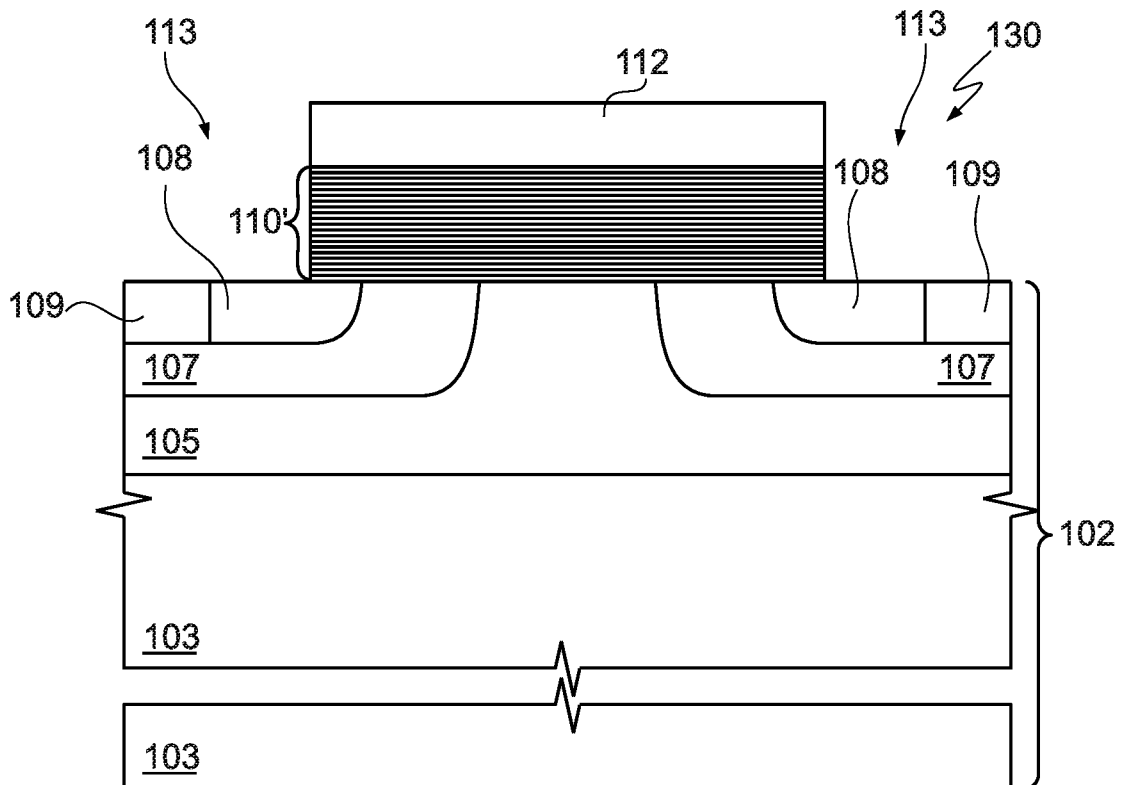


FIG. 14

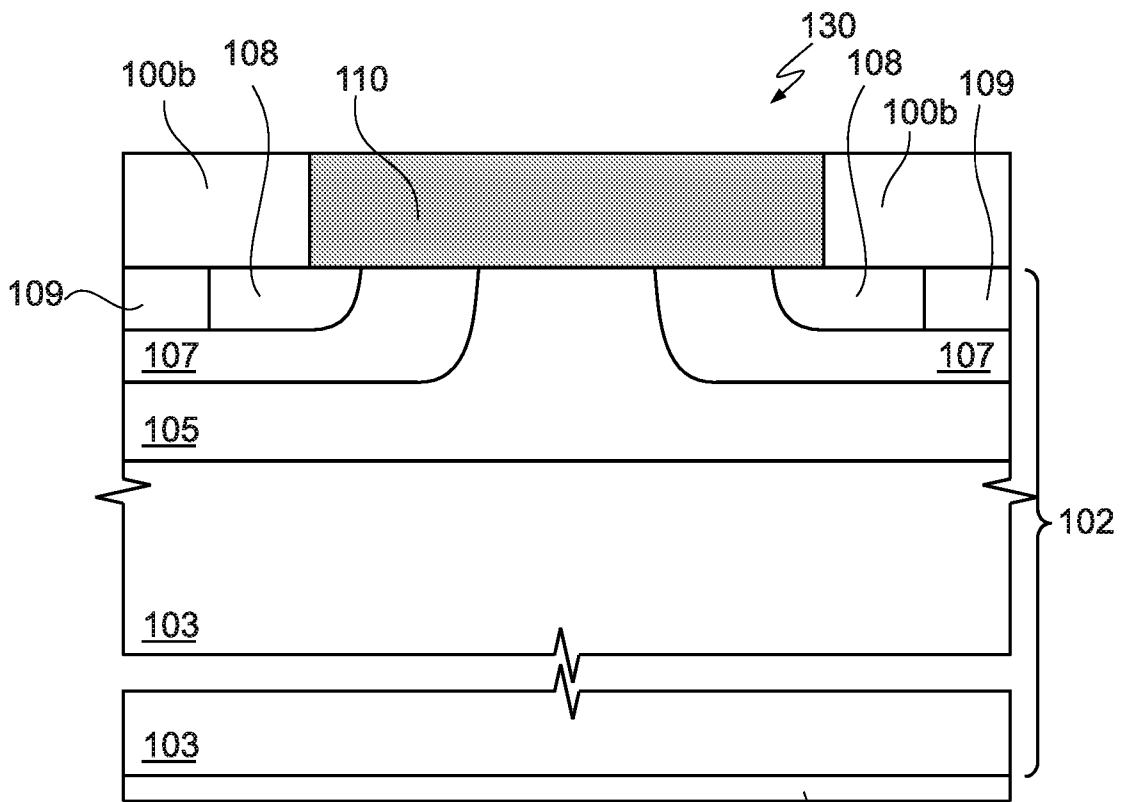


FIG. 15

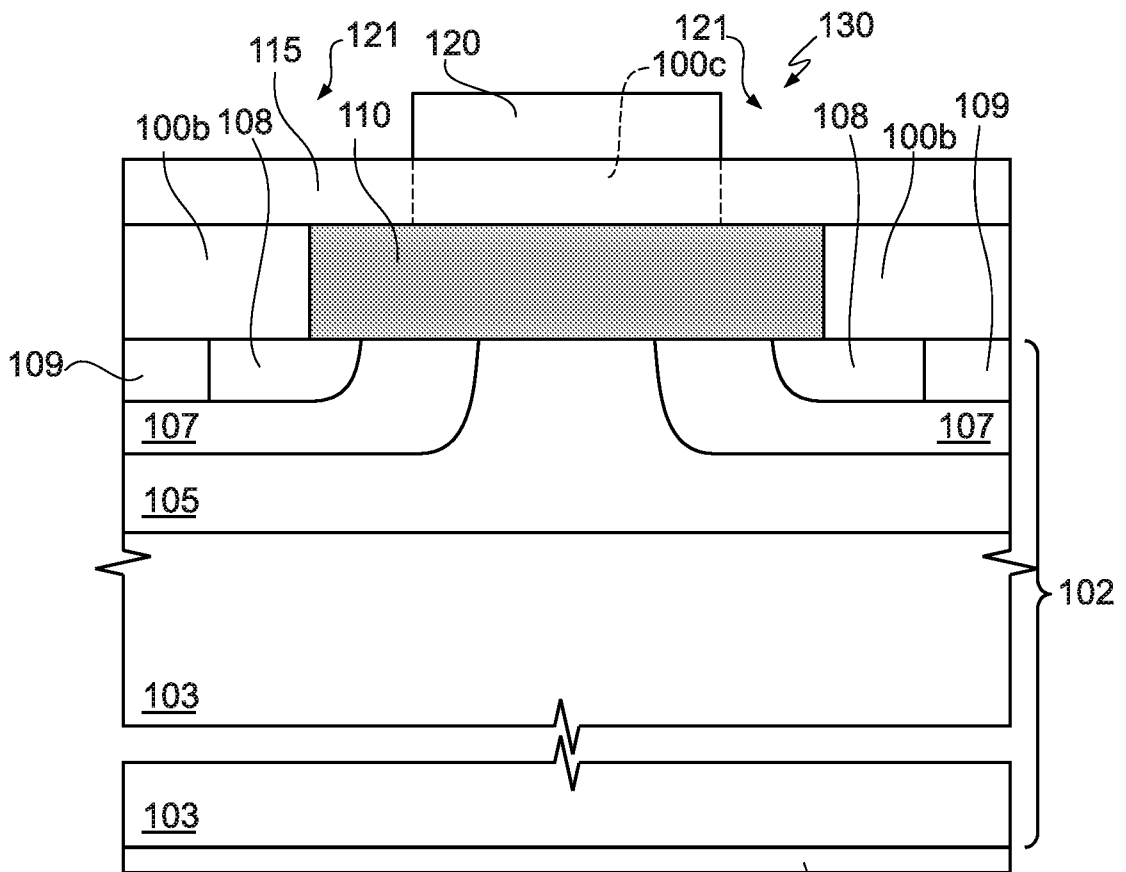


FIG. 16