



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0090879  
(43) 공개일자 2014년07월18일

(51) 국제특허분류(Int. Cl.)  
G11C 13/00 (2006.01) G11C 16/26 (2006.01)  
G11C 16/34 (2006.01)

(21) 출원번호 10-2013-0003065  
(22) 출원일자 2013년01월10일  
심사청구일자 없음

(71) 출원인  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자  
이승연  
서울 서초구 논현로27길 57, 812호 (양재동, 신영 체르니아파트)

이영택  
서울 송파구 송이로 88, 5동 602호 (가락동, 가락 대림아파트)  
(뒷면에 계속)

(74) 대리인  
권혁수, 송윤호, 오세준

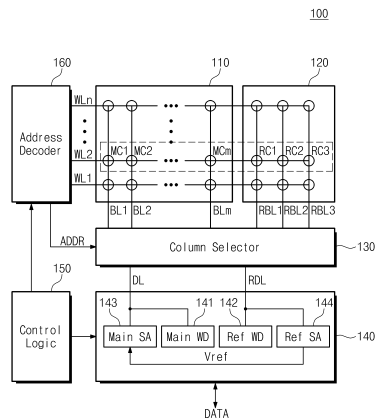
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 불휘발성 메모리 장치 및 그것의 읽기 방법

(57) 요약

본 발명은 불휘발성 메모리 장치 및 그것의 읽기 방법에 관한 것이다. 보다 상세히는, 본 발명은 저항성 물질이 포함된 저항성 메모리 장치 및 그것의 읽기 방법에 관한 것이다. 본 발명에 의한 불휘발성 메모리 장치는 워드 라인들과 메인 비트 라인들에 연결된 메인 셀들을 포함하는 메인 영역, 상기 워드 라인들과 기준 비트 라인들에 연결된 기준 셀들을 포함하며, 상기 메인 영역과 동일한 쓰기 조건으로 프로그램 되는 기준 영역, 읽기 동작시 상기 기준 비트 라인들을 통하여 상기 기준 영역에 쓰여진 데이터를 읽는 기준 감지 증폭 회로 및 상기 기준 영역에 쓰여진 데이터가 읽기 동작시 상기 메인 영역의 리드 기준값으로 사용되도록 하기 위하여, 상기 기준 영역에 쓰여진 데이터가 소정의 가중치로 시프트되어 읽히도록 상기 기준 감지 증폭 회로를 제어하는 제어 로직을 포함한다. 본 발명에 의한 저항성 메모리 장치 및 그것의 읽기 방법은 제어 복잡도의 증가 없이도 저항 드리프트를 보상할 수 있다.

대표도 - 도7



(72) 발명자

**임기원**

경기 수원시 영통구 봉영로1482번길 18, 104동 60  
5호 (영통동, 풍림아이원아파트)

**정원률**

경기 화성시 동탄반석로 42, 602동 1304호 (반송동, 한화우림아파트)

---

## 특허청구의 범위

### 청구항 1

워드 라인들과 메인 비트 라인들에 연결된 메인 셀들을 포함하는 메인 영역;

상기 워드 라인들과 기준 비트 라인들에 연결된 기준 셀들을 포함하며, 상기 메인 영역과 동일한 쓰기 조건으로 프로그램 되는 기준 영역;

읽기 동작시 상기 기준 비트 라인들을 통하여 상기 기준 영역에 쓰여진 데이터를 읽는 기준 감지 증폭 회로; 및  
상기 기준 영역에 쓰여진 데이터가 읽기 동작시 상기 메인 영역의 리드 기준값으로 사용되도록 하기 위하여, 상기 기준 영역에 쓰여진 데이터가 소정의 가중치로 시프트되어 읽히도록 상기 기준 감지 증폭 회로를 제어하는 제어 로직을 포함하는 불휘발성 반도체 장치.

### 청구항 2

제 1항에 있어서,

상기 기준 영역은 상기 메인 영역과 동일한 검증 전압을 이용하여 프로그램 되는 불휘발성 반도체 장치.

### 청구항 3

제 1항에 있어서,

상기 기준 영역은 상기 메인 영역과 동시에 프로그램 되는 불휘발성 반도체 장치.

### 청구항 4

제 1항에 있어서,

상기 제어 로직은 상기 기준 감지 증폭 회로에 제공되는 보상 전류의 크기를 조절하여, 상기 기준 감지 증폭 회로가 상기 기준 영역에 쓰여진 데이터를 소정의 가중치로 시프트하여 읽도록 제어하는 불휘발성 반도체 장치.

### 청구항 5

제 1항에 있어서,

상기 제어 로직은 상기 기준 감지 증폭 회로에 제공되는 클램프 전압의 크기를 조절하여, 상기 기준 감지 증폭 회로가 상기 기준 영역에 쓰여진 데이터를 소정의 가중치로 시프트하여 읽도록 제어하는 불휘발성 반도체 장치.

### 청구항 6

제 1 데이터에 대응되는 제 1 저항 레벨로 프로그램되는 제 1 메인 셀 및 제 2 데이터에 대응되는 제 2 저항 레벨로 프로그램되는 제 2 메인 셀을 포함하는 메인 영역;

상기 제 1 저항 레벨로 프로그램되는 기준 셀을 포함하는 기준 영역;

읽기 동작시 상기 기준 셀의 저항값을 제 1 읽기 조건으로 읽고, 읽혀진 상기 기준 셀의 저항값을 참조하여 기준 전압을 생성하는 기준 감지 증폭 회로; 및

상기 기준 전압을 이용하여 상기 제 1 및 제 2 메인 셀에 저장된 데이터를 상기 제 1 읽기 조건과 다른 제 2 읽기 조건으로 읽는 메인 감지 증폭 회로를 포함하며,

상기 제 1 및 제 2 메인 셀과 상기 기준 셀은 동일한 워드 라인을 공유하는 불휘발성 반도체 장치.

### 청구항 7

제 1항에 있어서,

읽혀진 상기 기준 셀의 저항값은 상기 제 1 및 제 2 메인 셀의 저항값의 사이 값을 가지는 불휘발성 반도체 장치.

**청구항 8**

제 7항에 있어서,

상기 제 1 읽기 조건으로 읽혀진 상기 기준 셀의 저항값은 상기 제 1 저항 레벨의 크기에 응답하여 가변되는 가중치로 시프트되어 읽혀지는 불휘발성 반도체 장치.

**청구항 9**

제 8항에 있어서,

상기 가중치는 상기 기준 셀에 대한 프로그램 동작으로부터 경과된 시간에 응답하여 가변되는 불휘발성 반도체 장치.

**청구항 10**

제 9항에 있어서,

상기 제 1 읽기 조건으로 읽혀지는 상기 기준 셀의 저항값은 미리 지정된 마진 이상으로 시프트되어 읽혀지는 불휘발성 반도체 장치.

**명세서**

**기술분야**

[0001] 본 발명은 불휘발성 메모리 장치 및 그것의 읽기 방법에 관한 것이다. 보다 상세히는, 본 발명은 저항성 물질이 포함된 저항성 메모리 장치 및 그것의 읽기 방법에 관한 것이다.

**배경기술**

[0002] 랜덤 액세스(Random access)가 가능하고 고집적 및 대용량을 실현할 수 있는 반도체 메모리 장치의 수요는 날로 증가하고 있다. 그러한 반도체 메모리 장치로는, 현재 휴대용 전자기기 등에 주로 사용되는 플래시 메모리(Flash memory)가 대표적이다. 그 외에 디램(DRAM)의 커패시터를 불휘발성을 지닌 물질로 대체한 반도체 메모리 장치들이 등장하고 있다. 강유전체 커패시터를 이용한 강유전체 램(Ferroelectric RAM: FRAM), 티엠알(TMR: Tunneling magneto-resistive) 막을 이용한 마그네틱 램(Magnetic RAM: MRAM), 그리고 칼코겐 혼합물(Chalcogenide alloys)을 이용한 상 변화 메모리 장치(Phase change memory device) 등이 있다. 특히, 상 변화 메모리 장치는 불휘발성 메모리 장치이며, 그 제조 과정이 비교적 간단하고, 저가로 대용량의 메모리를 구현할 수 있다.

[0003] 상 변화 메모리 셀은 상이한 전기적인 독출 특성들을 나타내는 다른 구조적인 상태들(Structured states) 사이에서 전기적으로 바뀔 수 있는 물질을 이용한다. 예를 들면, 게르마늄·안티몬·텔루르 혼합물(GST)인 칼코겐 물질(Chalcogenide material) (이하, "GST 물질"이라 칭함)로 만들어진 메모리 장치들이 알려져 있다. GST 물질은 비교적 높은 저항율(Resistivity)을 나타내는 비결정 상태(Amorphous state)와 비교적 낮은 저항율을 나타내는 결정 상태(Crystalline state)를 갖는다. 즉, 상 변화 메모리 셀은 GST 물질을 가열함으로써 결정 상태 또는 비결정 상태 각각 대응하는 데이터가 기입된다. 가열의 크기 및 기간은 GST 물질이 비결정 또는 결정 상태로 남아있는지의 여부를 결정한다. 높은 그리고 낮은 저항율들은 기입된 논리 값들 '1' 및 '0'을 나타내며, 이는 GST 물질의 저항율을 측정함으로써 감지될 수 있다. 따라서, 상 변화 메모리 장치는 가변 저항 메모리 장치(Variable-Resistance Memory Device)로도 불린다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 목적은 제어 복잡도의 증가 없이 저항 드리프트를 보상하는 저항성 메모리 장치 및 그것의 읽기 방법을 제공하는 것이다.

**과제의 해결 수단**

[0005] 본 발명에 의한 불휘발성 메모리 장치는 워드 라인들과 메인 비트 라인들에 연결된 메인 셀들을 포함하는 메인

영역, 상기 워드 라인들과 기준 비트 라인들에 연결된 기준 셀들을 포함하며, 상기 메인 영역과 동일한 쓰기 조건으로 프로그램 되는 기준 영역, 읽기 동작시 상기 기준 비트 라인들을 통하여 상기 기준 영역에 쓰여진 데이터를 읽는 기준 감지 증폭 회로 및 상기 기준 영역에 쓰여진 데이터가 읽기 동작시 상기 메인 영역의 리드 기준 값으로 사용되도록 하기 위하여, 상기 기준 영역에 쓰여진 데이터가 소정의 가중치로 시프트되어 읽히도록 상기 기준 감지 증폭 회로를 제어하는 제어 로직을 포함한다.

- [0006] 실시 예에 있어서, 상기 기준 영역은 상기 메인 영역과 동일한 검증 전압을 이용하여 프로그램 된다.
- [0007] 실시 예에 있어서, 상기 기준 영역은 상기 메인 영역과 동시에 프로그램 된다.
- [0008] 실시 예에 있어서, 상기 제어 로직은 상기 기준 감지 증폭 회로에 제공되는 보상 전류의 크기를 조절하여, 상기 기준 감지 증폭 회로가 상기 기준 영역에 쓰여진 데이터를 소정의 가중치로 시프트하여 읽도록 제어한다.
- [0009] 실시 예에 있어서, 상기 제어 로직은 상기 기준 감지 증폭 회로에 제공되는 클램프 전압의 크기를 조절하여, 상기 기준 감지 증폭 회로가 상기 기준 영역에 쓰여진 데이터를 소정의 가중치로 시프트하여 읽도록 제어한다.
- [0010] 본 발명에 의한 다른 불휘발성 반도체 장치는 제 1 데이터에 대응되는 제 1 저항 레벨로 프로그램되는 제 1 메인 셀 및 제 2 데이터에 대응되는 제 2 저항 레벨로 프로그램되는 제 2 메인 셀을 포함하는 메인 영역, 상기 제 1 저항 레벨로 프로그램되는 기준 셀을 포함하는 기준 영역, 읽기 동작시 상기 기준 셀의 저항값을 제 1 읽기 조건으로 읽고, 읽혀진 상기 기준 셀의 저항값을 참조하여 기준 전압을 생성하는 기준 감지 증폭 회로 및 상기 기준 전압을 이용하여 상기 제 1 및 제 2 메인 셀에 저장된 데이터를 상기 제 1 읽기 조건과 다른 제 2 읽기 조건으로 읽는 메인 감지 증폭 회로를 포함하며, 상기 제 1 및 제 2 메인 셀과 상기 기준 셀은 동일한 워드 라인을 공유한다.
- [0011] 실시 예에 있어서, 읽혀진 상기 기준 셀의 저항값은 상기 제 1 및 제 2 메인 셀의 저항값의 사이 값을 가진다.
- [0012] 실시 예에 있어서, 상기 제 1 읽기 조건으로 읽혀진 상기 기준 셀의 저항값은 상기 제 1 저항 레벨의 크기에 응답하여 가변되는 가중치로 시프트되어 읽혀진다.
- [0013] 실시 예에 있어서, 상기 제 1 읽기 조건으로 읽혀지는 상기 기준 셀의 저항값은 미리 지정된 마진 이상으로 시프트되어 읽혀진다.
- [0014] 실시 예에 있어서, 상기 가중치는 상기 기준 셀에 대한 프로그램 동작으로부터 경과된 시간에 응답하여 가변된다.
- [0015] 본 발명에 의한 워드 라인들과 메인 비트 라인들에 연결된 메인 셀들을 포함하는 메인 영역 및 상기 워드 라인들과 기준 비트 라인들에 연결된 기준 셀들을 포함하며, 상기 메인 영역과 동일한 쓰기 조건으로 프로그램 되는 기준 영역을 포함하는 불휘발성 반도체 장치의 읽기 방법은 상기 기준 영역에 저장된 데이터를 소정의 가중치로 시프트시켜 읽는 단계, 상기 읽혀진 데이터를 기초로 기준 전압을 생성하는 단계 및 상기 메인 영역에 저장된 데이터를 상기 기준 전압을 기준으로 읽는 단계를 포함한다.
- [0016] 실시 예에 있어서, 상기 기준 영역은 상기 메인 영역과 동일한 검증 전압을 이용하여 프로그램 된다.
- [0017] 실시 예에 있어서, 상기 기준 영역은 상기 메인 영역과 동시에 프로그램 된다.
- [0018] 실시 예에 있어서, 상기 가중치는 상기 기준 셀에 대한 프로그램 동작으로부터 경과된 시간에 응답하여 가변된다.
- [0019] 실시 예에 있어서, 상기 가중치는 상기 기준 영역에 저장된 데이터에 응답하여 가변된다.

**발명의 효과**

- [0020] 본 발명에 의한 저항성 메모리 장치 및 그것의 읽기 방법은 제어 복잡도의 증가 없이도 저항 드리프트를 보상할 수 있다.

**도면의 간단한 설명**

- [0021] 도 1은 불휘발성 메모리 장치를 도시하는 블록도이다.  
 도 2는 도 1의 메모리 셀 어레이의 일실시예를 도시하는 도면이다.

- 도 3은 도 1의 메모리 셀 어레이의 다른 실시예를 도시하는 도면이다.
- 도 4는 도 1의 메모리 셀 어레이에 포함된 메모리 셀들의 쓰기 동작 직후의 저항 분포를 도시하는 도면이다.
- 도 5는 도 1의 메모리 셀 어레이에 포함된 메모리 셀들의 소정 시간이 경과한 후의 저항 분포를 도시하는 도면이다.
- 도 6은 메모리 셀의 시간에 대한 저항 변화를 도시하는 그래프이다.
- 도 7은 본 발명의 실시예에 의한 불휘발성 메모리 장치를 도시하는 블록도이다.
- 도 8은 본 발명의 실시예에 의한 기준 영역에 대한 쓰기 및 읽기 동작을 도시하기 위한 그래프이다.
- 도 9는 본 발명의 다른 실시예에 의한 기준 영역에 대한 쓰기 및 읽기 동작을 도시하기 위한 그래프이다.
- 도 10은 메인 셀 및 기준 셀의 시간에 대한 저항 변화를 도시하는 그래프이다.
- 도 11은 본 발명의 다른 실시예에 의한 불휘발성 메모리 장치를 도시하는 블록도이다.
- 도 12는 본 발명의 실시예에 의한 불휘발성 메모리 장치의 읽기 방법을 도시하는 순서도이다.
- 도 13은 본 발명의 실시예에 의한 불휘발성 메모리 장치인 상 변화 메모리 장치를 휴대용 전자 시스템에 적용한 블록도이다.
- 도 14는 본 발명의 실시예에 의한 불휘발성 메모리 장치를 메모리 카드(memory card)에 적용한 블록도이다.
- 도 15는 도 14의 메모리 카드가 사용되는 다양한 시스템을 설명하는 예시적 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0022] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 본 발명의 실시예가 첨부된 도면을 참조하여 설명한다. 또한 이하에서 사용되는 용어들은 오직 본 발명을 설명하기 위하여 사용된 것이며 본 발명의 범위를 한정하기 위해 사용된 것은 아니다. 앞의 일반적인 설명 및 다음의 상세한 설명은 모두 예시적인 것으로 이해되어야 하며, 청구된 발명의 부가적인 설명이 제공되는 것으로 여겨져야 한다.
- [0023] 본 발명의 실시예들은 상 변화 메모리 장치(PRAM: Phase change Random Access Memory)를 이용하여 설명될 것이다. 그러나, 본 발명이 저항 메모리 장치(RRAM: Resistive RAM), 자기 메모리 장치(MRAM: Magnetic RAM)와 같은 저항체를 이용한 비휘발성 메모리 장치에 모두 적용될 수 있음은 본 발명이 속하는 기술의 당업자에게 자명하다.
- [0024] 도 1은 불휘발성 메모리 장치를 도시하는 블록도이다. 도 1을 참조하면, 불휘발성 메모리 장치(10)는 메모리 셀 어레이(11), 감지 증폭 회로 및 쓰기 드라이버(12) 및 주변 회로 영역(13)을 포함한다.
- [0025] 메모리 셀 어레이(11)는 다수의 불휘발성 메모리 셀들을 포함한다. 각 메모리 셀은 스위칭 소자와 저항 소자로 구성될 수 있다. 스위칭 소자는 MOS 트랜지스터, 다이오드 등과 같은 다양한 소자들을 이용하여 구현될 수 있다. 저항 소자는 GST 물질로 구성된 상 변화막을 포함하도록 구성될 수 있다.
- [0026] 감지 증폭 회로 및 쓰기 드라이버(12)는 메모리 셀 어레이에 대한 쓰기 및 읽기 동작을 수행한다. 주변 회로 영역(13)에는 컬럼 선택 회로, 로우 선택 회로, 감지 증폭 회로 및 쓰기 드라이버(12) 등을 동작시키기 위한 다수의 로직 회로 블록과 전압 생성부가 배치될 수 있다.
- [0027] 도 2는 도 1의 메모리 셀 어레이의 일 실시예를 도시하는 도면이다. 도 2를 참조하면, 메모리 셀 어레이(11)는 크로스 포인트 구조(cross point structure)를 가질 수 있다. 크로스 포인트 구조는 하나의 라인과 다른 라인이 서로 교차되는 영역에, 하나의 메모리 셀이 형성되어 있는 구조를 의미한다.
- [0028] 예를 들어, 각 비트 라인(BL1\_1~BL4\_1)과 각 워드 라인(WL1\_1~WL3\_1)이 교차되는 영역에 저항성 메모리 셀(MC)이 형성될 수 있다. 각 비트 라인(BL1\_1~BL4\_1)들은 제1 방향으로 연장되어 형성되고, 워드 라인(WL1\_1~WL3\_1)이 상기 비트 라인(BL1\_1~BL4\_1)과 서로 교차되도록 제2 방향으로 연장되어 형성될 수 있다.
- [0029] 도 3은 도 1의 메모리 셀 어레이의 다른 실시예를 도시하는 도면이다. 도 3을 참조하면, 메모리 셀 어레이(11)는 3차원 적층 구조를 가질 수도 있다. 3차원 적층 구조는 다수의 메모리 셀 레이어(110\_1~110\_8)가 수직으로

적층된 형태를 의미한다. 도면에서는 8개의 메모리 셀 레이어(110\_1~110\_8)가 적층된 것을 예로 들고 있으나, 이에 한정되는 것은 아니다.

- [0030] 여기서, 각 메모리 셀 레이어(110\_1~110\_8)는 다수의 메모리 셀 그룹 및/또는 다수의 리던던시 메모리 셀 그룹을 포함할 수 있다. 메모리 셀 어레이가 3차원 적층 구조일 경우, 각 메모리 셀 레이어(110\_1~110\_8)는 도 2에 도시된 크로스 포인트 구조일 수 있으나, 이에 한정되는 것은 아니다.
- [0031] 메모리 셀 어레이의 메모리 셀들에 포함된 저항 소자의 저항은 다양한 원인으로 인해 시간의 경과에 따라 증가될 수 있다. 이하 도 4 내지 도 6을 참조하여 더 자세히 설명한다.
- [0032] 도 4는 도 1의 메모리 셀 어레이에 포함된 메모리 셀들의 쓰기 동작 직후의 저항 분포를 도시하는 도면이다. 도 4를 참조하면, 저항성 메모리 셀은 멀티비트 셀일 수 있다. 본 실시예에서, 저항성 메모리 셀은 제1 내지 제 4 데이터(R1, R2, R3, R4) 중 어느 하나를 저장할 수 있다.
- [0033] 제1 내지 제 4 데이터(R1~R4) 각각은 제 1 내지 제 4 저항 레벨(L1~L4)에 대응될 수 있다. 제1 내지 제 4 저항 레벨(L1, L2, L3, L4) 순서로 값이 증가될 수 있다. 예를 들어, 제1 저항 레벨(L1)은 RH1보다 작고, 제2 저항 레벨(L2)는 RL2보다 크고 RH2보다 작고, 제3 저항 레벨(L3)는 RL3보다 크고 RH3보다 작고, 제4 저항 레벨(L4)는 RL4보다 클 수 있다. 여기서, RL2, RL3, RL4, RH1, RH2 및 RH3는 쓰기 동작시 쓰기가 정확하게 이루어졌는지 확인하는 검증 리드(verify read) 동작시 사용되는 검증 전압일 수 있다.
- [0034] 도 5는 도 1의 메모리 셀 어레이에 포함된 메모리 셀들의 소정 시간이 경과한 후의 저항 분포를 도시하는 도면이다. 저항 소자의 저항은 다양한 원인으로 인해 시간의 경과에 따라 증가될 수 있다. 특히, 시간의 경과에 따라 리셋 상태(Reset state)의 저항값은 저항 소자의 초기 저항이 클수록 더 현저히 증가되며, 이를 저항 드리프트(Resistance Drift)라 한다.
- [0035] 제 1 내지 제 4 데이터(R1~R4) 각각은 제 1 내지 제 4 저항 레벨(DL1, DL2, DL3, DL4)에 대응될 수 있다. 저항 드리프트에 의하여, 도 5에 도시된 제 1 내지 제 4 저항 레벨(DL1, DL2, DL3, DL4)은 도 4에 도시된 제 1 내지 제 4 저항 레벨(L1, L2, L3, L4)에 비해서 넓은 폭과 큰 평균값을 가짐을 알 수 있다.
- [0036] RN1은 제1 저항 레벨(DL1)과 제2 저항 레벨(DL2) 사이에 위치하는 저항값이고, RN2는 제2 저항 레벨(DL2)과 제3 저항 레벨(DL3) 사이에 위치하는 저항값이고, RN3은 제3 저항 레벨(DL3)과 제4 저항 레벨(DL4) 사이에 위치하는 저항값이다. 여기서, RN1 내지 RN3은, 노말 리드(normal read) 동작시 사용되는 리드 기준값일 수 있다. 예를 들어, RN1 보다 작은 저항값을 갖는 저항성 메모리 셀은, 제1 데이터(R1)를 저장하는 것으로 판별될 수 있다.
- [0037] 한편, 시간의 경과에 따라 각 데이터에 대응되는 전압 레벨이 변화되므로, 데이터를 적은 오차로 독출하기 위해서는 위해서는 노말 리드 동작시 사용되는 리드 기준값 역시 변화되어야 한다.
- [0038] 도 6은 메모리 셀의 시간에 대한 저항 변화를 도시하는 그래프이다. 도 6을 참조하면, 쓰기 동작 직후(t0)의 제 1 데이터 내지 제 4 데이터(R1~R4) 각각은 제 1 내지 제 4 저항 레벨(L1~L4)에 대응될 수 있다. 또, 소정 시간이 지난 후(t1)의 제 1 내지 제 4 데이터(R1~R4) 각각은 제 1 내지 제 4 저항 레벨(DL1~DL4)에 대응될 수 있다.
- [0039] 도 6에 도시된 바와 같이 시간의 경과에 따라 메모리 셀의 저항값은 증가되므로, 노말 리드시 고정된 리드 기준값을 이용하면 읽기 오차가 발생될 수 있다. 메모리 셀의 저항 변화에 응답하여 리드 기준값을 변화시키기 위하여, 메모리 셀과 동일한 저항성 소자인 기준 셀이 사용될 수 있다.
- [0040] 메모리 셀에 쓰기 동작이 수행될 때 기준 셀에도 리드 기준값에 대응되는 데이터 쓰기 동작이 수행될 수 있다. 기준 셀의 저항값 역시 저항 드리프트에 의하여 변하므로, 시간 경과에 무관하게 기준 셀의 저항값은 메모리 셀의 노말 리드시 리드 기준값으로 사용될 수 있다. 메모리 셀과 기준 셀의 쓰기 시간 차이에 의한 오차를 감소시키기 위하여, 메모리 셀과 기준 셀은 동시에 쓰여질 수 있다. 이하 도면을 참조하여 기준 셀을 포함하는 불휘발성 메모리 장치에 관하여 더 자세히 설명한다.
- [0041] 도 7은 본 발명의 실시예에 의한 불휘발성 메모리 장치를 도시하는 블록도이다. 도 7을 참조하면, 불휘발성 메모리 장치(100)는 메인 영역(110), 기준 영역(120), 열 선택기(130), 입출력 회로(140), 제어 로직(150) 및 어드레스 디코더(160)를 포함한다.
- [0042] 불휘발성 메모리 장치(100)는 메인 영역(110)과 동일한 쓰기 조건으로 쓰여지는 기준 영역(120)을 참조하여, 메인 영역(110)에 저장된 데이터들의 저항 드리프트에 의한 오차를 보정할 수 있다.
- [0043] 오차를 보정하기 위하여, 불휘발성 메모리 장치(100)는 기준 영역(120)의 저항값을 가중치(weight)를 가지고 독

출한다. 불휘발성 메모리 장치(100)는 가중치를 가지고 독출된 기준 영역(120)의 저항값을 이용하여 메인 영역(110)에 저장된 데이터들의 상태를 판별하기 위한 리드 기준값들을 생성할 수 있다.

- [0044] 메인 영역(110)은 복수의 메인 셀들을 포함한다. 복수의 메인 셀들은 복수의 워드 라인들(WL1~WLn) 및 복수의 비트 라인들(BL1~BLn)에 연결된다. 기준 영역(120)은 복수의 기준 셀(Reference cell)들을 포함한다. 복수의 기준 셀들은 복수의 워드 라인들(WL1~WLn) 및 복수의 비트 라인들(RBL1~RBL3)에 연결된다. 메인 셀들 및 기준 셀들은 멀티 비트 데이터를 저장하는 상 변화 메모리 셀들일 수 있다.
- [0045] 메인 영역(110) 및 기준 영역(120)은 복수의 워드 라인들(WL1~WLn) 공유한다. 도 2 및 도 3을 참조하여 설명된 바와 같이, 메인 영역(110) 및 기준 영역(120)의 메모리 셀들, 즉 메인 셀들 및 기준 셀들은 스위칭 소자와 저항 소자로 구성될 수 있다. 스위칭 소자는 MOS 트랜지스터, 다이오드 등과 같은 다양한 소자들을 이용하여 구현될 수 있다. 저항 소자는 GST 물질로 구성된 상 변화막을 포함하도록 구성될 수 있다.
- [0046] 입출력 회로(140)는 메인 쓰기 드라이버(141), 기준 쓰기 드라이버(132), 메인 감지 증폭 회로(143) 및 기준 감지 증폭 회로(144)를 포함한다.
- [0047] 메인 쓰기 드라이버(141)는 제어 로직(150)에 의해서 제어되며, 외부로부터 제공되는 데이터에 따라 메인 셀들의 비트 라인들로 쓰기 전류를 공급한다. 메인 쓰기 드라이버(141)는 메인 데이터 라인들(DL)을 통해 메인 영역(120)과 연결된다.
- [0048] 기준 쓰기 드라이버(142)는 제어 로직(150)에 의해서 제어되며, 외부로부터 제공되는 데이터에 따라 기준 셀들의 비트 라인들로 쓰기 전류를 공급한다. 기준 쓰기 드라이버(142)는 기준 데이터 라인들(RDL)을 통해 기준 영역(120)과 연결된다.
- [0049] 메인 쓰기 드라이버(141) 및 기준 쓰기 드라이버(142)는 쓰기 동작시, 선택된 메인 영역(110)의 메모리 셀들을 프로그램하기 위한 펄스 전류를 제공할 때마다, 선택된 메모리 셀들과 워드 라인을 공유하는 기준 셀들을 메인 영역(110)과 동일한 쓰기 조건으로 프로그램한다. 예를 들어, 쓰기 동작시, 메인 쓰기 드라이버(141) 및 기준 쓰기 드라이버(142)는 선택된 워드 라인(WL)에 연결되는 기준 셀들을, 소정의 선택된 메인 영역의 메모리 셀들과 동일한 검증 전압을 이용하여 동시에 프로그램한다.
- [0050] 예를 들어, 워드 라인(WL2)이 선택되면, 워드 라인(WL2)에 연결된 복수의 메인 셀들(MC1~MCm)은 제1 데이터 내지 제 4 데이터 중 하나의 데이터를 저장하도록 프로그램될 수 있다.
- [0051] 메인 셀들(MC1~MCm)에 대한 프로그램 동작이 수행될 때, 워드 라인(WL2)에 연결된 복수의 기준 셀들(RC1~RC3)은 제 1 데이터 내지 제 3 데이터를 각각 저장하도록 프로그램될 수 있다. 혹은 기준 셀들(RC1~RC3)은 제 2 데이터 내지 제 4 데이터를 각각 저장하도록 프로그램될 수 있다. 기준 셀들의 프로그램 상태에 관해서는 도 8 및 도 9를 참조하여 더 자세히 설명될 것이다.
- [0052] 하나의 워드 라인에 연결된 기준 셀들의 수는 하나의 메인 셀이 저장할 수 있는 데이터의 수에 응답하여 결정될 수 있다. 예를 들어, 메인 셀이 제 1 내지 제 4 데이터 중 하나의 데이터를 저장할 수 있는 2-비트 셀인 경우, 하나의 워드 라인에 연결된 기준 셀은 3개일 수 있다. 그러나 이는 예시적인 것으로 본 발명이 이에 한정되는 것은 아니다.
- [0053] 메인 감지 증폭 회로(143)는 읽기 동작시 선택된 메인 셀들의 데이터를 감지한다. 메인 감지 증폭 회로(143)는 읽기 동작시 선택된 메인 셀의 비트 라인에 연결되는 센싱 노드(Sensing node)의 전압을 기준 전압(Vref)과 비교한다. 메인 감지 증폭 회로(143)는 비교된 결과값을 읽기 데이터로 출력한다.
- [0054] 본 발명에 따른 메인 감지 증폭 회로(143)는 저항 드리프트에 의한 메모리 셀의 저항값의 변화를 보상하기 위한 기준 전압(Vref)을 제공받는다. 기준 전압(Vref)은 기준 감지 증폭 회로(144)로부터 제공된다.
- [0055] 기준 감지 증폭 회로(144)는 제어 로직(150)의 제어에 응답하여 기준 셀들의 데이터를 소정의 가중치로 시프트시켜 읽을 수 있다. 기준 감지 증폭 회로(144)는 시프트되어 읽혀진 기준 셀들의 데이터를 참조하여 멀티 레벨 셀들을 독출하기 위한 기준 전압(Vref)을 생성한다.
- [0056] 제어 로직(150)은 읽기 동작 및 쓰기 동작시 입출력 회로(140)의 동작을 제어한다. 제어 로직(150)은 읽기 동작시, 기준 영역(120)에 저장된 데이터들이 미리 지정된 가중치로 시프트되어 읽히도록 기준 감지 증폭 회로(144)를 제어한다. 제어 로직(150)은 기준 감지 증폭 회로(144)의 읽기 환경을 조절하여 기준 영역(120)의 기준 셀들의 저항값이 시프트되어 읽히도록 할 수 있다.

- [0057] 예를 들어, 제어 로직(150)은 기준 감지 증폭 회로(144)의 보상 전류의 크기를 제어하여, 기준 영역(120)의 기준 셀들의 저항값이 시프트되어 임히도록 할 수 있다. 혹은 제어 로직(150)은 기준 감지 증폭 회로(144)의 클램프 전압의 크기를 제어하여, 기준 영역(120)의 기준 셀들의 저항값이 시프트되어 임히도록 할 수 있다. 그러나 제어 로직(150)의 기준 감지 증폭 회로(144) 제어 방법은 이에 한정되지 않는다.
- [0058] 어드레스 디코더(160)는 쓰기나 읽기 동작 모드시 외부로부터 제공되는 어드레스(ADDR)를 디코딩하여 메모리 셀들의 워드 라인 및 비트 라인을 선택하기 위한 선택 회로들로 제공한다.
- [0059] 상술된 불휘발성 메모리 장치(100)는 입출력 데이터를 저장하는 메인 셀들과, 메인 셀들과 대응하는 기준 셀들을 포함한다. 기준 셀들은 메인 셀들이 프로그램될 때마다 메인 셀들과 동일한 검증 전압을 이용하여 특정 상태로 프로그램된다.
- [0060] 기준 셀들의 시간의 경과에 따른 메모리 셀을 구성하는 GST 물질의 저항 드리프트 크기는 메인 셀들과 동기된다. 따라서, 동기화된 기준 셀들을 참조하여 메인 셀들의 저항 드리프트에 의한 오차가 보정될 수 있다. 불휘발성 메모리 장치(100)의 기준 셀들은 메인 셀들과 동일한 쓰기 조건에서 프로그램되므로 추가적인 검증 전압 혹은 쓰기 시간이 요구되지 않아 간단한 제어가 가능하여 낮은 복잡도를 가진다.
- [0061] 한편, 불휘발성 메모리 장치(100)의 기준 셀들은 기준 감지 증폭 회로에 의하여 가중치를 가지고 시프트되어 독출된다. 불휘발성 메모리 장치(100)는 시프트되어 독출된 기준 영역(120)의 저항값을 이용하여, 메인 영역(110)에 저장된 데이터들의 상태를 판별하기 위한 기준 전압들을 생성할 수 있다. 기준 전압들은 메인 영역(110)의 노멀 리드시 리드 기준값으로 사용될 수 있다. 이하 도 8 내지 9를 이용하여 더 자세히 설명한다.
- [0062] 도 8은 본 발명의 실시예에 의한 기준 영역에 대한 쓰기 및 읽기 동작을 도시하기 위한 그래프이다. 도 8의 가로축은 저항값을, 세로축은 셀들의 수를 나타낸다.
- [0063] 도 8을 참조하면, 기준 영역(도 7 참조, 120)의 기준 셀들은 각각 제1 데이터 내지 제 3 데이터(R1-R3)에 대응되는 저항 레벨로 쓰여진다. 소정 시간이 지난 후, 기준 셀에 쓰여진 제 1 내지 제 4 데이터(R1-R3) 각각은 제 1 내지 제 4 저항 레벨(DL1~DL3)에 대응될 수 있다.
- [0064] 메인 영역(도 7 참조, 110)의 메인 셀들에 대한 노멀 리드 동작시, 기준 영역(120)의 기준 셀들의 저항 레벨은 시프트되어 리드 기준값으로서 독출된다. 제어 로직(도 7 참조, 170)은 기준 감지 증폭 회로(도 7 참조, 150)을 이용하여 기준 영역(120)의 기준 셀들을 가중치를 가지고 독출한다. 제어 로직의 제어에 의하여, 기준 영역(120)의 기준 셀들은 제 1 내지 제 3 저항 레벨(RL1~RL3)에 대응되는 저항 레벨로서 독출된다.
- [0065] 도 9는 본 발명의 다른 실시예에 의한 기준 영역에 대한 쓰기 및 읽기 동작을 도시하기 위한 그래프이다. 도 8의 가로축은 저항값을, 세로축은 셀들의 수를 나타낸다.
- [0066] 도 9를 참조하면, 기준 영역(도 7 참조, 120)의 기준 셀들은 각각 제 2 데이터 내지 제 4 데이터(R2-R4)에 대응되는 저항 레벨로 쓰여진다. 소정 시간이 지난 후, 기준 셀에 쓰여진 제 2 데이터 내지 제 4 데이터(R2-R4) 각각은 제 2 내지 제 4 저항 레벨(DL2~DL4)에 대응될 수 있다.
- [0067] 메인 영역(도 7 참조, 110)의 메인 셀들에 대한 노멀 리드 동작시, 기준 영역(120)의 기준 셀들의 저항 레벨은 시프트되어 리드 기준값으로서 독출된다. 제어 로직(도 7 참조, 170)은 기준 감지 증폭 회로(도 7 참조, 150)을 이용하여 기준 영역(120)의 기준 셀들을 가중치를 가지고 독출한다. 제어 로직의 제어에 의하여, 기준 영역(120)의 기준 셀들은 제 1 내지 제 3 저항 레벨(RL1~RL3)에 대응되는 저항 레벨로서 독출된다.
- [0068] 도 8 내지 도 9에서 기준 셀들의 저항값이 시프트되는 정도는 시간 및 초기 저항값에 따라 가변될 수 있다. 이하 도 10을 참조하여 더 자세히 설명한다.
- [0069] 도 10은 메인 셀 및 기준 셀의 시간에 대한 저항 변화를 도시하는 그래프이다. 도 10을 참조하면, 쓰기 동작 직후( $t_0$ )의 제1 데이터 내지 제 4 데이터(R1-R4) 각각은 제 1 내지 제 4 저항 레벨(L1~L4)에 대응될 수 있다. 또, 소정 시간이 지난 후( $t_1$ )의 제 1 내지 제 4 데이터(R1-R4) 각각은 제 1 내지 제 4 저항 레벨(DL1~DL4)에 대응될 수 있다.
- [0070] 도 10의 음영 영역은 미리 지정된 센싱 마진이 확보되는 리드 기준값의 영역을 나타낸다. 신뢰성 있는 동작을 위하여, 기준 셀들의 저항값은 음영 영역 내로 시프트되어 독출되어야 한다.
- [0071] 도시된 바와 같이, 저항 드리프트 정도는 쓰기 시점으로부터 경과된 시간 및 초기 저항값에 응답하여 변화된다. 제어 로직(도 7 참조, 170)은 기준 감지 증폭 회로(도 7 참조, 150)을 이용하여 기준 영역(120)의 기준 셀들의

저항값을 음영 영역 내의 저항값으로 시프트시켜 독출한다. 기준 셀들의 저항값이 시프트되는 정도는 쓰기 시점으로부터 경과된 시간 및 초기 저항값에 응답하여 변화된다.

- [0072] 도 11은 본 발명의 다른 실시예에 의한 불휘발성 메모리 장치(200)를 도시하는 블록도이다. 불휘발성 메모리 장치(200)는 메인 영역(210), 기준 영역(220), 열 선택기(230), 입출력 회로(240), 제어 로직(250) 및 어드레스 디코더(260)를 포함한다. 메인 영역(210), 기준 영역(220), 열 선택기(230) 및 어드레스 디코더(260)는 도 7의 메인 영역(110), 기준 영역(120), 열 선택기(130) 및 어드레스 디코더(160)와 동일한 구성 및 동작 원리를 가질 수 있다.
- [0073] 불휘발성 메모리 장치(200)는 메인 영역(210)과 동일한 쓰기 조건으로 쓰여지는 기준 영역(220)을 참조하여, 메인 영역(210)에 저장된 데이터들의 저항 드리프트에 의한 오차를 보정할 수 있다. 오차를 보정하기 위하여, 불휘발성 메모리 장치(200)는 기준 영역(220)의 저항값을 독출하고, 독출된 저항값을 가중치(weight)를 가지고 보정한다. 불휘발성 메모리 장치(200)는 가중치를 가지고 보정된 기준 영역(220)의 저항값을 이용하여 메인 영역(210)에 저장된 데이터들의 상태를 판별하기 위한 리드 기준값들을 생성할 수 있다.
- [0074] 기준 감지 증폭 회로(244)는 읽기 동작시 기준 셀들에 저장된 데이터에 대응되는 저항 레벨을 감지한다. 기준 감지 증폭 회로(244)는 감지된 저항 레벨을 기준 전압 생성기(245)에 제공한다.
- [0075] 기준 전압 생성기(245)는 기준 감지 증폭 회로(244)로부터 입력된 저항 레벨을 시프트시켜, 시프트된 레벨에 대응되는 기준 전압(Vref)을 생성한다. 기준 전압(Vref)은 도 10의 음영 영역의 저항값에 대응될 수 있다. 기준 전압(Vref)은 노멀 리드시 메인 영역(210)에 대한 리드 기준값이 될 수 있다. 기준 셀들의 저항 레벨이 시프트되는 정도는 쓰기 시점으로부터 경과된 시간 및 초기 저항값에 응답하여 변화된다.
- [0076] 불휘발성 메모리 장치(200)는 시프트된 기준 셀들의 저항값을 이용하여, 메인 영역(210)에 저장된 데이터들의 상태를 판별하기 위한 기준 전압들을 생성하므로, 저항 드리프트에 의한 오차를 감소시킬 수 있다. 또한 상술된 불휘발성 메모리 장치(200)는 메인 셀들과 동일한 쓰기 조건에서 프로그램된 기준 셀을 이용하므로 추가적인 검증 전압 혹은 쓰기 시간이 요구되지 않아 낮은 복잡도를 가진다.
- [0077] 도 12는 본 발명의 실시예에 의한 불휘발성 메모리 장치의 읽기 방법을 도시하는 순서도이다.
- [0078] S100 단계에서, 기준 영역의 저항값이 가중치를 가지고 독출된다. 기준 영역의 저항값은 메인 영역의 각 프로그램 상태에 대응되는 저항 레벨일 수 있다. 기준 영역의 저항값은 미리 정해진 값 만큼 시프트되어 독출될 수 있다. 기준 영역의 저항값이 시프트되는 정도는 쓰기 시점으로부터 경과된 시간 및 초기 저항값에 응답하여 변화될 수 있다.
- [0079] 제어 로직은 기준 영역에 대한 읽기 환경을 조절하여 기준 영역의 저항값을 시프트 할 수 있다. 예를 들어, 제어 로직은 기준 감지 증폭 회로의 보상 전류의 크기를 제어하거나 클램프 전압의 크기를 제어하여, 기준 영역의 기준 셀들의 저항값을 시프트시켜 독출할 수 있다. 그러나 제어 로직의 기준 감지 증폭 회로(144) 제어 방법은 이에 한정되지 않는다.
- [0080] S110 단계에서, 시프트되어 독출된 기준 셀들의 저항값에 대응되는 기준 전압들이 생성된다.
- [0081] S120 단계에서, 기준 전압을 리드 기준값으로 메인 영역의 셀들에 대한 읽기 동작이 수행된다.
- [0082] 본 발명의 읽기 방법에 의하면, 기준 셀들은 메인 셀들과 동일한 쓰기 조건에서 프로그램되므로 추가적인 검증 전압 혹은 쓰기 시간이 요구되지 않아 낮은 복잡도를 가진다. 또한 기준 셀들의 저항값은 시프트되어 메인 셀 읽기 동작시 리드 기준값으로 사용되므로, 저항 드리프트에 의한 오차가 보상될 수 있다.
- [0083] 도 13은 본 발명의 실시예에 의한 불휘발성 메모리 장치인 상 변화 메모리 장치를 휴대용 전자 시스템(1000)에 적용한 블록도이다. 상 변화 메모리 장치(1100)는 메인 셀들과 동일한 쓰기 조건에서 프로그램되는 기준 셀들을 포함한다. 기준 셀들의 저항값은 시프트되어 메인 셀 읽기 동작시 리드 기준값으로 사용되므로, 읽기 동작시 저항 드리프트에 의한 오차가 보상될 수 있다.
- [0084] 버스 라인(L3)을 통하여 마이크로 프로세서(1300)와 연결된 상 변화 메모리 장치(1100)는 휴대용 전자시스템의 메인 메모리로서 제공된다. 전원 공급부(1200)는 전원 라인(L4)을 통해 마이크로 프로세서(1300), 입출력 장치(1400), 그리고 상 변화 메모리 장치(1100)에 전원을 공급한다. 여기서 마이크로프로세서(1300) 및 입출력 장치(1400)는 상 변화 메모리 장치(1100)를 제어하기 위한 메모리 컨트롤러로 제공될 수 있다.
- [0085] 수신 데이터가 라인(L1)을 통하여 입출력 장치(1400)에 제공되는 경우에 마이크로프로세서(1300)는 라인(L2)을

통해 수신 데이터를 입력받아 처리한 후, 버스 라인(L3)을 통해 상 변화 메모리 장치(1100)에 수신 또는 처리된 데이터를 인가한다. 상 변화 메모리 장치(1100)는 버스 라인(L3)을 통해 인가되는 데이터를 메모리 셀에 저장한다. 또한, 메모리 셀에 저장된 데이터는 마이크로프로세서(1300)에 의해 읽혀지고 입출력 장치(1400)를 통해 외부로 출력된다.

[0086] 전원 공급부(1200)의 전원이 전원 라인(L4)에 공급되지 않는 경우에도 상 변화 메모리 장치(1100)의 메모리 셀에 저장된 데이터는 상 변화 물질의 특성에 기인하여 소멸하지 않는다. 이는 상 변화 메모리 장치(1100)가 디램(DRAM)과는 달리 불 휘발성 메모리이기 때문이다. 이외에도 상 변화 메모리 장치(1100)는 다른 메모리 장치에 비해 동작 속도가 빠르고, 전력 소비가 적다는 장점이 있다.

[0087] 도 14는 본 발명의 실시예에 의한 불휘발성 메모리 장치를 메모리 카드(memory card)에 적용한 블록도이다. 메모리 카드(2000)는 예를 들어, MMC 카드, SD카드, 멀티유즈(multiuse) 카드, 마이크로 SD카드, 메모리 스틱, 콤팩트 SD 카드, ID 카드, PCMCIA 카드, SSD카드, 칩카드(chipcard), 스마트카드(smartcard), USB카드 등일 수 있다.

[0088] 도 14를 참조하면, 메모리 카드(2000)는 외부와의 인터페이스를 수행하는 인터페이스부(2100), 버퍼 메모리를 갖고 메모리 카드(2000)의 동작을 제어하는 컨트롤러(2200), 본 발명의 실시예들에 따른 불휘발성 메모리 장치(2300)를 적어도 하나 포함할 수 있다. 컨트롤러(2200)는 프로세서로서, 불휘발성 메모리 장치(2300)의 쓰기 동작 및 읽기 동작을 제어할 수 있다. 컨트롤러(2200)는 데이터 버스(DATA)와 어드레스 버스(ADDRESS)를 통해서 불휘발성 메모리 장치(2300) 및 인터페이스부(2100)와 커플링되어 있다.

[0089] 불휘발성 메모리 장치(2300)는 메인 셀들과 동일한 쓰기 조건에서 프로그램되는 기준 셀들을 포함한다. 기준 셀들의 저항값은 시프트되어 메인 셀 읽기 동작시 리드 기준값으로 사용되므로, 읽기 동작시 저항 드리프트에 의한 오차가 보상될 수 있다.

[0090] 도 15는 도 14의 메모리 카드가 사용되는 다양한 시스템을 설명하는 예시적 도면이다. 도15를 참조하면, 메모리 카드(2000)는 (a) 비디오 카메라, (b) 텔레비전, (c) 오디오 장치, (d) 게임장치, (e) 전자 음악 장치, (f) 휴대폰, (g) 컴퓨터, (h) PDA(Personal Digital Assistant), (i) 보이스 레코더(voice recorder), (j) PC 카드 등에 사용될 수 있다.

[0091] 본 발명에 따른 불휘발성 메모리 장치는 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 본 발명에 따른 불휘발성 메모리 장치는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP), 등과 같은 패키지들을 이용하여 실장될 수 있다.

[0092] 본 발명의 상세한 설명에서는 구체적인 실시예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지로 변형될 수 있다. 예를 들어, 메인 영역, 기준 영역, 쓰기 드라이버, 메인 감지 증폭 회로 및 기준 감지 증폭 회로의 세부적 구성은 사용 환경이나 용도에 따라 다양하게 변화 또는 변경될 수 있을 것이다. 본 발명에서 사용된 특정한 용어들은 본 발명을 설명하기 위한 목적에서 사용된 것이며 그 의미를 한정하거나 특허 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 발명의 범위는 상술한 실시예에 국한되어서는 안되며 후술하는 특허 청구범위 뿐만 아니라 이 발명의 특허 청구범위와 균등한 범위에 대하여도 적용되어야 한다.

**부호의 설명**

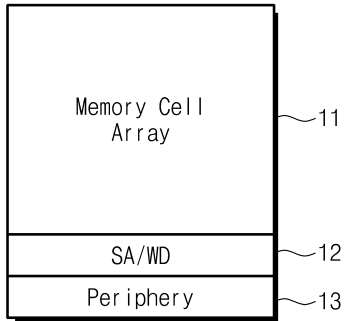
- [0093] 110: 메인 영역
- 120: 기준 영역
- 130: 열 선택기
- 140: 입출력 회로
- 150: 제어 로직

160: 어드레스 디코더

도면

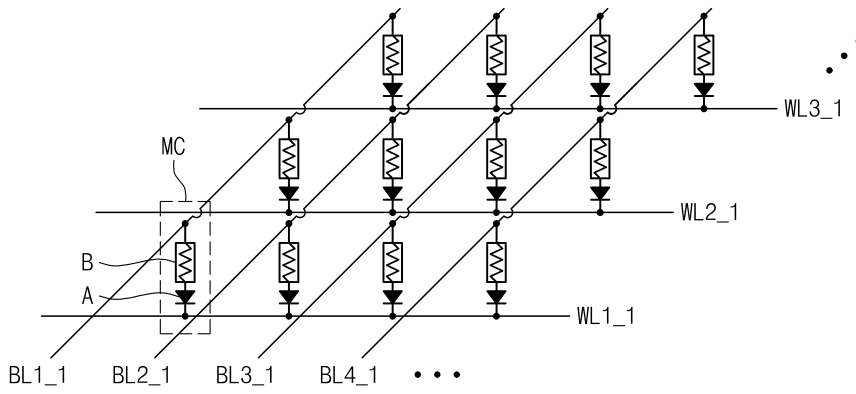
도면1

10

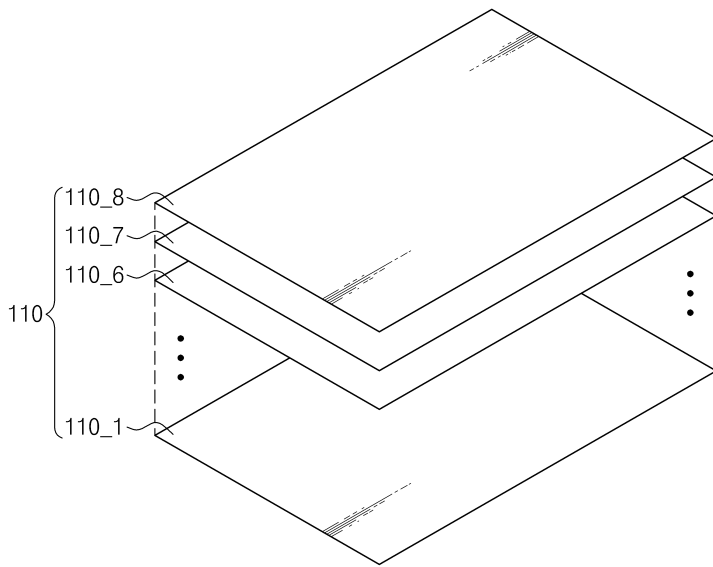


도면2

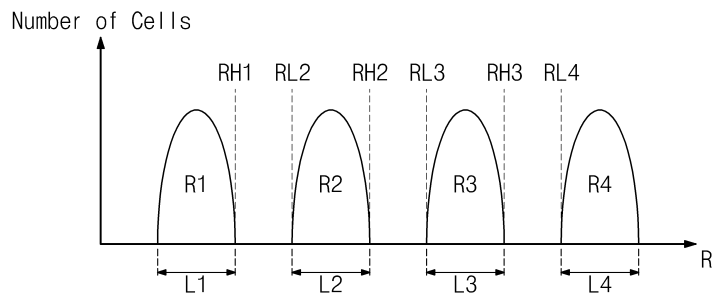
110



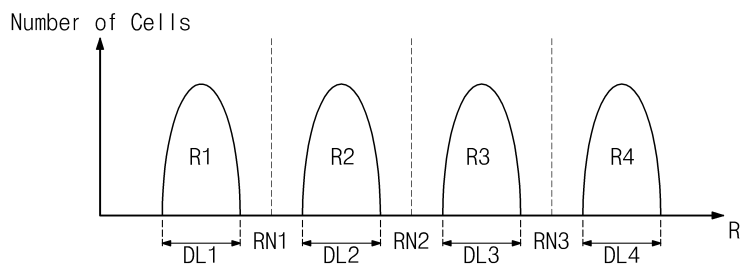
도면3



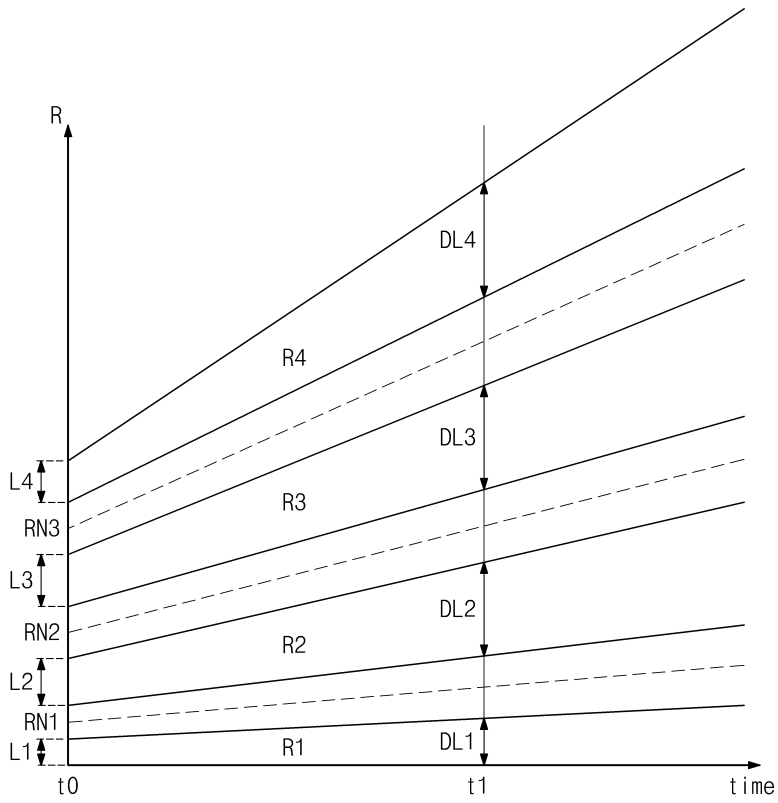
도면4



도면5

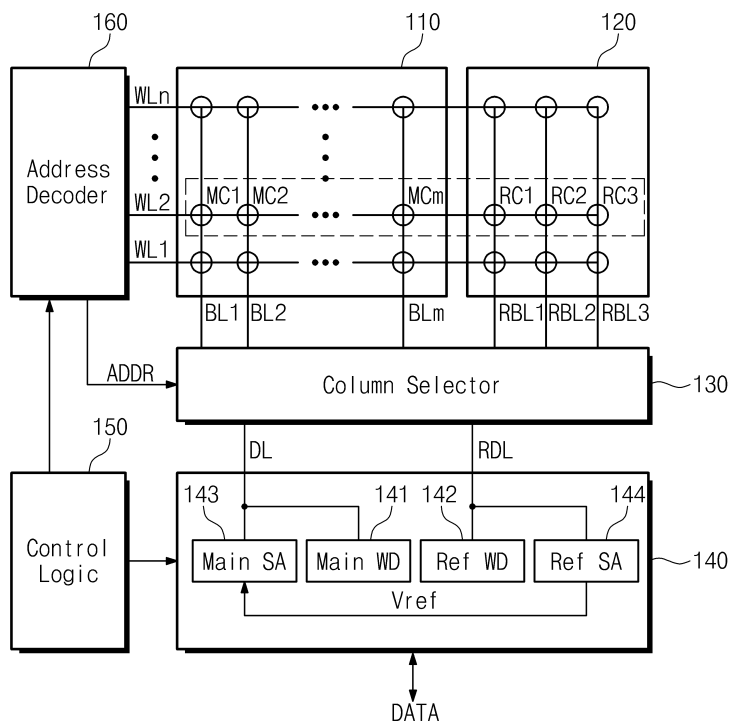


도면6

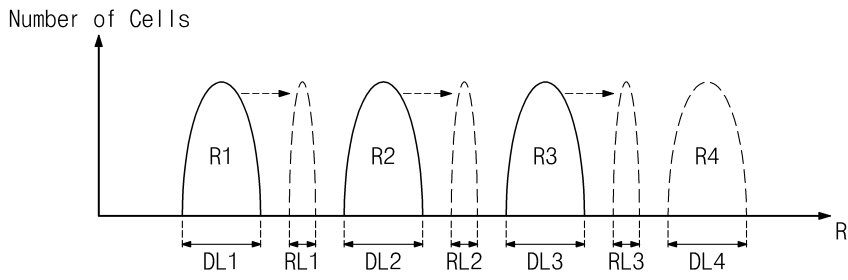


도면7

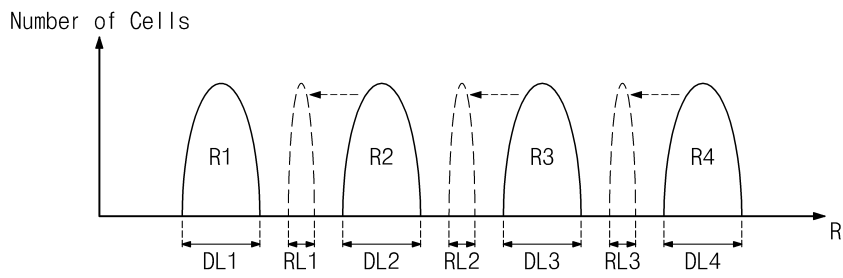
100



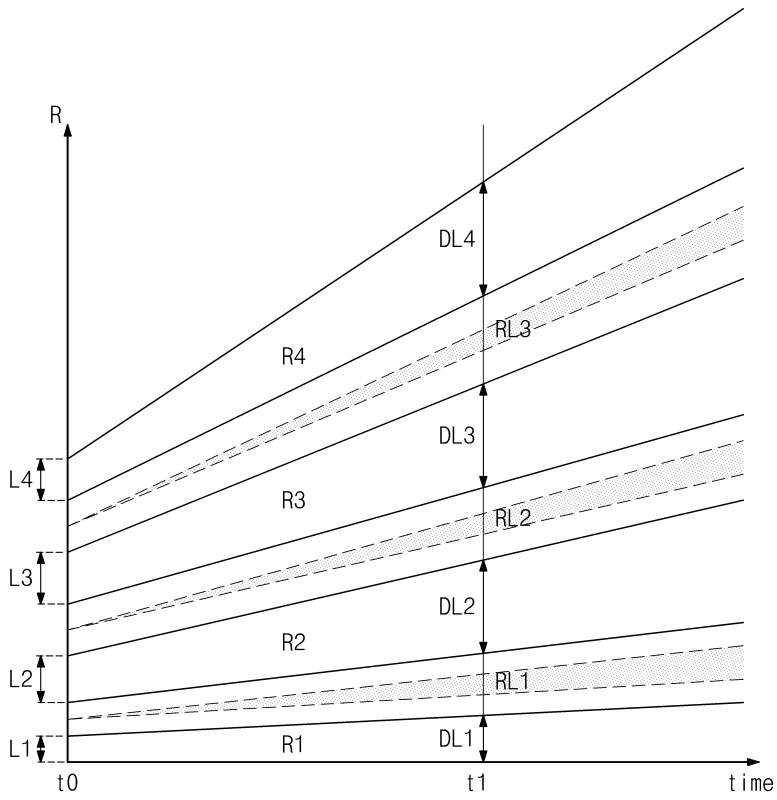
도면8



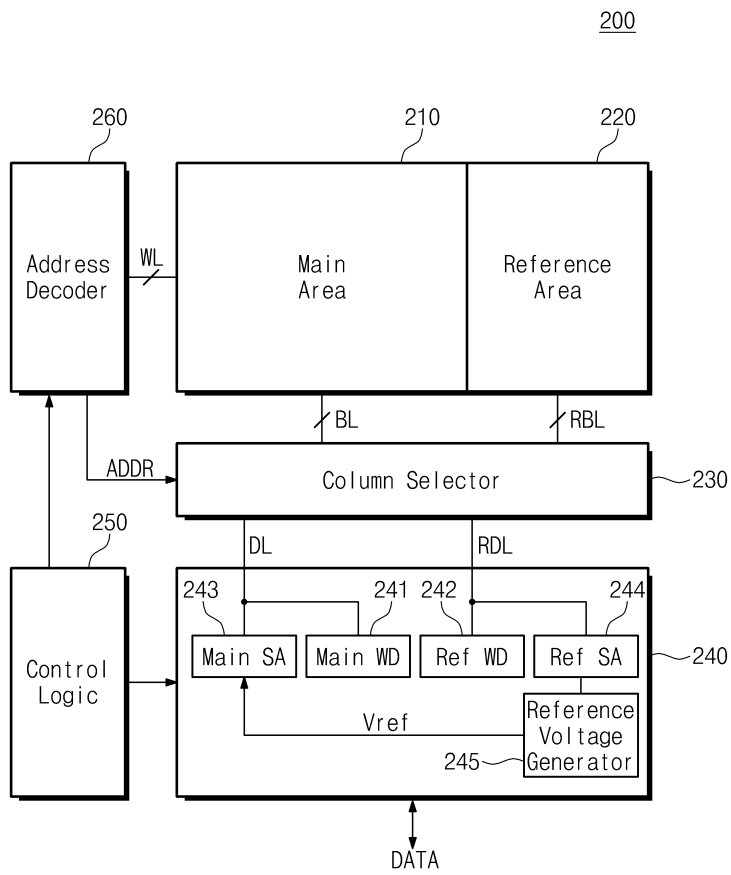
도면9



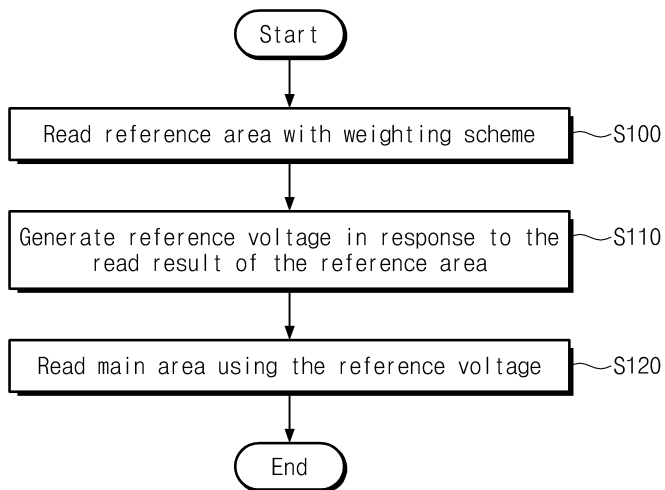
도면10



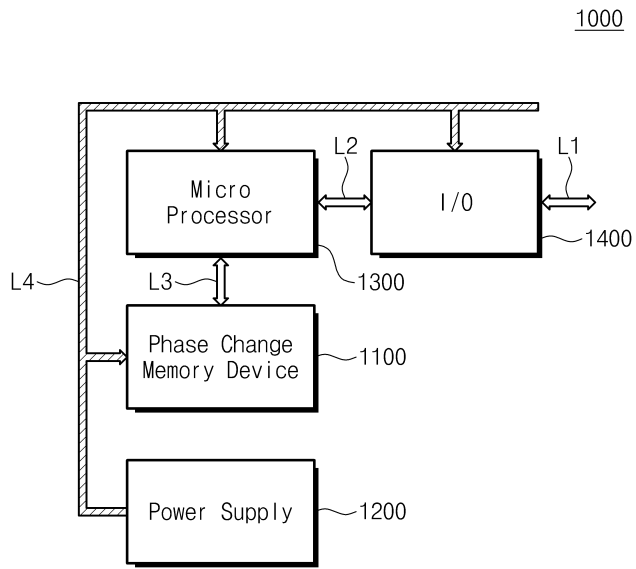
도면11



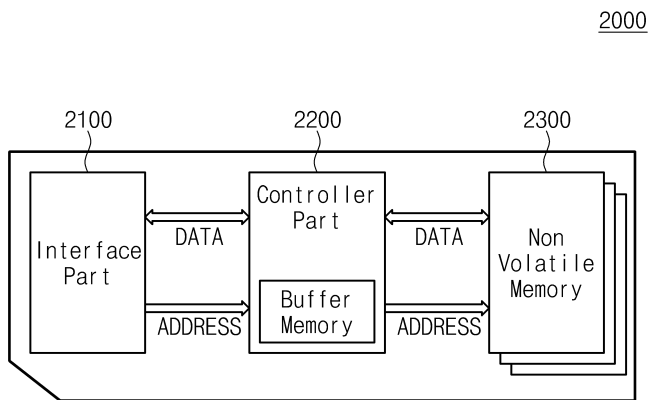
도면12



도면13



도면14



도면15

