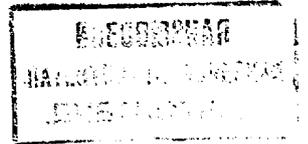




ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР



ОПИСАНИЕ ИЗОБРЕТЕНИЯ

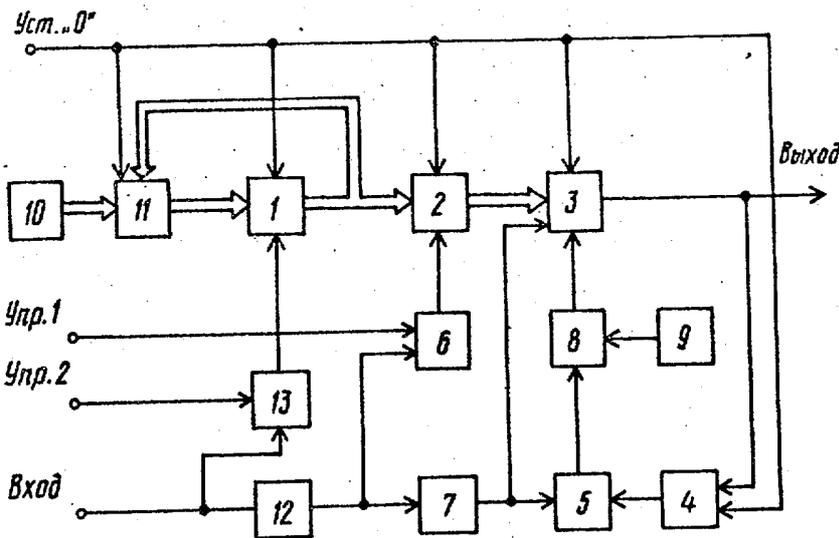
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

- (61) 1224988 (14-86)
- (21) 4635389/21
- (22) 12.01.89
- (46) 30.06.91. Бюл. № 24
- (71) Ярославский государственный университет
- (72) Е.Н. Новиков
- (53) 621.374(088.8)
- (56) Авторское свидетельство СССР № 993457, кл. Н 03 К 5/13, 1981.
- Авторское свидетельство СССР № 1224988, кл. Н 03 К 3/64, 5/13, 1984.
- (54) УСТРОЙСТВО ЗАДЕРЖКИ ИМПУЛЬСНЫХ СИГНАЛОВ
- (57) Изобретение относится к дискретным линиям задержки. Цель изобретения – расширение функциональных возможностей путем формирования квадратично-изменя-

2

ющейся задержки опорного импульса сигнала – достигается за счет введения в состав устройства второго буферного регистра 10, двоичного сумматора 11, второй схемы 12 задержки, третьего элемента И и второго входа управления "Упр.2". Кроме того, в состав устройства входят первый буферный регистр 1, накапливающий сумматор 2, двоичный счетчик 3, элемент ИЛИ 4, триггер 5, первый и второй элементы И 8 и 6, первая схема 7 задержки, генератор 9, первый вход управления "Упр.1". Введенные элементы обеспечивают возможность изменения от такта к такту следования задержки опорного сигнала по квадратичной зависимости с возможностью программного изменения скорости нарастания. 1 ил.



Изобретение относится к дискретным линиям задержки, предназначено для создания квадратично изменяющейся задержки опорного импульсного сигнала и является усовершенствованием устройства по авт. св. № 1224988.

Целью изобретения является расширение области применения путем формирования квадратично изменяющейся задержки опорного импульсного сигнала.

На чертеже представлена функциональная схема устройства.

Устройство содержит буферный регистр 1, накапливающий сумматор 2, счетчик 3, элемент ИЛИ 4, триггер 5, второй элемент И 6, схему 7 задержки, первый элемент И 8, генератор 9 тактовых импульсов, второй буферный регистр 10, двоичный сумматор 11, вторую схему 12 задержки и третий элемент И 13. Последовательно соединены буферный регистр 1, накапливающий сумматор 2 и счетчик 3 импульсов, выход переполнения которого соединен с выходной шиной устройства и через элемент ИЛИ 4 подключен к нулевому входу триггера 5, элемент И 6, элемент 7 задержки, элемент И 8, генератор 9 тактовых импульсов, причем входная шина устройства подключена к входу элемента 7 задержки и первому входу элемента И 6, второй вход которого соединен с шиной управления, а выход элемента И 6 подключен к синхронизирующему входу накапливающего сумматора 2, установочный вход которого соединен с шиной установки исходного состояния, вторым входом элемента ИЛИ 4 и с установочным входом счетчика 3, синхронизирующий вход которого соединен с выходом элемента 7 задержки и единичным входом триггера 5, выход которого подключен к первому входу элемента И 8, второй вход которого соединен с выходом генератора 9 тактовых импульсов, а выход элемента И 8 подключен к счетному (вычитающему) входу счетчика 3, последовательно соединены также второй буферный регистр 10 и двоичный сумматор 11, выход которого подключен к первому буферному регистру, выход которого соединен с вторым входом двоичного сумматора 11, шина установки исходного состояния соединена с установочными входами первого буферного регистра 1 и двоичного сумматора 11, третий элемент И 13, выход которого подключен к синхронизирующему входу первого буферного регистра 1, первый вход третьего элемента И 13 является вторым входом управления, а второй его вход подключен к входу устройства, к которому также подключен вход второй схемы 12 задержки, выход

которой соединен с входом первой схемы 7 задержки и вторым входом первого элемента И 6.

Устройство задержки импульсных сигналов работает следующим образом.

Для установки исходного состояния на вход устройства "Устр.0" подается импульс, который устанавливает в ноль двоичный сумматор 11, первый буферный регистр 1, накапливающий сумматор 2, счетчик 3 и триггер 5. Так как триггер 5 установлен в ноль (низкий уровень), тактовые импульсы с генератора 9 не проходят через элемент И 8 на вычитающий вход счетчика 3 и устройство находится в исходном состоянии. По приходе первого входного импульса (на втором управляющем входе высокий уровень) в первом буферном регистре 1 запомнится код задержки, хранящийся во втором буферном регистре 10, и появится на выходе регистра 1 через некоторое время задержки. Затем импульсом синхронизации, задержанным на время τ во второй схеме 12 задержки, больше чем время задержки в буфере 1 и сумматоре 11, этот код подсуммируется в накапливающем сумматоре 2. Эта информация появится на его выходе через время задержки накапливающего сумматора 2 и поступит на предустановочные входы счетчика 3. Затем импульсом синхронизации, задержанным еще в первой схеме 7 задержки на время τ большее, чем время задержки накапливающего сумматора 2, этот код перепишется в счетчик 3, одновременно этот же задержанный импульс установит в "1" (высокий уровень) триггер 5, что позволит импульсам с генератора 9 через элемент И 8 пройти на вычитающий вход счетчика 3. Время счета счетчиками 3 определяется кодом, записанным по предустановочным входам счетчика 3, и периодом тактовых импульсов с генератора 9. По окончании счета с выхода переполнения счетчика 3 появится импульс, задержанный относительно импульса синхронизации на время $t_3 = nT$, где n - код, записанный в счетчик 3; T - период тактовых импульсов. Этот импульс является выходным импульсом устройства. Одновременно этот импульс через элемент ИЛИ 4 устанавливает триггер 5 в "0", что запрещает дальнейшее прохождение тактовых импульсов с генератора 9 через элемент И 8 на вычитающий вход счетчика 3. Устройство находится в состоянии ожидания. Вторым входным импульсом, пройдя через элемент И 13, изменит состояние первого буферного регистра 1 на величину Δ , хранящуюся во втором буферном регистре 10, так как регистр 1 и двоич-

ный сумматор 11 образуют накапливающий сумматор, суммирующий код, хранящийся в регистре 10 по импульсу синхронизации. Эта информация через время, меньшее τ , появится на входе накапливающего сумматора 2, и импульс синхронизации, задержанный на τ , изменит состояние накапливающего сумматора на величину Δ и его состояние будет равно предыдущему плюс код с выхода регистра 1. Эта информация опять через время τ запишется импульсом синхронизации в счетчик 3, который установит триггер 5 в "Г". Тактовые импульсы через элемент И 8 поступят на вычитающий вход счетчика 3, который будет считать время $\Delta t = \Delta \cdot T$, где Δ – скачок, T – период тактовых импульсов. Третий входной импульс изменит состояние регистра 1 опять на величину Δ и его состояние будет равно 2Δ , а к предыдущему состоянию сумматора 2 Δ добавится код регистра 1 и состояние сумматора 2 будет равно $\Delta + 2 \cdot \Delta$. Эта информация опять через время τ запишется импульсом синхронизации в счетчик 3, который будет считать время $\Delta t = 3 \Delta \cdot T$. Следующий входной импульс запишет в счетчик 3 код $\Delta t = 6 \Delta \cdot T$, затем $\Delta t = 10 \Delta \cdot T$, затем $\Delta t = 15 \Delta \cdot T$. Видно, что код задержки нарастает по квадратичной зависимости задержки от номера входного импульса. Так повторяется до тех пор, пока не переполнится сумматор 2, причем если в емкости сумматора 2 укладывается целое число приращений, то переполнение сумматора 2 эквивалентно установке исходного состояния, если нет, то он вернется не в нулевое состояние, а в состояние, равное остатку, и работа устройства будет продолжаться. Если эта ситуация нежелательна, то необходимо предусмотреть установку в "0" сумматора 2 по его переполнению.

Разрядность регистра 1, двоичного сумматора 11 и регистра 10 должна быть мень-

ше разрядности сумматора 2 и необходимо, чтобы не произошло переполнения регистра 1.

В устройстве предусмотрен режим "Остановка", когда на первую шину управления подается низкий уровень "0", что запрещает прохождение входного импульса через элемент И 6 на вход синхронизации сумматора 2. В этом режиме состояние сумматора 2 остается неизменным, что эквивалентно фиксированной задержке $t_{зад0} = kT$, где k – состояние накапливающего сумматора 2. Также возможен переход от квадратично-изменяющейся задержки к линейной задержке, когда на вторую шину управления устройства подается низкий уровень, что запрещает изменение кода на выходе регистра 1, и происходит линейное изменение задержки со скоростью, хранящейся в неизменяющемся регистре 1.

Формула изобретения

Устройство задержки импульсных сигналов по авт. св. № 1224988, отличающееся тем, что, с целью расширения области применения за счет обеспечения возможности формирования квадратично-изменяющейся задержки опорного импульсного сигнала, в него введены соединенные последовательно второй буферный регистр и двоичный сумматор, выход которого подключен к первому буферному регистру, соединенному выходом с вторым входом двоичного сумматора, третий элемент И, выход которого подключен к синхронизирующему входу первого буферного регистра, первый вход является вторым входом управления, а второй его вход подключен к входу устройства, который вторую схему задержки соединен с входом первой схемы задержки и вторым входом первого элемента И, шина установки исходного состояния соединена с установочными входами первого буферного регистра и двоичного сумматора.

Редактор Т.Лошкарева Составитель А.Очеретянный
Техред М.Моргентал Корректор Т.Малец

Заказ 1853 Тираж 490 Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101