



(45)授权公告日 2018.05.29

审查员 赵海东

权利要求书3页 说明书13页 附图8页

[illegible]

1. 一种用于管理具有不同高速缓存能力的跨页指令的方法,所述方法包括:

设定用于指令的终止部分的指示,所述指令是从不可高速缓存指令的第一页获取且以从具有可高速缓存指令的高速缓冲存储器行中的可高速缓存指令的第二页获取的所述指令的开始部分建立,其中所述指令跨越高速缓冲存储器行边界;

当在所建立高速缓冲存储器行上命中时检测获取管线中的所述指示以将不可高速缓存旗标设定为指示所述指令无法从指令高速缓冲存储器执行,其中所述指令经接收但基于所述不可高速缓存旗标而不从所述高速缓冲存储器执行;以及

响应于所述不可高速缓存旗标绕过所述高速缓冲存储器从存储器重获取至少所述指令的所述终止部分以与所述指令的所述开始部分组合,其中所述指令经重构用于执行。

2. 根据权利要求1所述的方法,其中所述指令是跨越具有不可高速缓存指令的页与具有可高速缓存指令的页之间的页边界而获取。

3. 根据权利要求1所述的方法,其中所述高速缓冲存储器行将经对准边界上的指令存储于在每一高速缓冲存储器行中具有N个K位加至少(K/2)位的容量的高速缓冲存储器行内。

4. 根据权利要求1所述的方法,其中所述可高速缓存指令是具有选自可变长度指令集架构的K位指令和K/2位指令的指令集。

5. 根据权利要求1所述的方法,其中所述指示存储在一或多个位中以指示用于所述指令的执行许可被拒绝。

6. 根据权利要求1所述的方法,其进一步包括:

从所述高速缓冲存储器获取获取群组中的所述指令;

在检测到所述不可高速缓存旗标后即刻暂停所述获取管线;以及

在确定处理器出于执行的目的已到达所述指令后即刻清洗所述获取管线。

7. 一种用于控制具有不同高速缓存能力的跨页指令的执行的设备,所述设备包括:

指令高速缓冲存储器,其可配置以存储可高速缓存指令以及具有可高速缓存的开始部分和不可高速缓存的终止部分且在高速缓冲存储器行的末端处跨越高速缓冲存储器行边界的指令;

指示符电路,其可配置以在一或多个位中存储用于所述指令的执行许可被拒绝的指示,其中所述指令经识别为不可高速缓存指令;以及

获取管线,其耦合到处理器且可配置以当在含有所述不可高速缓存指令的指令的获取群组上命中时检测所述指示,其中所述不可高速缓存指令经接收但响应于所述指示而不从所述高速缓冲存储器执行。

8. 根据权利要求7所述的设备,其中所述获取管线可操作以响应于所检测指示绕过所述高速缓冲存储器从存储器重获取至少所述不可高速缓存指令的所述终止部分以与所述不可高速缓存指令的所述开始部分组合,且重构所述不可高速缓存指令用于执行。

9. 根据权利要求7所述的设备,其中所述高速缓冲存储器行将经对准边界上的K位和K/2位宽指令存储于N*K位加K/2位宽的每一高速缓冲存储器行内,且所述高速缓冲存储器行的所述K/2位部分存储跨行指令的K/2位终止部分。

10. 根据权利要求7所述的设备,其中所述终止部分是在下一高速缓冲存储器行中建立的终止部分的重复。

11. 一种用于管理具有不同高速缓存能力的跨页指令的设备,所述设备包括:

指令高速缓冲存储器,其可配置以存储可高速缓存指令以及具有可高速缓存的开始部分和不可高速缓存的终止部分且在高速缓冲存储器行的末端处跨越页边界和高速缓冲存储器行边界的指令;

指示符电路,其可配置以存储用于所述指令的执行许可被拒绝的指示,其中所述指令经识别为不可高速缓存指令;以及

获取管线,其耦合到处理器且可配置以当在含有所述不可高速缓存指令的指令的获取群组上命中时检测所述指示,其中所述不可高速缓存指令响应于所述指示而绕过所述高速缓冲存储器从系统存储器重获取以用于执行。

12. 根据权利要求11所述的设备,其中所述指示符电路在所述指令高速缓冲存储器外部。

13. 根据权利要求11所述的设备,其进一步包括:

用于每一高速缓冲存储器路的高速缓冲存储器路指示符电路,其可配置以存储用于存储在相关联路中的所述不可高速缓存且跨行指令的执行许可被拒绝的路指示。

14. 根据权利要求11所述的设备,其中处理器管线包括:

检测电路,其可配置以检测所述不可高速缓存指令的所述终止部分和所述指示已在所述处理器管线中接收;

解码电路,其可配置以向所述处理器管线识别所述不可高速缓存指令;以及

缓冲与保持电路,其可配置以缓冲从所述指令高速缓冲存储器接收的指令且确定所述不可高速缓存指令是否是所述处理器管线中可用于执行的最旧指令。

15. 根据权利要求14所述的设备,其中所述不可高速缓存指令经确定为可用于执行的所述最旧指令,且所述处理器管线被向后清洗且包含所述不可高速缓存指令。

16. 根据权利要求14所述的设备,其中在所述不可高速缓存指令之前接收的分支指令致使所述处理器分支远离所述不可高速缓存指令,且所述不可高速缓存指令覆写在所述缓冲与保持电路中。

17. 根据权利要求11所述的设备,其中处理器管线包括:

重获取电路,其可配置以绕过所述指令高速缓冲存储器从系统存储器重获取所述不可高速缓存指令的所述终止部分。

18. 根据权利要求17所述的设备,其中所述处理器管线包括:

重组电路,其可配置以组合所述不可高速缓存指令的所述开始部分与从所述系统存储器接收的所述重获取终止部分以形成待执行的完整指令。

19. 一种经编码有计算机可读程序数据和代码的计算机可读非暂时性媒体,所述程序数据和代码在被执行时可操作以:

设定用于指令的终止部分的指示,所述指令是从不可高速缓存指令的第一页获取且以从具有可高速缓存指令的高速缓冲存储器行中的可高速缓存指令的第二页获取的所述指令的开始部分建立,其中所述指令跨越高速缓冲存储器行边界;

当在所建立高速缓冲存储器行上命中时检测获取管线中的所述指示以将不可高速缓存旗标设定为指示所述指令无法从所述指令高速缓冲存储器执行,其中所述指令经接收但基于所述不可高速缓存旗标而不从所述高速缓冲存储器执行;以及

响应于所述不可高速缓存旗标绕过所述高速缓冲存储器从存储器重获取至少所述指令的所述终止部分以与所述指令的所述开始部分组合,其中所述指令经重构用于执行。

20.一种用于管理具有不同高速缓存能力的跨页指令的设备,其包括:

用于存储可高速缓存指令以及具有从可高速缓存指令的第一页获取的开始部分和从不可高速缓存指令的第二页获取的终止部分且在高速缓冲存储器行的末端处跨越高速缓冲存储器行边界的指令的装置;

用于指示用于所述指令的执行许可被拒绝的装置,其中所述指令经识别为不可高速缓存指令;以及

用于当在含有所述不可高速缓存指令的指令的获取群组上命中时检测所述指示的装置,其中所述不可高速缓存指令响应于所述指示而绕过所述高速缓冲存储器从系统存储器重获取以用于执行。

21.一种用于控制具有不同高速缓存能力的跨页指令的执行的设备,所述设备包括:

指令高速缓冲存储器,其可配置以存储可高速缓存指令以及具有不可高速缓存的开始部分和可高速缓存的终止部分且在高速缓冲存储器行的开始处跨越高速缓冲存储器行边界的指令;

指示符电路,其可配置以在一或多个位中存储用于所述指令的执行许可被拒绝的指示,其中所述指令经识别为不可高速缓存指令;以及

获取管线,其耦合到处理器且可配置以当在含有所述不可高速缓存指令的指令的获取群组上命中时检测所述指示,其中所述不可高速缓存指令经接收但响应于所述指示而不从所述高速缓冲存储器执行。

用于管理具有不同高速缓存能力的跨页指令的方法和设备

[0001] 相关申请案的交叉参考

[0002] 2012年6月28日申请的标题为“用于跟踪指令高速缓冲存储器中的额外数据许可的方法和设备”的第13/535,398号美国申请案是相关申请案且全文并入本文。

技术领域

[0003] 本发明大体上涉及用以改善处理具有多种长度的指令的处理器中的效率的技术，并且更确切地说，涉及用于识别跨越可高速缓存与不可高速缓存存储器之间的边界的指令且允许此整个指令与其它可高速缓存指令一起存储在高速缓冲存储器行中的有利技术。

背景技术

[0004] 许多处理器经设计以执行不同长度的指令，例如8位、16位、32位和64位指令。用于此处理器的程序可含有从可变长度指令集架构中选出的这些不同长度指令的组合。处理器还可具有带有多层级高速缓冲存储器的阶层式存储器配置，且可包含例如指令高速缓冲存储器、数据高速缓冲存储器和系统存储器。指令高速缓冲存储器可经配置以在高速缓冲存储器行中一起存储和存取多个指令。在支持16位和32位指令的处理器架构中，32位指令可在高速缓冲存储器行中未对准地存储。使用16位半字寻址，其前16位半字存储在奇数16位半字地址中的32位指令被视为未对准。举例来说，256位高速缓冲存储器行可存储八个32位指令或十六个16位指令或16位和32位指令两者的组合。具有16位和32位指令的混合的高速缓冲存储器行可具有在两个高速缓冲存储器行之间跨越的最后32位指令。

[0005] 并且，可使用虚拟存储器系统，其将存储器分割为页，例如4千字节(4k字节)页。在此系统中，在两个高速缓冲存储器行之间跨越的高速缓冲存储器行中的最后32位指令还可能跨越页边界。每一页可被指派不同属性，其可包含(例如)存储在所述页上的信息是否可高速缓存或不可高速缓存。因此，在具有不同长度的混合指令格式的高速缓冲存储器行中，跨越高速缓冲存储器行且跨越页边界分裂的指令可经受冲突的页属性。举例来说，除高速缓冲存储器行中的最后指令外的所有指令可来自具有可高速缓存的属性的第一示范性页，而跨越高速缓冲存储器行和页边界分裂的最后指令可具有指示第一部分可高速缓存而第二部分不可高速缓存的属性。在不影响与分裂最后指令的边界一起识别的高速缓冲存储器行中的大部分指令的性能的情况下，此类冲突可能难以解决。

发明内容

[0006] 在本发明的几个方面当中，本发明的实施例认识到通过在与分裂最后指令的页边界一起识别的高速缓冲存储器行中存储可高速缓存指令可改善性能。本发明的一实施例认识到存在对管理具有不同高速缓存能力的跨页指令的方法的需要。设定用于指令的终止部分的指示，所述指令是从不可高速缓存指令的第一页获取且以从具有可高速缓存指令的高速缓冲存储器行中的可高速缓存指令的第二页获取的所述指令的开始部分建立，其中所述指令跨越高速缓冲存储器行边界。当在所述所建立高速缓冲存储器行上命中时检测获取管

线中的所述指示以将不可高速缓存旗标设定为指示所述指令无法从所述指令高速缓冲存储器执行,其中所述指令经接收但基于所述不可高速缓存旗标而不从所述高速缓冲存储器执行。响应于所述不可高速缓存旗标绕过所述高速缓冲存储器从存储器重获取至少所述指令的所述终止部分以与所述指令的所述开始部分组合,其中所述指令经重构用于执行。

[0007] 另一实施例解决一种用于控制具有不同高速缓存能力的跨页指令的执行的设备。指令高速缓冲存储器经配置以存储可高速缓存指令以及具有可高速缓存的开始部分和不可高速缓存的终止部分且在高速缓冲存储器行的末端处跨越高速缓冲存储器行边界的指令。指示符电路经配置以在一或多个位中存储用于所述指令的执行许可被拒绝的指示,其中所述指令经识别为不可高速缓存指令。获取管线耦合到处理器且经配置以当在含有所述不可高速缓存指令的指令的获取群组上命中时检测所述指示,其中所述不可高速缓存指令经接收但响应于所述指示而不从所述高速缓冲存储器执行。

[0008] 另一实施例解决一种用于管理具有不同高速缓存能力的跨页指令的设备。指令高速缓冲存储器经配置以存储可高速缓存指令以及具有可高速缓存的开始部分和不可高速缓存的终止部分且在高速缓冲存储器行的末端处跨越页边界和高速缓冲存储器行边界的指令。指示符电路经配置以存储用于所述指令的执行许可被拒绝的指示,其中所述指令经识别为不可高速缓存指令。获取管线耦合到处理器且经配置以当在含有所述不可高速缓存指令的指令的获取群组上命中时检测所述指示,其中所述不可高速缓存指令响应于所述指示而绕过所述高速缓冲存储器从系统存储器重获取以用于执行。

[0009] 另一实施例解决一种经编码有用于操作系统的计算机可读程序数据和代码的计算机可读非暂时性媒体。设定用于指令的终止部分的指示,所述指令是从不可高速缓存指令的第一页获取且以从具有可高速缓存指令的高速缓冲存储器行中的可高速缓存指令的第二页获取的所述指令的开始部分建立,其中所述指令跨越高速缓冲存储器行边界。当在所述所建立高速缓冲存储器行上命中时检测获取管线中的所述指示以将不可高速缓存旗标设定为指示所述指令无法从所述指令高速缓冲存储器执行,其中所述指令经接收但基于所述不可高速缓存旗标而不从所述高速缓冲存储器执行。响应于所述不可高速缓存旗标绕过所述高速缓冲存储器从存储器重获取至少所述指令的所述终止部分以与所述指令的所述开始部分组合,其中所述指令经重构用于执行。

[0010] 另一实施例解决一种用于管理跨页指令的设备。利用用于存储可高速缓存指令以及具有从可高速缓存指令的第一页获取的开始部分和从不可高速缓存指令的第二页获取的终止部分且在高速缓冲存储器行的末端处跨越高速缓冲存储器行边界的指令的装置。提供用于指示用于所述指令的执行许可被拒绝的装置,其中所述指令经识别为不可高速缓存指令。还提供用于当在含有所述不可高速缓存指令的指令的获取群组上命中时检测所述指示的装置,其中所述不可高速缓存指令响应于所述指示而绕过所述高速缓冲存储器从系统存储器重获取以用于执行。

[0011] 又一实施例解决一种用于控制具有不同高速缓存能力的跨页指令的执行的设备。指令高速缓冲存储器经配置以存储可高速缓存指令以及具有不可高速缓存的开始部分和可高速缓存的终止部分且在高速缓冲存储器行的开始处跨越高速缓冲存储器行边界的指令。指示符电路经配置以在一或多个位中存储用于所述指令的执行许可被拒绝的指示,其中所述指令经识别为不可高速缓存指令。获取管线耦合到处理器且经配置以当在含有所述

不可高速缓存指令的指令的获取群组上命中时检测所述指示,其中所述不可高速缓存指令经接收但响应于所述指示而不从所述高速缓冲存储器执行。

[0012] 从以下详细描述和附图将显而易见本发明的更完整理解以及本发明的进一步特征和优点。

附图说明

[0013] 图1是包含具有指令高速缓冲存储器的处理器复合体的装置的特定实施例的框图,所述指令高速缓冲存储器支持跨越高速缓冲存储器行边界和分页存储器边界的指令;

[0014] 图2图解说明根据本发明的实施例的具有处理器、等级1指令高速缓冲存储器(L1Icache)、L1数据高速缓冲存储器(Dcache)、等级2高速缓冲存储器(L2高速缓冲存储器)和系统存储器的处理器复合体;

[0015] 图3A图解说明含有16和32位的变化长度指令的示范性程序片段;

[0016] 图3B图解说明含有来自图3A的程序片段300的指令的示范性L1指令高速缓冲存储器行;

[0017] 图4A图解说明根据本发明的实施例的具有指令翻译旁视缓冲器(ITLB)和物理存储器的分页虚拟存储器系统;

[0018] 图4B图解说明根据本发明的实施例的在L1指令高速缓冲存储器标签中具有跨行指示符的虚拟到物理地址翻译子系统;

[0019] 图5图解说明根据本发明的实施例的具有跨行指令和支持的跨行指示符的示范性双路集合关联指令高速缓冲存储器电路;以及

[0020] 图6图解说明根据本发明的实施例的用于管理具有不同高速缓存能力的跨页指令的过程。

具体实施方式

[0021] 现在将参考附图更加完整地描述本发明,在所述附图中示出了本发明的几个实施例。然而,本发明可以各种形式来体现,且不应解释为限于本文所陈述的实施例。更准确地说,提供这些实施例是为了使得本发明将是透彻并且完整的,并且这些实施例将把本发明的范围完整地传达给所属领域的技术人员。

[0022] 根据本发明教导的用于接受操作或用于实现操作的计算机程序代码或“程序代码”可以高级编程语言编写,例如C、C++、JAVA®、Smalltalk、JavaScript®、Visual Basic®、TSQL、Perl或各种其它编程语言。用于目标处理器架构的程序也可以直接以原生汇编语言编写。原生汇编程序使用机器级二进制指令的指令助记表示。如本文所使用的程序代码或计算机可读非暂时性媒体指代机器语言代码,例如其格式可由处理器理解的目标代码。

[0023] 图1是包含具有指令高速缓冲存储器的处理器复合体110的装置100(例如,通信装置)的特定实施例的框图,所述指令高速缓冲存储器支持跨越高速缓冲存储器行边界和分页存储器边界的指令。装置100可为无线电子装置且包含耦合到具有计算机可执行指令118的系统存储器112的处理器复合体110。系统存储器112可包含图2的系统存储器227或图4B的系统存储器452。处理器复合体110可包含处理器111以及具有等级1指令高速缓冲存储器(L1Icache) 122、外部标签(xTag)电路126和高速缓冲存储器控制器电路128的集成存储器

子系统114。集成存储器子系统114支持在可经指定且识别为不可高速缓存的程序存储器中具有一或多个页的分页存储器组织。处理器111可包含图2的处理器210或图4B的处理器管线442。集成存储器子系统114还可包含L1数据高速缓冲存储器和等级2统一高速缓冲存储器(未图示),例如L1数据高速缓冲存储器214和图2的L2指令和数据高速缓冲存储器226或图4B的L2高速缓冲存储器450。L1指令高速缓冲存储器122可包含图2的L1指令高速缓冲存储器218或图4B的L1指令高速缓冲存储器448,如下方更详细描述。xTag电路126还可包含外部许可位(xPbits) 130以提供控制指令的执行的超驰指示,如下文关于图4B的xTag电路447和xPbits 449更详细描述。

[0024] 集成存储器子系统114可包含在处理器复合体110中或可实施为处理器复合体110外部的一或多个单独的装置或电路(未图示)。在说明性实例中,处理器复合体110包含图2、3B、4A、4B和5的电路和系统中的任一者,且根据图3A和图6中说明或与之相关联的实施例中的任一者或其任何组合而操作。举例来说,如图1所示,L1指令高速缓冲存储器122、xTag电路126和高速缓冲存储器控制器电路128在处理器复合体110内可存取,且处理器111经配置以存取存储在集成存储器子系统114的存储器中或系统存储器112中的数据或程序指令。

[0025] 相机接口134耦合到处理器复合体110并且还耦合到相机,例如摄像机136。显示器控制器140耦合到处理器复合体110和显示装置142。译码器/解码器(编解码器) 144也可耦合到处理器复合体110。扬声器146和麦克风148可耦合到编解码器144。无线接口150可耦合到处理器复合体110和无线天线152以使得经由天线152和无线接口150接收的无线数据可提供到处理器111。

[0026] 处理器111可经配置以执行存储在例如系统存储器112等非暂时性计算机可读媒体中的计算机可执行指令118,其可执行以致使例如处理器111等计算机执行程序,例如图3A的程序片段300。计算机可执行指令118进一步可执行以致使处理器111处理存取集成存储器子系统114和系统存储器112的存储器的指令。

[0027] 在一特定实施例中,处理器复合体110、显示器控制器140、系统存储器112、编解码器144、无线接口150和相机接口134包含在系统级封装或芯片上系统装置104中。在一特定实施例中,输入装置156和电力供应器158耦合到芯片上系统装置104。此外,在一特定实施例中,如图1中所示,显示装置142、输入装置156、扬声器146、麦克风148、无线天线152、摄像机136和电力供应器158在芯片上系统装置104的外部。然而,显示装置142、输入装置156、扬声器146、麦克风148、无线天线152、摄像机136和电力供应器158中的每一者可耦合到芯片上系统装置104的组件,例如接口或控制器。

[0028] 根据本文所描述的实施例的装置100可并入在多种电子装置中,例如机顶盒、娱乐单元、导航装置、通信装置、个人数字助理(PDA)、固定位置数据单元、移动位置数据单元、移动电话、蜂窝式电话、计算机、便携式计算机、平板计算机、监视器、计算机监视器、电视、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、视频播放器、数字视频播放器、数字视频光盘(DVD) 播放器、便携式数字视频播放器、存储或检索数据或计算机指令的任何其它装置,或其任何组合。

[0029] 图2是具有执行从存储器阶层204获取的不同长度的指令的处理器210的处理器复合体200的图示。存储器阶层204包含等级1(L1) 数据高速缓冲存储器214、包括指令翻译旁视缓冲器(ITLB) 217的存储器管理单元(MMU) 220、L1指令高速缓冲存储器(Icache) 218、外

部标签 (xTag) 电路219、高速缓冲存储器控制器电路221、写入控制电路222、等级2指令和数据高速缓冲存储器 (L2高速缓冲存储器) 226, 以及系统存储器227。xTag电路219在其相关联的指令高速缓冲存储器218外部, 从而允许将xTag电路219的功能添加到处理器复合体200而无需指令高速缓冲存储器218中的存储阵列的修改。处理器复合体200可合适地用于图1的装置100的硬件组件中以用于执行程序代码。为本发明的论述清楚起见而未图示可连接到处理器复合体的外围装置。处理复合体200的各种组件可使用专用集成电路 (ASIC) 技术、现场可编程门阵列 (FPGA) 技术或其它可编程逻辑、离散门或晶体管逻辑或适合于既定应用的任何其它可用技术来实施。

[0030] 处理器210以阶层式方式从高速缓冲存储器检索指令和数据。举例来说, 处理器210通过产生包括虚拟获取地址和操作模式的获取输出228来获取指令。所述操作模式可包含仅32位指令模式、仅16位指令模式、混合16位指令和32位指令模式、其它操作模式及类似者的识别。此处理器操作模式状态指示符由处理器上在操作中的程序控制。

[0031] 处理器的指令集包含以多个长度格式编码的指令, 其中较长指令常规地是在可变长度指令集中可用的最短指令格式长度的整倍数。由于指令可具有可取决于指令的长度而变化且可邻近于不同长度的指令的复杂编码, 因此所获取指令的对准和解码与具有短持续时间时钟周期的单个处理器管线级可能提供的情况相比可能需要更多处理。由于指令复杂性的水平, 处理器可包含单独的指令对准管线级且将解码操作分裂为预解码操作和解码管线级。通过在L1指令高速缓冲存储器未中处理期间提供预解码操作, 预解码操作可合适地隐藏于正常管线执行。L1指令高速缓冲存储器未中处理当在L1指令高速缓冲存储器中未找到所获取指令且必须从存储器阶层的较高层级获取时发生。预解码操作将预解码信息连同所获取指令一起存储在L1指令高速缓冲存储器中。此类预解码操作和xTag电路219的操作由写入控制电路222控制。

[0032] 在操作中, 处理器210产生虚拟地址, 其由ITLB 217翻译为物理获取地址, 所述物理获取地址用以存取L1指令高速缓冲存储器218以通过使用匹配机制确定所寻址指令是否存在于L1指令高速缓冲存储器中。如果针对L1指令高速缓冲存储器218中的所寻址指令未找到匹配, 那么发生未中。未中信息230发送到也可包含预解码器的写入控制电路222, 且处理器210做出对L2高速缓冲存储器226的存取请求232。在L2高速缓冲存储器226中的指令命中的情况下, 含有所要指令的L2高速缓冲存储器行在第一端口 (portA) 234上输出到写入控制电路222。写入控制电路222在未中处理期间部分地对从L2高速缓冲存储器获取的指令进行解码且将指令、与指令相关联的经预解码位以及例如执行许可位等标签信息在输出238上提供到L1指令高速缓冲存储器218, 其中所述指令也传递到处理器210。

[0033] 当处理器210需要获取数据时, 处理器210存取L1数据高速缓冲存储器214以确定所寻址的数据是否存在。如果针对L1数据高速缓冲存储器214中的所获取数据未找到匹配, 那么发生未中且接着存取L2高速缓冲存储器226。在两个L1高速缓冲存储器情况中, 如果发现指令或数据存在于L1指令或L1数据高速缓冲存储器中 (被称作高速缓冲存储器中的命中), 那么在输出240和244上从其相应L1高速缓冲存储器直接读取所述指令和数据。如果针对L2高速缓冲存储器存取发生未中, 那么从系统存储器227提供所述指令和数据。

[0034] 图3A图解说明可合适地含有16和32位的变化长度指令的示范性程序片段300。示范性程序片段300可合适地存储在处理器复合体200的存储器阶层204中。应注意虽然出于

说明的目的假定程序片段是从一或多个高速缓冲存储器行检索,但本发明的教示适用于存储其中指令可横跨存储片段边界的程序片段的任何存储器装置。由于高速缓冲存储器行可具有固定长度,因此程序片段可横跨高速缓冲存储器行的边界且因此可具有跨越高速缓冲存储器行边界分裂的指令。

[0035] 程序片段300包含来自16位和32位指令组成的可变长度指令集的指令302。举例来说,处理器210可使用16位和32位指令格式用于多个类型的指令且可支持指定和限制指令类型使用的几个操作模式。举例来说,处理器210可具有指定仅32位指令可使用的第一操作模式和指定可使用16位和32位指令的组的操作模式。虽然处理器可具有多个操作模式,但出于本发明的论述清晰性的目的,示范性处理器210的描述主要限于上述第二操作模式。

[0036] 为了说明各种实施例,图3A中说明的几个示范性16位和32位指令。出于说明的目的,程序相对字节指示符304表示高速缓冲存储器行中其中指令开始的字节位置且间接指示所述指令的大小。举例来说,ADD R5,R4,R3指令306开始于相对字节位置00处且结束于字节位置01处。因此,ADD R5,R4,R3指令306是16位指令。类似地,ADD指令309也是16位长。加载 (LOAD) 指令307、加载指令308和存储 (STORE) 指令310是32位长。

[0037] 高速缓冲存储器行大小可 (例如) 取决于基于使用的制造技术在处理器和存储器阶层的设计中做出的选择而在不同处理器实施方案中变化。L2高速缓冲存储器226可使用512位高速缓冲存储器行且L1指令高速缓冲存储器218可使用较小高速缓冲存储器行,例如128位或256位高速缓冲存储器行。所指示高速缓冲存储器行大小是示范性的且不排除较大或较小的高速缓冲存储器行大小。还应注意出于说明性目的,程序片段300已展示为在相对地址00处开始。将了解,此程序片段300可位于在高速缓冲存储器行中的各种点处开始且可横跨多个高速缓冲存储器行。

[0038] 图3B图解说明含有来自图3A的程序片段300的指令的示范性L1指令高速缓冲存储器行320。示范性第一L1指令高速缓冲存储器行322和示范性第二L1指令高速缓冲存储器行326是图2的L1指令高速缓冲存储器218中的邻近高速缓冲存储器行。第一L1指令高速缓冲存储器行322包括16位字段330、333、334和336和16位扩展字段338。第一L1指令高速缓冲存储器行322与标签字段323和控制旗标Cn 324相关联,所述控制旗标可包含可高速缓存指示符 (L) 和执行许可位,例如用户执行 (Ux) 位和特权执行 (Px) 位。Ux和Px位的未断言状态可指示不在任何模式中执行。第二L1指令高速缓冲存储器行326包括16位字段340、342、343和344以及16位扩展字段346。第二L1指令高速缓冲存储器行326与标签字段327和控制旗标Cn 328相关联,所述控制旗标可包含可高速缓存指示符 (L) 和执行许可位,例如与存储在第二L1指令高速缓冲存储器行326中的指令相关联的用户执行 (Ux) 和特权执行 (Px) 位。

[0039] 图3A的程序片段300的指令可位于第一L1指令高速缓冲存储器行322中,以存储在16位字段330中的图3A的16位ADD R5,R4,R3指令306开始。32位加载指令307存储在包括两个16位字段333和334的32位字段332中。出于说明性目的,16位字段333含有加载指令307的高阶16位且邻近16位字段334含有加载指令307的低阶16位。

[0040] 第一L1指令高速缓冲存储器行322中的下一指令是跨越两个指令高速缓冲存储器行存储的32位加载指令308。加载指令308的高阶16位存储在第一L1指令高速缓冲存储器行322中的16位字段336中。加载指令308的低阶16位存储在第二L1指令高速缓冲存储器行326

中的16位字段340中。加载指令308的低阶16位的副本存储在16位扩展字段338中。ADD R8, R6, R7指令309和存储指令310 (图3A的两者) 以类似于第一L1指令高速缓冲存储器行322的片段330和332的方式存储在第二L1指令高速缓冲存储器行326中的16位字段342-344中。还应注意, 本描述中为清楚起见而未图示的预解码位可与高速缓冲存储器行中的每一16位字段相关联。

[0041] 如图3B中示出, 支持16位和32位指令的处理器复合体中的指令高速缓冲存储器可经构造为具有可存储 (例如) N个K位格式对准指令加一个K/2格式指令的高速缓冲存储器行。应注意图3B是示范性的, 且K位指令可存储在8位字节地址边界和16位半字边界上。并且, 进一步注意本发明的实施例也支持具有不是彼此的整倍数的指令格式 (例如16位和24位指令) 的指令集架构。

[0042] 在 (例如) K=32位的情况下, 在字对准边界上存储八个32位指令的高速缓冲存储器行将在与指令数据相关联的具有256位+16位=272位线的高速缓冲存储器中实施。对于可变长度指令处理器, 具有16位和32位指令的混合的高速缓冲存储器行可具有跨越高速缓冲存储器行的32位指令, 其将利用额外K/2位空间存储在高速缓冲存储器行的最后32位位置, 例如具有16位扩展字段338的第一高速缓冲存储器行322。存储在最后16位高速缓冲存储器扩展字段338中的跨越32位高速缓冲存储器行的指令的低阶16位部分是存储在位字段340中的下一顺序高速缓冲存储器行中的16位部分的重复。在另一实例中, 具有作为8位的整倍数的指令的处理器也可具有跨行指令。对于此类指令, 跨行指令可在字节边界处分裂, 其中 (例如) 所述指令的一字节部分、两字节部分或三字节部分在第二高速缓冲存储器行中继续。存储在第二高速缓冲存储器行中的所述一字节部分、所述两字节部分或所述三字节部分经复制且存储在与所述第一高速缓冲存储器行中的所述跨行指令的第一部分相关联的位置中。在此示范性情况中, 提供对高速缓冲存储器行的三字节扩展。举例来说, 高速缓冲存储器扩展字段338将扩展到三字节位字段而不是其当前图解说明的16位。其它字节长度指令是可能的且不被本发明排除。由于跨越高速缓冲存储器行的指令还可跨越页边界进入不可高速缓存页且因此不可高速缓存, 因此必须阻止跨越页边界 (行/页) 的不可高速缓存指令从高速缓冲存储器执行。并且, 扩展字段338可扩展到存储超过单个指令的一部分, 例如存储跨越单个行的指令的第一部分并且还存储将大体上与利用经扩展的扩展字段的高速缓冲存储器行一起存储的下一逻辑页相关联的第二指令。

[0043] 图4A图解说明根据本发明的实施例的具有指令翻译旁视缓冲器 (ITLB) 402和物理存储器404的分页虚拟存储器系统400。虚拟地址405大体上以两个部分编码。地址位的上部字段通常表示基于例如4k字节页的选定页大小编码的虚拟页编号406。地址位的下部字段是识别所寻址页内的地址的页偏移407。在虚拟到物理地址翻译中, 虚拟页编号翻译为物理页编号 (P页地址)。页偏移对于虚拟地址和物理地址两者是相同的且不翻译。

[0044] 虚拟到物理地址翻译系统可包含与例如等级1和等级2指令和数据高速缓冲存储器等各种高速缓冲存储器相关联的一或多个翻译旁视缓冲器 (TLB), 以改善翻译过程的性能。指令TLB (ITLB) 是存储最近虚拟到物理地址翻译以及所存储页的属性的较小高速缓冲存储器, 所述属性例如条目证实以及页是否含有可高速缓存或不可高速缓存指令。ITLB常规地包含与随机存取存储器 (RAM) 电路耦合的内容可寻址存储器 (CAM) 电路且相对较小, 例如具有32或64个条目。每一ITLB条目包含CAM电路中的标签, 所述标签具有与RAM电路中的

经翻译物理页编号相关联的最近使用的虚拟页编号。举例来说,分页虚拟存储器系统400使用ITLB 402和物理存储器404,所述物理存储器具有与例如不可高速缓存页409等一或多个不可高速缓存页互混的可高速缓存页408和410。ITLB 402的每一条目具有包括有效(V)旗标、读取(R)旗标、写入(W)旗标的旗标412,和可高速缓存指示符(L)414、虚拟地址标签416和相关联物理页地址418。L字段416可为适合于将页识别为可高速缓存或不可高速缓存的单个位。页是否是可高速缓存或不可高速缓存可在编译期间静态地确定且可能取决于多种因数。举例来说,如果在系统的实际实施方案中使用存储器映射输入和输出(I/O)装置,那么此类存储器映射位置可标记为不可高速缓存。

[0045] 图4B图解说明根据本发明的实施例的虚拟到物理地址翻译子系统440。翻译子系统440包括处理器管线442、ITLB 444、物理地址缓冲器446、xTag电路447、L1指令高速缓冲存储器448、L2高速缓冲存储器电路450、系统存储器452和写入控制电路454。ITLB 444具有条目456,其具有ITLB标签中的可高速缓存指示符(L)458。L1指令高速缓冲存储器448包括与每一行相关联的标签字段470、用于经高速缓冲存储指令的存储的基础范围471以及与每一行相关联的扩展字段472。并且,L1指令高速缓冲存储器448中的示范性第一行457包括存储在第一行457的第一基础范围473中的一组可高速缓存指令。在从指令的可高速缓存页(例如图4A的页408)跨越页边界到标记为不可高速缓存的指令的页(例如图4A的页409)的32位指令的情况下,指令的不可高速缓存部分规定将所述32位指令视为不可高速缓存指令。在此32位指令实例中,第一16位部分(Ia)474是已从可高速缓存页获取的可高速缓存部分,而第二16位部分(Ib)475是已从不可高速缓存页获取的不可高速缓存部分。第一部分Ia 474存储在第一行457的第一基础范围473中且第二部分Ib 475存储在与第一行457相关联的扩展字段中。第一行457还具有选自标签字段470的相关联标签,其包括与存储在第一基础范围行473中的可高速缓存指令相关联的一或多个执行许可位。L1指令高速缓冲存储器448还包含示范性第二行459,其包括用于Ib的至少第二部分副本(Ib')476的存储空间。如果第一部分Ia 474和第二部分Ib 475表示可高速缓存指令,那么第二部分副本Ib'476将存储在第二行459中。在跨越可高速缓存行的指令的此情况下且取决于在实施方案期间做出的决策,第二部分Ib475和第二部分副本Ib'476可切换位置,因为两个部分的内容是相同的。然而,在其中第一部分Ia 474和第二部分Ib 475是不可高速缓存指令的部分的示范性情况中,第二部分副本Ib'476不存储在第二行459中。为了解决具有跨越行和页边界分裂的不可高速缓存指令的高速缓冲存储器行的示范性情形,不可高速缓存指示符旗标与第一行457中的此指令相关联。不可高速缓存指示符旗标存储在L1指令高速缓冲存储器448外部的xTag电路447中,如下文更详细描述。

[0046] 翻译过程通过将选自虚拟地址405的虚拟页编号406应用到ITLB 444中的CAM电路而开始。ITLB 444进行所应用虚拟页编号406大体上与和CAM标签460中的条目标签一起存储的所有所存储最近使用的虚拟页编号的并行比较。如果存在匹配,那么CAM电路存取ITLB 444中的RAM电路中的对应条目456,其输出为经翻译物理页地址462且存储在物理地址缓冲器446中。经翻译物理地址463包括与从虚拟地址405的页偏移464串接的经翻译物理页地址462。

[0047] 举例来说,在具有4千兆字节(4GB)和4k字节页的虚拟地址空间的嵌入式系统中,虚拟地址405包括具有位[31:12]的虚拟页编号406和具有位[11:0]的页偏移407。在同一嵌

入式系统中,高速缓冲存储器和主存储器的存储器阶层可包含512k字节的物理存储器空间和4k字节页。在ITLB 444中的命中上,虚拟地址405翻译为物理地址463。物理地址463包括具有位[28:12]的物理页编号462,其中位[18:12]是512k字节实施方案所需的,以及具有位[11:0]的页偏移464。在ITLB 444中的命中上,包含可高速缓存指示符(L) 458的标签也输出且存储在物理地址缓冲器446中。可高速缓存指示符(L) 458和标签465的放置是示范性的。随后将物理地址463应用于L1指令高速缓冲存储器448。在继续翻译子系统440的描述之前,接着描述在高速缓冲存储器中存储也是跨越高速缓冲存储器行和页的指令的不可高速缓存指令的问题。

[0048] 为了解决由于确定不可高速缓存指令的存在而大体上排除在高速缓冲存储器中存储具有跨越高速缓冲存储器行的可高速缓存指令和不可高速缓存指令的所获取高速缓存存储器行的问题,与跨越额外K/2位字段行的指令数据相关联的属性可以控制属性指定,所述控制属性是与高速缓冲存储器行中的指令的其余部分的属性分开地存储且跟踪。在具有存储在高速缓冲存储器行中的也是跨越高速缓冲存储器行的指令的不可高速缓存指令的此示范性情况中的控制属性将设定成指示并不在任何模式中执行所述不可高速缓存指令。控制属性将存储在与具有跨行/页指令的高速缓冲存储器行相关联的至少一个存储位中。当从作为获取群组的部分的高速缓冲存储器获取跨行/页指令的部分时,xTag电路447中将断言不可高速缓存旗标。例如xTag电路447的xTag电路是针对可含有跨页指令的每一高速缓冲存储器行而实施。并且,针对转发到处理器管线442的旗标数据存取xTag电路447,所述转发可大体上仅当所获取高速缓冲存储器行指令的集合含有跨行指令时发生。并且,应注意,还检索与获取群组中的可高速缓存指令相关联的许可位。跨行/页指令或其具有控制属性的部分可超驰与恰用于所述跨行/页指令的获取群组相关联的许可位,以便不允许所述跨行/页指令在任何模式中执行。此操作可由xTag电路447中的不可高速缓存旗标控制。所述操作也可以通过恰为此跨行/页指令提供xTag外部许可位(xPbits) 449而控制,所述位存储在xTag电路447中且超驰恰用于所述跨行/页指令的高速缓冲存储器行许可位。用于从相关联标签字段470存取的可高速缓存指令、跨行/页指令或来自扩展字段472的其部分(例如第二部分Ib 475)以及用于来自xTag电路447的跨行/页指令的例如在xTag 480上存取的xPbits 449的许可位转发到处理器管线442。

[0049] 处理器管线442包含检测(Dt)电路482、第一解码(Dc)电路483、缓冲与保持(B&H)电路484、重获取电路485、重组电路486以及多路复用器487。Dt电路482检测第二部分Ib 475和所存取xTag 480大体上在检查是否允许执行许可的管线级中已经接收且将第二部分Ib 475标记为不执行。Dc电路483识别第二部分Ib 475是否是跨页指令的部分。应注意即使第二部分Ib 475已在其中检查执行许可的级中接收,其本身一般来说并不意味着第二部分Ib 475是跨页指令。因此,Dc电路483解码所述数据且在此示范性情况中确定第二部分Ib 475是跨页指令的部分。

[0050] 处理器管线442操作以B&H电路484继续,所述B&H电路缓冲其已从高速缓冲存储器行接收的指令且确定第二部分Ib 475是否表示获取群组中的最旧的指令。如果B&H电路484确定第二部分Ib 475并不表示获取群组中的最旧的指令,那么B&H电路484缓冲第二部分Ib 475且保持其直到其已确定为表示最旧的指令为止。当确定第二部分Ib 475表示处理器管线442中最旧的指令时,执行第二部分Ib 475以上的处理器管线的清洗。不可高速缓存指令是

从系统存储器452重获取,所述系统存储器重复使用与解决许可错误问题相关联的现有数据流。在此特定实施例中,也可以清洗第二部分Ib 475或可允许其被覆写。

[0051] 在替代实施例中,高速缓冲存储器行中的良好可高速缓存数据的清洗可为不必要的,且重获取电路485通过例如多路复用器477重获取具有不可高速缓存属性的第二部分Ib 475,从而绕过指令高速缓冲存储器,且从系统存储器452直接获得第二部分Ib 475。重组电路486组合第一部分Ia 474与从系统存储器452接收的第二部分Ib 475以形成完整指令Ia||Ib,且将指令传递通过多路复用器487以解码且继续管线处理从而允许组合指令执行而不必从指令高速缓冲存储器获取。应注意,对组合指令的任何必要的预解码和解码操作可能需要遵循恰当的用于执行的管线协议而重复。还应注意,Dt电路482可与获取管线级相关联,Dc电路483与一般解码管线级相关联,且B&H电路484与指令队列相关联。根据特定实施方案,示范性电路482-487可放置于适当管线级中。

[0052] 由于在跨行/页指令之前的指令可使指令流转向远离所述跨行/页指令,因此处理器管线暂停发出跨行/页指令和跟随所述跨行/页指令的指令直到可做出所述跨行/页指令是否已到达的确定为止。如果跨行/页指令例如由于分支指令的执行而未到达,那么遵循标准分支操作。在一个实施例中,如果跨行/页指令到达,那么清洗所述跨行/页指令和跟随所述跨行/页指令的指令,且针对至少经识别为不可高速缓存的跨行/页指令,绕过L1指令高速缓冲存储器218对系统存储器227做出不可高速缓存请求235。在例如图2的系统存储器输出总线236上返回不可高速缓存指令。或者,在另一实施例中,至少重获取在先前高速缓冲存储器行中复制的跨行/页指令的部分,整个跨行/页指令是从保存在先前获取群组中的第一部分重构。在两个实施例中,跨行/页指令或其部分是以用于不高速缓冲存储获取指令的恰当属性从系统存储器返回,且经重构指令可在不高速缓冲存储的情况下执行。

[0053] 在另一实施例中,固定长度指令集架构可能(例如)由于使用与固定长度指令一起存储的具有变化数据宽度的数据的冯诺依曼架构而具有未对准指令。固定长度指令与混合宽度的数据的组合可导致针对跨越高速缓冲存储器行并且还跨越可高速缓存页与不可高速缓存页之间的页边界的任何未对准指令的相同问题和解决方案。因此,用于执行具有不可高速缓存的单个跨行/页指令的高速缓冲存储器行中的大部分指令的处理器性能保持与从不具有此跨行/页指令的任何高速缓冲存储器行获取的指令的执行相同。通过允许高速缓冲存储原本可能已经因为其部分地含有不可高速缓存数据而从高速缓冲存储器排除的行而实现此结果。

[0054] 返回到图4B,执行许可位存储在与L1指令高速缓冲存储器448中的每一行相关联的标签中且对于存储在基础范围471中的每一可高速缓存指令有效。不可高速缓存指示符旗标可存储在与第二部分Ib 475相关联的额外许可位中,所述第二部分存储在与第一行457相关联的扩展字段中。所述额外许可位存储在(例如)xTag电路447中的L1指令高速缓冲存储器448外部且指示对于任何原因都不执行。将高速缓冲存储器行选择为具有16位指令的固定编号或32位指令的固定编号。举例来说,对于512位加16位扩展字段的高速缓冲存储器行,4k字节页对应于64个高速缓冲存储器行,其可编号为0到63。16位扩展字段可存储在单独的阵列中。由于仅在集合63处的行可具有跨页指令,因此将获取地址与页地址的末端进行比较以确定是否使用额外许可位。还比较获取地址以确定所寻址的指令是否跨越高速缓冲存储器行而分裂以将其识别为跨行指令。

[0055] 许可位大体上在与所存取行相关联的标签字段中写入。当所寻址的高速缓冲存储器行无效时,如(例如)指令高速缓冲存储器标签470中的有效旗标指示,所述获取是针对L2高速缓冲存储器226或系统存储器227。大体上,获取请求推测地返回多个指令用于加载到L1指令高速缓冲存储器218中且从所述L1指令高速缓冲存储器218所请求指令返回到处理器210。与获取请求相关联的是所请求地址的高速缓存能力属性,例如图4A的L位414。L位414随后大体上与获取群组相关联且与其它旗标一起解析为许可位,所述许可位加载到与高速缓冲存储器行中的获取群组相关联的标签中。如果高速缓存能力L位414指示获取群组不可高速缓存,那么所述获取群组不加载到L1指令高速缓冲存储器448中。然而,对于作为获取群组的部分的跨页和跨行指令的情况,所述指令的第一16位部分可从可高速缓存页存取,而第二16位部分可从不可高速缓存页存取。由于大体上在第一等级指令高速缓冲存储器中的未中上获取两个行,因此也可确定第二行的高速缓存能力。因此,跨页和行指令的第二16位部分可加载在与存储获取群组的高速缓冲存储器行的其余部分相关联的扩展字段中,且额外许可位(xPbits) 449可存储在xTag电路447中。应注意,在替代实施例中,扩展字段可扩展到存储超过16位适应(例如32位或48位),从而存储额外16位或32位指令。并且,如果预解码位与高速缓冲存储器行中的每一指令相关联,那么扩展字段可能扩展到所存储的每16位部分包含2或4个预解码位。

[0056] 额外数据许可信息可从预先解码位的编码识别。一般来说,额外数据许可信息可存储在可与跨页指令相关联的任何存储字段中。在使用预解码位来将指令识别为32位或16位的实施方案中,也可以在一或多个额外预解码位中识别跨页指令而不是基于大小和地址计算来识别。并且,“对于任何原因都不执行”的指示可存储在预解码位中以针对存储在指令高速缓冲存储器中的不可高速缓存数据的情况将跨页指令识别为错误指令。

[0057] 图5图解说明根据本发明的实施例的具有跨行指令和支持的跨行指示符的示范性双路集合关联指令高速缓冲存储器电路500。虽然本发明适用于例如直接映射高速缓冲存储器、四路、八路、直到且包含完全关联高速缓冲存储器等其它高速缓冲存储器设计,但将双路集合关联指令高速缓冲存储器展示为示范性指令高速缓冲存储器电路500。第一路514包含第一路标签位字段518,包含用于第一路中的每一行的许可位和高速缓冲存储器行地址标签。第一路514进一步包含以(例如)“n”个指令Ic0-Icn和第一部分Ixa展示的数据行519,以及展示为存储第二部分Ixb的扩展字段520。指令高速缓冲存储器电路500还包括用于具有第二路标签位字段522的第二路516的存储装置,所述第二路标签位字段包含用于第二路中的每一行的许可位和高速缓冲存储器行地址标签。第二路516进一步包含以“z”个指令Ib0-Ibz展示的数据行523,以及展示为不被占据的扩展字段524。一般来说,每一路中的行的存储容量将相同,但能够存储不同数目的不同长度的指令。关于双路指令高速缓冲存储器,针对4k字节页存在集合63处的两个行且每一行可具有跨行和页指令,例如由Ixa和Ixb组成的指令。并且,对于这两个行中的每一者,在xTag电路532和533中分开地存储且分开地跟踪额外许可位。在四路集合关联高速缓冲存储器中且对于4k字节页,对于四个xTag电路存在集合63处的四个行。在完全关联高速缓冲存储器中,每个高速缓冲存储器行可具有跨行和页指令,且额外许可位可随后包含在标签位字段518和522中以便跟踪高速缓冲存储器中的每一行中的跨页指令。

[0058] 指令高速缓冲存储器实际上实施的方式取决于特定应用和强加于整个系统的设

计约束。所属领域的技术人员将认识到各种设计的可互换性以及如何针对每一特定应用最佳地实施本文所描述的功能性。举例来说,虽然扩展字段520和524展示为与其对应行阵列直接相关联,但扩展字段520和524可在与行阵列分开的阵列中实施。

[0059] 图6图解说明根据本发明的实施例的用于管理具有不同高速缓存能力的跨页指令的过程600。在框602处,以用于跨越高速缓冲存储器行的指令的扩展存储装置和用于所述扩展存储装置的属性旗标来建立高速缓冲存储器行。所述属性旗标可存储在高速缓冲存储器外部。在框604处,例如在指令的获取群组中获取跨页指令,包含来自扩展存储装置的跨页指令的第二部分。并且,在框604处,从xTag电路俘获所述属性旗标以关于通过处理器管线的跨页指令的第二部分跟踪所述属性旗标。在框606处,检测跨页指令的第二部分已在处理器管线中接收,所述跨页指令来源于指令高速缓冲存储器,且其经标记为不可在任何模式中执行。在框608处,对跨页指令进行解码以向处理器管线识别所述跨页指令且在处理器管线内部将其标记为不执行。

[0060] 在决策框610,做出跨页指令是否是处理器管线中的最旧指令的确定。如果跨页指令不是处理器管线中的最旧指令,那么过程600前进到框612。在框612处,保持跨页指令直到其是处理器管线中的最旧指令为止,且随后前进到框614。返回到决策框610,如果跨页指令是处理器管线中的最旧指令,那么过程600前进到框614。在框614处,在利用与解决许可错误问题相关联的现有数据流的实施例中,向后清洗处理器管线且包含所述跨页指令。在替代实施例中,不执行清洗且仅从系统存储器直接获取跨页指令或具有不可高速缓存属性的所述跨页指令的第二部分。在框616处,绕过指令高速缓冲存储器从系统存储器重获取跨页指令或重获取至少跨页指令的第二部分。如果重获取所述第二部分,那么保留跨页指令的第一可高速缓存部分用于重构不可高速缓存指令的操作。在框618处,在需要的情况下通过组合可高速缓存第一部分与从系统存储器重获取且作为不可高速缓存而执行的第二部分来重构跨页指令。

[0061] 本发明不限于所说明的指令流逻辑200且进一步适用于具有也可在指令高速缓冲存储器中存储预解码信息的可变长度指令的任何管线处理器。本发明可适应对可变长度处理器指令集的扩展,前提是所述扩展支持指令集使用的唯一模式。举例来说,可指定其中16位、32位和64位指令可操作的操作模式,以使得32位和64位指令可横跨两个L1指令高速缓冲存储器行。使用64位指令类型的处理器可为上述示范性处理器204的扩展。扩展处理器可具有例如针对限于仅32位指令的第一状态、用于16位和32位指令两者的第二状态、用于16位、32位和64位指令的第三状态以及限于仅64位指令的第四状态而编码的操作模式状态。指令高速缓冲存储器行中的64位指令可分割为四个16位字段。可使用具有48位的扩展位字段以允许在跨行和页情形中跨越四个16位部分分裂64位指令。

[0062] 本发明也不限于作为二的幂的指令长度。举例来说,考虑具有16位和24位指令的替代架构。在此实例中,指令高速缓冲存储器行可分割为8位指令区段。24位指令可由例如三个8位区段构成。存储16位指令的192位基础范围高速缓冲存储器行将能够保持十二个16位指令和八个24位指令。16位扩展字段将允许所述24位指令分裂为三个8位部分。用于此示范性高速缓冲存储器的高速缓冲存储器行将为 $192+16=208$ 位。

[0063] 实施例还寻址可以在高速缓冲存储器行的开始处结构化的扩展数据存储部分(例如如图4B的扩展字段472)配置的替代的高速缓冲存储器。对于在高速缓冲存储器行的开始处

的扩展字段,实施例寻址具有不可高速缓存的第一半和可高速缓存的第二半的第一指令以及具有可高速缓存的数据的高速缓冲存储器行的其余部分。用于在此替代高速缓冲存储器中处置第一指令的不可高速缓存部分的程序以类似于本文所述的用于处置图4B中所示的高速缓冲存储器的最后指令的不可高速缓存部分的程序的方式操作。用于替代的高速缓冲存储器行中的可高速缓存第二指令到最后指令的获取将以类似于用于图4B中所示的高速缓冲存储器中的可高速缓存第一指令到N-1指令的获取的方式操作。

[0064] 所属领域的技术人员将进一步了解,结合本文中所揭示的实施例所描述的各种说明性逻辑块、配置、模块、电路和算法步骤可实施为电子硬件、由处理器执行的计算机软件,或两者的组合。上文已大体在其功能性方面描述各种说明性组件、块、配置、模块、电路和步骤。所述功能性是实施为硬件还是处理器可执行指令取决于特定应用及强加于整个系统的设计约束。所属领域的技术人员可针对每一特定应用以不同方式实施所描述的功能性,但此类实施决策不应被解释为引起对本发明的范围的偏离。

[0065] 结合本文所揭示的实施例所描述的方法可以硬件体现且由软件从存储由处理器执行的非暂时性信号的存储器模块使用。软件可支持本文所述的硬件的执行或可用以模仿用于管理具有不同高速缓存能力的跨页指令的方法和设备。软件模块可驻留在随机存取存储器(RAM)、快闪存储器、只读存储器(ROM)、电可编程只读存储器(EPROM)、硬盘、可装卸式磁盘、磁带、压缩光盘只读存储器(CD-ROM)或此项技术中已知的任何其它形式的非暂时性存储媒体中。存储媒体可耦合到处理器以使得处理器可从存储媒体读取信息且在某些情况下将信息写入到存储媒体。存储媒体到处理器的耦合可为与电路实施方案成一体式的直接耦合,或可利用支持使用下载技术的直接存取或数据串流的一或多个接口。

[0066] 虽然已在当前优选的上下文中揭示本发明,但将认识到,本教示可适于与本发明和所附权利要求书一致的多种上下文。

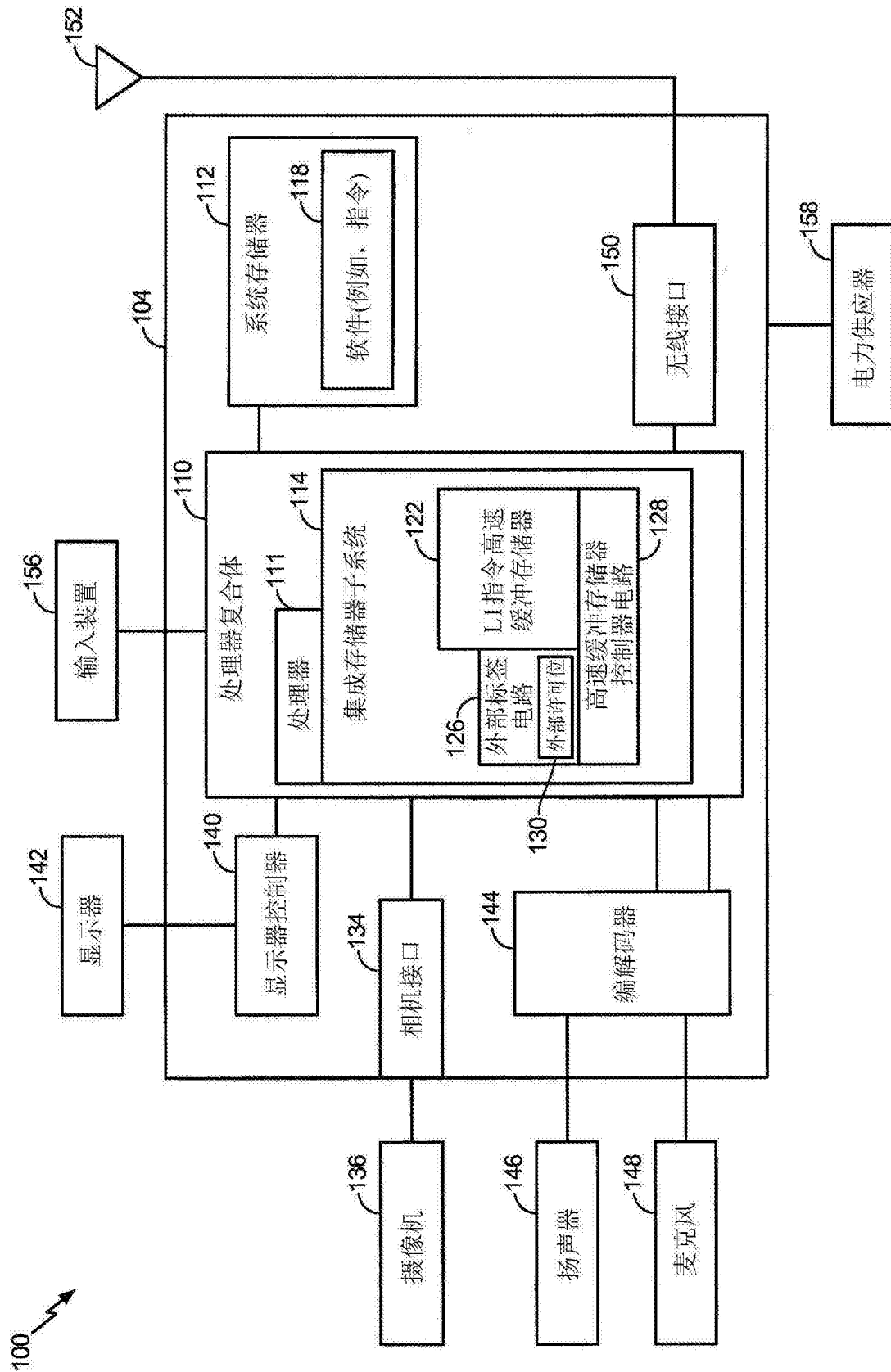


图1

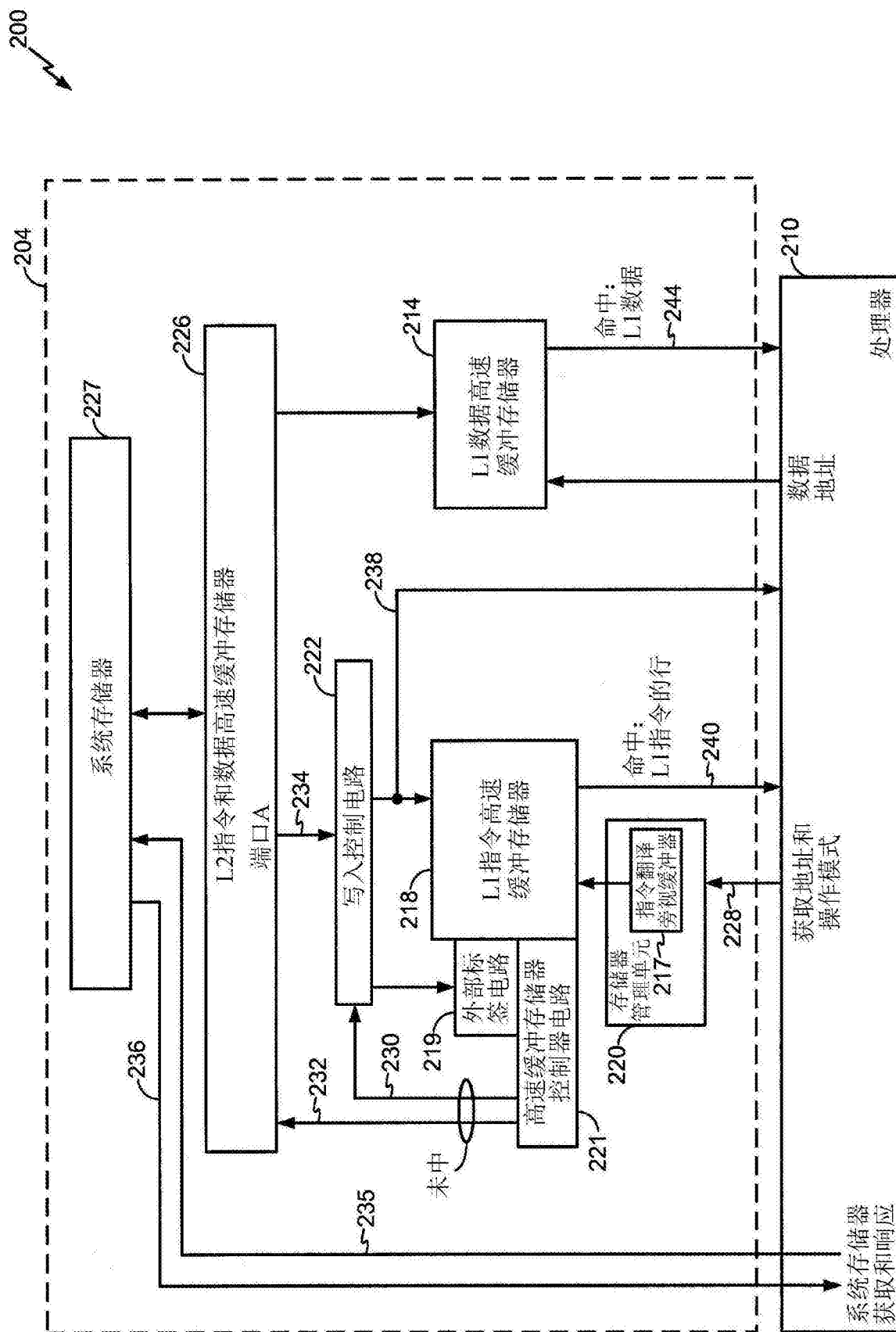


图2

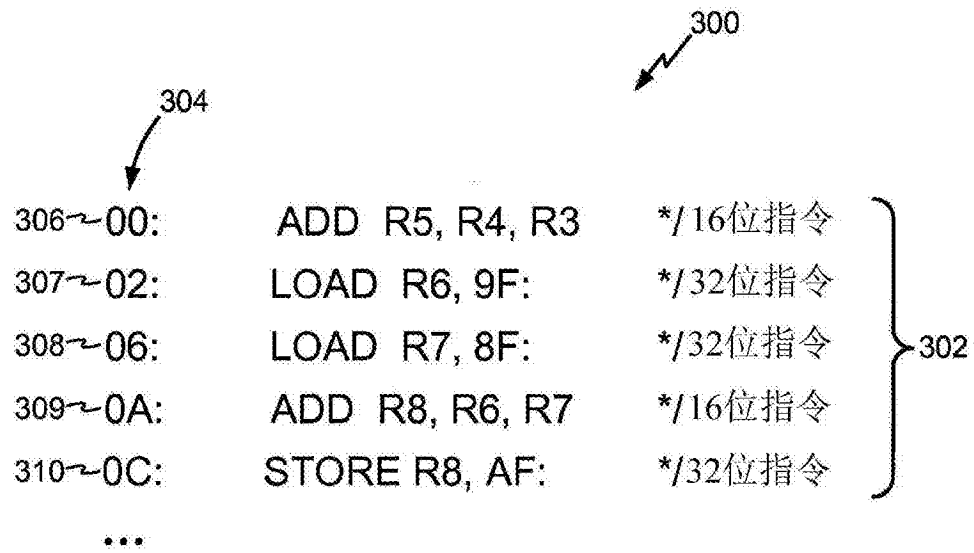


图3A

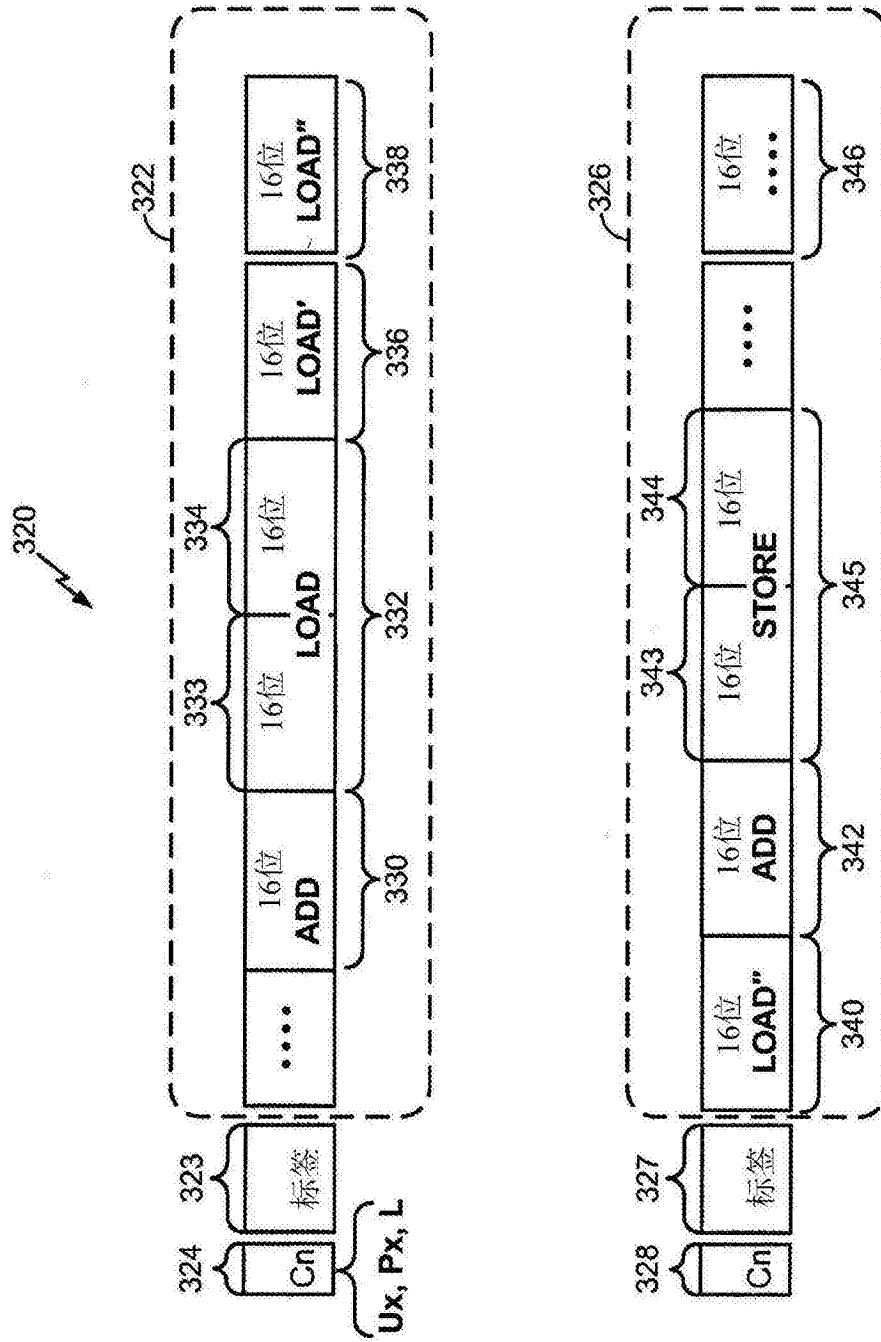


图3B

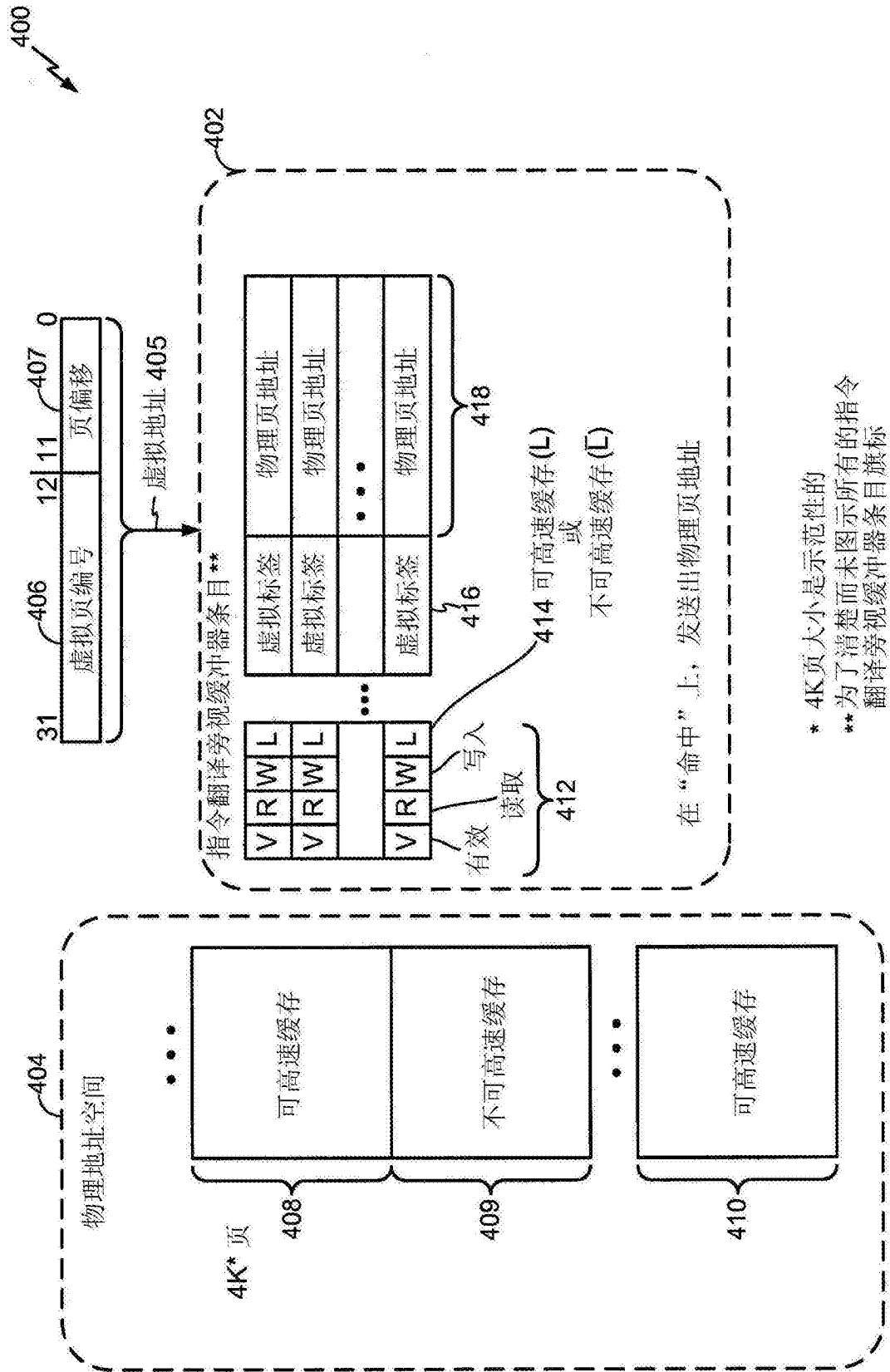


图4A

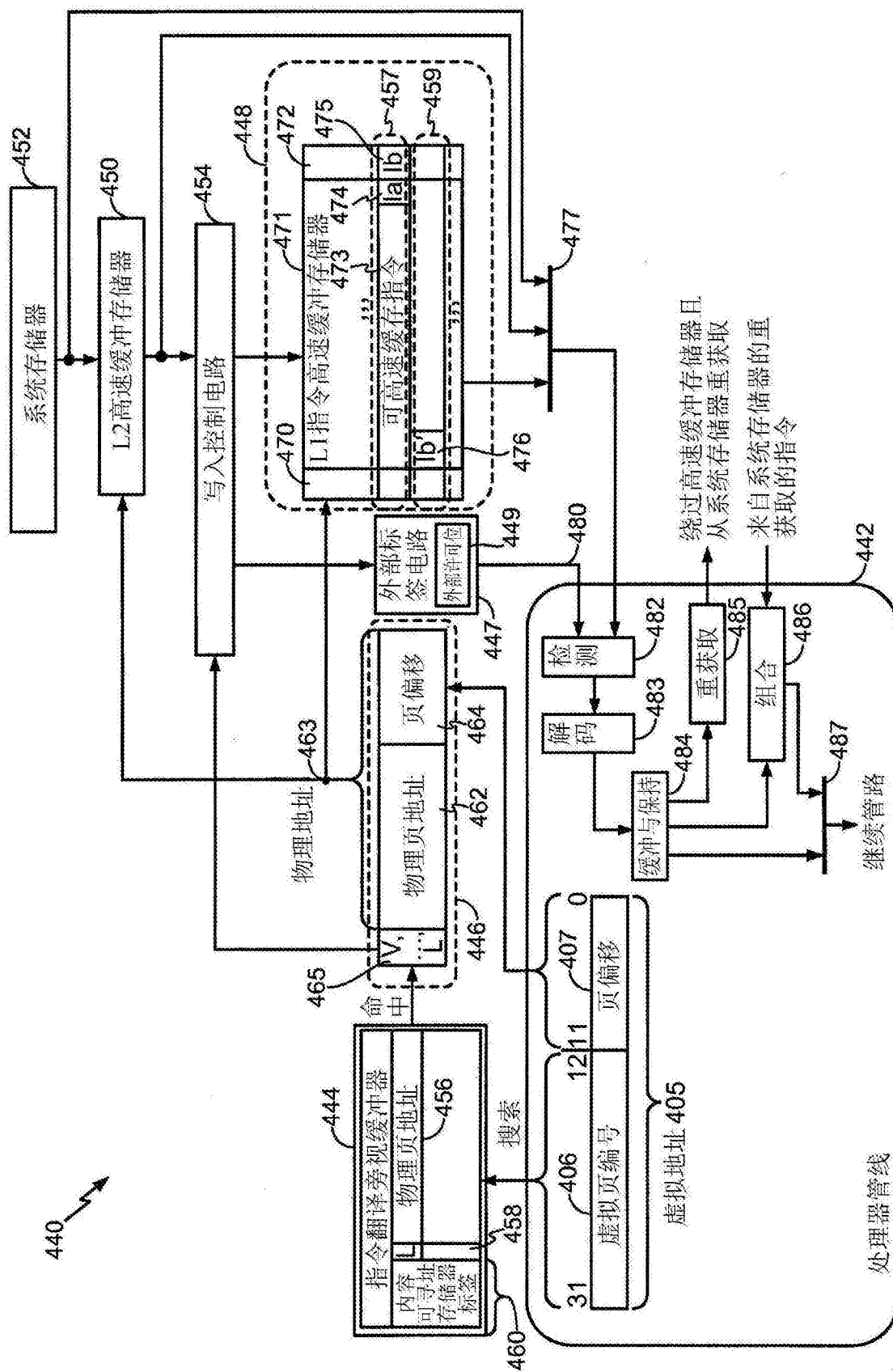


图4B

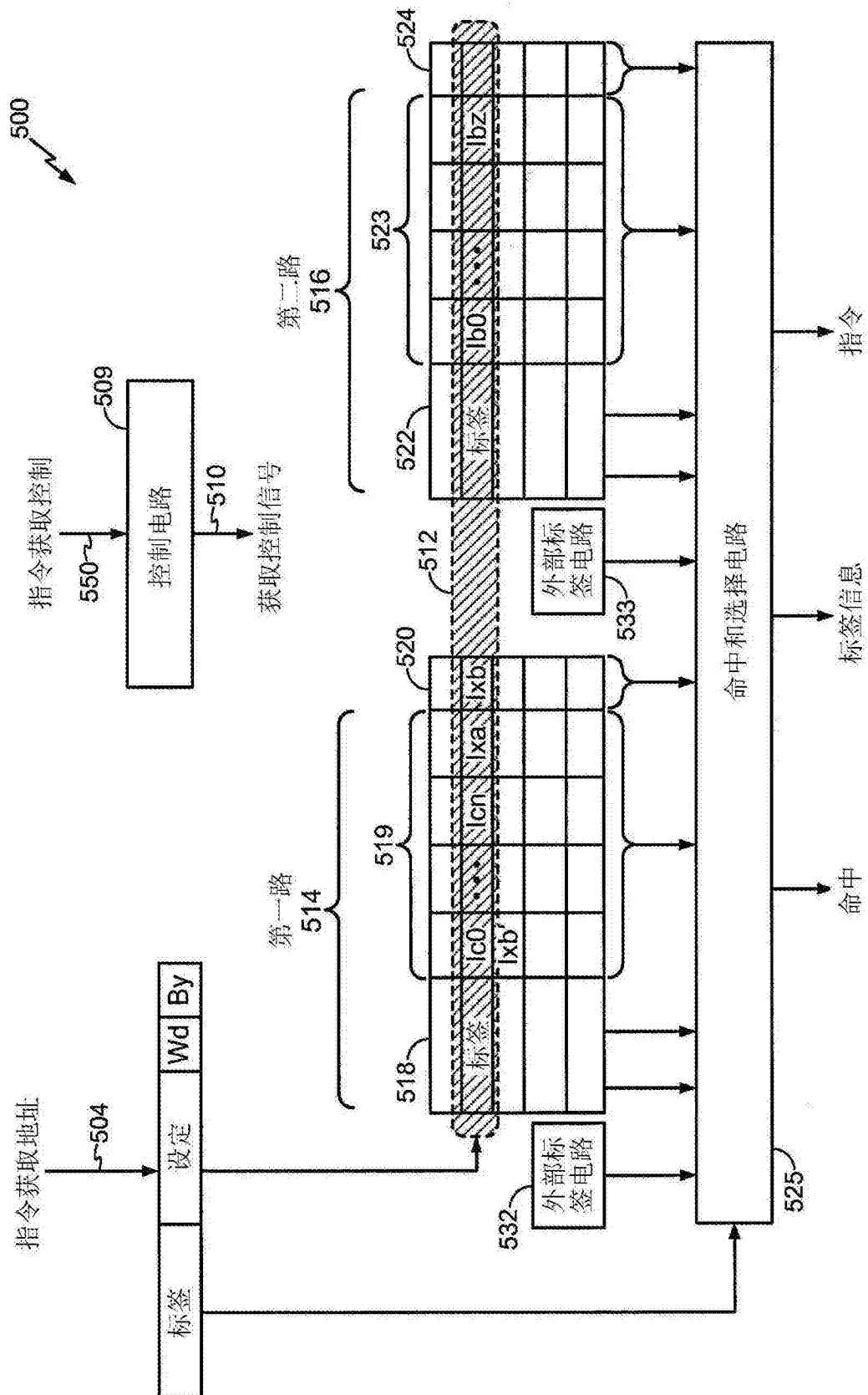


图5

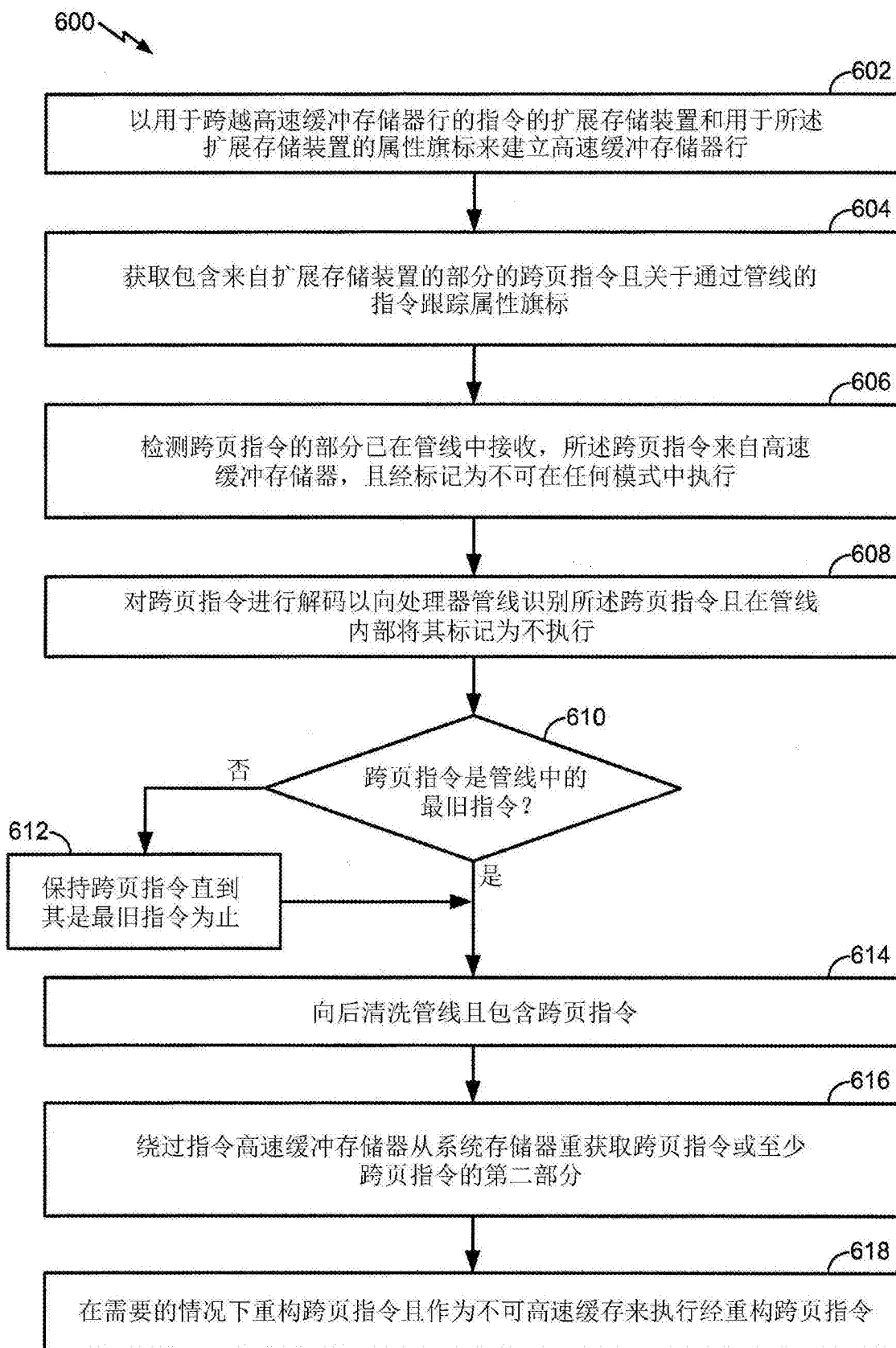


图6