



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년10월10일
(11) 등록번호 10-1906467
(24) 등록일자 2018년10월02일

- (51) 국제특허분류(Int. Cl.)
H01L 21/60 (2006.01) *H01L 21/228* (2006.01)
H01L 21/288 (2006.01)
- (21) 출원번호 10-2013-7017820
- (22) 출원일자(국제) 2011년12월07일
 심사청구일자 2016년12월02일
- (85) 번역문제출일자 2013년07월08일
- (65) 공개번호 10-2013-0129404
- (43) 공개일자 2013년11월28일
- (86) 국제출원번호 PCT/US2011/063653
- (87) 국제공개번호 WO 2012/078709
 국제공개일자 2012년06월14일
- (30) 우선권주장
 12/962,806 2010년12월08일 미국(US)
- (56) 선행기술조사문현
 KR1020080101662 A*
 JP2005354120 A*

*는 심사관에 의하여 인용된 문현

- (73) 특허권자
 테세라, 인코포레이티드
 미국 캘리포니아주 95134 샌 호제 오처드 파크웨이 3025
- (72) 발명자
 오가네시안 베이그
 미국 캘리포니아주 94086 썬니베일 페리윙클 테라스 889
 하바 벨가셈
 미국 캘리포니아주 95134 샌 호제 오처드 파크웨이 3025 테세라, 인코포레이티드내
 (뒷면에 계속)
- (74) 대리인
 유미특허법인

전체 청구항 수 : 총 35 항

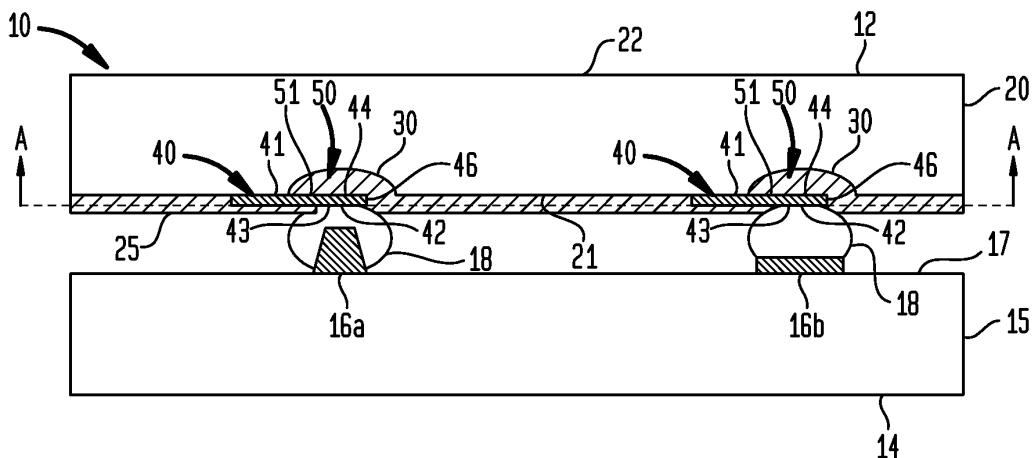
심사관 : 강병섭

(54) 발명의 명칭 웨이퍼 내의 컴플라이언트 상호접속부

(57) 요 약

마이크로전자 유닛(12)이 기판(20) 및 전기적으로 도전성 소자(40)를 포함한다. 기판(20)은 10 ppm/°C 보다 작은 CTE를 갖고, 기판을 통해 연장하지 않는 리세스(30)를 갖는 주요 표면(21) 및 리세스 내에 배치되는 10 GPa 보다 작은 탄성률을 갖는 물질(50)을 포함할 수 있다. 전기적으로 도전성 소자(40)는 리세스(30) 위에 놓이고 기판(20)에 의해 지지되는 앵커부(41)로부터 연장하는 연결부(42)를 포함할 수 있다. 연결부(42)는 마이크로전자 유닛(12)의 외부에 있는 컴포넌트(14)와의 접속을 위해 주요 표면(21)에 적어도 부분적으로 노출될 수 있다.

대 표 도 - 도1a



(72) 발명자

모하메드 일야스

미국 캘리포니아주 95134 샌 호제 오처드 파크웨이
3025 테세라, 인코포레이티드내

사발리아 피유시

미국 캘리포니아주 95134 샌 호제 오처드 파크웨이
3025 테세라, 인코포레이티드내

미셸 크레이그

미국 캘리포니아주 95134 샌 호제 오처드 파크웨이
3025 테세라, 인코포레이티드내

명세서

청구범위

청구항 1

마이크로전자 유닛으로서,

기판, 및 전기적으로 도전성 소자를 포함하며,

상기 기판은, 반도체 물질로 필수적으로 이루어지고, 주요 표면 아래에 연장하고 상기 기판을 통해 연장하지 않는 리세스를 갖는 주요 표면, 및 상기 리세스 내에 배치되고 10 GPa보다 작은 탄성률을 갖는 물질을 포함하고,

상기 도전성 소자는, 상기 리세스 위에 놓이고 상기 기판에 의해 지지되는 앵커부으로부터 상기 리세스 위에 놓이고 상기 기판에 의해 지지되지 않는 단부까지 연장하여, 상기 단부가 상기 앵커부에 대해 외팔보가 되도록 하는, 연결부를 포함하고,

상기 단부는 상기 리세스의 외부 경계를 넘어 상기 주요 표면에 평행한 측면 방향으로 연장되지 않으며,

상기 연결부는 상기 마이크로전자 유닛의 외부에 있는 컴포넌트와의 연결을 위해 상기 주요 표면에 적어도 부분적으로 노출되는,

마이크로전자 유닛.

청구항 2

제1항에 있어서,

마이크로전자 유닛의 작동, 제조 또는 시험 중에 나타날 수 있는, 연결부 상의 스트레스를 감소하도록 상기 연결부가 움직일 수 있는, 마이크로전자 유닛.

청구항 3

제1항에 있어서,

상기 기판은 복수의 능동형 반도체 디바이스를 포함하고, 상기 도전성 소자는 상기 복수의 능동형 반도체 디바이스 중 적어도 하나와 전기적으로 접속되는, 마이크로전자 유닛.

청구항 4

제1항에 있어서,

상기 리세스 내에 배치된 물질은 폴리이미드, 실리콘 및 에폭시로 구성된 그룹으로부터 선택된 하나 이상의 물질을 포함하는, 마이크로전자 유닛.

청구항 5

제1항에 있어서,

상기 연결부는 상기 기판의 주요 표면에 평행한 방향으로 연장하는, 마이크로전자 유닛.

청구항 6

제1항에 있어서,

상기 앵커부 및 상기 연결부는 동일한 방향으로 연장하는, 마이크로전자 유닛.

청구항 7

제6항에 있어서,

상기 도전성 소자는 상기 주요 표면에 대향하는 상기 기판의 제2 표면을 향하여 연장하는 도전성 비아와 전기적

으로 접속되는, 마이크로전자 유닛.

청구항 8

제7항에 있어서,

상기 도전성 비아는 상기 제2 표면에 노출되는, 마이크로전자 유닛.

청구항 9

제8항에 있어서,

상기 도전성 비아는 상기 기판에 있는 홀을 통해 상기 도전성 소자의 앵커부와 상기 제2 표면 사이에 연장하는, 마이크로전자 유닛.

청구항 10

제7항에 있어서,

상기 도전성 비아는 상기 기판에 있는 홀을 통해 상기 도전성 소자의 앵커부와 상기 제2 표면 사이에 연장하는, 마이크로전자 유닛.

청구항 11

제10항에 있어서,

상기 홀은 상기 주요 표면으로부터 상기 제2 표면을 향하여 연장하는 제1 개구, 및 상기 제1 개구로부터 상기 제2 표면으로 연장하는 제2 개구를 포함하며,

상기 제1 개구 및 제2 개구의 내부 표면은 각을 형성하도록 상기 주요 표면에 대하여 제1 방향 및 제2 방향으로 각각 연장하는, 마이크로전자 유닛.

청구항 12

제1항에 있어서,

상기 기판의 주요 표면과 상기 도전성 소자의 앵커부 사이에 배치되는 유전체층을 더 포함하는, 마이크로전자 유닛.

청구항 13

제12항에 있어서,

상기 유전체층은 상기 리세스 내에 배치된 물질과 상이한 물질을 포함하는, 마이크로전자 유닛.

청구항 14

제12항에 있어서,

상기 유전체층은 상기 리세스 내에 배치된 물질과 동일한 물질을 포함하는, 마이크로전자 유닛.

청구항 15

제1항에 있어서,

상기 리세스는 다양한 경사를 갖는 내부 표면을 형성하고, 상기 주요 표면에 대한 상기 내부 표면의 경사는, 상기 내부 표면이 상기 주요 표면에 대향하는 상기 기판의 제2 표면을 향하여 더 연장하는 크기로 감소하는, 마이크로전자 유닛.

청구항 16

적어도 제1 마이크로전자 유닛 및 제2 마이크로전자 유닛을 포함하고,

상기 제1 마이크로전자 유닛은 청구항 1에 따른 것이며,

상기 제1 마이크로전자 유닛의 기판이 상기 제2 마이크로전자 유닛의 기판과 전기적으로 접속되어, 상기 제2 마이크로전자 유닛이 상기 제1 마이크로전자 유닛과 적층되는, 적층된 어셈블리.

청구항 17

제16항에 있어서,

상기 제2 마이크로전자 유닛의 도전성 소자 및 상기 제1 마이크로전자 유닛의 연결부에 전기적으로 접속된 도전성 매스(mass)를 더 포함하는, 적층된 어셈블리.

청구항 18

청구항 1에 따른 구조체, 및

상기 구조체와 전기적으로 접속되는 하나 이상의 다른 전자 컴포넌트
를 포함하는, 시스템.

청구항 19

제18항에 있어서,

하우징을 더 포함하고,

상기 구조체 및 상기 다른 전자 컴포넌트는 상기 하우징에 탑재되는, 시스템.

청구항 20

청구항 1에 따른 복수의 마이크로전자 유닛을 포함하는 모듈로서,

각각의 마이크로전자 유닛으로의 신호와 각각의 마이크로전자 유닛으로부터의 신호의 송신을 위한 공통 전기 인터페이스를 구비하는, 모듈.

청구항 21

마이크로전자 유닛을 제조하는 방법으로서,

반도체 물질로 필수적으로 이루어지는 기판의 주요 표면 상에 지지되는 전기적으로 도전성 소자를 형성하는 단계;

상기 주요 표면으로부터 적어도 상기 도전성 소자의 연결부를 지지하는 물질을 제거하여, 상기 주요 표면 아래에 연장하고 상기 기판을 통해 연장하지 않는 리세스를 형성하는 단계로서, 상기 연결부에 인접하는 상기 도전성 소자의 앵커부가 상기 기판에 의해 지지되나 상기 연결부는 상기 리세스 위에 놓이고 상기 기판에 의해 지지되지 않고, 상기 연결부는 상기 앵커부로부터 상기 리세스 위에 놓이고 상기 기판에 의해 지지되지 않는 단부까지 연장되어, 상기 단부가 상기 앵커부에 대해 외팔보가 되도록 하고, 상기 단부는 상기 리세스의 외부 경계를 넘어 상기 주요 표면에 평행한 측면 방향으로 연장되지 않는, 단계; 및

상기 리세스 내에 10 GPa보다 작은 탄성률을 갖는 물질을 침착시키는 단계
를 포함하고,

상기 연결부는 상기 마이크로전자 유닛의 외부에 있는 컴포넌트와의 연결을 위해 상기 기판의 주요 표면에 적어도 부분적으로 노출되는,

마이크로전자 유닛의 제조방법.

청구항 22

제21항에 있어서,

상기 기판은 복수의 능동형 반도체 디바이스를 포함하고, 상기 도전성 소자를 형성하는 단계는 상기 도전성 소자를 상기 복수의 능동형 반도체 디바이스 중 적어도 하나와 전기적으로 접속하는 것을 포함하는, 마이크로전자

유닛의 제조방법.

청구항 23

제21항에 있어서,

상기 도전성 소자를 형성하는 단계는 상기 연결부가 상기 주요 표면에 평행하게 배치되도록 수행되는, 마이크로 전자 유닛의 제조방법.

청구항 24

제21항에 있어서,

상기 기판으로부터 물질을 제거하여, 상기 주요 표면으로부터 상기 주요 표면에 대향하는 상기 기판의 제2 표면으로 연장하는 훌을 형성하는 단계; 및

상기 훌 내에 연장하는 도전성 비아를 형성하는 단계로서, 상기 도전성 비아는 상기 도전성 소자와 전기적으로 접속하고 상기 제2 표면을 향하여 연장하는, 단계

를 더 포함하는, 마이크로전자 유닛의 제조방법.

청구항 25

제24항에 있어서,

상기 기판으로부터 물질을 제거하여 훌을 형성하는 단계는, 상기 주요 표면으로부터 상기 제2 표면을 향하여 연장하는 제1 개구, 및 상기 제1 개구로부터 상기 제2 표면으로 연장하는 제2 개구를 형성하는 단계를 포함하고,

상기 제1 개구 및 상기 제2 개구의 내부 표면은 각을 형성하도록 상기 주요 표면에 대하여 제1 방향 및 제2 방향으로 각각 연장하는, 마이크로전자 유닛의 제조방법.

청구항 26

적어도 제1 마이크로전자 유닛 및 제2 마이크로전자 유닛을 포함하는 적층된 어셈블리를 제조하는 방법으로서,

상기 제1 마이크로전자 유닛은 청구항 21에 따라 제조된 것이며,

상기 방법은, 상기 제1 마이크로전자 유닛의 기판을 상기 제2 마이크로전자 유닛의 기판에 전기적으로 접속하는 단계를 더 포함하는,

적층된 어셈블리의 제조방법.

청구항 27

마이크로전자 유닛을 제조하는 방법으로서,

반도체 물질로 필수적으로 이루어지는 기판으로부터 물질을 제거하여, 상기 기판의 주요 표면으로부터 상기 주요 표면에 대향하는 제2 표면으로 연장하는 훌을 형성하는 단계;

상기 주요 표면 위로 연장하고 상기 주요 표면 상에 지지되는 연결부, 상기 기판에 대하여 고정된 앵커부, 및 상기 연결부로부터 상기 앵커부로 하향으로 연장하는 접속부를 포함하는 전기적으로 도전성 소자를 형성하는 단계로서, 상기 접속부의 표면은 상기 훌의 내부 표면의 윤곽을 따르는 윤곽을 가지는, 단계;

상기 주요 표면으로부터 적어도 상기 도전성 소자의 연결부를 지지하는 물질을 제거하여, 상기 반도체 물질로 연장하고 상기 기판을 통해 연장하지 않는 리세스를 형성하는 단계로서, 상기 연결부가 상기 리세스 위에 적어도 부분적으로 놓이고 상기 접속부의 표면의 윤곽은 상기 리세스의 내부 표면의 윤곽을 따르지 않고, 상기 연결부는 상기 접속부로부터 상기 리세스 위에 놓이고 상기 기판에 의해 지지되지 않는 단부까지 연장되어, 상기 단부가 상기 접속부에 대해 외팔보가 되도록 하고, 상기 단부는 상기 리세스의 외부 경계를 넘어 상기 주요 표면에 평행한 측면 방향으로 연장되지 않는, 단계; 및

상기 리세스 내로 10 GPa보다 작은 탄성률을 갖는 물질을 침착하는 단계

를 포함하고,

상기 연결부는 상기 마이크로전자 유닛의 외부에 있는 컴포넌트와의 연결을 위해 상기 기판의 주요 표면에 적어도 부분적으로 노출되는,
마이크로전자 유닛의 제조방법.

청구항 28

제27항에 있어서,

상기 도전성 소자를 형성하는 단계 이전에, 상기 홀 내에 연장하고 상기 제2 표면을 향하여 연장하는 도전성 비아를 형성하는 단계를 더 포함하며, 상기 도전성 소자를 형성하는 단계는 상기 도전성 소자를 상기 도전성 비아와 전기적으로 접속하는 것을 포함하는, 마이크로전자 유닛의 제조방법.

청구항 29

제27항에 있어서,

상기 도전성 소자를 형성하는 단계는 상기 연결부가 상기 접속부에 대하여 중심에 있지 않도록 수행되는, 마이크로전자 유닛의 제조방법.

청구항 30

제27항에 있어서,

상기 기판은 복수의 능동형 반도체 디바이스를 포함하고, 상기 도전성 소자를 형성하는 단계는 상기 도전성 소자를 상기 복수의 능동형 반도체 디바이스 중 적어도 하나와 전기적으로 연결하는 것을 포함하는, 마이크로전자 유닛의 제조방법.

청구항 31

제27항에 있어서,

상기 도전성 소자를 형성하는 단계는 상기 연결부가 내부 구멍을 형성하도록 수행되는, 마이크로전자 유닛의 제조방법.

청구항 32

제31항에 있어서,

상기 도전성 소자를 형성하는 단계는 상기 구멍이 상기 연결부를 통해 상기 접속부로 연장하도록 수행되는, 마이크로전자 유닛의 제조방법.

청구항 33

제32항에 있어서,

상기 구멍의 적어도 일부분에 유전체 물질을 침착하는 단계를 더 포함하는, 마이크로전자 유닛의 제조방법.

청구항 34

제27항에 있어서,

상기 기판으로부터 물질을 제거하여 홀을 형성하는 단계는, 상기 주요 표면으로부터 상기 제2 표면을 향하여 연장하는 제1 개구, 및 상기 제1 개구로부터 상기 제2 표면으로 연장하는 제2 개구를 형성하는 단계를 포함하고,

상기 제1 개구 및 상기 제2 개구의 내부 표면은 각을 형성하도록 상기 주요 표면에 대하여 제1 방향 및 제2 방향으로 각각 연장하는, 마이크로전자 유닛의 제조방법.

청구항 35

적어도 제1 마이크로전자 유닛 및 제2 마이크로전자 유닛을 포함하는 적층된 어셈블리를 제조하는 방법으로서,

상기 제1 마이크로전자 유닛은 청구항 27에 따라 제조된 것이며,

상기 제1 마이크로전자 유닛의 기판을 상기 제2 마이크로전자 유닛의 기판과 전기적으로 접속하는 단계를 더 포함하는,
적층된 어셈블리의 제조방법.

청구항 36

삭제

청구항 37

삭제

발명의 설명

기술 분야

[0001] 본 출원은 2010년 12월 8일에 출원된 미국특허출원 제12/962,806호의 계속 출원으로, 미국특허출원 제12/962,806호의 개시내용은 원용에 의해 본원에 포함된다.

[0002] 본 발명은 적층된 마이크로전자 어셈블리 및 그러한 어셈블리를 만드는 방법, 및 그러한 어셈블리에 유용한 컴포넌트에 관한 것이다.

배경기술

[0003] 일반적으로 반도체 칩은 개별적인, 사전 패키지된(prepackaged) 유닛으로 제공된다. 표준 칩은 칩의 능동 회로에 접속되는 접촉부를 갖는 전면을 지닌, 평평하고, 직사각형의 몸체를 가진다. 각각의 개별 칩은 전형적으로 패키지에 탑재되고, 패키지는 차례 차례로 회로 패널, 예컨대 인쇄 회로 기판 상에 탑재되고, 상기 회로 패널의 도체에 칩의 접촉부를 연결한다. 다수의 종래 설계에서, 칩 패키지는 칩 그 자체의 영역보다 비교적 더 큰 회로 패널의 영역을 차지한다. 전면을 갖는 평평한 칩에 대한 참조로 본원에서 사용되는 바와 같이, "칩의 영역"은 전면의 영역을 참조하여 이해되어야 한다.

[0004] "플립 칩" 설계에서, 칩의 전면은 패키지 기판, 즉, 칩 캐리어의 표면에 맞닿고, 칩 상의 접촉부는 솔더 볼(solder ball) 또는 다른 연결 요소에 의해 칩 캐리어의 접촉부에 직접적으로 결합된다. 차례로, 칩 캐리어가 칩의 전면 위에 놓이는 단자를 통해 회로 패널에 결합될 수 있다. "플립 칩" 설계는 비교적 조밀한 배열을 제공한다; 각 칩은, 예컨대 원용에 의해 본원에 포함되는 개시 내용인 미국특허번호 제5,148,265호, 미국특허번호 제5,148,266호, 및 미국특허번호 제5,679,977호의 특정 실시예에 개시된 바와 같이, 칩의 전면의 영역과 동일하거나 약간 큰 회로 패널의 영역을 차지한다.

[0005] 마이크로전자 어셈블리에 의해 차지하는 회로 패널의 평면 영역을 최소화할 뿐만 아니라, 회로 패널의 평면에 수직인 높이 또는 치수가 낮은 전체 높이 또는 치수를 제시하는 칩 패키지를 생산하는 것이 바람직하다. 그러한 얇은 마이크로전자 패키지는 이웃하는 구조에 아주 근접해서 내부에 탑재되는 패키지로 인해, 회로 패널을 포함하는 제품의 전체 크기를 줄이는 회로 패널의 배치를 허용한다.

[0006] 또한, "적층" 배열, 예컨대 하나의 칩의 상부 상에 또 다른 칩을 위치시키는 복수의 칩에 대한 배열의 패키지 복수 칩이 또한 제안되어 왔다. 적층 배열에서, 몇몇의 칩은 칩의 전체 영역보다 작은 회로 패널의 영역에 탑재될 수 있다. 예컨대, 참조로 본원에 또한 포함되는 개시 내용인 전술한 미국특허번호 제5,148,265호, 미국특허번호 제5,679,977호, 및 미국특허번호 제5,347,159호의 특정 실시예에 개시된 바와 같이, 특정 적층 칩 배열이 개시된다. 참조로 본원에 포함되는 미국특허번호 제4,941,033호는 또 다른 칩의 상부 상에 적층되고, 칩과 연관된 소위 "배선 필름(wiring film)" 상의 반도체에 의해 서로 상호접속된 칩들의 배열을 개시한다.

[0007] 종래의 칩 접촉부는 접촉부에서 비최적 스트레스(non-optimal stress) 분배 및 반도체 칩과 칩에 결합되는 구조체 간의 열팽장 계수(coefficient of thermal expansion, CTE)의 불일치 때문에 신뢰성에 대한 이의가 제기될 수 있다. 예를 들어, 반도체 표면의 도전성 접촉부가 비교적 얇고 뼈뼉한 유전체 물질에 의해 절연되는 경우, 상당한 스트레스가 접촉부에 존재할 수 있다. 게다가, 반도체 칩이 폴리머 기판의 도전성 소자에 결합되는 경우, 칩과 기판의 더 높은 CTE 구조체 간의 전기적 접속이 CTE 불일치 때문에 스트레스를 받을 것이다.

[0008] 칩의 임의의 물리적 배열에서는 크기가 상당히 고려된다. 휴대용 전자 디바이스의 급속한 발전에 따라 칩의 좀

더 조밀한 물리적 배역의 요구가 더 극심해졌다. 한 예로서, 일반적으로 "스마트 폰"이라 불리는 디바이스는 강력한 데이터 프로세서, 메모리 및 보조 디바이스, 예컨대 세계 위치 파악 시스템(GPS) 수신기, 전자 카메라, 근거리 통신망(LAN) 접속, 고해상도 디스플레이, 관련 이미지 처리 칩과 휴대 전화의 기능을 통합한다. 그러한 디바이스는 전인터넷(full internet) 연결성, 전해상도(full-resolution) 비디오, 네비게이션, 전자 뱅킹 등을 포함하는 오락기기, 포켓 크기 디바이스의 모든 것 등의 역량을 제공할 수 있다. 복합 휴대용 디바이스는 다수의 칩을 작은 공간으로 포장하는 것이 요구된다. 게다가, 몇몇 칩은 일반적으로 "I/O부(I/O's)"라 불리는 다수의 입력 및 출력 접속부를 갖는다. 이러한 I/O부는 다른 칩의 I/O부와 상호접속되어야 한다. 상호접속부는 신호 전파 지연을 최소화하기 위해 짧고 저임피던스를 가져야 한다. 상호접속부를 형성하는 컴포넌트가 어셈블리의 크기를 많이 증가해선 안된다. 다른 응용에서, 예컨대 인터넷 검색 엔진에 사용되는 것과 같은 데이터 서버에서, 유사한 요구가 발생된다. 예를 들어, 짧고, 저임피던스인, 복합 칩간의 다수의 상호접속부를 제공하는 구조체는 검색 엔진의 대역폭을 증가시켜 전력 소비를 감소시킬 수 있다.

발명의 내용

해결하려는 과제

[0009]

반도체 접촉부 형성과 상호접속부에서의 발전에도 불구하고, 전기적 상호접속 신뢰도를 강화하면서, 반도체 칩 크기를 줄이기 위한 개선의 필요성이 여전히 존재한다. 본 발명의 이러한 특징은 이하 개시된 마이크로전자 패키지의 구성에 의해 달성된다.

과제의 해결 수단

[0010]

본 발명의 일 실시예에 따르면, 마이크로전자 유닛은 기판 및 전기적으로 도전성 소자를 포함할 수 있다. 기판은 10 ppm/°C보다 작은 CTE를 갖고, 상기 기판을 통해 연장하지 않는 리세스를 갖는 주요 표면, 및 상기 리세스 내에 배치되고 10 GPa보다 작은 탄성률을 갖는 물질을 포함할 수 있다. 전기적으로 도전성 소자는 리세스 위에 놓이고 및 기판에 의해 지지되는 앵커부로부터 연장되는 연결부를 포함할 수 있다. 연결부는 마이크로전자 유닛의 외부에 있는 컴포넌트에 연결하기 위해 주요 표면에 적어도 부분적으로 노출될 수 있다.

[0011]

일 실시예에서, 기판은 7 ppm/°C보다 작은 CTE를 가질 수 있다. 특정 실시예에서, 연결부는 마이크로전자 유닛의 작동, 제조 또는 시험 중에 나타날 수 있는 스트레스와 같은 연결부 상의 스트레스를 감소하기 위해 움직일 수 있다. 일 실시예에서, 기판은 반도체, 유리 및 세라믹으로 구성된 그룹으로부터 선택된 하나의 물질로 필수적으로 이루어질 수 있다. 일 실시예에서, 기판은 복수의 능동형 반도체 디바이스를 포함할 수 있고, 도전성 소자는 복수의 능동형 반도체 디바이스 중 하나 이상과 전기적으로 접속될 수 있다. 특정 실시예에서, 리세스 내에 배치된 물질은 폴리이미드, 실리콘 및 에폭시로 구성된 그룹으로부터 선택된 하나 이상의 물질을 포함할 수 있다.

[0012]

일 실시예에서, 리세스는 기판을 통해 연장되지 않는다. 일 구현예에서, 연결부는 기판의 주요 표면에 실질적으로 평행한 방향으로 연장할 수 있다. 특정 구현예에서, 앵커부 및 연결부는 동일한 방향으로 연장할 수 있다. 일 실시예에서, 도전성 소자는 주요 표면에 대향하는 기판의 제2 표면을 향하여 연장하는 도전성 비아와 전기적으로 접속될 수 있다. 일 구현예에서, 도전성 비아는 제2 표면에 노출될 수 있다. 특정 구현예에서, 도전성 비아는 제2 표면으로부터 주요 표면으로 연장하는 기판에 있는 홀 내에 연장할 수 있다.

[0013]

일 구현예에서, 홀은 주요 표면으로부터 제2 표면을 향해 연장하는 제1 개구, 및 제1 개구로부터 제2 표면으로 연장하는 제2 개구를 포함할 수 있다. 제1 개구 및 제2 개구의 내부 표면은 주요 표면에 대한 제1 방향 및 제2 방향으로 각각 연장하여 실질적인 각을 형성할 수 있다. 일 실시예에서, 적층된 어셈블리는 적어도 제1 및 제2 마이크로전자 유닛을 포함할 수 있고, 제2 마이크로전자 유닛은 제1 마이크로전자 유닛으로 적층되고, 그 내부의 제1 마이크로전자 유닛의 기판은 제2 마이크로전자 유닛의 기판과 전기적으로 접속된다. 특정 구현예에서, 적층된 어셈블리는 제2 마이크로전자 유닛의 도전성 소자 및 제1 마이크로전자 유닛의 연결부에 전기적으로 접속된 도전성 매스(mass)를 더 포함할 수 있다.

[0014]

본 발명의 또 다른 양상에 따르면, 마이크로전자 어셈블리는 기판 및 전기적으로 도전성 소자를 포함할 수 있다. 기판은 10 ppm/°C보다 작은 CTE, 기판을 통해 연장하지 않는 리세스, 및 리세스 내에 배치되는 10 GPa보다 작은 탄성률을 갖는 물질을 포함할 수 있다. 전기적으로 도전성 소자는 기판에 대해 고정되는 앵커부, 리세스 위에 적어도 부분적으로 놓이는 연결부, 및 연결부로부터 앵커부로 하향으로 연장하는 접속부를 구비할 수 있다. 연결부는 앵커부를 떠나는 방향으로 연장하고, 마이크로전자 유닛의 외부에 있는 컴포넌트에 접속하기 위해 주요

표면에 노출될 수 있다. 접속부는 리세스의 내부 표면의 윤곽(contour)을 따르지 않는 윤곽을 가질 수 있다.

[0015] 일 실시예에서, 기판은 $7 \text{ ppm}/\text{^\circ C}$ 보다 작은 CTE를 가질 수 있다. 일 구현예에서, 마이크로전자 유닛의 작동 종에, 제조 중에, 또는 테스트 중에 일어날 수 있는 것과 같은 연결부 상의 스트레스를 감소시키기 위해 연결부가 움직일 수 있다. 특정 구현예에서, 기판은 반도체, 유리 및 세라믹으로 구성된 그룹으로부터 선택되는 하나의 물질로 필수적으로 이루어질 수 있다. 일 구현예에서, 기판은 복수의 능동형 반도체 디바이스를 포함할 수 있고, 도전성 소자는 능동형 반도체 디바이스 중 적어도 하나와 전기적으로 접속할 수 있다. 일 실시예에서, 접속부는 리세스 내로 연장될 수 있다.

[0016] 특정 구현예에서, 도전성 소자는 주요 표면에 대향하는 기판의 제2 표면을 향하여 연장하는 도전성 비아와 전기적으로 접속할 수 있다. 일 구현예에서, 도전성 비아는 제2 표면에 노출될 수 있다. 일 실시예에서, 도전성 비아는 제2 표면으로부터 주요 표면으로 연장하는 기판 내의 홀 내부로 연장할 수 있다. 특정 구현예에서, 홀은 제1 개구로부터 제2 표면으로 연장하는 제2 개구, 및 주요 표면으로부터 제2 표면을 향하여 연장하는 제1 개구를 포함할 수 있다. 제1 및 제2 개구의 내부 표면은 실질적인 각을 형성하기 위해 주요 표면에 대하여 각각 제1 및 제2 방향으로 연장할 수 있다. 일 구현예에서, 앵커부는 홀의 내부 표면의 윤곽에 따르는 윤곽을 가질 수 있다. 일 실시예에서, 연결부는 내부 구멍(aperture)을 형성한다.

[0017] 일 구현예에서, 구멍은 연결부를 통하여 접속부로 연장할 수 있다. 특정 구현예에서, 구멍의 적어도 일부분이 유전체 물질로 충전될 수 있다. 일 실시예에서, 적층된 어셈블리는 적어도 제1 및 제2 마이크로전자 유닛, 마이크로전자 유닛의 기판과 내부에서 전기적으로 접속되는 제1 마이크로전자 유닛의 기판으로 제1 마이크로전자 유닛과 적층되는 마이크로전자 유닛을 포함할 수 있다. 특정 구현예에서, 적층된 어셈블리는 제1 마이크로전자 유닛의 연결부 및 제1 마이크로전자 유닛의 도전성 소자에 전기적으로 연결되는 도전성 매스를 또한 포함할 수 있다.

[0018] 본 발명의 또 다른 양상에 따르면, 마이크로전자 유닛을 제조하는 방법은 $10 \text{ ppm}/\text{^\circ C}$ 보다 작은 CTE를 가진 기판의 주요 표면 상에 지지되는 전기적으로 도전성 소자를 형성하는 단계, 주요 표면으로부터 도전성 소자의 연결부를 적어도 지지하는 물질을 제거하여 기판을 통해 연장되지 않은 리세스를 형성하는 단계, 및 리세스 내에 10 GPa 보다 작은 탄성률을 갖는 물질을 침착시키는 단계를 포함할 수 있다. 연결부에 인접하는 도전성 소자의 앵커부가 기판에 의해 지지될 수 있지만, 연결부는 기판에 의해 지지되지 않을 수도 있다. 연결부는 마이크로전자 유닛의 외부에 있는 컴포넌트와의 연결을 위해 기판의 주요 표면에 적어도 부분적으로 노출될 수 있다.

[0019] 일 구현예에서, 기판은 $7 \text{ ppm}/\text{^\circ C}$ 보다 작은 CTE를 가질 수 있다. 일 실시예에서, 기판은 반도체, 유리 및 세라믹으로 구성된 그룹으로부터 선택된 하나의 물질을 필수적으로 이루어질 수 있다. 특정 구현예에서, 기판은 복수의 능동형 반도체 디바이스를 포함할 수 있고, 도전성 소자를 형성하는 단계는 도전성 소자를 복수의 능동형 반도체 디바이스 중 적어도 하나와 전기적으로 접속하는 것을 포함한다. 일 실시예에서, 도전성 소자를 형성하는 단계는 연결부가 주요 표면에 실질적으로 평행하게 위치하도록 수행될 수 있다. 일 구현예에서, 상기 방법은 주요 표면으로부터 주요 표면에 대향하는 기판의 제2 표면으로 연장하는 홀을 형성하도록 기판으로부터 물질을 제거하는 단계, 및 도전성 비아가 도전성 소자와 전기적으로 결합하고 제2 표면을 향하여 연장하도록 홀 내에 연장하는 도전성 비아를 형성하는 단계를 더 포함할 수 있다.

[0020] 특정 구현예에서, 기판으로부터 물질을 제거하여 홀을 형성하는 단계는 주요 표면으로부터 제2 표면을 향하여 연장하는 제1 개구, 및 제1 개구로부터 제2 표면으로 연장하는 제2 개구를 형성하는 단계를 포함할 수 있다. 제1 및 제2 개구의 내부 표면은 실질적인 각을 형성하기 위해, 주요 표면에 대하여 제1 및 제2 방향으로 각각 연장할 수 있다. 일 구현예에서, 적어도 제1 및 제2 마이크로전자 유닛을 포함하는 적층된 어셈블리를 제조하는 방법은 제1 마이크로전자 유닛의 기판을 제2 마이크로전자 유닛의 기판에 전기적으로 접속하는 단계를 더 포함할 수 있다.

[0021] 본 발명의 또 다른 양상에 따르면, 마이크로전자 유닛을 제조하는 방법은 $10 \text{ ppm}/\text{^\circ C}$ 보다 작은 CTE를 갖는 기판으로부터 물질을 제거하여 기판의 주요 표면으로부터 주요 표면에 대향하는 제2 표면에 연장하는 홀을 형성하는 단계, 주요 표면 위로 연장하고 주요 표면 상에 지지되는 연결부, 기판에 대하여 고정된 앵커부, 및 연결부로부터 앵커부로 하향으로 연장하는 접속부를 포함하는 전기적으로 도전성 소자를 형성하는 단계, 주요 표면으로부터 도전성 소자의 적어도 연결부를 지지하는 물질을 제거하여 연결부가 리세스 위에 적어도 부분적으로 놓이도록 리세스를 형성하는 단계, 및 리세스 내로 10 GPa 보다 작은 탄성률을 가진 물질을 침착하는 단계를 포함할 수 있다. 접속부의 표면은 홀의 내부 표면의 윤곽에 따르는 윤곽을 가질 수 있다. 접속부의 표면의 윤곽은 리세스의 내부 표면의 윤곽을 따르지 않을 수 있다. 연결부는 마이크로전자 유닛의 외부에 있는 컴포넌트로 연결을

위해 기판의 주요 표면에 적어도 부분적으로 노출될 수 있다.

[0022] 특정 구현예에서, 기판이 $7 \text{ ppm}/\text{°C}$ 보다 작은 CTE를 가질 수 있다. 일 실시예에서, 마이크로전자 유닛을 제조하는 방법은 도전성 소자를 형성하는 단계 이전에, 홀 내에 연장하고 제2 표면을 향하여 연장하는 도전성 비아를 형성하는 단계를 더 포함하여, 도전성 비아와 도전성 소자를 전기적으로 결합하도록 도전성 소자를 형성하는 단계를 이를 수 있도록 한다. 일 구현예에서, 도전성 소자를 형성하는 단계는 연결부가 접속부에 대하여 중심에 있지 않도록 수행될 수 있다. 특정 구현예에서, 기판은 반도체, 유리 및 세라믹으로 구성된 그룹으로부터 선택된 하나의 물질로 필수적으로 이루어질 수 있다. 일 실시예에서, 기판은 복수의 능동형 반도체 디바이스를 포함할 수 있고, 도전성 소자를 형성하는 단계는 복수의 능동형 반도체 디바이스 중 하나 이상과 도전성 소자를 전기적으로 연결할 수 있다. 일 구현예에서, 도전성 소자를 형성하는 단계는 연결부가 내부 구멍을 형성하도록 수행될 수 있다. 특정 구현예에서, 도전성 소자를 형성하는 단계는 구멍이 연결부를 통해 접속부 내로 연장하도록 수행될 수 있다.

[0023] 일 구현예에서, 마이크로전자 유닛을 제조하는 단계는 구멍의 적어도 일부분 내로 유전체 물질을 침착하는 단계를 더 포함할 수 있다. 특정 구현예에서, 기판으로부터 물질을 제거하여 홀을 형성하는 단계는 주요 표면으로부터 제2 표면을 향하여 연장하는 제1 개구, 및 제1 개구로부터 제2 표면으로 연장하는 제2 개구를 형성하는 단계를 포함할 수 있다. 제1 및 제2 개구의 내부 표면은 실질적인 각을 형성하기 위해 주요 표면에 대하여 각각 제1 및 제2 방향으로 연장할 수 있다. 일 실시예에서, 적어도 제1 및 제2 마이크로전자 유닛을 포함하는 적층된 어셈블리를 제조하는 단계는 제1 마이크로전자 유닛의 기판을 제2 마이크로전자 유닛의 기판에 전기적으로 접속하는 단계를 더 포함할 수 있다.

[0024] 본 발명의 다른 양상은 본 발명의 전술한 양상에 따른 마이크로 전자 구조체, 본 발명의 전술한 양상에 따른 합성 칩, 또는 다른 전자 디바이스와 결합된 상기 전자 구조체와 합성 칩을 통합하는 시스템을 제공하는 것이다. 예를 들어, 시스템은 휴대용 하우징일 수 있는 단일 하우징 내에 배치될 수도 있다. 본 발명의 양상에서 바람직한 실시예에 따른 시스템은 비교되는 종래의 시스템보다 더욱 조밀할 수 있다.

[0025] 본 발명의 다른 양상은 본 발명의 전술한 양상에 따른 복수의 마이크로전자 어셈블리를 포함할 수 있는 모듈을 제공하는 것이다. 각 모듈은 상기 마이크로전자 어셈블리의 각각에, 그리고 각각으로부터 신호의 송신을 위한 공통 전기 인터페이스를 구비할 수 있다.

발명의 효과

[0026] 전기적 상호접속 신뢰도를 강화하면서 반도체 칩 크기를 줄이기 위한, 적층된 마이크로전자 어셈블리 및 그러한 어셈블리를 만드는 방법, 및 그러한 어셈블리에 유용한 컴포넌트를 제공한다.

도면의 간단한 설명

도 1a는 본 발명의 실시예에 따른 접촉 구조를 갖는 적층된 어셈블리를 도시한 측단면도이다.

도 1b는 라인 A-A를 따른 도 1a의 적층된 어셈블리의 뒤집힌 단면도에 대응하는 구현예이다.

도 1c는 라인 A-A를 따른 도 1a의 적층된 어셈블리의 뒤집힌 단면도에 대응하는 또 다른 구현예이다.

도 1d는 라인 A-A를 따른 도 1a의 적층된 어셈블리의 뒤집힌 단면도에 대응하는 또 다른 구현예이다.

도 2a 내지 2d는 도 1a에 도시된 본 발명의 실시예에 따른 제조 단계를 도시하는 단면도이다.

도 3a는 본 발명의 실시예에 따른 접촉 구조를 가진 적층된 어셈블리를 도시하는 측단면도이다.

도 3b는 라인 B-B를 따른 도 3a의 적층된 어셈블리의 뒤집힌 단면도에 대응하는 구현예이다.

도 3c는 라인 B-B를 따른 도 3a의 적층된 어셈블리의 뒤집힌 단면도에 대응하는 또 다른 구현예이다.

도 3d는 라인 B-B를 따른 도 3a의 적층된 어셈블리의 뒤집힌 단면도에 대응하는 또 다른 구현예이다.

도 4a 내지 4e는 도 3a에 도시된 본 발명의 실시예에 따른 제조 단계를 도시하는 단면도이다.

도 5는 본 발명에 따른 칩과 전기적으로 접속된 패드를 구비하는 기판의 상부 투시도이다.

도 6은 본 발명의 또 다른 실시예에 따른 접촉 구조를 구비한 기판을 도시하는 측단면도이다.

도 7은 본 발명의 일실시예에 따른 모듈의 개략도이다.

도 8은 본 발명의 일실시예에 따른 시스템의 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0028]

도 1a에 대하여, 본 발명의 일실시예에 따른 적층된 마이크로전자 어셈블리(10)는 제1 마이크로전자 유닛(12) 및 제2 마이크로전자 유닛(14)을 포함한다. 몇몇 실시예에서, 제1 및 제2 마이크로전자 유닛(12, 14)은 반도체 칩, 웨이퍼, 유전체 기판 등일 수 있다. 예를 들어, 제1 마이크로전자 유닛(12) 및 제2 마이크로전자 유닛(14) 중 하나 또는 둘 다 메모리 저장 요소를 포함할 수 있다. 본원에서 사용되는 것처럼, "메모리 저장 요소"은 전기 인터페이스를 통해 데이터의 송신을 위해 데이터를 저장하고 보관하도록 사용되는 회로와 함께 어레이에 배열된 다수의 메모리 셀을 가리킨다.

[0029]

제1 마이크로전자 유닛(12)은 주요 표면(21)으로부터 부분적으로 기판을 통해 주요 표면에 대향하는 제2 표면(22)을 향하여 연장하는 리세스(30) 및 기판에 의해 지지되는 앵커부(41)를 갖는 도전성 소자(40)를 구비하는 기판(20), 앵커부로부터 연장되는 연결부(42), 및 단부(46)를 포함하며, 상기 연결부는 제1 마이크로전자 유닛의 외부에 있는 컴포넌트와 상호접속을 위해 적어도 부분적으로 리세스(30) 위에 놓이고 적어도 부분적으로 주요 표면에 노출된다. 도시된 바와 같이, 단부(46)는 연결부(42)의 말단에 위치한다. 유전체 영역(50)은 적어도 리세스(30) 내의 내부 표면(31) 위에 놓인다.

[0030]

도 1a에서, 주요 표면(21)에 평행한 방향은 본원에서 "수평" 방향 또는 "측면" 방향으로 언급되며, 반면에 전면에 직각인 방향은 본원에서 상향 또는 하향 방향으로 언급되고 또한 "수직" 방향으로 언급된다. 본원에 언급된 방향은 본 구조에 참조로 나타난다. 따라서, 이러한 방향은 기준의 수평 또는 수직 프레임에 대한 임의의 방향일 수 있다. 하나의 형상이 다른 형상보다 "표면 위로" 더 높은 높이에 배치된다는 것은 하나의 형상이 다른 형상보다 표면에서 동일한 수직 방향으로 보다 긴 거리에 배치된다는 것을 의미한다. 반대로 말하면, 하나의 형상이 다른 형상보다 "표면 위로" 더 낮은 높이에 배치된다는 것은 하나의 형상이 다른 형상보다 표면에서 동일한 수직 방향으로 보다 짧은 거리에 배치된다는 것을 의미한다.

[0031]

바람직하게 기판(20)은 $10*10^{-6}/^{\circ}\text{C}$ (또는 $\text{ppm}/^{\circ}\text{C}$)보다 작은 열팽창 계수(CTE)를 가진다. 특정 구현예에서, 기판(20)은 $7*10^{-6}/^{\circ}\text{C}$ (또는 $\text{ppm}/^{\circ}\text{C}$)보다 작은 열팽창 계수(CTE)를 가질 수 있다. 바람직하게 기판(20)은 반도체, 유리 또는 세라믹과 같은 물질로 필수적으로 이루어진다. 기판(20)이 반도체, 예컨대 실리콘으로 이루어진 실시예에서, 복수의 능동형 반도체 디바이스(예를 들어, 트랜지스터, 다이오드 등)는 주요 표면(21) 또는 제2 표면(22)에 또는 아래에 위치하는 능동형 반도체 영역에 배치될 수 있다. 주요 표면(21) 및 제2 표면(22) 사이의 기판(20)의 두께는 전형적으로 $200\ \mu\text{m}$ 보다 작은데, 예를 들어, $130\ \mu\text{m}$, $70\ \mu\text{m}$ 로 상당히 작거나, 심지어 그보다 더 작을 수도 있다.

[0032]

기판(20)은 주요 표면(21)과 하나 이상의 도전성 소자(40) 사이에 배치되는 유전체층을 더 포함할 수 있다. 유전체층은 제2 표면(22) 위에 놓일 수 있다. 이러한 유전체층은 기판(20)으로부터 도전성 소자를 전기적으로 절연할 수 있다. 이러한 유전체층 중 하나 또는 전부를 제1 마이크로전자 유닛(12)의 "패시베이션 층(passivation layer)"이라 한다. 유전체층은 무기 또는 유기 물질, 또는 무기 및 유기 물질 둘 다 포함할 수 있다. 유전체층은 전착 등각 코팅(electrodeposited conformal coating) 또는 다른 유전체 물질, 예컨대 광영상화(photoimageable) 폴리머 물질, 예컨대 솔더 마스크(solder mask) 물질을 포함할 수 있다.

[0033]

마이크로전자 유닛(12)은 기판(20)의 주요 표면(21)에 노출되는 하나 이상의 도전성 소자(40)를 포함할 수 있다. 각 도전성 소자(40)의 연결부(42)는 제1 마이크로전자 유닛(12)의 외부에 있는 컴포넌트, 예컨대 제2 마이크로전자 유닛(14)과의 상호접속을 위해 주요 표면(21)에 노출될 수 있다. 도면에는 구체적으로 도시하고 있지는 않으나, 기판(20) 내의 능동형 반도체 디바이스는 연결부(42)에 도전성으로 접속될 수 있다. 따라서, 능동형 반도체 디바이스는 기판(20)의 하나 이상의 유전체층 내에 또는 위에 연장하여 통합되는 배선을 통해 도전성으로 접근가능하다. 도전성 소자(40)(및 본원에 기재된 임의의 다른 도전성 소자)는 구리 또는 금 등을 포함하는 임의의 전기적으로 도전성 금속으로 이루어질 수 있다.

[0034]

도 1c 등에 도시된 바와 같이, 연결부(42')는 도전성의 본드 패드, 예컨대 얇고 평평한 부재의 저면도(bottom-view) 형상을 가진다. 각 연결부(42)는 도 1b에 도시된 바와 같이 직사각형 트레이스 형상, 도 1c에 도시된 바와 같이 원형 패드 형상, 타원형 형상, 정사각형 형상, 삼각형 형상, 또는 더 복잡한 형상 등을 포함하는 저면도 형상을 가질 수 있다. 다른 실시예에서, 연결부(42)는 도전성의 포스트 등을 포함하는 도전성 접촉부의 임

의의 다른 형태일 수도 있다.

[0035] 연결부(42)는 리세스(30)와 정렬될 수 있고, 리세스에 의해 형성된 기판(20)의 영역 내에 전체적으로 또는 부분적으로 배치될 수 있다. 도 1a에 도시된 바와 같이, 연결부(42)는 리세스(30)에 의해 형성된 영역 내에 전체적으로 배치된다. 도시된 바와 같이, 연결부(42)의 상부 표면(43)에 의해 한정되는 평면은 기판(20)의 주요 표면(21)에 의해 한정되는 평면에 실질적으로 평행하다. 도시된 바와 같이, 연결부(42)의 하부 표면(44)은 기판(20)의 주요 표면(21)에 의해 한정되는 평면에 위치한다. 다른 실시예에서, 연결부(42)의 하부 표면(44)은 주요 표면(21)에 의해 한정되는 평면 위에 또는 아래에 위치할 수 있다. 도전성 소자(40)의 단부(46)는 기판(20)에 의해 지지되어 앉아서, 단부는 앵커부(41)에 대해 외팔보가 될 수 있다. 주요 표면(21) 위에 놓이고 유전체 영역(50)에 인접하게 위치하는 연결부(42)의 지지되지 않은 단부(46)는 지지되는 앵커부(41)에 대하여 움직일 수 있으며, 이로써 연결부(42)가 외팔보로서 기능을 할 수 있다.

[0036] 본원에 사용된 바와 같이, 전기적으로 도전성 소자가 기판의 표면 또는 기판의 표면 위에 놓이는 유전체 소자에 "노출된다"는 기재는 전기적으로 도전성 소자가 유전체 소자 외부로부터 유전체 소자의 표면을 향하여 유전체 소자의 표면에 수직 방향으로 움직이는 이론상 지점(theoretical point)과 접촉하기 위해 이용될 수 있는 것을 나타낸다. 따라서, 단자 또는 유전체 요소의 표면에 노출되는 다른 도전성 소자는 그러한 표면으로부터 돌출될 수 있고; 그러한 표면과 같은 높이일 수 있고; 또한 그러한 표면에 대해 오목하고 유전체에 홀 또는 오목한 곳(depression)을 통해 노출될 수 있다.

[0037] 도전성 소자를 형성하기 위해 사용되는 필수적인 임의의 기술이 본원에 기재된 도전성 소자를 형성하도록 사용될 수 있는 반면, 본원에 참조로 포함되는, 2010년 7월 23일자로 출원된 미국특허출원 제12/842,669호에 더 자세히 기재된 특정 기술이 채용될 수 있다. 예를 들어, 그러한 기술은 도전성 소자가 표면의 다른 부분과 상이하게 형성되는 경로를 따르는 표면의 이러한 부분들을 처리하기 위해, 레이저, 또는 제분(milling) 또는 샌드블래스팅(sandblasting)과 같은 기계적 공정으로 표면을 선택적으로 처리하는 단계를 포함할 수 있다. 예를 들어, 레이저 또는 기계적 공정은 특정 경로를 오직 따르는 표면으로부터의 희생층(sacrificial layer)과 같은 물질을 제거하거나 없애고, 따라서 경로를 따라 연장하는 그루브를 형성하도록 사용될 수 있다. 그리고 나서, 촉매와 같은 물질은 그루브 내에 침착될 수 있고, 하나 이상의 금속층이 그루브 내에 침착될 수 있다.

[0038] 도전성 소자(40)의 단부(46)가 리세스(30)의 외부 경계(32)(도 1b)를 넘어 측면으로(예컨대, 기판(20)의 주요 표면(21)에 평행한 방향) 연장되지 않는 도면으로 도시된다. 본원에 개시된 임의의 실시예에서, 도전성 소자의 단부 및/또는 연결부는 리세스의 외부 경계를 넘어 측면으로 연장할 수 있다. 일 구현예에서, 연결부의 말단이 대응하는 리세스의 외부 경계를 넘어 측면으로 연장하는 도전성 트레이스(도시되지 않음)에 접속될 수 있으나, 연결부는 이하의 방법으로 대응하는 기판에 대하여 여전히 이동가능하다.

[0039] 리세스(30)는 주요 표면(21)으로부터 부분적으로 기판(20)을 통해 제2 표면(22)을 향하여 연장한다. 리세스(30)의 내부 표면(31)은 주요 표면(21)로부터 임의의 각도로 기판(20)을 통해 연장할 수 있다. 바람직하게, 내부 표면(31)은 주요 표면(21)로부터 주요 표면(21)에 의해 한정되는 수평면으로 0 내지 90도로 연장한다. 내부 표면(31)은 일정한 경사 또는 다양한 경사를 가질 수 있다. 예를 들어, 주요 표면(21)에 의해 한정되는 수평면에 대한 내부 표면(31)의 각도 또는 경사는 내부 표면(31)이 제2 표면(22)을 향하여 더 관통하는 크기로 감소할 수 있다(예컨대, 양으로 감소하거나 음으로 감소한다).

[0040] 리세스(30)는 도 1b에 도시된 바와 같이 타원형, 또는 도 1c에 도시된 바와 같이 원형을 포함하는 임의의 저면도(bottom-view) 형상을 가질 수 있다. 도 1b에 도시된 실시예에서, 리세스(30)는 주요 표면(21)을 따르는 제1 측면 방향의 폭(W)을 가지고, 제1 측면 방향을 가로지르는 주요 표면을 따르는 제2 측면 방향의 길이(L)을 가진다. 상기 길이는 상기 폭보다 더 크다. 몇몇 실시예에서, 리세스(30)는 원기둥, 정육면체, 각기둥(prism) 또는 원뿔대 형상(frustoconical shape) 등을 포함하는 임의의 3차원 형상을 가질 수 있다.

[0041] 특정 구현예에서, 리세스(30)는 도 1d에 도시된 바와 같이, 적어도 부분적으로 리세스 위에 놓이는 복수의 연결부(42)와의 직사각형 채널일 수 있다. 임의의 수의 연결부(42)가 단일 리세스(30) 위에 놓일 수 있고, 연결부는 단일 리세스 위에 놓이는 임의의 기하학적 형태로 배열될 수 있다. 예를 들어, 도 1d에 도시된 바와 같이, 3개의 연결부(42)가 단일 리세스(30) 위에 놓이는 공통 축을 따라 배열될 수 있다.

[0042] 도시된 실시예에서, 유전체 영역(50)이 리세스(30)에 충전되어, 유전체 영역의 윤곽이 리세스의 윤곽(즉, 리세스의 내부 표면(31)의 형상)에 따르게 된다. 유전체 영역(50) 기판(20)에 대하여 양호한 유전층 분리를 제공할 수 있다. 유전체 영역(50)은 컴플라이언트일 수 있고, 충분히 낮은 탄성을 및 충분한 두께를 가져서, 상기 계

수 및 두께의 제품이 컴플라이언시(compliancy)를 제공하도록 한다. 바람직하게, 도전성 소자(40)의 연결부(42)는 적어도 부분적으로 유전체 영역(50) 위에 놓인다. 컴플라이언트 유전체 영역(50)은 연결부에 외부 로드가 인가되는 경우 거기에 지지되는 도전성 소자의 앵커부(41)와 기판(20)에 대하여 어느 정도 유연하거나 움직일 수 있도록 할 수 있다. 그러한 방법으로, 제1 마이크로전자 유닛(12)의 연결부(42)와 제2 마이크로전자 유닛(14)의 단자 간의 결합이 제1 및 제2 마이크로전자 유닛 간의 열팽창 계수(CTE)의 불일치로 인한 열 스트레인(thermal strain)을 잘 견딜 수 있다.

[0043] 도전성 소자의 연결부와의 연결시 본원에서 사용된 바와 같이, 용어 "움직일 수 있는(movable)"은, 이동에 의해 기계적 스트레스, 예컨대 그러한 이동이 없는 도전성 소자와 전기적 접속을 하는 마이크로 전자 유닛의 작동, 제조 또는 시험 동안 상이한 열 팽창에 의해 유발되는 것을 상당히 덜거나 감소시키는 정도로, 연결부가 거기에 인가된 외부 로드에 의해 기판의 주요 표면에 대하여 이동될 수 있다는 것을 의미한다.

[0044] 유전체 영역(50) 두께인 제품에 의해 제공된 컴플라이언시의 각도 및 탄성 률을 제1 마이크로전자 유닛(12)과 상기 제1 마이크로전자 유닛이 연결부를 통해 탑재되는 제2 마이크로전자 유닛(14) 간의 열 팽창 불일치로 인해 연결부(42)에 인가되는 스트레인을 보상하기에 충분할 수 있다. 언더필(도시되지 않음)이 유전체 영역(50)의 외부 표면(51)과 제2 마이크로전자 유닛(14) 사이에 제공되어 CTE 불일치로 인한 열 스트레인에 저항을 강화할 수 있다.

[0045] 도시된 실시예에서, 유전체 영역(50)의 외부 표면(51)(FIG. 1a)은 기판(20)의 주요 표면(21)에 의해 한정되는 평면 내에 위치한다. 대안으로, 유전체 영역(50)의 외부 표면(51)은 기판(20)의 주요 표면(21)에 의해 한정되는 평면 위에 연장할 수 있다. 또는, 유전체 영역의 외부 표면은 기판의 주요 표면에 의해 한정되는 평면 아래로 오목할 수 있다.

[0046] 유전체층(25)은 기판(20)의 주요 표면(21)과 연결부(42)가 아닌 도전성 소자(40)의 일부분 위에 놓여서, 연결부가 아닌 도전성 소자의 일부분과 기판에 대하여 양호한 유전층 분리를 제공할 수 있다. 유전체층(25)은 무기 또는 유기 유전층 물질 또는 둘 다를 포함할 수 있다. 특정 구현예에서, 유전체층(25)은 유전체 영역(50)과 동일한 컴플라이언트 유전층 물질을 포함할 수 있다. 일 실시예에서, 유전체층(25)은 유전체 영역(50)과 연속적으로 형성될 수 있다.

[0047] 제2 마이크로전자 유닛(14)은 기판(15), 및 제1 마이크로전자 유닛(12)의 연결부(42)와 상호접속을 위해 기판의 주요 표면(17)에 적어도 부분적으로 노출되는 도전성 접촉부(16a 및 16b)를 포함할 수 있다. 제1 마이크로전자 유닛(12)에 연결부(42)를 제공하고, 제2 마이크로전자 유닛(14)에 후면의 도전성 접촉부(14)를 제공하여, 마이크로전자 유닛이 다른 마이크로전자 유닛의 상부에 적층되는 복수의 마이크로전자 유닛이 되어, 적층된 마이크로전자 어셈블리(10)를 형성할 수 있다. 이러한 배열로, 연결부(42)가 도전성 접촉부(16a 및 16b)와 배열된다.

[0048] 도 1a에 도시된 바와 같이, 도전성 접촉부(16a)는 도전성 포스트이다. 도전성 포스트(16a)는 도전성 포스트의 임의의 형태이거나 원뿔대 형상을 포함하는 임의의 형상일 수 있다. 각 도전성 포스트(16a)의 베이스와 텁은 실질적으로 원형, 또는 상이한 형상, 즉 오블론형(oblong)일 수 있다. 2010년 7월 8일에 출원된 미국특허출원 제12/832,37에 도시되고 기재된 도전성 포스트의 다른 예가 사용될 수 있다. 도전성 접촉부(16b)는 도전성 패드로서 도시된다. 도전성 패드(6b)는 원형, 정사각형, 오블론형, 직사각형 또는 더 복잡한 형상을 포함하는 임의의 형상을 가질 수 있다.

[0049] 제1 마이크로전자 유닛(12)과 제2 마이크로전자 유닛(14) 간의 접속은 도전성 매스(18)을 통할 수 있다. 기판(20)의 주요 표면(21)에 있는 유전체 영역(50)과 유전체층(25), 및 기판(15)의 주요 표면(17) 위에 놓이는 유전체층(예컨대, 패시베이션 층)은, 상호접속이 제공되는 경우를 제외하고, 제1 마이크로전자 유닛(12)과 제2 마이크로전자 유닛(14) 간의 전기적 분리를 제공할 수 있다.

[0050] 도전성 매스(18)는 비교적 낮은 녹는점을 가진 가용(fusible) 금속, 예컨대 솔더, 턴 또는 다수의 금속을 포함하는 공용 혼합물(eutectic mixture)을 포함할 수 있다. 대안으로, 도전성 매스(18)는 가용성(wettable) 금속, 예컨대 구리 또는 또 다른 가용 금속 또는 솔더의 녹는점보다 낮은 녹는점을 가진 비귀금속 또는 다른 귀금속을 포함할 수 있다. 이러한 가용성 금속은 대응하는 특징부, 예컨대 제1 마이크로전자 유닛(12)을 외부로 상호접속하는 제2 마이크로전자 유닛(14)과 같은 상호접속 소자의 가용 금속 특징부와 그러한 상호접속 소자로 연결될 수 있다. 특정 구현예에서, 도전성 매스(18)는 미디엄, 예컨대 도전성 페이스트, 예컨대 금속 충전 페이스트, 솔더 충전 페이스트 또는 등방성(isotropic) 도전성 접착제 또는 이방성(anisotropic) 도전성 접착제

내에 배치되는 도전성 물질을 포함할 수 있다.

[0051] 마이크로전자 어셈블리(10)를 제조하는 방법(도 1a-1d)은 도 2a-2d를 참조하여 기재될 것이다. 도 2a에 도시된 바와 같이, 제1 마이크로전자 유닛(12)은 기판(20) 및 주요 표면(21) 위에 놓이는 하나 이상의 도전성 소자(40)를 포함한다. 도전성 소자(40)는 패시베이션 층(도시되지 않음)과 같은 유전체층에 의해 기판(20)으로부터 분리될 수 있다.

[0052] 도 2b에 도시된 제조 단계에서, 유전체층(25)은 기판(20)의 주요 표면(21) 상에 형성되고, 주요 표면의 일부분의 유지를 보존하도록 요구되는 식각 마스크의 역할을 한다. 예를 들어, 유전체층(25)은 주요 표면(21)의 일부분에만 덮히도록 패터닝되고 침착되는 광영상화 층, 예컨대 포토레지스트 층일 수 있고, 이후에 정기의(timed) 식각 공정이 리세스(30)를 형성하도록 실시될 수 있다. 각 도전성 소자(40)의 연결부(42)는 제1 마이크로전자 유닛(12)의 외부에 있는 캠포넌트와 접속을 위해 주요 표면(21)에 적어도 부분적으로 노출되게 남아있을 수 있다(예를 들어, 유전체층(25)에 의해 덮히지 않음).

[0053] 유전체층(25)을 형성하도록 다양한 방법이 이용될 수 있다. 예를 들어, 유동성의 유전체 물질이 기판(20)의 주요 표면(21)에 도포되고, 그 후 유동성의 물질은 "스핀 코팅" 동안 주요 표면 쪽으로 더 균등하게 분포되고, 뒤이어 가열을 포함할 수 있는 건조 사이클이 이어진다. 또 다른 실시예에서, 어셈블리가 가열되거나 주위 압력보다 낮은 압력의 환경 등에 놓인 진공 상태에서 가열된 후에, 유전체 물질의 열가소성 필름이 주요 표면(21)에 도포될 수 있다. 또 다른 실시예에서, 증착(vapor deposition)이 유전체층(25)을 형성하기 위해 이용될 수 있다.

[0054] 또 다른 실시예에서, 기판(20)을 포함하는 어셈블리는 등각(conformal) 유전체 코팅 또는 유전체층(25)을 형성하기 위해 유전체 침착 바스(deposition bath)에 침지될 수 있다. 본원에 사용된 바와 같이, "등각 코팅(conformal coating)"은 유전체층(25)이 주요 표면(21)의 윤곽을 따를 때처럼 코팅된 표면의 윤곽에 따르는 특정 물질의 코팅이다. 전기영동 침착 또는 전해 침착 등을 포함하는 전기화학 침착 방법이 등각의 유전체층(25)을 형성하는데 이용될 수 있다.

[0055] 일실시예에서, 등각 유전체 코팅이 어셈블리의 노출된 도전성 및 반도체 표면에 오직 침착되도록, 전기영동 침착 기술이 등각 유전체 코팅을 형성하는데 이용될 수 있다. 침착 동안, 반도체 디바이스 웨이퍼가 원하는 전위로 되고, 전극이 상이한 원하는 전위가 되도록 바스에 침지된다. 그 후, 어셈블리를 충분한 시간 동안 적절한 조건하의 바스에 두어, 주요 표면(21)을 포함하나 이에 한정되지는 않는다, 도전성 또는 반도체 기판의 노출된 표면 상에 등각 유전체층(25)을 형성한다. 코팅되는 표면과 바스 사이에 유지되는 충분히 강한 전계가 일어나는 한 전기영동 침착이 가능하다. 전기영동으로 침착된 코팅은 그 침착의 전압, 농도 등과 같은 파라미터에 의한 특정 두께에 도달한 후에, 침착이 중단되는 것으로 자가 제어된다.

[0056] 전기영동 침착은 어셈블리의 도전성 및/또는 반도체의 외부 표면 상에 계속적이고 균등하게 두꺼운 등각 코팅을 형성한다. 게다가, 전기영동 코팅이 침착되면, 그것의 유전체(비도전성) 특성 때문에, 주요 표면(21) 위에 놓이는 남아있는 패시베이션 층 상에 형성되지 않는다. 또 다른 방법으로 설명하면, 전기영동 침착의 특성은 유전체 물질의 층이 충분한 두께, 주어진 유전체 특성을 가진다고 제공된 전도체 위에 놓이는 유전체 물질의 층 상에 형성되지 않는다. 전형적으로, 전기영동 침착은 약 10 미크론 내지 수십 미크론보다 큰 두께를 가지는 유전체층 상에는 일어나지 않는다. 등각 유전체층(25)은 캐소드 에폭시 침착 전구체로부터 형성될 수 있다. 대안으로, 폴리우레탄 또는 아크릴 침착 전구체가 사용될 수 있다. 다양한 전기영동 코팅 전구체 조성물 및 공급 소스가 아래 표 1에 나열되어 있다.

표 1

이코드(ECOAT) 명칭	파워크론(POWERCRON) 645	파워크론 648	캐쏘가드(CATHOGUARD) 325
제조자			
MFG	피피쥐(PPG)	피피쥐	巴斯프(BASF)
유형	음극	음극	음극
기저 중합체	에폭시	에폭시	에폭시
위치	피츠버그, PA	피츠버그, PA	사우스필드, MI
적용 데이터			
Pb/Pf-부재	Pb-부재	Pb 또는 Pf-부재	Pb-부재
HAPs, g/L		60-84	컴플리언트

VOC, g/L (마이너스 워터(MINUS WATER))		60-84	<95
경화	20 분/175°C	20 분/175°C	
필름 성질			
색상	흑색	흑색	흑색
두께, μm	10-35	10-38	13-36
연필 경도		2H+	4H
바쓰 특성			
고체, % wt.	20 (18-22)	20 (19-21)	17.0-21.0
pH (25°C)	5.9 (5.8-6.2)	5.8 (5.6-5.9)	5.4-6.0
전도성 (25°C) μs	1000-1500	1200-1500	1000-1700
P/B 비율	0.12-0.14	0.12-0.16	0.15-0.20
작동 온도, C	30-34	34	29-35
시간, 초	120-180	60-180	120+
양극	SS316	SS316	SS316
볼트		200-400	>100
이코트 명칭	일렉트롤락(ELECTROLAC)	렉트라실(LECTRASEAL) DV494	렉트로베이스(LECTROBAS E) 101
제조자			
MFG	맥더미드(MACDERMID)	엘비에이치 코팅스(LVH COATINGS)	엘비에이치 코팅스
유형	음극	양극	음극
기저 중합체	폴리우레탄	우레탄	우레탄
위치	워터베리, CT	버밍햄, UK	버밍햄, UK
적용 데이터			
Pb/Pf-부재		Pb-부재	Pb-부재
HAPs, g/L			
VOC, g/L (마이너스 워터)			
경화	20 분/149°C	20 분/175°C	20 분/175°C
필름 성질			
색상	투명 (+염색된)	흑색	흑색
두께, μm		10-35	10-35
연필 경도	4H		
바쓰 특성			
고체, % wt.	7.0 (6.5-8.0)	10-12	9-11
pH (25°C)	5.5-5.9	7-9	4.3
전도성 (25°C) μs	450-600	500-800	400-800
P/B 비율			
작동 온도, C	27-32	23-28	23-28
시간, 초			60-120
양극	SS316	316SS	316SS
볼트	40, 최대		50-150

[0058]

또 다른 실시예에서, 유전체층이 전기분해로 형성될 수 있다. 이 공정은 침착된 층의 두께가 형성되는 도전성 또는 반도체 표면에 근접하여 제한되지 않는다는 점을 제외하고 전기영동 침착과 유사하다. 이 방법으로, 전기 분해로 침착된 유전체층은 필요조건에 기초하여 선택되는 두께로 형성될 수 있고, 제조시간은 달성된 두께에 대한 인자이다.

[0059]

그 후에, 도 2c에 도시된 제조 단계에서, 리세스(30)가 주요 표면(21)으로부터 기판(20)의 제2 표면(22)을 향하여 하향으로 연장하도록 형성될 수 있다. 예를 들어, 리세스(30)는, 주요 표면(21)의 남아있는 부분을 보존하도록 하는 마스크층(예컨대, 유전체층(25))을 형성한 후에, 기판의 물질을 제거하기 위해 기판(20)을 선택적으로 식각함으로써 형성될 수 있다. 리세스(30)는 적어도 연결부(42)를 지지하는 기판(20)의 물질이 제거되도록 형성될 수 있다.

[0060]

주요 표면(21)으로부터 제2 표면(22)을 향하여 하향으로 연장하는 리세스(30)의 내부 표면(31)은 경사질 수 있는데, 예를 들어, 도 2c에 도시된 바와 같이 주요 표면에 법선각(직각) 외의 각으로 연장할 수 있다. 습윤 식

각 공정, 예컨대 등방성 식각 공정 및 테이퍼 블레이드(tapered blade)를 사용하는 절단법(sawing)이 경사진 내부 표면(31)을 갖는 리세스(30)을 형성하도록 이용될 수 있다. 레이저 절제(ablation), 기계적 제분(milling), 화학적 식각, 플라즈마 식각, 기판(20)을 향한 미세 연마제 입자의 분사 겨냥(directing)이 경사진 내부 표면(31)을 갖는 리세스(30)(또는 본원에 기재된 임의의 다른 홀 또는 개구)를 형성하도록 이용될 수 있다.

[0061] 대안으로, 경사지게 하는 대신에, 리세스(30)의 내부 표면이 주요 표면(21)으로부터 주요 표면에 실질적으로 직각으로 하향하는 수직 방향 또는 실질적 수직 방향으로 연장할 수 있다. 이방성 식각 공정, 레이저 절제, 예컨대 제분, 초음파 가공, 기판(20)을 향한 미세 연마제 입자의 분사 겨냥이 필수적으로 수직의 내부 표면을 가지는 리세스(30)를 형성하도록 이용될 수 있다.

[0062] 그 이후에, 도 2d에 도시된 제조 단계에서, 유전체 영역(50)이 리세스(30) 내부에 형성된다. 유전체 영역(50)은 무기 물질, 폴리머 물질 또는 둘 다 포함할 수 있다. 선택적으로, 유전체 영역(50)은 영역의 노출된 외부 표면(51)이 주요 표면(21) 또는 유전체층(25)의 노출된 표면과 동일 평면에 있거나, 실질적으로 동일 평면에 있도록 형성될 수 있다. 예를 들어, 자가 평탄화 유전체 물질이 리세스(30)에 분배(dispensing) 또는 스텐실(stenciling) 공정에 의해 침착될 수 있다. 또 다른 실시예에서, 유전체 영역(50)의 표면을 주요 표면(21) 또는 유전체층(25)의 노출된 표면에 평탄화하도록 유전체 영역(50)을 형성한 후에, 분쇄(grinding), 래핑(lapping) 또는 연마(polishing) 공정이 기판(20)의 주요 표면(21) 또는 유전체층(25)의 노출된 표면에 적용될 수 있다.

[0063] 그 후에, 다시 도 1a를 참조하면, 제1 마이크로전자 유닛(12)은 제2 마이크로전자 유닛(14)의 상부에 적층될 수 있다. 이로써, 적층된 마이크로전자 어셈블리(10)가 형성된다. 이상 기술한 바와 같이, 제1 마이크로전자 유닛(12)과 제2 마이크로전자 유닛(14) 사이의 접속은 도전성 매스(18)를 통하여 이루어진다. 도전성 매스(18)는 제1 마이크로전자 유닛(12)의 연결부(42) 및 제2 마이크로전자 유닛(14)의 도전성 접촉부(16a 및 16b) 사이의 전기적 접속을 제공할 수 있다. 이러한 배열에서, 연결부(42)는 도전성 접촉부(16a 및 16b)와 정렬된다.

[0064] 도 3a를 참조하면, 본 발명의 또 다른 실시예에 따른 적층된 마이크로전자 어셈블리(110)는 제1 마이크로전자 유닛(112) 및 제2 마이크로전자 유닛(114)을 포함한다. 마이크로전자 유닛(112 및 114)은 전술한 마이크로전자 유닛(12 및 14)과 유사한 기능을 가진다.

[0065] 제1 마이크로전자 유닛(112)은 주요 표면(121)으로부터 부분적으로 기판을 통해 주요 표면에 대향하는 제2 표면(122)을 향하여 연장하는 리세스(130a 및 130b)를 갖는 기판(120), 기판에 의해 지지되는 각각의 앵커부(141a 또는 141b)를 각각 갖는 도전성 소자(140a 및 140b), 각각의 리세스(130a 또는 130b) 위에 적어도 부분적으로 놓이고 제1 마이크로전자 유닛의 외부에 있는 컴포넌트와의 상호접속을 위해 주요 표면에 적어도 부분적으로 노출된 각각의 연결부(연결부 142a 또는 142b), 앵커부와 연결부 사이에 연장되는 하나 이상의 각각의 접속부(145a 또는 145b), 및 단부(146)를 포함한다. 도시된 바와 같이, 단부(146)는 각 연결부(142a 및 142b)의 말단에 위치한다. 유전체 영역(150)은 적어도 리세스(130a 또는 130b) 내에 내부 표면(31) 위에 놓인다.

[0066] 기판(120)은 개구(130)로부터 제2 표면(122)으로 연장하는 홀(160), 및 각각의 앵커부(141a 또는 141b)로부터 제2 표면으로 홀 내부로 연장하는 도전성 비아(170)를 더 포함한다. 도전성 비아(170)는 적층된 마이크로전자 어셈블리(110)의 외부에 있는 컴포넌트와의 상호접속을 위해 제2 표면(122)에 노출된 접촉부(180)를 포함한다.

[0067] 기판(120)은 도 1a 내지 2d를 참조하여 전술된 기판(20)과 유사한 특성을 가진다. 예를 들어, 기판(120)은 바람직하게 10 ppm/°C보다 작은 CTE를 가지고, 기판(120)은 바람직하게 반도체, 유리 또는 세라믹과 같은 물질로 필수적으로 이루어진다. 기판(120)이 반도체, 예컨대 실리콘으로 이루어지는 실시예에서, 복수의 능동형 반도체 디바이스가 내부에 배치될 수 있다. 기판(120)은 주요 표면(121) 및/또는 제2 표면(122) 위에 놓이는 유전체층(예컨대, "패시베이션 층")을 더 포함할 수 있다.

[0068] 마이크로전자 유닛(112)은 기판(120)의 주요 표면(121)에 노출된 하나 이상의 도전성 소자(140a 및 140b)를 포함할 수 있다. 각각의 도전성 소자(140a 및 140b)의 연결부(142a 및 142b)가 제2 마이크로전자 유닛(114)과 같은 제1 마이크로전자 유닛(112)의 외부에 있는 컴포넌트와 상호접속을 위해 주요 표면(121)에 노출될 수 있다.

[0069] 각 연결부(142a 및 142b)는 임의의 저면도 형상을 가질 수 있다. 도 3b에 도시된 바와 같이, 예를 들어, 연결부(142a 및 142b)는 도전성 본드 패드, 예컨대 얇고 평평한 부재의 형상, 또는 도전성 본드 패드의 일부를 가질 수 있다. 예를 들어, 도 3b 및 3c에 도시된 연결부(142b)는 원형이고 고상의 저면도 형상을 가진다. 도 3b에 도시된 연결부(142a)는 그것을 통해 연장하는 구멍(147)을 가진 원형의 저면도 형상을 가진다. 도 3c에 도시된

연결부 세그먼트(142a')도 그것을 통해 연장하는 구멍(147)과 인접한 연결부 세그먼트 사이에 연장하는 캡(148)을 가진 원형의 저면도 형상을 가진다.

[0070] 연결부(142a 및 142b)는 직사각형 트레이스 형상 또는 직사각형 트레이스 형상의 일부 등을 포함하는 다른 저면도 형상을 가질 수 있다. 예를 들어, 도 3d에 도시된 연결부(142b")는 직사각형 트레이스 형상을 가진다. 도 3d에 도시된 연결부(142a")는 그 사이에 위치하는 구멍(147)을 가진 직사각형 트레이스 형상의 일부이다. 대안으로 연결부(142a 및 142b)는 더 복잡한 형상을 가질 수 있다. 다른 실시예에서, 연결부(142a 및 142b)는 예를 들어 도전성 포스트를 포함하는 도전성 접촉부의 임의의 다른 형태일 수 있다.

[0071] 연결부(142a 및 142b)는 각각의 리세스(130a 또는 130b)와 정렬될 수 있고, 리세스에 의해 형성된 기판(120)의 영역 내에 전체적으로 또는 부분적으로 배치될 수 있다. 도 3a에 도시된 바와 같이, 연결부(142a 및 142b)는 각각의 리세스(130a 또는 130b)에 의해 형성된 영역 내에 전체적으로 배치된다. 도시된 바와 같이, 각각의 연결부(142a 또는 142b)의 상부 표면(143a 및 143b)에 의해 한정되는 평면은 기판(120)의 주요 표면(121)에 의해 한정되는 평면에 실질적으로 평행하다. 도시된 바와 같이, 각각의 연결부(142a 또는 142b)의 하부 표면(144a 및 144b)이 기판(120)의 주요 표면(121)에 의해 한정되는 평면에 위치한다. 다른 실시예에서, 하부 표면(144a 및 144b)은 주요 표면(121)에 의해 한정되는 평면 위 또는 아래에 위치할 수 있다.

[0072] 접속부(145a 및 145b)는 각각의 연결부(142a 또는 142b)로부터 각각의 앵커부(141a 또는 141b)로 하향하여 연장한다. 접속부(145a 및 145b)의 적어도 일부분이 각각의 리세스(130a 또는 130b)의 내부 표면(131)의 윤곽에 따르지 않는 윤곽을 가진다. 특정 구현예에서, 앵커부(141b)로부터 연결부(142b)로 연장하는 단일의 트레이스 형상의 접속부(145b)가 존재한다. 대안의 구현예에서, 앵커부로부터 연장하는 임의의 수의 접속부가 존재할 수 있다. 예를 들어, 일 구현예에서, 접속부(145a)는 도 3b에 도시된 구현예와 같이 내부 구멍(147)으로 중공의 원뿔대 형상을 가질 수 있다. 또 다른 구현예에서, 도 3cdp 도시된 연결부(142a')와 같은 각각의 연결부 및 단일의 앵커부(141a) 사이에 연장되는 네 개의 개별의 접속부가 존재할 수 있다. 또 다른 구현예에서, 도 3d에 도시된 연결부(142a")와 같은 각각의 연결부와 단일의 앵커부(141) 사이에 연장하는 두 개의 개별의 접속부가 존재할 수 있다. 바람직하게, 연결부(142a 및 142b)는 각각의 접속부(145a 또는 145b)에 대해 중심에 있지 않으며, 이로써 각각의 도전성 소자(140a 또는 140b)의 단부(146)가 각각의 앵커부(141a 또는 141b)에 대하여 외팔보가 될 수 있다.

[0073] 리세스(130a 및 130b)는 도 1a 내지 2d를 참조하여 전술되고 도시된 리세스(30)와 유사하다. 리세스(130a 및 130b)가 주요 표면(121)으로부터 부분적으로 기판(120)을 통해 제2 표면(122)을 향하여 연장한다. 리세스(130a 및 130b)의 내부 표면(131)은 주요 표면(121)으로부터 임의의 각도로 기판(120)을 통해 연장할 수 있다. 바람직하게, 내부 표면(131)은 주요 표면(121)으로부터 0 내지 90 도의 각도로 주요 표면(121)에 의해 한정되는 수평면에 연장할 수 있다.

[0074] 리세스(130a 및 130b)는 도 1b-1d에 도시된 리세스(130b)와 같은 타원형, 또는 도 1b 및 1c에 도시된 리세스(130a)과 같은 원형을 포함하는 임의의 저면도 형상을 가질 수 있다. 몇몇 실시예에서, 리세스(130a 및 130b)는 원기둥, 정육면체, 각기둥(prism) 또는 원뿔대 형상(frustoconical shape) 등을 포함하는 임의의 3차원 형상을 가질 수 있다. 특정 구현예에서, 리세스(130a 및 130b)는 도 1d에 도시된 연결부(42)와 유사한 형태로 리세스 위에 적어도 부분적으로 놓이는 복수의 각각의 연결부(142a 및 142b)를 가진 직사각형 채널일 수 있다.

[0075] 유전체 영역(150)은 도 1a 내지 2d를 참조하여 전술하고 도시된 유전체 영역(50)과 유사한 가능 구성 및 특성을 가진다. 예를 들어, 도 3a-3d에 도시된 구현예에서, 유전체 영역(150)은 유전체 영역의 윤곽이 리세스의 윤곽(즉, 리세스의 내부 표면(131)의 형상)을 따르도록 리세스(130a 및 130b)에 충전된다. 유전체 영역(150)은 캠플라이언트일 수 있고, 충분히 낮은 탄성을 및 충분한 두께를 가져서, 상기 계수 및 두께의 제품이 캠플라이언트를 제공하도록 한다. 바람직하게, 연결부(142a 및 142b)는 적어도 부분적으로 유전체 영역(150) 위에 놓여서, 연결부가 기판(120)에 대하여 움직일 수 있다.

[0076] 도 1a 내지 2d를 참조하여 전술된 유전체층(25)과 유사하게, 유전체층(125)이 기판(120)의 주요 표면(121) 및 연결부(142a 및 142b)가 아닌 도전성 소자(140a 및 140b)의 일부 위에 놓여서, 기판 및 연결부가 아닌 도전성 소자의 일부에 대하여 양호한 유전체 분리를 제공할 수 있다.

[0077] 도 3a-3d에 도시된 바와 같이, 개구(130)로부터 제2 표면(122)을 향하여 연장하는 제1 개구(161) 및 제1 개구로부터 제2 표면을 향하여 연장하는 제2 개구(162)를 포함하는 홀(160)로 단계화될 수 있다. 단계화된 홀(160)은 본원에 참조로 포함되는 2010년 7월 23일에 출원된 미국특허출원 제12/842,717호, 미국특허출원공개 제

2008/0246136호에 더 자세히 기술되고 도시된 임의의 구조를 가질 수 있다. 도 6에 참조로 도시되고 기재된 홀(60b)와 같은 다른 구현예에서, 홀이 더 간단하고 단계화되지 않은 구조를 가질 수 있다.

[0078] 제1 개구(161)는 리세스(130)로부터 부분적으로 기판(120)을 통해 제2 표면(122)을 향하여 연장한다. 제1 개구(161)는 리세스(130)로부터 기판(120)을 통해 0 내지 90도의 각도로 주요 표면(121)에 의해 한정되는 수평면에 연장하는 내부 표면(163)을 포함한다. 내부 표면(163)은 일정한 경사 또는 다양한 경사를 가질 수 있다. 예를 들어, 주요 표면(121)에 의해 한정되는 수평면에 대한 내부 표면(163)의 각도 또는 경사는 내부 표면(163)이 제2 표면(122)을 향하여 더 관통하는 크기로 감소할 수 있다(예컨대, 양으로 감소하거나 음으로 감소한다). 예를 들어, 도 4d에 도시된 바와 같이, 제1 개구(161)는 리세스(130) 측에 폭 W1을 갖고, 제1 개구가 주요 표면(121)으로부터 제2 표면(122)을 향하는 방향으로 테이퍼되도록 W1보다 작고 제1 개구가 제2 개구(162)과 만나는 폭 W2를 가진다. 다른 실시예에서, 제1 개구는 일정한 폭을 가질 수 있고, 제1 개구는 제2 표면으로부터 전면을 향하는 방향으로 테이퍼될 수 있다. 제1 개구(161) 정육면체, 원기둥, 원뿔대 또는 각기둥 등을 포함하는 임의의 3차원 형상을 가질 수 있다.

[0079] 제2 개구(162)는 제1 개구(161)로부터 부분적으로 기판(120)을 통해 제2 표면(122)을 향하여 연장한다. 제2 개구(162) 제1 개구(161)로부터 기판(120)을 통하여 0 내지 90 도로 주요 표면(121)에 의해 한정되는 수평면에 연장하는 내부 표면(164)을 포함한다. 전술한 내부 표면(163)과 유사하게, 내부 표면(164)은 일정한 경사 또는 다양한 경사를 가질 수 있다. 예를 들어, 도 4d에 도시된 바와 같이, 제2 개구(162)는 제2 개구가 제1 개구(161)를 만나는 폭 W3, 및 제2 표면(122) 측에 W3보다 큰 W4를 가지고, 제1 개구는 제2 표면(122)으로부터 주요 표면(121)을 향하는 방향으로 테이퍼 된다. 다른 실시예에서, 제2 개구는 일정한 폭을 가지거나, 전면으로부터 제2 표면을 향하는 방향으로 테이퍼될 수 있다. 제2 개구(162)는 정육면체, 원기둥, 원뿔대 또는 각기둥 등을 포함하는 임의의 3차원 형상을 가질 수 있다.

[0080] 특정 구현예에서, 내부 표면(163 및 164)은 실질적인 각을 형성하도록 주요 표면(121)에 대하여 각각 제1 방향 및 제2 방향으로 연장할 수 있다. 임의의 수의 제1 개구(161)의 임의의 수가 단일의 제2 개구(162)로부터 연장할 수 있다. 임의의 수의 제2 개구가 단일의 제1 개구로부터 연장할 수 있다. 제1 및 제2 개구(161 및 162)가 서로에 대해 그리고 기판(120)에 대해 임의의 기하학적 형태로 배열될 수 있다. 다양한 제1 및 제2 개구 형태의 특정 실시예 및 이러한 형태를 형성하는 방법이 이미 언급한 미국특허출원 제12/842,717호 및 미국 특허출원 공개 제2008/0246136호에 기재되어 있다.

[0081] 바람직하게, 각각의 도전성 소자(140a 및 140b)의 앵커부(141a 및 141b)가 각각의 제1 개구(161)의 윤곽을 따르는 윤곽을 가지며, 이로써 앵커부는 기판(120)에 대하여 고정되는 위치를 가진다. 앵커부(141a 또는 141b)는 부착된 연결부(142a 또는 142b)가 부착된 마이크로전자 유닛에 대항 상이한 열팽창에 의해 유발되는 것과 같은 기계적 스트레스에 놓일 때 피봇시킬 수 있는 받침점 역할을 할 수 있다.

[0082] 도전성 비아(170)가 각각의 앵커부(141a 또는 141b)와 제2 표면(122) 사이에 홀(160)을 통해 연장한다. 도 3a에 도시된 바와 같이, 도전성 비아(170)는 도전성 비아로부터 기판(120)을 전기적으로 분리할 수 있는 선택적 유전체층(도시되지 않음)의 내부로 제2 개구(162) 내의 용량의 전부를 충전할 수 있다. 도전성 비아(170)는 제2 개구(162)의 윤곽을 따를 수 있다. 도전성 비아(170)는 원기둥 또는 원뿔대 형상을 가질 수 있다. 도전성 비아(170)는 구리 또는 금 등을 포함하는 금속의 전기적으로 도전성 화합물, 또는 금속으로 이루어질 수 있다.

[0083] 다른 구현예(도시되지 않음)에서, 도전성 비아(170)의 윤곽(즉, 도전성 비아의 외부 표면의 형상)이 제2 개구(162)의 윤곽(즉, 제2 개구의 내부 표면(164)의 형상)을 따르지 않는다. 이러한 비동각(non-conformal) 도전성 비아 구현예에서, 도전성 비아(170)는 원기둥 형상, 원뿔대 형상, 또는 제2 표면(122)과 상이한 거리로 원기둥 형상과 원뿔대 형상의 조합을 포함하는 임의의 형상을 가질 수 있다.

[0084] 도전성 비아(170)는 고상이거나 중공형일 수 있다. 몇몇 구현예에서, 도전성 비아가 유전체 물질로 충전된 내부 공간을 포함할 수 있다. 예를 들어, 도전성 비아(170)는 제2 개구(162)의 내부 표면(164) 위에 놓이는 금속을 침착시킴으로서 형성되고, 이로써 제2 개구의 내부 표면 위에 놓이는 도전층을 제조할 수 있다. 다양한 도전성 비아 형태의 특정 실시예 및 이러한 형태를 형성하는 방법이 전술한 미국특허출원 제12/842,717호 및 미국 특허출원 공개 제2008/0246136호에 기재되어 있다.

[0085] 각 도전성 비아(170)는 적층된 마이크로전자 어셈블리(110)의 외부에 있는 컴포넌트와 상호접속하기 위해 제2 표면(122)에 노출되는 접촉부(180)를 포함한다. 몇몇 실시예에서, 각 도전성 비아(170)는 제2 표면(122)에 노출된 개별의 도전성 접촉부에 전기적으로 접속될 수 있다.

- [0086] 제2 마이크로전자 유닛(114)이 도 1a를 참조로 도시되고 기재된 제2 마이크로전자 유닛(14)과 유사하다. 제2 마이크로전자 유닛(114)은 제1 마이크로전자 유닛(112)의 연결부(142a 및 142b)와 상호접속하기 위해 기판의 주요 표면(117)에 적어도 부분적으로 노출된 도전성 접촉부(116) 및 기판(15)을 포함할 수 있다.
- [0087] 도 3a 도시된 바와 같이, 도전성 접촉부(116)는 도전성 패드이다. 도전성 패드(116)는 원형, 정사각형, 오블론형, 직사각형 또는 더 복잡한 형상을 포함하는 임의의 형상을 가질 수 있다. 특정 구현예에서, 도전성 접촉부(116)는 도 1a에 도시된 도전성 포스트(16a)와 같은 도전성 포스트를 포함하는 도전성 접촉부의 임의의 형태일 수 있다. 2010년 7월 8일에 출원된 미국특허출원 제12/832,376호에 기재되고 도시된 것과 같은 도전성 포스트의 다른 실시예가 이용될 수 있다.
- [0088] 제1 마이크로전자 유닛(112)과 제2 마이크로전자 유닛(114) 사이의 접속이 도 1a 내지 2d를 참조하여 기재된 것과 유사한 방법으로 도전성 매스(118)를 통할 수 있다. 기판(120)의 주요 표면(121) 측의 유전체 영역(150)과 유전체층(125), 및 기판(115)의 주요 표면(117) 위에 놓이는 유전체층(즉, 패시베이션 층)은 상호접속이 제공되는 경우를 제외하고 제1 마이크로전자 유닛(112)과 제2 마이크로전자 유닛(114) 사이의 전기적 분리를 제공할 수 있다.
- [0089] 마이크로전자 어셈블리(110)(도 3a-3d)를 제조하는 방법이 도 4a-4d를 참조하여 기재될 것이다. 도 4a에 도시된 제조 단계에서, 제1 마이크로전자 유닛(112)은 기판(120)을 포함한다. 훌(160)이 기판으로부터 물질을 제거함으로써 주요 표면(121)으로부터 기판(120) 제2 표면(122)으로 연장하도록 형성될 수 있다. 특정 구현예에서, 제1 개구(161)가 주요 표면(121)으로부터 내향으로 연장하도록 형성될 수 있고, 제2 개구가 제2 표면(122)으로부터 내향으로 연장하도록 형성될 수 있다. 다른 구현예에서, 제1 및 제2 개구(161 및 162) 중 하나 또는 둘 다 제2 표면(121 및 122) 또는 주요 표면으로부터 형성될 수 있다.
- [0090] 리세스(30)를 형성하는 것에 대한 전술한 바와 유사한 방법으로, 그리고 유사한 공정으로 훌(160)이 형성될 수 있다. 예를 들어, 주요 표면(121)의 남아있는 부분을 보존하도록 요구되는 마스크 층을 형성한 후에, 기판의 물질을 제거하도록 기판(120)을 선택적으로 식각함으로써 훌(160)이 형성될 수 있다. 리세스(30)와 유사하게, 제1 및 제2 개구(161 및 162)의 내부 표면(163 및 164)이 주요 표면(121)에 대하여 임의의 일정하거나 또는 다양한 각으로 연장될 수 있다.
- [0091] 도시되지 않았지만, 유전체층은 기판(120)의 주요 표면(121) 상에 형성될 수 있고, 및/또는 제1 및 제2 개구(161 및 162)의 내부 표면(163 및 164) 위에 놓일 수 있어서, 기판으로부터 도전성 소자(140a 및 140b) 및 도전성 비아(170)의 전기적 분리를 제공할 수 있다. 이러한 유전체층은 도 2b에 도시된 유전체층(25)을 참조하여 전술된 임의의 다양한 방법을 이용하여 형성될 수 있다. 그러한 유전체층은 기판(120)의 주요 표면(121) 위에 이미 놓이는 패시베이션 층을 대신할 수도 있고, 패시베이션 층에 추가될 수도 있다.
- [0092] 도 4b에 도시된 제조 단계에서, 앵커부(141a 및 141b) 및 도전성 소자(140a 및 140b)의 각각의 접속부(145a 및 145b)는 제1 개구(161) 내에 형성될 수 있고, 연결부(142a 및 142b)는 주요 표면(121) 위에 놓여서 형성될 수 있고, 도전성 비아(170)는 제2 표면(122)에 노출된 접촉부(180)와 함께 제2 개구 내에 형성될 수 있다. 각각의 앵커부(141a 및 141b), 접속부(145a 및 145b), 연결부(142a 및 142b), 및 도전성 비아(170)는 단일의 금속 침착 공정 또는 별개의 공정으로 형성될 수 있다. 도전성 비아(170)가 제2 표면(122)에 노출된 개별의 도전성 접촉부에 전기적으로 접속하는 구현예에서, 그러한 도전성 접촉부는 도전성 소자(140a 및 140b) 및 도전성 비아와 함께 단일의 금속 침착 공정으로 형성되거나, 그러한 도전성 접촉부는 별개의 공정에서 형성될 수 있다.
- [0093] 도전성 소자(140a 및 140b) 및 도전성 비아(170)를 형성하는 예시적인 방법은 기판(120)의 노출된 표면으로 주요 금속층의 스퍼터링, 도금, 또는 기계적 침착의 하나 이상의 방법으로 금속층을 침착하는 것을 포함한다. 기계적 침착은 코팅된 표면에 고속으로 가열된 금속 입자의 스트림을 겨냥하는 것을 포함할 수 있다. 예를 들어, 이 단계는 블랜킷 침전 주요 표면(121) 및 내부 표면(163 및 164)으로의 블랜킷 침착에 의해 수행될 수 있다. 다른 특정 구현예에서, 주요 금속층은 구리를 포함하거나 구리로 필수적으로 이루어진다. 또 다른 구현예에서, 주요 금속층은 티타늄을 포함하거나 티타늄으로 필수적으로 이루어진다. 하나 이상의 다른 예시적인 금속이 도전성 소자(140a 및 140b) 및 도전성 비아(170)를 형성하도록 공정에 사용될 수 있다. 특정 실시예에서, 복수의 금속층을 포함하는 적층이 하나 이상의 전술한 표면 상에 형성될 수 있다. 예를 들어, 이렇게 적층된 금속층은 티타늄층에 이어 티타늄 위에 놓인 구리층(Ti-Cu), 니켈층에 이어 니켈층 위에 놓인 구리층(Ni-Cu), 유사한 방법으로 제공되는 니켈-티타늄-구리의 적층(Ni-Ti-Cu), 또는 니켈-바나듐(Ni-V)의 적층을 포함할 수 있다.

- [0094] 특정 구현예에서, 연결부(142a 및 142b)는 도 2a에 도시된 제조 단계에 도시된 바와 같은 기판으로부터 임의의 물질을 제거하기 전에 기판(120)의 주요 표면(121)으로 침착될 수 있다. 이러한 구현예에서, 연결부(142a 및/ 또는 142b)을 통해 식각되고, 그 후 기판(120)으로 식각됨으로써 홀(160)이 형성될 수 있다. 홀(160)이 연결부(142a 및/ 또는 142b)를 통해 형성된 후, 접속부(145a 및 145b), 앵커부(141a 및 141b), 및 도전성 비아(170)가 전술한 대로 형성될 수 있다.
- [0095] 도 4c에 도시된 제조 단계에서, 유전체층(125)이 기판(120)의 주요 표면(121) 상에 형성되고, 주요 표면의 남아 있는 일부를 보존하도록 요구되는 식각 마스크층의 역할을 한다. 유전체층(125)이 도 2b에 도시된 유전체층(25)에 대해 전술된 임의의 다양한 방법을 사용하여 형성될 수 있다. 연결부(142a 및 142b)는 제1 마이크로전자 유닛(112)의 외부에 있는 컴포넌트와의 연결을 위해 주요 표면(121)에 적어도 부분적으로 노출된 채(즉, 유전체층(125)에 의해 덮히지 않은 채) 남아있을 수 있다.
- [0096] 그 이후에, 도 4d에 도시된 제조 단계에서, 리세스(130)는 리세스(30)의 형성에 관해 기술된 것과 유사한 방식 및 공정으로 형성될 수 있다. 예를 들어, 주요 표면(121)의 남아있는 부분을 보존하도록 요구되는 마스크 층(예를 들어, 유전체층(25))을 형성한 후에, 기판의 물질을 제거하도록 기판(120)을 선택적으로 식각함으로써 리세스(130)가 형성될 수 있다. 리세스(130)는 적어도 연결부(142a 및 142b)를 지지하는 기판(120)의 물질이 제거되도록 형성될 수 있다. 리세스(30)와 유사하게, 리세스(130)의 내부 표면(131)이 주요 표면(121)에 대하여 임의의 일정하거나 또는 다양한 각으로 연장될 수 있다.
- [0097] 도 4d에 도시된 바와 같이, 제1 개구(161)만큼 주요 표면(121)으로부터 멀리 연장되지 않도록 리세스(30)가 형성되는 것에 의해, 앵커부(141a 및 141b)의 윤곽이 제1 개구의 내부 표면(163)의 남아있는 부분의 윤곽에 일치될 수 있다. 특정 구현예에서, 적어도 제1 개구(161)만큼 주요 표면(121)으로부터 멀리 연장되도록 리세스(30)가 형성되는 것에 의해, 앵커부(141a 및 141b)의 윤곽이 제1 개구의 내부 표면(163)의 남아있는 부분의 윤곽에 일치되지 않을 수 있다. 이러한 구현예에서, 앵커부(141a 및 141b)는 앵커부와 제2 개구(162)의 내부 표면(164)의 윤곽에 일치하는 윤곽을 가지는 도전성 비아(170) 사이의 부착을 통해 기판(120)에 고정될 수 있다.
- [0098] 그 이후에, 도 4e에 도시된 제조 단계에서, 유전체 영역(150)은 리세스(30) 내부의 유전체 영역(50)을 형성하는 것에 대해 전술된 것과 유사한 방법 및 공정에 의해 리세스(130) 내부에서 형성될 수 있다. 예를 들어, 유전체 영역(150)은 영역의 노출된 외부 표면(151)이 기판(120)의 주요 표면(121) 또는 유전체층(125)의 노출된 표면과 동일한 평면 또는 실질적으로 동일한 평면에 있도록 형성될 수 있다.
- [0099] 그 이후에, 도 3a을 다시 참조하면, 제1 마이크로전자 유닛(112)은 제2 마이크로전자 유닛(114) 상부에 적층되어, 적층된 마이크로전자 어셈블리(110)가 형성될 수 있다. 전술한 바와 같이, 제1 마이크로전자 유닛(112)와 제2 마이크로전자 유닛(114) 사이의 접속은 도전성 매스(118)를 통해 이루어질 수 있다. 도전성 매스(118)은 제1 마이크로전자 유닛(112)의 연결부(142a 및 142b)와 제2 마이크로전자 유닛(114)의 도전성 접촉부(16) 사이에 전기적 접속을 제공할 수 있다. 이러한 배열에서, 연결부(142a 및 142b)는 각각의 도전성 접촉부(16)와 정렬된다.
- [0100] 도 5에 도시된 바와 같이, 도전성 소자(240)의 기저부(241) 및 연결부(242)는 도 1a-4e에 관해 전술된 임의의 구현예에서 사용되기에 적합한 것으로 도시된다. 연결부(242)는 도전성 소자(240)의 기저부(241)로부터 연장된다. 예를 들어, 기저부(241)는 도 3a에 도시된 제1 마이크로전자 유닛(112)에 대해 전술된 연결부(142a 또는 142b)의 일부, 또는 도 1a에 도시된 제1 마이크로전자 유닛(12)에 대해 전술된 앵커부(41)의 일부일 수 있다. 기저부(241)는 기판(220)의 주요 표면(221) 아래 또는 유전체 영역(250)의 외부 표면(251) 아래에 위치한 다른 전도성 소자에 접속될 수 있다. 도 5에 도시된 구현예에서, 기저부(241)는 주요 표면(221)에 의해 한정된 판의 방향에 컴플라이언트이거나 그 방향으로 이동될 수 있는 세그먼트(243)을 포함하며, 이로 인해 세그먼트는 그것에 부가되는 외부 하중에 의해 주요 표면(221)에 따른 방향으로 배치될 수 있다.
- [0101] 도 6을 참조하면, 다른 구현예에 따른 제1 마이크로전자 어셈블리(12')는, 도전성 소자(40')가 기판(20')의 주요 표면(21)과 제2 표면(22) 사이에서 연장되는 도전성 비아(70a 및 70b)에 전기적으로 접속되는 것을 제외하고는, 도 1a에 도시된 제1 마이크로전자 어셈블리(12)와 유사하다.
- [0102] 기판(20')은 주요 표면(21) 및 제2 표면(22)로부터 연장되는 홀(60a 및 60b)을 포함하며, 도전성 비아(70a 및 70b)는 도전성 소자(40')의 앵커부(41') 각각으로부터 제2 표면까지 각각의 홀 내에서 연장된다. 각각의 도전성 비아(70a 및 70b)는, 제1 마이크로전자 유닛(12') 외부의 컴포넌트와의 상호 접속을 위해 제2 표면(22)에서 노출된 접촉부(80)를 포함한다. 홀(60a)은, 개구(30)이 홀(60a 및 60b) 어느 것과도 겹치지 않는다는 점을 제

외하고는, 도 3a에 도시된 홀(160)과 유사한 단계화된 홀이며, 따라서 홀(60a 및 60b)은, 제2 표면으로부터 각각의 개구로 연장되기 보다는, 제2 표면(22)으로부터 주요 표면(21)으로 연결된다. 홀(60b)은 단계화되지 않는다. 즉, 홀(60b)는, 예를 들어, 단일 식각 또는 기판(20')으로부터 물질을 제거하는 다른 단계에 의해 형성될 수 있다.

[0103] 도 1a에 도시된 제1 마이크로전자 어셈블리(12)와 유사하게, 각각의 도전성 소자(40)은 제1 마이크로전자 소자(12') 외부의 컴포넌트와 상호 접속되기 위해 주요 표면(21)에서 노출될 수 있는 연결부(42)를 포함한다. 제1 마이크로전자 어셈블리(12)와 역시 유사하게, 유전체 영역(50)은 각각의 연결부(42)가 기판(20')에 대해 이동할 수 있도록 커플라이언트일 수 있다.

[0104] 도 7은, 마이크로전자 어셈블리(310)의 각각으로 또는 각각으로부터 신호를 송신하기 위한 전기 인터페이스(320)을 가지는 하나의 유닛에 함께 배열된 2개 이상의 마이크로전자 소자에 공통되는 신호 또는 기준 전위, 예를 들면, 전력 및 접지를 송신하는데 사용할 수 있는 1개 이상의 접촉부를 포함할 수 있다. 마이크로전자 어셈블리(310)는 임의의 전술된 어셈블리일 수 있다. 특정 예에서, 모듈(300)은, 시스템의 다른 커넥터의 해당 슬롯에 삽입되기 위한, 예를 들면, 마더보드 상에 제공될 수 있는 크기를 가지는 1개 이상의 부분을 그 안에 가지는 듀얼 인라인 메모리 모듈("DIMM") 또는 싱글 인라인 메모리 모듈("SIMM")일 수 있다. 이러한 DIMM 또는 SIMM에서, 전기 인터페이스는 위와 같은 슬롯 커넥터 내의 다수의 상응하는 스프링 접촉부와 짹지워지기에 적합한 접촉부(330)를 가질 수 있다. 이러한 스프링 접촉부는 각각의 슬롯의 단일 또는 여러 면 상에 배치되어 상응하는 모듈 접촉부와 짹지워질 수 있다. 모듈이 적층되지 않거나 적층된 마이크로전자 어셈블리일 수 있거나, 또는 전기 신호를 모듈로 또는 모듈로부터 송신하기 위한 병렬 또는 직렬 전기 인터페이스, 또는 병렬 또는 직렬 전기 인터페이스의 조합을 가질 수 있는 다양한 다른 모듈 및 상호 접속 배열이 가능하다. 모듈(300)과 추가의 시스템 인터페이스 사이의 임의의 종류의 전기 상호 접속 배열이 본 발명에 의해 예상된다.

[0105] 전술된 마이크로전자 어셈블리는 도 8에 도시된 다와 같은 다양한 전자 시스템을 구성하는데 사용될 수 있다. 예를 들어, 본 발명의 추가의 구현예에 따른 시스템(400)은 다른 전자 컴포넌트(408 및 410)와 함께 전술한 마이크로전자 어셈블리(406)를 포함한다. 도시된 예에서, 컴포넌트(408)는 반도체 칩이고 컴포넌트(410)는 디스플레이 스크린이지만, 임의의 다른 컴포넌트가 사용될 수 있다. 물론, 명확한 도시를 위해 도 8에는 단지 2개의 추가의 컴포넌트만이 도시되어 있지만, 시스템은 임의의 수의 이러한 컴포넌트들을 포함할 수 있다. 마이크로전자 어셈블리(406)는 전술된 임의의 어셈블리일 수 있다. 추가의 변형예에서, 임의의 수의 이와 같은 마이크로전자 어셈블리가 사용될 수 있다.

[0106] 마이크로전자 어셈블리(406)와 컴포넌트(408 및 410)는 파선으로 개략적으로 도시된 공동 하우징(401)에 장착될 수 있으며, 바람직한 회로를 형성하기 위해 필요할 경우 서로 전기적으로 상호 접속된다. 도시된 예시적인 시스템에서, 시스템은 가요성 인쇄 회로 기판 같은 회로 패널(402)을 포함하며, 회로 패널은 컴포넌트들을 서로 상호 접속시키는 다양한 도전체(404)를 포함한다(도 8에는 그 중 1개만 도시되어 있음). 그러나, 이는 단지 예시일 뿐이며, 전기 접속을 만들 수 있는 임의의 적합한 구조가 사용될 수 있다.

[0107] 하우징(401)은, 예를 들어, 휴대 전화 또는 개인용 디지털 보조 장치에 사용될 수 있는 유형의 휴대 가능한 하우징으로 도시되어 있으며, 스크린(410)은 하우징의 표면에서 노출되어 있다. 구조(406)가 감광성 소자, 예컨대 영상화 칩을 포함하는 경우, 렌즈(411) 또는 다른 광학 장치가 또는 빛을 구조로 보내기 위해 제공될 수 있다. 다시, 도 8에 도시된 단순화된 시스템은 단지 예시이다; 고정 구조로 통상적으로 간주되는 시스템을 포함한 다른 시스템, 예컨대, 데스크탑 컴퓨터, 라우터 등이 앞서 논의한 구조들을 사용하여 제조될 수 있다.

[0108] 본원에 개시된 비아 및 비아 도전체는, 그 개시 내용이 본원에 참조로 인용되는 10년 7월 23일에 출원되어 현재 계속 중인 미국 특허 출원 제12/842,587호, 제12/842,612호, 제12/842,651호, 제12/842,669호, 제12/842,692호, 및 제12/842,717호, 및 미국 특허 출원 공보 제2008/0246136호에 상세히 개시된 공정에 의해 형성될 수 있다.

[0109] 본 발명이 특정 구현예들을 참조하여 기술되긴 하였지만, 이들 구현예들은 단지 본 발명의 원리 및 응용에 대한 예시일 뿐이라는 점이 이해될 것이다. 따라서, 예시된 구현예들에 대한 다양한 변형예들이 있을 수 있으며, 특허청구범위에 기재된 본 발명의 취지 및 범위를 벗어나지 않은 다른 배열들이 고안될 수 있다는 점도 이해될 것이다.

[0110] 다양한 종속항들 및 그들에 기재된 특징들은 원 청구항에 제시된 것과 다른 방식으로 조합될 수 있다는 점이 이

해될 것이다. 각각의 구현예들과 관련하여 기재된 특징들도 기재된 구현예들의 다른 특징들과 공유될 수 있음도 이해될 것이다.

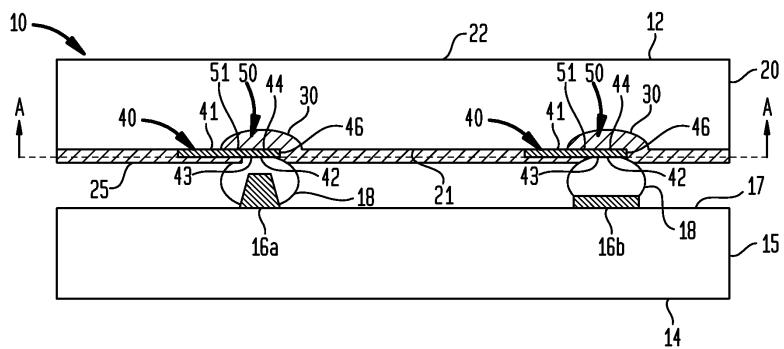
산업상 이용가능성

[0111]

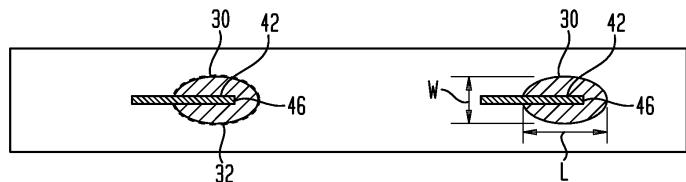
본 발명은, 이들에 제한되는 것은 아니지만, 마이크로전자 유닛 및 마이크로전자 유닛의 제조 방법을 포함하는 다양한 산업상 이용가능성을 가진다.

도면

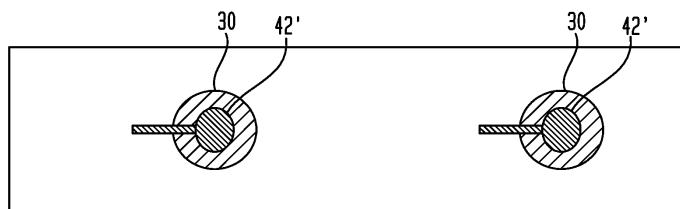
도면1a



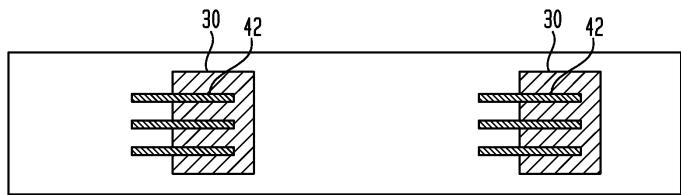
도면1b



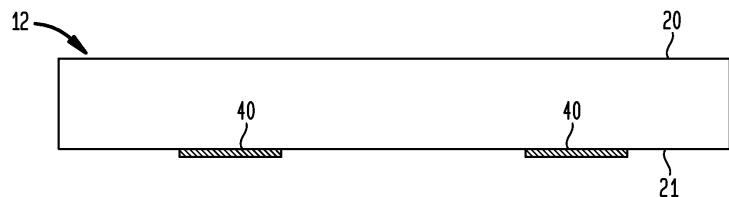
도면1c



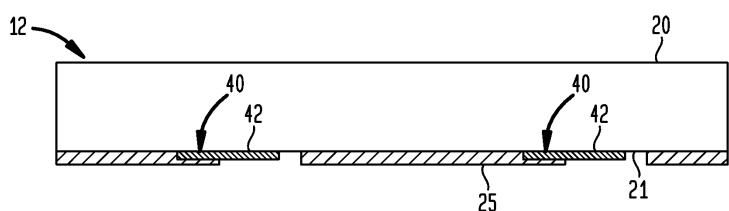
도면1d



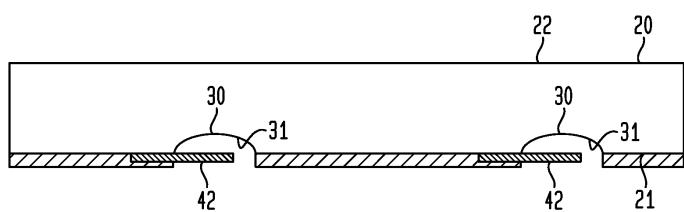
도면2a



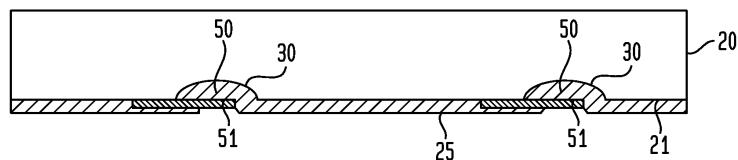
도면2b



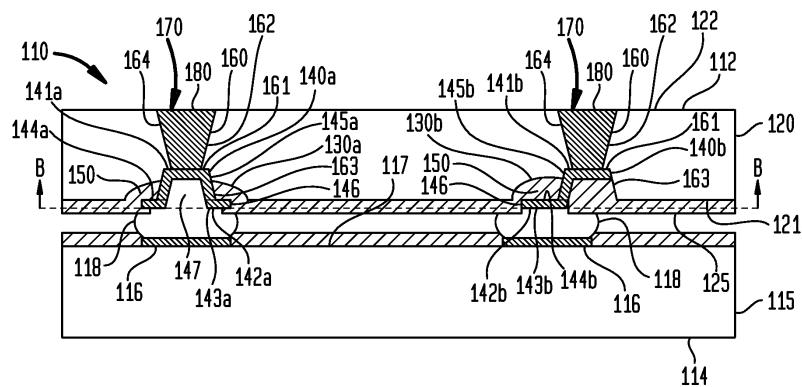
도면2c



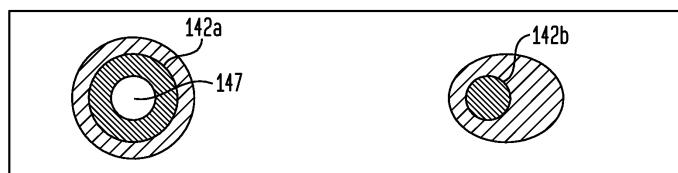
도면2d



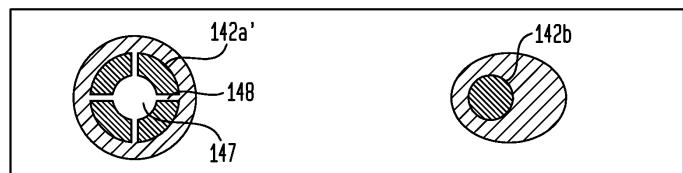
도면3a



도면3b



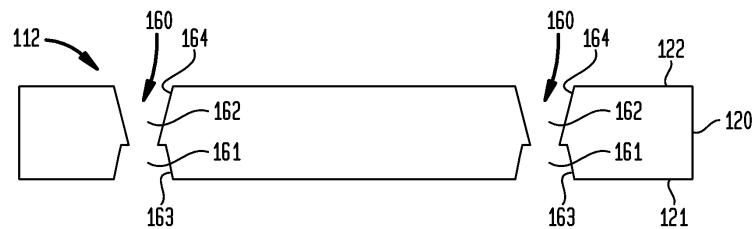
도면3c



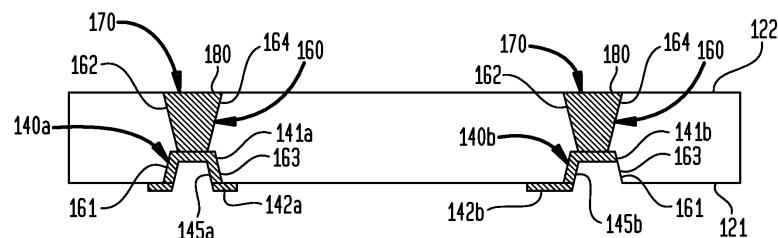
도면3d



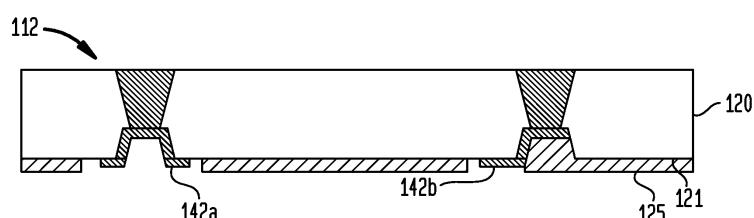
도면4a



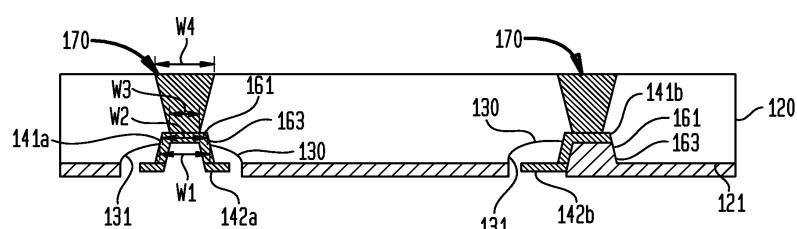
도면4b



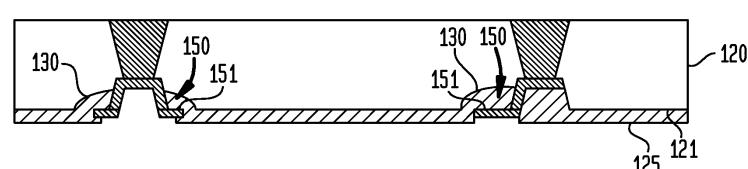
도면4c



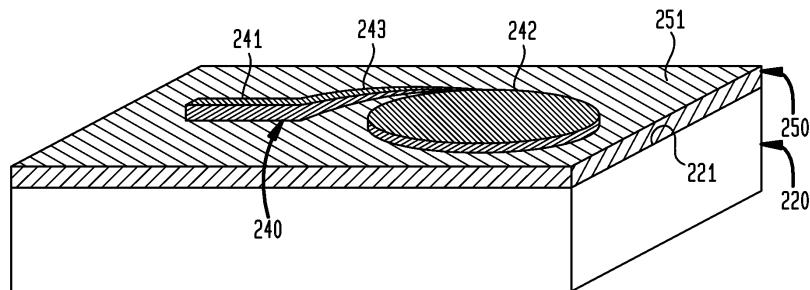
도면4d



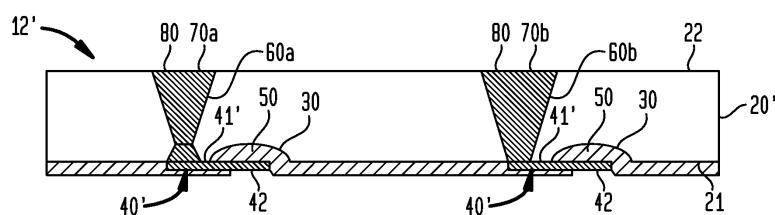
도면4e



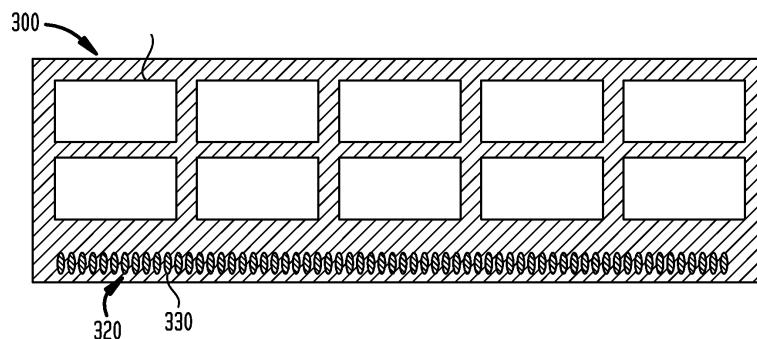
도면5



도면6



도면7



도면8

