

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/12 (2006.01)

H01L 29/78 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410001867.5

[45] 授权公告日 2007 年 9 月 5 日

[11] 授权公告号 CN 100336228C

[22] 申请日 2004.1.15

[74] 专利代理机构 中国专利代理(香港)有限公司

[21] 申请号 200410001867.5

代理人 刘宗杰 王忠忠

[30] 优先权

[32] 2003. 1. 15 [33] JP [31] 6641/03

[32] 2003. 8. 19 [33] JP [31] 295234/03

[73] 专利权人 株式会社瑞萨科技

地址 日本东京都

[72] 发明人 松本拓治 一法师隆志 岩松俊明
平野有一

[56] 参考文献

US5889331A 1999.3.30

US6165826A 2000.12.26

US6314021B1 2001.11.6

US2002/0053711A1 2002.5.9

审查员 范崇飞

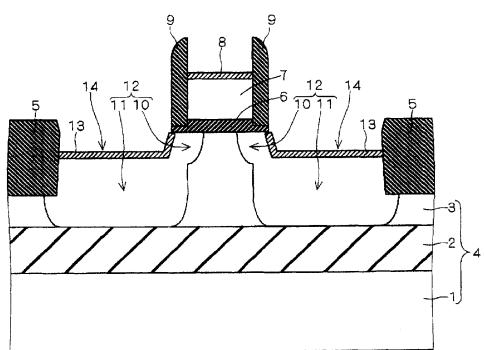
权利要求书 3 页 说明书 21 页 附图 33 页

[54] 发明名称

半导体器件

[57] 摘要

本发明的课题是得到能恰当地避免隔离耐压的降低而又没有结电容的增加等的弊端的半导体器件及其制造方法。通过形成凹部 14 预先使硅层 3 薄膜化以后，形成杂质导入区 11。从而，在位于元件隔离绝缘膜 5 的底面与 BOX 层 2 的上表面之间的部分的 p 型硅层 3 内，由于未注入 n 型杂质，能避免隔离耐压降低。而且，由于杂质导入区 11 抵达 BOX 层 2 的上表面而形成，所以也不会增加源、漏区 12 的结电容。



1. 一种半导体器件，其特征在于，包括：

具有依次层叠了半导体衬底、绝缘层和第1导电类型的半导体层的结构的SOI衬底；

在上述半导体层的主面内局部地形成、具有用上述绝缘层夹持上述半导体层的一部分的底面的元件隔离绝缘膜；

在由上述元件隔离绝缘膜规定的元件形成区内，在上述半导体层的上述主面上局部地形成的栅结构；

在上述元件形成区内，在从上述栅结构露出的部分的上述半导体层的上述主面内形成、夹持上述栅结构的下方的沟道形成区而成对的凹部；以及

在上述凹部的底面内形成、夹持上述沟道形成区而成对、其底面或者其耗尽层抵达上述绝缘层、与上述第1导电类型不同的第2导电类型的源、漏区，

形成上述栅结构的部分的上述半导体层的上述主面与上述凹部的侧面的夹角大于90度。

2. 一种半导体器件，其特征在于，包括：

具有依次层叠了半导体衬底、绝缘层和第1导电类型的半导体层的结构的SOI衬底；

在上述半导体层的主面内局部地形成、具有用上述绝缘层夹持上述半导体层的一部分的底面的元件隔离绝缘膜；

在由上述元件隔离绝缘膜规定的元件形成区内，在上述半导体层的上述主面上局部地形成的栅结构；

在上述元件形成区内，在从上述栅结构露出的部分的上述半导体层的上述主面内形成、夹持上述栅结构的下方的沟道形成区而成对的凹部；以及

在上述凹部的底面内形成、夹持上述沟道形成区而成对、其底面或者其耗尽层抵达上述绝缘层、与上述第1导电类型不同的第2导电类型的源、漏区，

上述凹部的端部潜入上述栅结构的端部的下方。

3. 一种半导体器件，其特征在于，包括：

具有依次层叠了半导体衬底、绝缘层和第1导电类型的半导体层

的结构的 SOI 衬底；

在上述半导体层的主面内局部地形成、具有用上述绝缘层夹持上述半导体层的一部分的底面的元件隔离绝缘膜；

在由上述元件隔离绝缘膜规定的元件形成区内，在上述半导体层的上述主面上局部地形成的栅结构；

在上述元件形成区内，在从上述栅结构露出的部分的上述半导体层的上述主面内形成、夹持上述栅结构的下方的沟道形成区而成对的凹部；以及

在上述凹部的底面内形成、夹持上述沟道形成区而成对、其底面或者其耗尽层抵达上述绝缘层、与上述第 1 导电类型不同的第 2 导电类型的源、漏区，

上述源、漏区具有：

在上述半导体层的上述主面内形成的较低浓度的第 1 杂质导入区；以及

比上述第 1 杂质导入区形成得深的、较高浓度的第 2 杂质导入区，

从上述半导体层的上述主面至上述凹部的上述底面的深度比从上述半导体层的上述主面至上述第 1 杂质导入区的底面的深度浅。

4. 如权利要求 3 所述的半导体器件，其特征在于：

上述源、漏区还具有比上述第 2 杂质导入区浅、在上述半导体层的上述主面内形成的第 3 杂质导入区。

5. 一种半导体器件，其特征在于，包括：

具有依次层叠了半导体衬底、绝缘层和第 1 导电类型的半导体层的结构的 SOI 衬底；

在上述半导体层的主面内局部地形成、具有用上述绝缘层夹持上述半导体层的一部分的底面的元件隔离绝缘膜；

在由上述元件隔离绝缘膜规定的元件形成区内，在上述半导体层的上述主面上局部地形成的栅结构；

在上述元件形成区内，在从上述栅结构露出的部分的上述半导体层的上述主面内形成、夹持上述栅结构的下方的沟道形成区而成对的凹部；以及

在上述凹部的底面内形成、夹持上述沟道形成区而成对、其底面

或者其耗尽层抵达上述绝缘层、与上述第 1 导电类型不同的第 2 导电类型的源、漏区，

上述源、漏区具有：

在上述半导体层的上述主面内形成的较低浓度的第 1 杂质导入区；

比上述第 1 杂质导入区形成得深的、较高浓度的第 2 杂质导入区；以及

在上述半导体层的上述主面内形成的第 3 杂质导入区，

从上述半导体层的上述主面至上述第 3 杂质导入区的底面的深度比从上述半导体层的上述主面至上述第 1 杂质导入区的底面的深度深，

从上述半导体层的上述主面至上述凹部的上述底面的深度比从上述半导体层的上述主面至上述第 3 杂质导入区的上述底面的深度浅。

6. 如权利要求 1 所述的半导体器件，其特征在于，还包括：

在上述凹部的底面上形成的半导体区；以及

上述半导体区上形成的金属 - 半导体化合物层。

半导体器件

技术领域

本发明涉及使用了 SOI 衬底的半导体器件及其制造方法。

背景技术

SOI 衬底具有依次层叠了半导体衬底、绝缘层和第 1 导电类型的半导体层的结构。在使用了 SOI 衬底的现有的半导体器件的制造方法中，依次执行下述工序：(a) 在半导体层的上表面内局部地形成所谓局部隔离型的元件隔离绝缘膜的工序；(b) 在元件形成区内，在半导体层的上表面上局部地形成栅结构的工序；以及(c) 通过将杂质离子注入到半导体层的上表面内，从半导体层的上表面至绝缘层形成第 2 导电类型的源、漏区。

再有，涉及使用了 SOI 衬底的半导体器件及其制造方法的技术在下述专利文献 1 中已予以公开。

专利文献 1：特开平 10-209167 号公报

然而，在现有的半导体器件的制造方法中，由于增高了为使源、漏区抵达绝缘层所需的离子注入的注入能量，在位于元件隔离绝缘膜的底面与绝缘层的上表面之间的部分的半导体层内也注入了第 2 导电类型的杂质，造成该部分的第 1 导电类型的浓度降低、从而隔离耐压降低的问题。

为了解决这一问题，由于降低了离子注入的注入能量，使杂质不能穿通元件隔离绝缘膜，又由于源、漏区不能抵达绝缘层，源、漏区的结电容增加了。其结果是，产生了工作速度下降及功耗增大等弊端。

另外，为了解决上述问题，由于将元件隔离绝缘膜形成得较深，使元件隔离绝缘膜的底面接近于绝缘层的上表面，从而产生了位于元件隔离绝缘膜的底面与绝缘层的上表面之间的部分的半导体层的电阻值增加的弊端。

进而，为了解决上述问题，由于增厚了元件隔离绝缘膜的膜厚，使得元件隔离绝缘膜的上表面位于比半导体层的上表面高得多的上方，从而在元件隔离绝缘膜的上表面与半导体层的上表面之间形成台阶差，难以高精度地形成栅电极。其结果是，产生了工作速度下降及特

性分散等弊端。

发明内容

本发明就是为了解决上述问题而进行的，其目的在于：得到能恰当地避免隔离耐压的降低而又没有结电容增加等弊端的半导体器件及其制造方法。

按照本发明，半导体器件包括：具有依次层叠了半导体衬底、绝缘层和第1导电类型的半导体层的结构的SOI衬底；在半导体层的主表面内局部地形成、具有用绝缘层夹持半导体层的一部分的底面的元件隔离绝缘膜；在由元件隔离绝缘膜规定的元件形成区内，在半导体层的主表面上局部地形成的栅结构；在元件形成区内，在从栅结构露出的部分的半导体层的主表面内形成、夹持栅结构的下方的沟道形成区而成对的凹部；以及在凹部的底面内形成、夹持沟道形成区而成对、其底面或者其耗尽层抵达绝缘层、与第1导电类型不同的第2导电类型的源、漏区。

按照本发明，通过形成凹部而将半导体层预先薄膜化以后，可形成源、漏区。从而，在位于元件隔离绝缘膜的底面与绝缘层的上表面之间的部分的第1导电类型的半导体层内，由于未注入第2导电类型的杂质，所以可避免隔离耐压降低。而且，由于源、漏区抵达绝缘层而形成，所以源、漏区的结电容也不会增加。

附图说明

图1是示出本发明的实施例1的半导体器件的结构的剖面图。

图2是对本发明的实施例1的半导体器件的制造方法示出其工序顺序的剖面图。

图3是对本发明的实施例1的半导体器件的制造方法示出其工序顺序的剖面图。

图4是对本发明的实施例1的半导体器件的制造方法示出其工序顺序的剖面图。

图5是对本发明的实施例1的半导体器件的制造方法示出其工序顺序的剖面图。

图6是对本发明的实施例1的半导体器件的制造方法示出其工序顺序的剖面图。

图7是对本发明的实施例1的半导体器件的制造方法示出其工序

顺序的剖面图。

图 8 是对本发明的实施例 1 的半导体器件的制造方法示出其工序顺序的剖面图。

图 9 是示出本发明的实施例 2 的半导体器件的结构的剖面图。

图 10 是对本发明的实施例 2 的半导体器件的制造方法示出其工序顺序的剖面图。

图 11 是对本发明的实施例 2 的半导体器件的制造方法示出其工序顺序的剖面图。

图 12 是对本发明的实施例 2 的半导体器件的制造方法示出其工序顺序的剖面图。

图 13 是对本发明的实施例 2 的半导体器件的制造方法示出其工序顺序的剖面图。

图 14 是对本发明的实施例 2 的半导体器件的制造方法示出其工序顺序的剖面图。

图 15 是对本发明的实施例 2 的半导体器件的制造方法示出其工序顺序的剖面图。

图 16 是示出本发明的实施例 2 的变例的半导体器件的制造方法的一道工序的剖面图。

图 17 是涉及本发明的实施例 3、放大示出图 7 所示的结构之中形成凹部的附近的结构的剖面图。

图 18 是涉及本发明的实施例 3、放大示出图 7 所示的结构之中形成凹部的附近的结构的剖面图。

图 19 是示出本发明的实施例 4 的半导体器件的结构的剖面图。

图 20 是对本发明的实施例 4 的半导体器件的制造方法示出其工序顺序的剖面图。

图 21 是对本发明的实施例 4 的半导体器件的制造方法示出其工序顺序的剖面图。

图 22 是对本发明的实施例 4 的半导体器件的制造方法示出其工序顺序的剖面图。

图 23 是对本发明的实施例 4 的半导体器件的制造方法示出其工序顺序的剖面图。

图 24 是对本发明的实施例 4 的半导体器件的制造方法示出其工序

顺序的剖面图。

图 25 是对本发明的实施例 4 的半导体器件的制造方法示出其工序顺序的剖面图。

图 26 是对本发明的实施例 4 的半导体器件的制造方法示出其工序顺序的剖面图。

图 27 是对本发明的实施例 4 的半导体器件的制造方法示出其工序顺序的剖面图。

图 28 是示出本发明的实施例 4 的变例的半导体器件的结构的剖面图。

图 29 是示出本发明的实施例 5 的半导体器件的结构的剖面图。

图 30 是示出本发明的实施例 5 的变例的半导体器件的结构的剖面图。

图 31 是示出本发明的实施例 6 的半导体器件的制造方法的一道工序的剖面图。

图 32 是对本发明的实施例 7 的半导体器件的制造方法示出其工序顺序的剖面图。

图 33 是对本发明的实施例 7 的半导体器件的制造方法示出其工序顺序的剖面图。

图 34 是对本发明的实施例 8 的半导体器件的制造方法示出其工序顺序的剖面图。

图 35 是对本发明的实施例 8 的半导体器件的制造方法示出其工序顺序的剖面图。

图 36 是对本发明的实施例 9 的半导体器件的制造方法示出其工序顺序的剖面图。

图 37 是对本发明的实施例 9 的半导体器件的制造方法示出其工序顺序的剖面图。

图 38 是对本发明的实施例 9 的半导体器件的制造方法示出其工序顺序的剖面图。

图 39 是示出本发明的实施例 10 的半导体器件的结构的剖面图。

图 40 是对本发明的实施例 10 的半导体器件的第 1 制造方法示出其工序顺序的剖面图。

图 41 是对本发明的实施例 10 的半导体器件的第 1 制造方法示出

其工序顺序的剖面图。

图 42 是涉及本发明的实施例 10、放大示出图 41 所示的结构之中形成凹部的附近的结构的剖面图。

图 43 是对本发明的实施例 10 的半导体器件的第 2 制造方法示出其工序顺序的剖面图。

图 44 是对本发明的实施例 10 的半导体器件的第 2 制造方法示出其工序顺序的剖面图。

图 45 是对本发明的实施例 11 的半导体器件的第 1 制造方法示出其工序顺序的剖面图。

图 46 是对本发明的实施例 11 的半导体器件的第 1 制造方法示出其工序顺序的剖面图。

图 47 是对本发明的实施例 11 的半导体器件的第 1 制造方法示出其工序顺序的剖面图。

图 48 是对本发明的实施例 11 的半导体器件的第 1 制造方法示出其工序顺序的剖面图。

图 49 是对本发明的实施例 11 的半导体器件的第 1 制造方法示出其工序顺序的剖面图。

图 50 是对本发明的实施例 11 的半导体器件的第 1 制造方法示出其工序顺序的剖面图。

图 51 是对本发明的实施例 11 的半导体器件的第 1 制造方法示出其工序顺序的剖面图。

图 52 是对本发明的实施例 11 的半导体器件的第 2 制造方法示出其工序顺序的剖面图。

图 53 是对本发明的实施例 11 的半导体器件的第 2 制造方法示出其工序顺序的剖面图。

图 54 是对本发明的实施例 11 的半导体器件的第 2 制造方法示出其工序顺序的剖面图。

图 55 是对本发明的实施例 11 的半导体器件的第 2 制造方法示出其工序顺序的剖面图。

图 56 是对本发明的实施例 11 的半导体器件的第 2 制造方法示出其工序顺序的剖面图。

图 57 是示出本发明的实施例 12 的半导体器件的制造方法的一道

工序的剖面图。

具体实施方式

实施例 1

图 1 是示出本发明的实施例 1 的半导体器件的结构的剖面图。SOI 衬底 4 具有依次层叠硅衬底 1、BOX (填埋氧化物) 层 2 和 p 型硅层 3 的结构。在硅层 3 的上表面内局部地形成所谓局部隔离型的元件隔离绝缘膜 5。元件隔离绝缘膜 5 的材料例如是氧化硅膜。硅层 3 的一部分被元件隔离绝缘膜 5 的底面和 BOX 层 2 的上表面夹持。

在由元件隔离绝缘膜 5 规定的元件形成区内，在硅层 3 的上表面上，局部地形成栅结构。栅结构具有：在硅层 3 的上表面上形成、由氧化硅膜构成的栅绝缘膜 6；在栅绝缘膜 6 上形成、由多晶硅构成的栅电极 7；在栅电极 7 的侧面形成、由氮化硅膜构成的侧壁 9；以及在栅电极 7 的上表面上形成的硅化钴层 8。位于栅结构的下方的部分的硅层 3 被规定为沟道形成区。这里，各部的材料不限定于上述的例子。栅绝缘膜 6 的材料可以是氮氧化硅膜或高介电常数电介质膜等。栅电极 7 的材料可以是钨、铝或钽等金属。侧壁 9 的材料可以是氧化硅膜和氮化硅膜的复合膜。也可以形成硅化镍层或硅化钛层等来代替硅化钴层 8。

在元件形成区内，在从栅结构露出的部分的硅层 3 的上表面内，夹持沟道形成区，形成成对的凹部 14。另外，在硅层 3 内，夹持沟道形成区，形成成对的、n 型的源、漏区 12。源、漏区 12 具有：在硅层 3 的上表面内形成得很浅、浓度较低的杂质导入区（也称为“扩展区”）10；以及形成得比杂质导入区 10 深、浓度较高的杂质导入区 11。杂质导入区 11 从凹部 14 的底面抵达 BOX 层 2 的上表面而形成。另外，在从栅结构露出的部分的源、漏区 12 的上表面上，形成硅化钴层 13。

在图 1 中示出了杂质导入区 11 的底面与 BOX 层 2 的上表面接触的结构，但也可以采用在杂质导入区 11 与硅层 3 的界面上形成的耗尽层抵达 BOX 层 2 的上表面的结构代替该结构。但是，从谋求结电容的降低的观点看，由于希望有杂质导入区 11 的底面与 BOX 层 2 的上表面接触的结构，所以在本说明书中就说明采用该结构的情况。

图 2~8 是对本发明的实施例 1 的半导体器件的制造方法示出其工序顺序的剖面图。参照图 2，利用熟知的 LOCOS 隔离技术或沟槽隔离技

术，在硅层 3 的上表面上局部地形成元件隔离绝缘膜 5。接着，利用热氧化法在硅层 3 的上表面上形成氧化硅膜 15。接着，利用 CVD 法在整个面上依次形成多晶硅膜 16 和氧化硅膜 17。

参照图 3，接着，利用照相制版法和各向异性干法刻蚀对多晶硅膜 16 和氧化硅膜 17 构图。由此形成多晶硅膜 19 和氧化硅膜 20。另外，刻蚀氧化硅膜 15 的一部分，形成氧化硅膜 18。

参照图 4，接着，通过利用离子注入法，经氧化硅膜 18 将 n 型杂质注入到硅层 3 的上表面内，形成杂质导入区 10。这时，为了抑制短沟道效应，也可以形成浓度较低的 p 型杂质层（一般称为“袋区”）。但是，为了简化说明，在以后的说明中，省略掉袋区。

参照图 5，接着，利用 CVD 法在整个面上形成氮化硅膜。接着，通过进行刻蚀，在多晶硅膜 19 和氧化硅膜 20 的侧面形成侧壁 9。

参照图 6，接着，在易刻蚀氧化硅膜而难刻蚀硅、多晶硅和氮化硅膜的条件下，进行刻蚀。由此，可除去氧化硅膜 20，露出多晶硅膜 19 的上表面。另外，从侧壁 9 和多晶硅膜 19 露出的部分的氧化硅膜 18 被除去，形成栅绝缘膜 6。再有，虽然在图面上没有出现，但利用该刻蚀工艺也可刻蚀掉一些元件隔离绝缘膜 5。

参照图 7，接着，在易刻蚀硅和多晶硅而难刻蚀氧化硅膜和氮化硅膜的条件下，进行各向异性干法刻蚀。由此，可将从栅绝缘膜 6 和元件隔离绝缘膜 5 露出的部分的硅层 3 刻蚀掉膜厚 D1 的部分，形成凹部 14。另外，一并刻蚀掉多晶硅膜 19 的上部，形成栅电极 7。被凹部 14 的底面和 BOX 层 2 的上表面夹持的部分的硅层 3 的膜厚为 D2。

参照图 8，接着，通过利用离子注入法将 n 型杂质注入到硅层 3 的上表面内，形成杂质导入区 11。该离子注入的注入能量的大小被设定为，使注入到凹部 14 的底面的杂质抵达硅层 3 的底面，而且使注入到元件隔离绝缘膜 5 的上表面的杂质不至穿通元件隔离绝缘膜 5。

另外，利用该离子注入，也一并将 n 型杂质注入到栅电极 7 内。由于多晶硅膜 19 被薄膜化而形成栅电极 7，所以杂质抵达栅电极 7 的深部，即与栅绝缘膜 6 的界面附近。其结果是，可抑制栅耗尽。通过抑制栅耗尽，可提高电流驱动能力。

其后，通过将栅电极 7 和源、漏区 12 的各上表面硅化物化，形成硅化钴层 8、13，得到图 1 所示的结构。

这样，按照本实施例 1 的半导体器件及其制造方法，通过形成凹部 14 预先使硅层 3 薄膜化以后，利用离子注入法形成杂质导入区 11。从而，由于 n 型杂质未被注入到位于元件隔离绝缘膜 5 的底面与 BOX 层 2 的上表面之间的部分的 p 型硅层 3 内，所以可避免隔离耐压降低。而且，由于杂质导入区 11 抵达 BOX 层 2 的上表面而形成，所以也不会增加源、漏区 12 的结电容。

另外，利用形成凹部 14 的干法刻蚀，在硅层 3 内形成缺陷。由于该缺陷具有寿命杀手的功能，所以这是使用了 SOI 衬底的半导体器件所特有的问题。也可抑制衬底浮置效应的发生。

再有，在本实施例 1 中，虽然举 NMOS 晶体管为例进行了说明，但即使是 PMOS 晶体管的情形，或者是混合连接了 NMOS 晶体管和 PMOS 晶体管的 CMOS 晶体管的情形，也可得到与上述同样的效果。后述的其它实施例也是同样的。

实施例 2

图 9 是示出本发明的实施例 2 的半导体器件的结构的剖面图。侧壁 9 的底面位于栅绝缘膜 6 的底面的下方。即，形成侧壁 9 的部分的硅层 3 的膜厚比形成栅绝缘膜 6 的部分的硅层 3 的膜厚要薄。

图 10~15 是对本实施例 2 的半导体器件的制造方法示出其工序顺序的剖面图。首先，利用与上述实施例 1 同样的方法，得到图 2 所示的结构。

参照图 10，接着，利用照相制版法和各向异性干法刻蚀，对氧化硅膜 15、多晶硅膜 16 和氧化硅膜 17 构图。由此形成栅绝缘膜 6、多晶硅膜 19 和氧化硅膜 20。另外，利用过刻蚀，将从栅绝缘膜 6 和元件隔离绝缘膜 5 露出的部分的硅层 3 刻蚀掉膜厚 D3 的部分，从而形成凹部 21。

参照图 11，接着，利用离子注入法，将 n 型杂质注入到硅层 3 的上表面内，从而形成杂质导入区 10。杂质导入区 10 在凹部 21 的底面内形成。用于形成杂质导入区 10 的离子注入的注入能量在本实施例 2 与上述实施例 1 中是相同的。

参照图 12，接着，利用 CVD 法在整个面上形成氮化硅膜后再进行深刻蚀，从而形成侧壁 9。侧壁 9 与栅绝缘膜 6、多晶硅膜 19 和氧化硅膜 20 的各侧面相接，在凹部 21 的底面上形成。

参照图 13，接着，在易刻蚀氧化硅膜而难刻蚀硅、多晶硅和氮化硅膜的条件下，进行刻蚀。由此，可除去氧化硅膜 20，露出多晶硅膜 19 的上表面。

参照图 14，接着，在易刻蚀硅和多晶硅而难刻蚀氧化硅膜和氮化硅膜的条件下，进行各向异性干法刻蚀。由此，可将从侧壁 9、栅绝缘膜 6 和元件隔离绝缘膜 5 露出的部分的硅层 3 刻蚀掉膜厚 D1 的部分，形成凹部 14。另外，一并刻蚀掉多晶硅膜 19 的上部，形成栅电极 7。被凹部 14 的底面和 BOX 层 2 的上表面夹持的部分的硅层 3 的膜厚 D4 比图 7 所示的膜厚 D2 薄一个膜厚 D3 的部分。

参照图 15，接着，与上述实施例 1 一样，通过利用离子注入法将 n 型杂质注入到硅层 3 的上表面内，形成杂质导入区 11。如上所述，本实施例 2 的硅层 3 的膜厚 D4 比上述实施例 1 的硅层 3 的膜厚 D2 薄。从而，在本实施例 2 中，可使形成杂质导入区 11 的离子注入的注入能量低于上述实施例 1 中的注入能量。

其后，通过将栅电极 7 和源、漏区 12 的各上表面硅化物化，形成硅化钴层 8、13，得到图 9 所示的结构。

这样，按照本实施例 2 的半导体器件及其制造方法，可使形成杂质导入区 11 的离子注入的注入能量低于上述实施例 1 中的注入能量。因此，与上述实施例 1 相比，能够可靠地避免注入到元件隔离绝缘膜 5 的上表面的杂质穿通元件隔离绝缘膜 5。

图 16 是示出本实施例 2 的变例的半导体器件的制造方法的一道工序的剖面图。在图 14 所示的工序中，硅层 3 被刻蚀掉一个膜厚 D1 的部分，但如图 16 所示，通过将硅层 3 刻蚀掉一个膜厚 D5 (< D1) 的部分，可形成凹部 22。被凹部 22 的底面和 BOX 层 2 的上表面夹持的部分的硅层 3 的膜厚与图 7 所示的膜厚 D2 相等。

这样，按照本实施例 2 的变例的半导体器件及其制造方法，可使成对的杂质导入区 11 彼此的间隔保持与上述实施例 1 相同的程度。因此，与图 9 所示的结构相比，可抑制短沟道效应的影响。

另外，与上述实施例 1 相比，杂质导入区 10 被形成为深达膜厚 D3 的部分。因此，可使杂质导入区 10 与杂质导入区 11 相互重合的程度大于上述实施例 1。其结果是，比起上述实施例 1，可减少源、漏区 12 的寄生电阻。

实施例 3

图 17、18 是放大示出图 7 所示的结构之中形成凹部 14 的附近的结构的剖面图。参照图 17，形成栅绝缘膜 6 的部分的硅层 3 的上表面与凹部 14 的侧面的夹角 α 大于 90 度。角度 α 可利用添加到 C_l 或 HBr 等刻蚀气体中的 O₂ 气的量进行调整。

这样，通过设定角度 α 大于 90 度，在图 1 所示的结构中，硅化钴层 13 与沟道形成区之间的距离可保持得较长。其结果是，可降低流过硅化钴层 13 与沟道形成区之间的结漏泄电流。

另外，参照图 17，从硅层 3 的上表面至凹部 14 的底面的深度（膜厚 D₁）比起从硅层 3 的上表面至杂质导入区 10 的底面的深度 D₆ 要浅。凹部 14 的深度可通过刻蚀时间进行调整。

这样，通过设定为 D₁<D₆，可抑制起因于凹部 14 的形成而使杂质导入区 10 的寄生电阻增加。

参照图 18，凹部 14 的端部可潜入栅绝缘膜 6 的端部的下方。例如，通过利用各向同性刻蚀刻蚀硅层 3，可得到这样的结构。

这样，通过潜入栅结构的端部的下方形成凹部 14，可更接近于沟道形成区形成具有寿命杀手的功能的缺陷。其结果是，可更加有效地抑制衬底浮置效应的发生。

实施例 4

图 19 是示出本发明的实施例 4 的半导体器件的结构的剖面图。在 SOI 衬底 4 内，形成 NMOS 晶体管和 PMOS 晶体管。NMOS 晶体管包括 p 型硅层 3₁、栅绝缘膜 6₁、栅电极 7₁、硅化钴层 8₁、13₁、侧壁 9₁ 和 n 型的源、漏区 12₁。源、漏区 12₁ 有杂质导入区 10₁、11₁。对于 NMOS 晶体管，与上述实施例 1 一样，采用在凹部 14₁ 的底面内形成了源、漏区 12₁ 的结构（以下，在本说明书中称为“凹陷源、漏结构”）。

如上述实施例 1 中所述，当采用凹陷源、漏结构时，可抑制衬底浮置效应的发生。一般地说，衬底浮置效应以 NMOS 晶体管一方比 PMOS 晶体管一方更成问题。因此，通过在 NMOS 晶体管中采用凹陷源、漏结构，对于 NMOS 晶体管，可抑制衬底浮置效应的发生。

另外，当采用凹陷源、漏结构时，通过将沟道形成区拉到硅化钴层 13₁，在硅层 3₁ 内部发生的应力比没有采用凹陷源、漏结构时增加。其结果是，由于载流子的迁移率增加，所以通过对 NMOS 晶体管采用凹陷

源、漏结构，可提高电流驱动能力。

PMOS 晶体管包括 n 型硅层 3₂、栅绝缘膜 6₂、栅电极 7₂、硅化钴层 8₂、13₂、侧壁 9₂和 p 型的源、漏区 12₂。源、漏区 12₂有杂质导入区 10₂、11₂。对于 PMOS 晶体管，未采用凹陷源、漏结构，而是与现有的半导体器件一样，采用在硅层 3₂的上表面内形成了杂质导入区 10₂、11₂的通常的源、漏结构。

未采用凹陷源、漏结构的情形如与采用了凹陷源、漏结构的情形相比，特别是在硅层 3 的深部，可加宽成对的杂质导入区 11 彼此的间隔。因此，可抑制短沟道效应的发生。一般地说，短沟道效应以 PMOS 晶体管一方比 NMOS 晶体管一方更成问题。因此，在晶体管的性能比隔离耐压优先的情况下，通过对 PMOS 晶体管不采用凹陷源、漏结构，对于 PMOS 晶体管，可改善短沟道效应。

另外，如上所述，当采用凹陷源、漏结构时，通过将沟道形成区拉到硅化钴层 13，在硅层 3 内部发生的应力增加。对于 PMOS 晶体管，与 NMOS 晶体管相反，当上述应力增加时，载流子的迁移率降低了。因此，通过对 PMOS 晶体管不采用凹陷源、漏结构，可避免电流驱动能力降低。

在 NMOS 晶体管与 PMOS 晶体管之间，底面的一部分抵达 BOX 层 2 的上表面的所谓完全隔离型的元件隔离绝缘膜 23 形成。由此，NMOS 晶体管与 PMOS 晶体管在电学上相互隔离。通过采用该隔离结构，可抑制闩锁效应。该隔离结构也可应用于其它全部的实施例。

图 20~27 是对本实施例 4 的半导体器件的制造方法示出其工序顺序的剖面图。参照图 20，利用热氧化法，在硅层 3₁、3₂的上表面上行成氧化硅膜 15。接着，利用 CVD 法，在整个面上形成多晶硅膜 16。

参照图 21，接着，利用照相制版法和各向异性干法刻蚀，对多晶硅膜 16 构图。由此形成多晶硅膜 19₁和栅电极 7₂。另外，氧化硅膜 15 的一部分被刻蚀，形成氧化硅膜 18₁、18₂。

参照图 22，接着，利用照相制版法和离子注入法，将 n 型杂质经氧化硅膜 18₁注入到硅层 3₁的上表面内，从而形成杂质导入区 10₁。接着，利用照相制版法和离子注入法，将 p 型杂质经氧化硅膜 18₂注入到硅层 3₂的上表面内，从而形成杂质导入区 10₂。

参照图 23，接着，利用 CVD 法在整个面上形成氮化硅膜后再进行深刻蚀。由此，在多晶硅膜 19₁的侧面形成侧壁 9₁，同时在栅电极 7₂

的侧面形成侧壁 9₂。另外，还形成栅绝缘膜 6₁、6₂。

参照图 24，接着，利用照相制版法，覆盖 PMOS 晶体管的预定形成区，形成光致抗蚀剂 24。

参照图 25，接着，将光致抗蚀剂用作刻蚀掩模，在易刻蚀硅和多晶硅而难刻蚀氧化硅膜和氮化硅膜的条件下，进行各向异性干法刻蚀。由此，可将从光致抗蚀剂 24、栅绝缘膜 6₁ 和元件隔离绝缘膜 5、23 露出的部分的硅层 3₁ 刻蚀掉，形成凹部 14₁。另外，一并刻蚀掉多晶硅膜 19₁ 的上部，形成栅电极 7₁。

参照图 26，接着，通过将光致抗蚀剂 24 用作注入掩模，利用离子注入法将 n 型杂质注入到硅层 3₁ 的上表面内，形成杂质导入区 11₁。n 型杂质也被注入到栅电极 7₁ 内。其后，除去光致抗蚀剂 24。

参照图 27，接着，利用照相制版法，覆盖 NMOS 晶体管的预定形成区，形成光致抗蚀剂 25。接着，通过将光致抗蚀剂 25 用作注入掩模，利用离子注入法，将 p 型杂质注入到硅层 3₂ 的上表面内，形成杂质导入区 11₂。p 型杂质也被注入到栅电极 7₂ 内。其后，除去光致抗蚀剂 25。

其后，通过将栅电极 7₁、7₂ 和源、漏区 12₁、12₂ 的各上表面硅化物化，形成硅化钴层 8₁、8₂、13₁、13₂，得到图 19 所示的结构。

图 28 是示出本实施例 4 的变例的半导体器件的结构的剖面图。对于 PMOS 晶体管，与上述实施例 1 一样，采用在凹部 14₂ 的底面内形成了源、漏区 12₂ 的凹陷源、漏结构。

如上述实施例 1 中所述，通过采用凹陷源、漏结构使栅多晶硅薄膜化，可抑制栅耗尽。一般地说，栅耗尽以 PMOS 晶体管的一方比 NMOS 晶体管的一方更成问题。因此，通过对 PMOS 晶体管采用凹陷源、漏结构，可有效地抑制 PMOS 晶体管的栅耗尽。

对于 NMOS 晶体管，未采用凹陷源、漏结构，而与现有的半导体器件一样，采用通常的源、漏结构。

未采用凹陷源、漏结构的情形如与采用了凹陷源、漏结构的情形相比，则减小了源、漏区 12 的寄生电阻。正因为未形成凹部 14 的部分，可避免杂质导入区 10₂、11₂ 的面积的缩小。一般地说，对于要求高速工作的逻辑电路等，NMOS 晶体管比 PNOS 晶体管用得多。通过不对 NMOS 晶体管采用凹陷源、漏结构，可避免因源、漏区 12 的寄生电阻的增加而使工作速度降低。

再有，在图 19、28 中，示出了仅在 MOS 晶体管和 PMOS 晶体管中的某一方采用凹陷源、漏结构的情形，但在 MOS 晶体管和 PMOS 晶体管双方均采用凹陷源、漏结构也没有关系。

实施例 5

图 29 是示出本发明的实施例 5 的半导体器件的结构的剖面图。在 SOI 衬底 4 内，形成以较低的电源电压（例如 1.0V）工作的 MOS 晶体管（以下称为“低电压工作晶体管”）和以较高的电源电压（例如 3.3V）工作的 MOS 晶体管（以下称为“高电压工作晶体管”）。低电压工作晶体管例如是构成 CPU 芯的晶体管。高电压工作晶体管例如是构成输入输出电路的晶体管。

低电压工作晶体管包括栅绝缘膜 6、栅电极 7、硅化钴层 8、13、侧壁 9 和源、漏区 12。源、漏区 12 有杂质导入区 10、11。对于低电压工作晶体管，采用凹陷源、漏结构。

通过采用凹陷源、漏结构，对于低电压工作晶体管，可抑制衬底浮置效应的发生和隔离耐压的降低。

高电压工作晶体管包括栅绝缘膜 30、栅电极 31、硅化钴层 32、37、侧壁 33 和源、漏区 36。源、漏区 36 有杂质导入区 34、35。对于高电压工作晶体管，不采用凹陷源、漏结构。

作为一例，低电压工作晶体管的栅长度为 80nm 左右，与之相对照，高电压工作晶体管的栅长度为 0.4 μm 左右。即，高电压工作晶体管与低电压工作晶体管相比，其栅长度要长。从而，对于高电压工作晶体管，通过增厚元件隔离绝缘膜 5 的膜厚，加大元件隔离绝缘膜 5 的上表面与硅层 3 的上表面的台阶差，可抑制隔离耐压的降低。即使因上述台阶差而栅电极 31 的尺寸发生变化，毕竟由于栅长度长，很少影响到因尺寸的变化而造成工作速度的降低及特性的分散。

另外，SOI 衬底 4 的上表面之中输入输出电路所占据的面积比起 CPU 芯所占据的面积要小得多。从而，对于输入输出电路即使将设计规则设定得较大，对 IC 芯片的大型化的影响也较小。在将设计规则设定得较大时，由于元件隔离绝缘膜 5 的隔离长度也加长，所以即使不采用凹陷源、漏结构，也能确保所希望的隔离耐压。

如上所述，在增厚元件隔离绝缘膜 5 的膜厚，同时可将设计规则设定得较大的情况下，可以对高电压工作晶体管不采用凹陷源、漏结构，

而仅对低电压工作晶体管采用凹陷源、漏结构。如上所述，由于不采用凹陷源、漏结构，可避免因寄生电阻的增加而造成工作速度的降低。

图 30 是示出本实施例 5 的变例的半导体器件的结构的剖面图。对于高电压工作晶体管，采用在凹部 38 的底面内形成了源、漏区 36 的凹陷源、漏结构。

对于输入输出电路，也有在增厚元件隔离绝缘膜 5 的膜厚的同时，不可将设计规则设定得较大的情况。在这样的情况下，高电压工作晶体管与低电压工作晶体管相比，要求高的隔离耐压。这是因为与低电压工作晶体管相比，对高电压工作晶体管施加高的电源电压的缘故。从而，在这种情况下，由于对高电压工作晶体管采用凹陷源、漏结构，所以可提高隔离耐压。

另一方面，对低电压工作晶体管不采用凹陷源、漏结构，而采用通常的源、漏结构，

如上所述，在不采用凹陷源、漏结构的情况下，正因为未形成凹部 14 的部分，源、漏区 12 的寄生电阻减小。从而，对要求高速工作的 CPU 芯，由于在低电压工作晶体管中不采用凹陷源、漏结构，所以可避免因寄生电阻的增加而造成工作速度的降低。

再有，在图 29、30 中，示出了仅在低电压工作晶体管和高电压工作晶体管中的某一方采用凹陷源、漏结构的情况下，但在低电压工作晶体管和高电压工作晶体管双方采用凹陷源、漏结构也没有关系。

仅在低电压工作晶体管和高电压工作晶体管中的某一方采用凹陷源、漏结构的情况下，与上述实施例 4 一样，也可采用光致抗蚀剂 24、25，制成源、漏区的结构。

另外，在 NMOS 结构的低电压晶体管和 PMOS 结构的低电压晶体管混合在一起的情况下，与上述实施例 4 一样，也可仅对 NMOS 和 PMOS 的一方的晶体管采用凹陷源、漏结构。NMOS 结构的高电压晶体管和 PMOS 结构的高电压晶体管混合在一起的情况也是一样的。

实施例 6

图 31 是示出本发明的实施例 6 的半导体器件的制造方法的一道工序的剖面图。在上述实施例 1 等中，在除去在多晶硅膜 19 上形成的氧化硅膜 20 之后，进行了用于形成凹部 14 的刻蚀。因此，如图 7 所示，利用刻蚀使多晶硅膜 19 薄膜化的结果是，形成了栅电极 7。

与此相对照，在本实施例 6 中，如图 31 所示，在多晶硅膜 19 上，不形成氧化硅膜 20，而形成氮化硅膜 40。于是，在图 6 所示的工序中，由于氮化硅膜 40 未被刻蚀，所以在用于形成凹部 14 的刻蚀工序中，由于氮化硅膜 40 具有作为刻蚀掩模的功能，所以多晶硅膜 19 未被刻蚀。从而，多晶硅膜 19 仍原封不动地为栅电极。

在用于形成杂质导入区 11 的离子注入工序（图 8）中，也隔着氮化硅膜 40 向多晶硅膜 19 内离子注入杂质。

这样，按照本实施例 6 的半导体器件及其制造方法，与上述实施例 1 相比，栅电极的膜厚增厚。从而，在用于形成杂质导入区 11 的离子注入工序中，可抑制注入到多晶硅膜 19 内的杂质穿通多晶硅膜 19，到达栅绝缘膜 6 及沟道形成区。其结果是，可抑制源于杂质的穿通的阈值电压的变动。

另外，由于多晶硅膜 19 的膜厚原本就是栅电极的膜厚，所以与上述实施例 1 等相比，栅电极的膜厚变得容易控制。

本实施例 6 的凹陷源、漏结构也可应用于其它的全部实施例。

实施例 7

图 32、33 是对本发明的实施例 7 的半导体器件的制造方法示出其工序顺序的剖面图。参照图 32，在得到图 31 所示的结构后，利用 CVD 法在整个面上形成氮化硅膜或氧化硅膜。接着，通过对该氮化硅膜或氧化硅膜进行刻蚀，形成侧壁 41、42。侧壁 41 与侧壁 9 的侧面相接，在凹部 14 的底面上形成。侧壁 42 与元件隔离绝缘膜 5 的侧面相接，在凹部 14 的底面上形成。

参照图 33，接着，利用离子注入法形成杂质导入区 11。接着，通过使源、漏区 12 的上表面硅化物化，形成硅化钴层 43。硅化钴层 43 在从侧壁 41、42 露出的部分的凹部 14 的底面上形成。

再有，在以上的说明中，以上述实施例 6 为基础叙述本实施例 7 的半导体器件的制造方法，但本实施例 7 的发明可应用于其它的全部实施例。

另外，在形成侧壁 41 后形成杂质导入区 11，但与之相反，也可在形成杂质导入区后形成侧壁 41。

此外，在元件隔离绝缘膜 5 的上表面与凹部 14 的底面的台阶差小的情况下，也往往不形成侧壁 42。

另外，在本实施例 7 的半导体器件的制造方法包括硅化物保护膜的形成工序（硅化物保护工序）的情况下，可形成侧壁 41、42 作为硅化物保护膜的一部分。硅化物保护工序是不进行硅化物化而形成高阻多晶硅膜的工序。在硅化物保护工序中，通过一并形成侧壁 41、42，可防止制造工序数的增加。

这样，按照本实施例 7 的半导体器件及其制造方法，因为形成侧壁 41，加长了硅化钴层 43 与沟道形成区之间的距离。其结果是，可减少流过硅化钴层 43 与沟道形成区之间的结漏泄电流。

另外，因为形成侧壁 42，加长了硅化钴层 43 与位于元件隔离绝缘膜 5 的下方的部分的硅层 3 之间的距离。其结果是，可减少流过硅化钴层 43 与该部分硅层 3 之间的结漏泄电流。

实施例 8

图 34、35 是对本发明的实施例 8 的半导体器件的制造方法示出其工序顺序的剖面图。参照图 34，在得到图 8 所示的结构后，利用选择外延生长法在栅电极 7 上和源、漏区 12 上分别形成硅层 50、51。接着，利用离子注入法，以高浓度将 n 型杂质注入到硅层 50、51 内。

参照图 35，接着，通过对硅层 50、51 的各上表面硅化物化，形成硅化钴层 52、53。由于将 n 型杂质注入到硅层 50、51 内，所以降低了硅层 50、51 与硅化钴层 52、53 的接触电阻。

这样，按照本实施例 8 的半导体器件及其制造方法，硅化钴层 53 在形成于源、漏区 12 的硅层 51 上形成。从而，为了加长硅化钴层 53 与沟道形成区之间的距离，可减少在两者之间流过的结漏泄电流。

实施例 9

图 36~38 是对本发明的实施例 9 的半导体器件的制造方法示出其工序顺序的剖面图。参照图 36，在得到图 4 所示的结构后，利用 CVD 法在整个面上形成氮化硅膜 60。接着，利用照相制版法，在位于元件隔离绝缘膜 5 的上方的部分的氮化硅膜 60 上形成光致抗蚀剂 61。

参照图 37，接着，应用光致抗蚀剂 61 作为刻蚀掩模，利用各向异性干法刻蚀来刻蚀氮化硅膜 60。由此，在形成侧壁 9 的同时，在元件隔离绝缘膜 5 上形成氮化硅膜 62。接着，除去光致抗蚀剂 61。

参照图 38，接着，除去氧化硅膜 20 以及从侧壁 9 和多晶硅膜 19 露出的部分的氧化硅膜 18。接着，通过刻蚀从栅绝缘膜 6 和元件隔离

绝缘膜 5 露出的部分的硅层 3，形成凹部 14。另外，通过一并刻蚀多晶硅膜 19 的上部，形成栅电极 7。其后，依次执行图 8 所示的工序以后的工序。

这样，按照本实施例 9 的半导体器件及其制造方法，通过将在元件隔离绝缘膜 5 上形成了氮化硅膜 62 的结构与凹陷源、漏结构组合起来，可有效地抑制隔离耐压的降低。即，在形成侧壁 9 的工序中，通过在元件隔离绝缘膜 5 上一并形成氮化硅膜 62，实质上增厚了元件隔离绝缘膜 5 的膜厚。因此，在用于形成杂质导入区 11 的离子注入工序中，可进一步抑制 n 型杂质穿通元件隔离绝缘膜 5，注入到硅层 3 内。

再有，在图 37 中，示出了整体在元件隔离绝缘膜 5 上形成的、窄的氮化硅膜 62，但也可形成端部在氧化硅膜 18 上形成的、宽的氮化硅膜 62。这时，由于杂质导入区 11 的面积减小，所以可减少结电容。

实施例 10

图 39 是示出本发明的实施例 10 的半导体器件的结构的剖面图。以图 1 所示的上述实施例 1 的半导体器件为基础，在硅层 3 的上表面内还形成 n 型杂质导入区 70。即，源、漏区 12 均具有 n 型杂质导入区 10、11、70。

图 40、41 是对本实施例 10 的半导体器件的第 1 制造方法示出其工序顺序的剖面图。首先，采用与上述实施例 1 同样的方法，得到图 6 所示的结构。

参照图 40，接着，通过利用离子注入法，在能量为 1~30KeV 左右、浓度为 $1 \times 10^{15} / \text{cm}^2$ 左右的条件下，将砷等 n 型杂质注入到硅层 3 的上表面内，形成杂质导入区 70。

参照图 41，接着，在易刻蚀硅和多晶硅而难刻蚀氧化硅膜和氮化硅膜的条件下，进行各向异性干法刻蚀。由此，可将从栅绝缘膜 6 和元件隔离绝缘膜 5 露出的部分的硅层 3 刻蚀掉膜厚 D1 的部分，形成凹部 14。另外，一并刻蚀掉多晶硅膜 19 的上部，形成栅电极 7。其后，执行图 8 所示的工序以后的工序，完成半导体器件。

图 42 是放大示出图 41 所示的结构之中形成凹部的附近的结构的剖面图。从硅层 3 的上表面至杂质导入区 70 的底面的深度 D7 比从硅层 3 的上表面至杂质导入区 10 的底面的深度 D6 深。另外，从硅层 3 的上表面至凹部 14 的底面的深度（膜厚 D1）比深度 D7 浅。在图 41

所示的工序中，对刻蚀进行控制，使得膜厚 D1 小于深度 D7。再有，在图 42 中示出了膜厚 D1 小于深度 D6 的结构，但在本实施例 10 中，膜厚 D1 也可以大于深度 D6。

图 43、44 是对本实施例 10 的半导体器件的第 2 制造方法示出其工序顺序的剖面图。首先，采用与上述实施例 1 同样的方法，得到图 7 所示的结构。

参照图 43，接着，通过利用离子注入法，在能量为 $1\sim30\text{KeV}$ 左右、浓度为 $1\times10^{15}/\text{cm}^2$ 左右的条件下，将砷等 n 型杂质 71 注入到硅层 3 内，形成杂质导入区 70。杂质 71 的注入方向相对于 SOI 衬底 4 的上表面的法线方向倾斜 30 度左右。

参照图 44，接着，与图 8 所示的工序一样，通过将 n 型杂质离子注入到硅层 3 的上表面内，形成杂质导入区 11。其后，通过将栅电极 7 和源、漏区 12 的各上表面硅化物化，完成半导体器件。

这样，按照本实施例 10 的半导体器件及其制造方法，通过增加杂质导入区 70，可进一步抑制起因于凹部 14 的形成而导致源、漏区 12 的寄生电阻增加。

另外，在图 41 所示的工序中，由于对刻蚀进行控制，使得膜厚 D1 不是深度 D6，而是小于深度 D7，所以与上述实施例 1 相比，可将凹部 14 形成得较深。因此，可将杂质导入区 11 的形成工序（图 8、44）中的离子注入能量设定为比上述实施例 1 低。从而，与上述实施例 1 相比，能可靠地避免将 n 型杂质注入到位于元件隔离绝缘膜 5 的底面与 BOX 层 2 的上表面之间的部分的 p 型硅层 3 内，其结果是，能更加可靠地避免隔离耐压降低。

此外，利用用于形成杂质导入区 70 的离子注入，n 型杂质也被同时注入到栅电极 7 内。其结果是，由于进一步抑制了栅耗尽，可进一步提高电流驱动能力。

再有，即使不增加杂质导入区 70，在上述实施例 1 中，通过将从硅层 3 的上表面至杂质导入区 10 的底面的深度 D6 设定得较大，也可抑制源、漏区 12 的寄生电阻的增加。然而，深度 D6 的值决定性地影响了短沟道效应，深度 D6 越大，短沟道效应的影响就变得越大。从而，在上述实施例 1 中，不希望将深度 D6 设定得较大。与此相对照，

按照本实施例 10 的半导体器件及其制造方法，由于无需将深度 D6

设定得较大，所以可避免短沟道效应的影响增大。

以上叙述了将本实施例 10 的发明应用于上述实施例 1 的例子，但本实施例 10 的发明也可应用于其它的全部实施例。

实施例 11

在上述实施例 10 中，叙述了仅形成 NMOS 晶体管的例子，但在本实施例 11 中，却对将上述实施例 10 的发明应用于 CMOS 晶体管的形成时的制造方法进行说明。

图 45~51 是对本发明的实施例 11 的半导体器件的第一制造方法示出其工序顺序的剖面图。首先，采用与上述实施例 4 同样的方法，得到图 24 所示的结构。

参照图 45，接着，通过用光致抗蚀剂 24 作为注入掩模，利用离子注入法，将 n 型杂质注入到硅层 3₁ 的上表面内，形成杂质导入区 70₁。

参照图 46，接着，用光致抗蚀剂 24 作为刻蚀掩模，在易刻蚀硅和多晶硅而难刻蚀氧化硅膜和氮化硅膜的条件下，进行各向异性干法刻蚀。由此，可刻蚀掉从光致抗蚀剂 24、栅绝缘膜 6₁ 和元件隔离绝缘膜 5、23 露出的部分的硅层 3₁，形成凹部 14₁。另外，一并刻蚀掉多晶硅膜 19₁ 的上部，形成栅电极 7₁。

参照图 47，接着，通过用光致抗蚀剂 24 作为注入掩模，利用离子注入法，将 n 型杂质注入到硅层 3₁ 的上表面内，形成杂质导入区 11₁。n 型杂质也被注入到栅电极 7₁ 内。

参照图 48，接着，除去光致抗蚀剂 24。接着，利用照相制版法覆盖 NMOS 晶体管的预定形成区，形成光致抗蚀剂 25。

参照图 49，接着，通过用光致抗蚀剂 25 作为注入掩模，利用离子注入法，将 p 型杂质注入到硅层 3₂ 的上表面内，形成杂质导入区 70₂。

参照图 50，接着，用光致抗蚀剂 25 作为刻蚀掩模，在易刻蚀硅和多晶硅而难刻蚀氧化硅膜和氮化硅膜的条件下，进行各向异性干法刻蚀。由此，可刻蚀掉从光致抗蚀剂 25、栅绝缘膜 6₂ 和元件隔离绝缘膜 5、23 露出的部分的硅层 3₂，形成凹部 14₂。另外，一并刻蚀掉多晶硅膜 19₂ 的上部，形成栅电极 7₂。

参照图 51，接着，通过用光致抗蚀剂 25 作为注入掩模，利用离子注入法，将 p 型杂质注入到硅层 3₂ 的上表面内，形成杂质导入区 11₂。p 型杂质也被注入到栅电极 7₂ 内。

其后，在除去光致抗蚀剂 25 后，通过将栅电极 7₁、7₂ 和源、漏区 12₁、12₂ 的各上表面硅化物化，完成半导体器件。

图 52~56 是对本实施例 11 的半导体器件的第 2 制造方法示出其工序顺序的剖面图。首先，采用与上述实施例 4 同样的方法，得到图 23 所示的结构。

参照图 52，接着，利用照相制版法，覆盖 PMOS 晶体管的预定形成区，形成光致抗蚀剂 24₁。接着，通过用光致抗蚀剂 24₁ 作为注入掩模，利用离子注入法，将 n 型杂质注入到硅层 3₁ 的上表面内，形成杂质导入区 70₁。

参照图 53，接着，除去光致抗蚀剂 24₁。接着，利用照相制版法，覆盖 NMOS 晶体管的预定形成区，形成光致抗蚀剂 25₁。接着，通过用光致抗蚀剂 25₁ 作为注入掩模，利用离子注入法，将 p 型杂质注入到硅层 3₂ 的上表面内，形成杂质导入区 70₂。

参照图 54，接着，除去光致抗蚀剂 25₁。接着，在易刻蚀硅和多晶硅而难刻蚀氧化硅膜和氮化硅膜的条件下，进行各向异性干法刻蚀。由此，可刻蚀掉从栅绝缘膜 6₁、6₂ 和元件隔离绝缘膜 5、23 露出的部分的硅层 3₁、3₂，形成凹部 14₁、14₂。另外，一并刻蚀掉多晶硅膜 19₁、19₂ 的上部，形成栅电极 7₁、7₂。

参照图 55，接着，利用照相制版法，覆盖 PMOS 晶体管的预定形成区，形成光致抗蚀剂 24₂。接着，通过用光致抗蚀剂 24₂ 作为注入掩模，利用离子注入法，将 n 型杂质注入到硅层 3₁ 的上表面内，形成杂质导入区 11₁。

参照图 56，接着，除去光致抗蚀剂 24₂。接着，利用照相制版法，覆盖 NMOS 晶体管的预定形成区，形成光致抗蚀剂 25₂。接着，通过用光致抗蚀剂 25₂ 作为注入掩模，利用离子注入法，将 p 型杂质注入到硅层 3₂ 的上表面内，形成杂质导入区 11₂。

其后，除去光致抗蚀剂 25₂ 后，通过将栅电极 7₁、7₂ 和源、漏区 12₁、12₂ 的各上表面硅化物化，完成半导体器件。

按照本实施例 11 的半导体器件的第 1 制造方法，在图 45~51 所示的工序内，照相制版工序总共 1 次就够了。因此，与在图 52~56 所示的工序内照相制版工序总共需 4 次的上述第 2 制造方法相比，取得了可削减制造工序数的效果。

另一方面，按照本实施例 11 的半导体器件的第 2 制造方法，利用图 54 所示的 1 次刻蚀工序，同时形成凹部 14₁、14₂。因此，与利用 2 次刻蚀工序形成凹部 14₁、14₂ 的上述第 1 制造方法相比，可减少与刻蚀相伴的、在刻蚀室内发生的灰尘。其结果是，取得了可提高成品率的效果。另外，在与受到刻蚀和离子注入双方影响的光致抗蚀剂 24、25 相比时，仅受离子注入影响的光致抗蚀剂 24₂、25₂ 取得了容易通过灰化而除去的效果。

实施例 12

图 57 是示出本发明的实施例 12 的半导体器件的制造方法的一道工序的剖面图。首先，采用与上述实施例 1 同样的方法，得到图 6 所示的结构。

其次，利用离子注入法，将硅离子 80 注入到凹部 14 的预定形成区的硅层内。注入浓度为 $10^{15}/\text{cm}^2$ 的量级。但是，也可不注入硅离子 80，而注入氩离子或锗离子等。由此，凹部 14 的预定形成区中的硅层 3 被无定形化，形成无定形硅区 81。由于利用离子注入法形成无定形硅区 81，所以从硅层 3 的上表面到无定形硅区 81 的底面的深度在晶片面内是均匀的。其后，依次执行图 7 所示的工序以后的工序。

这样，按照本实施例 12 的半导体器件的制造方法，在将凹部 14 的预定形成区中的硅层 3 无定形化以后，通过刻蚀掉无定形硅区 81，形成凹部 14。无定形硅区 81 与硅层 3 的其它部分（即单晶硅区）相比，刻蚀速率要高得多。从而，无定形硅区 81 与单晶硅区的刻蚀速率之差可使晶片面内凹部 14 的深度变得均匀。

以上叙述了将本实施例 12 的发明应用于上述实施例 1 的例子，但本实施例 12 的发明也可应用于其它的全部实施例。

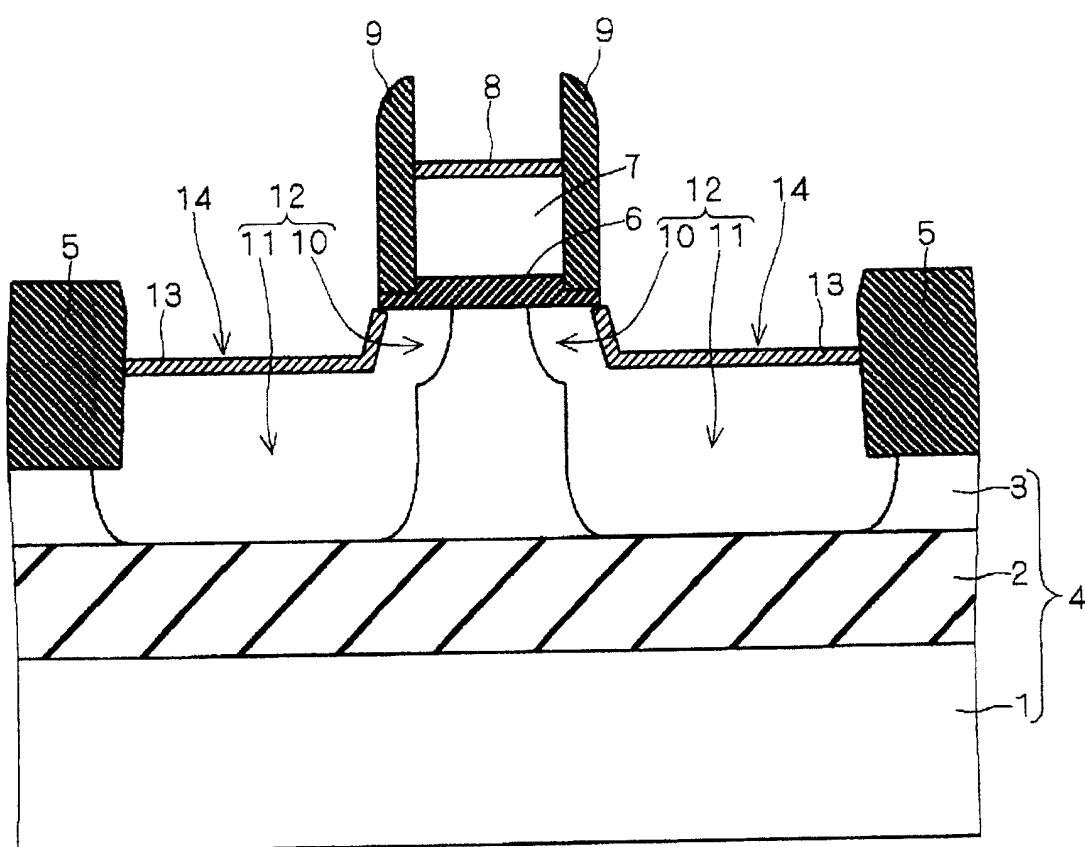


图 1

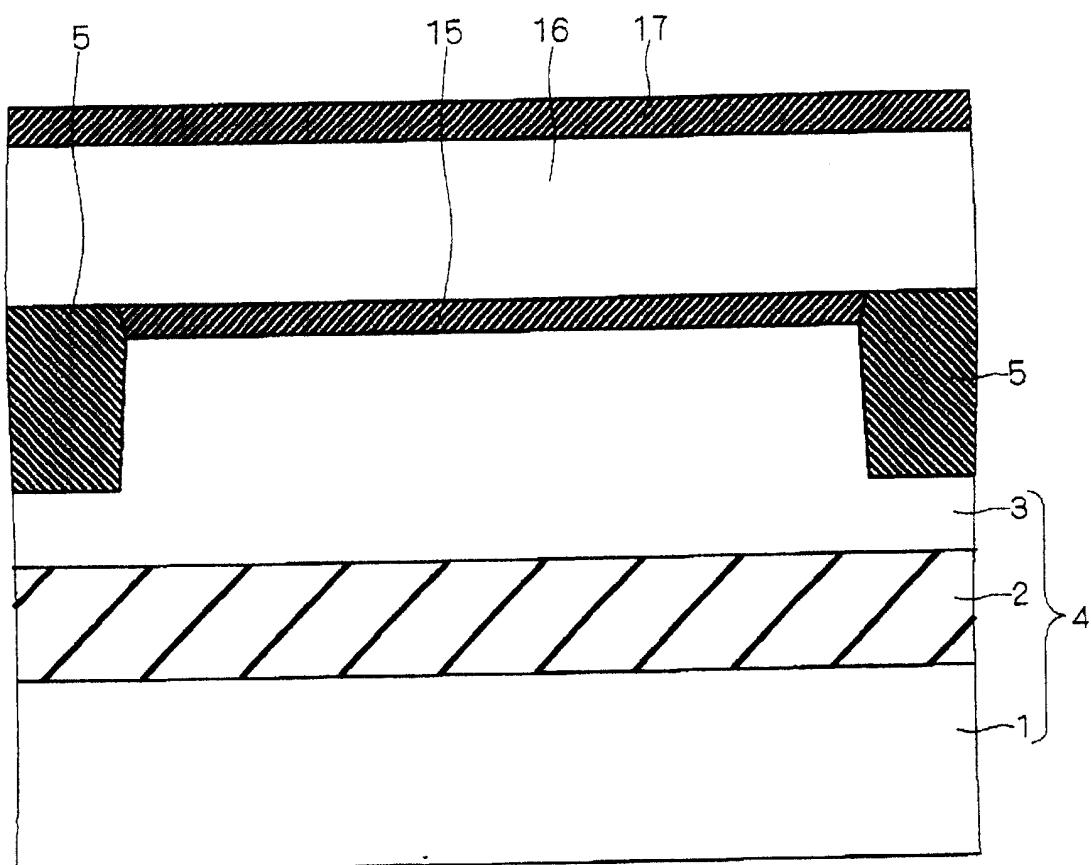


图 2

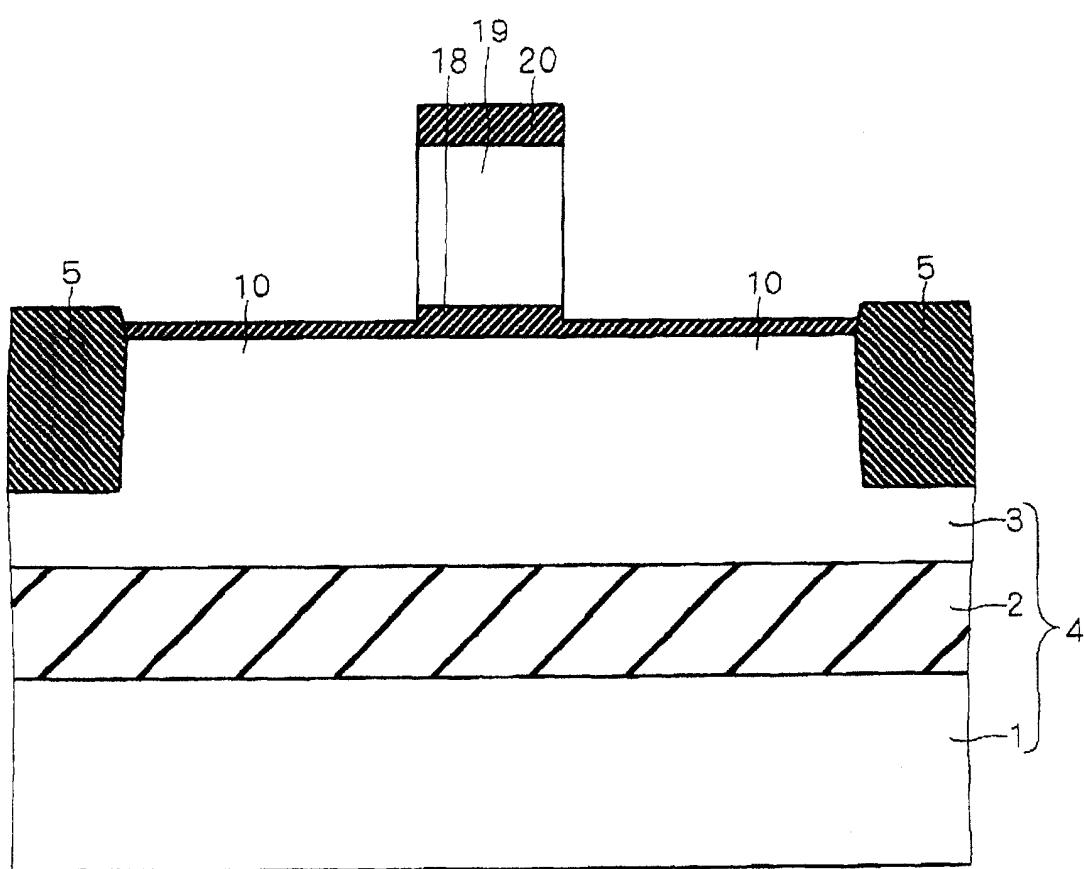


图 3

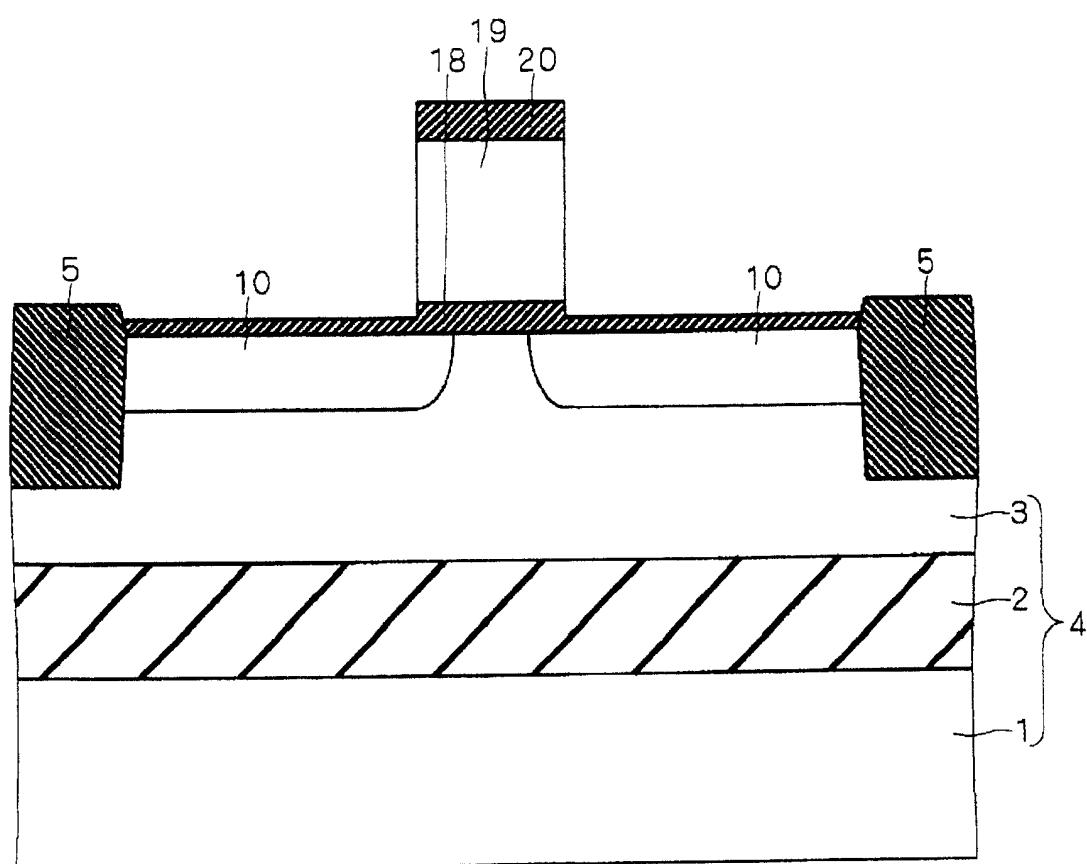


图 4

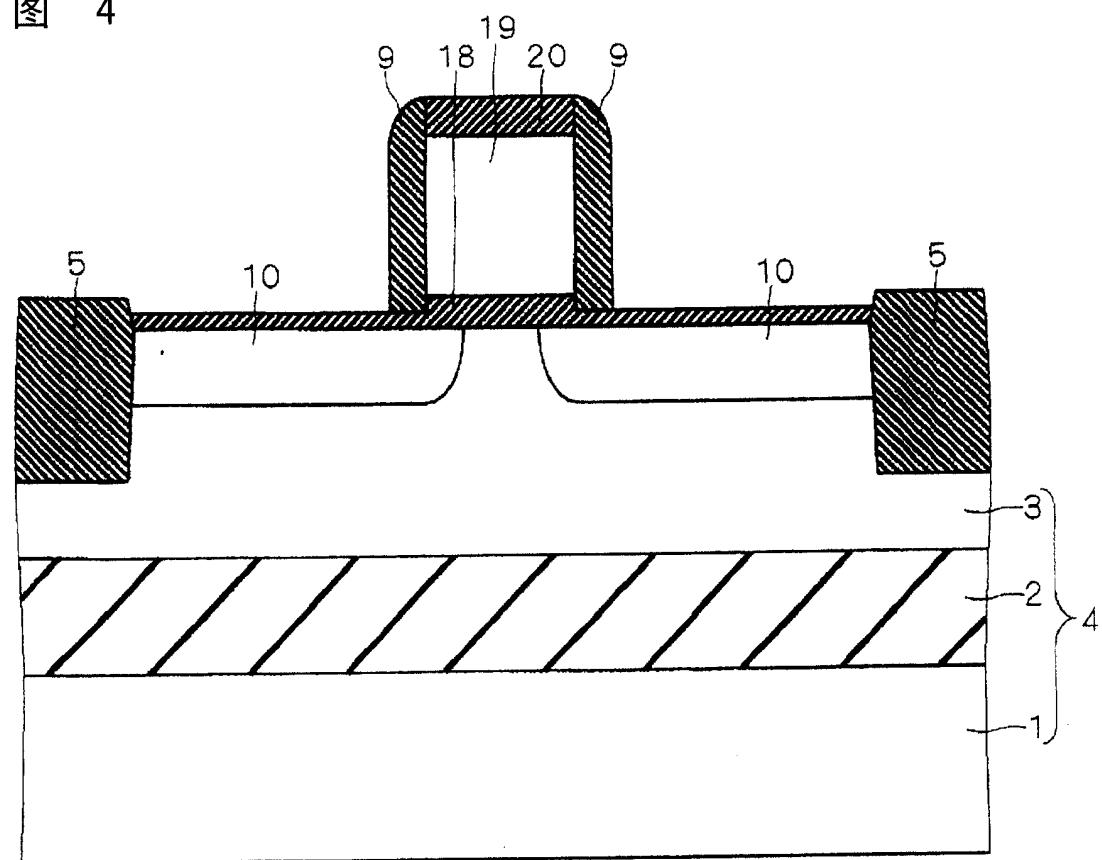


图 5

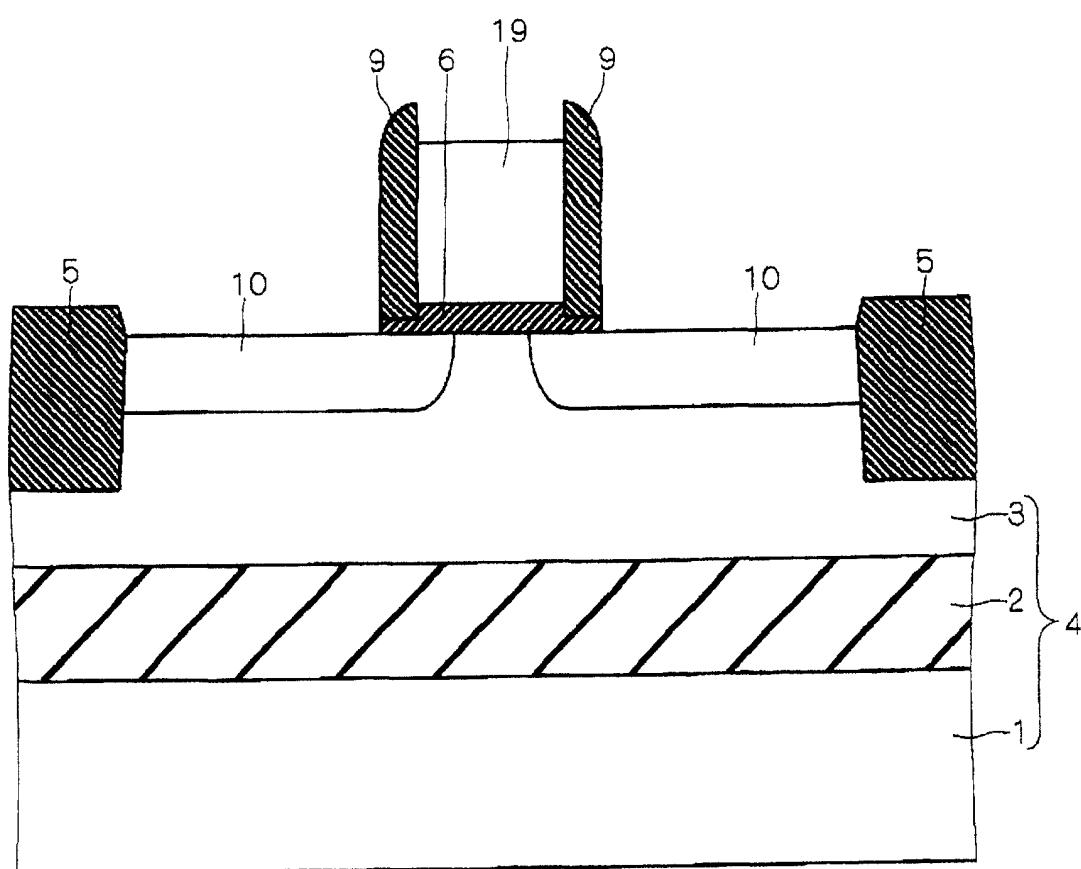


图 6

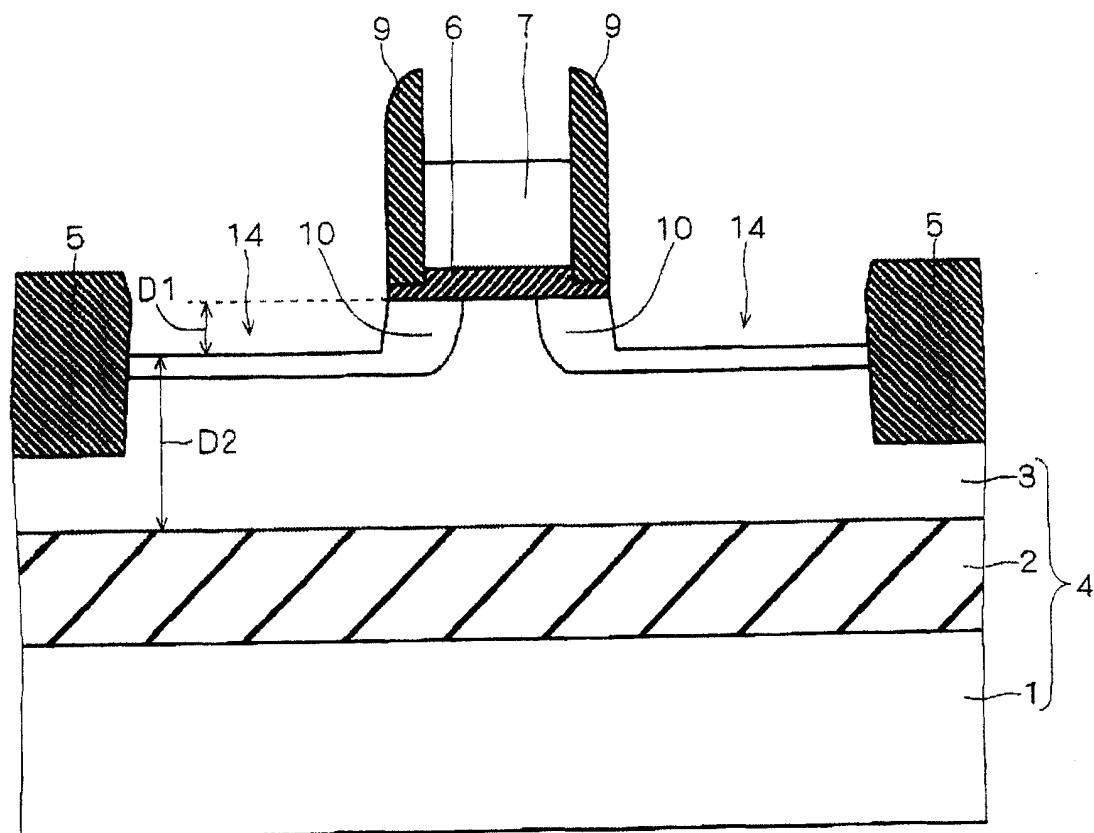


图 7

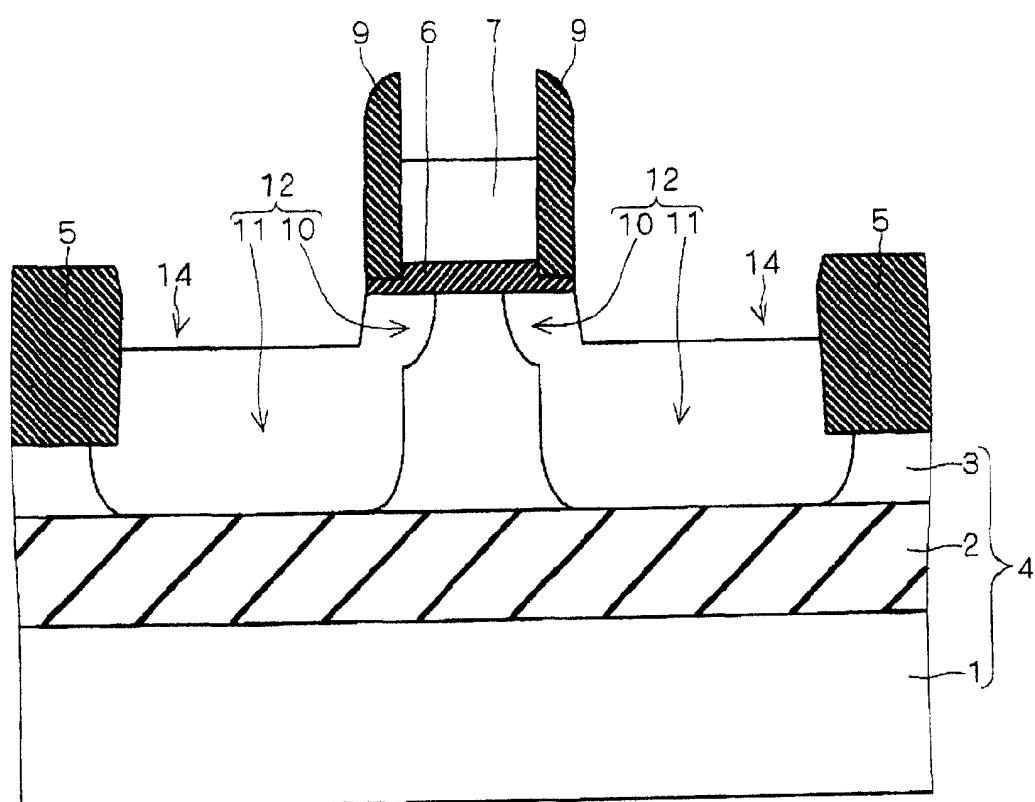


图 8

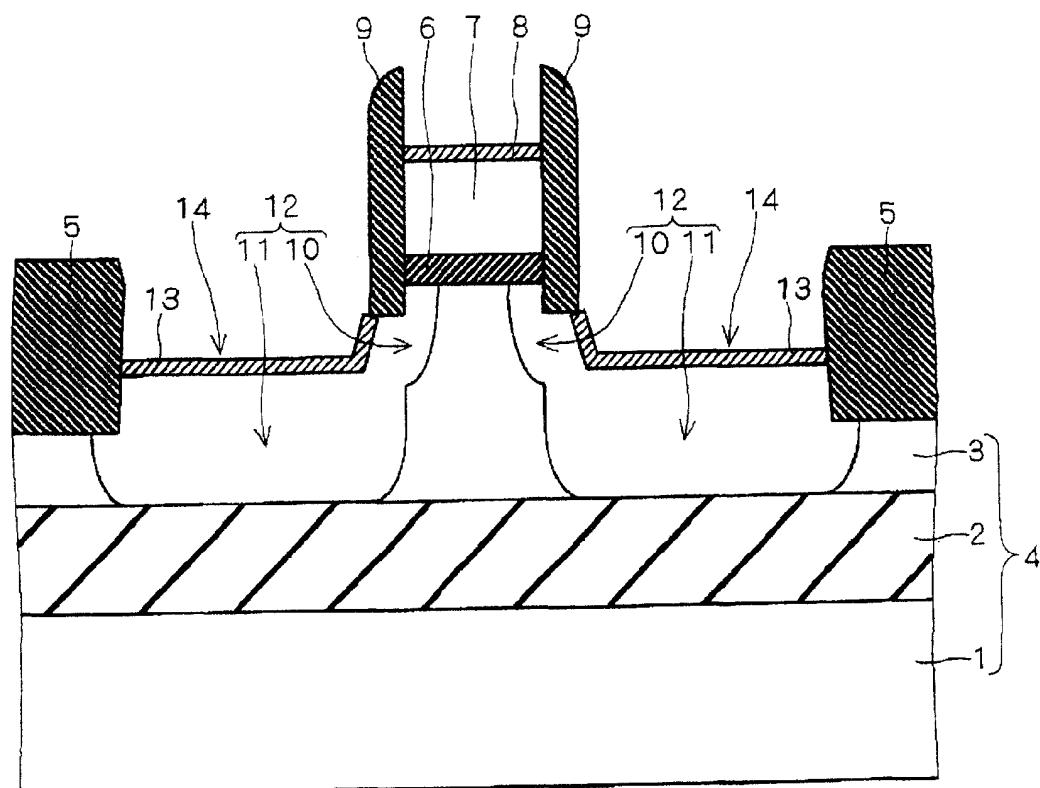


图 9

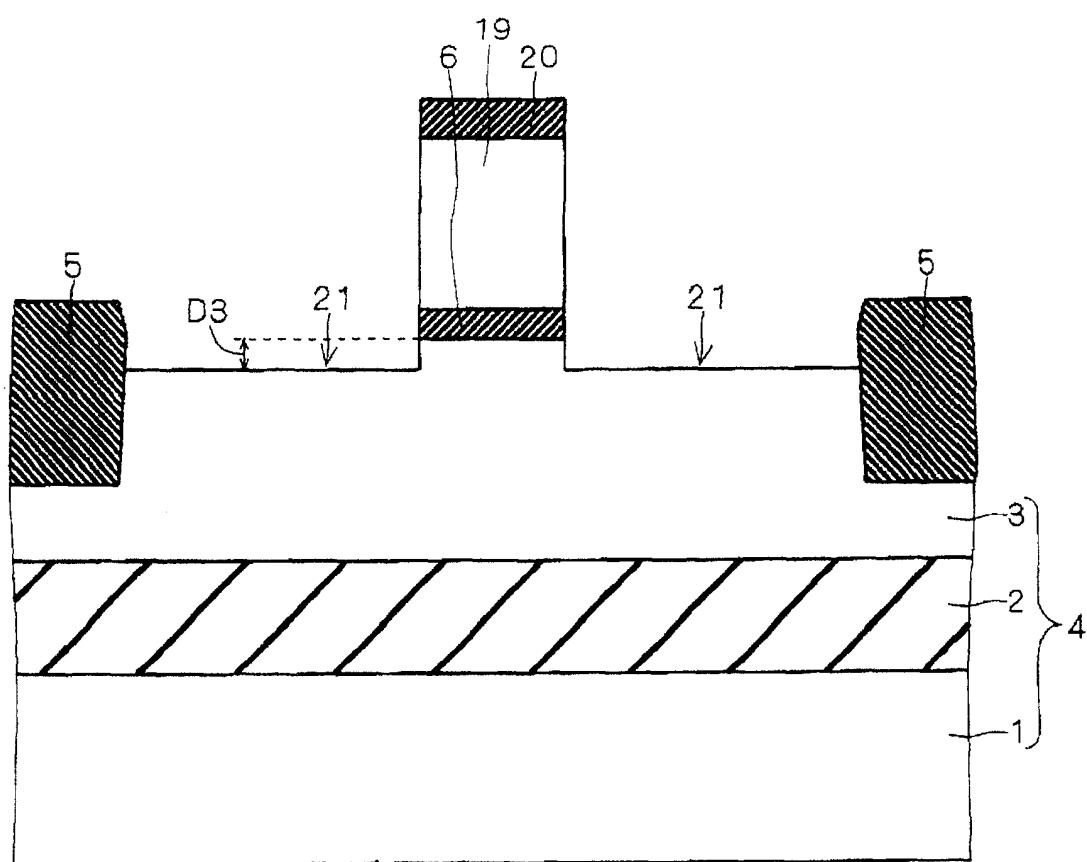


图 10

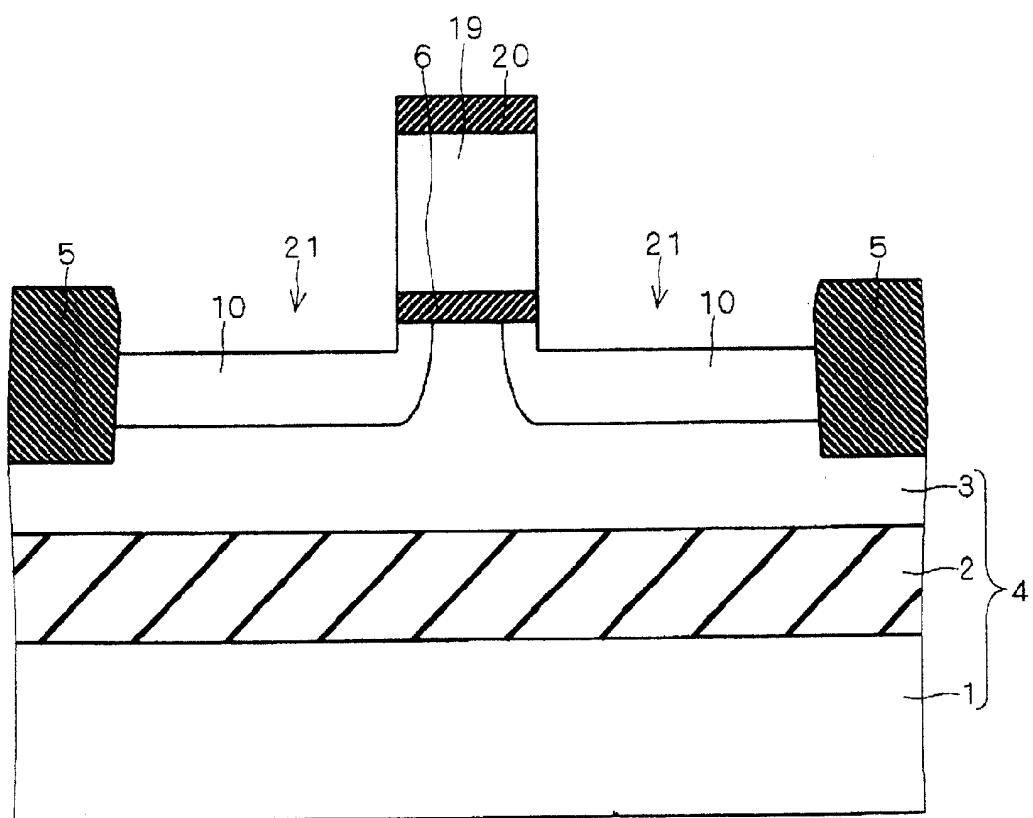


图 11

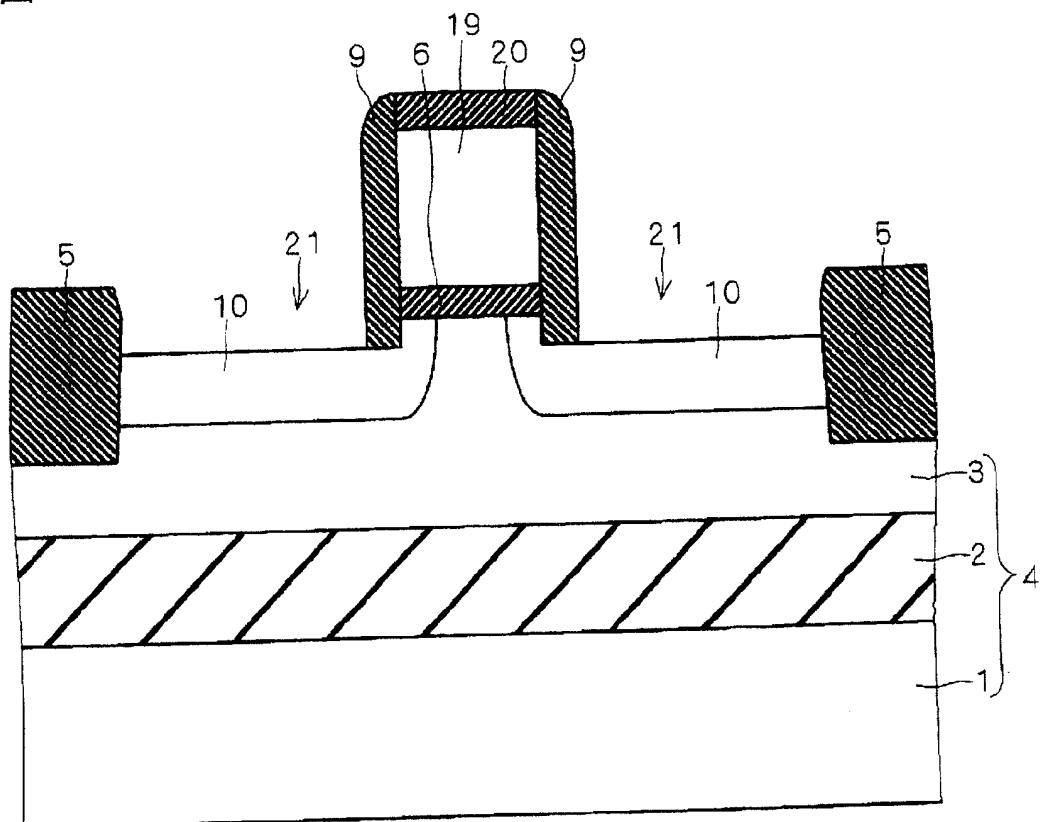


图 12

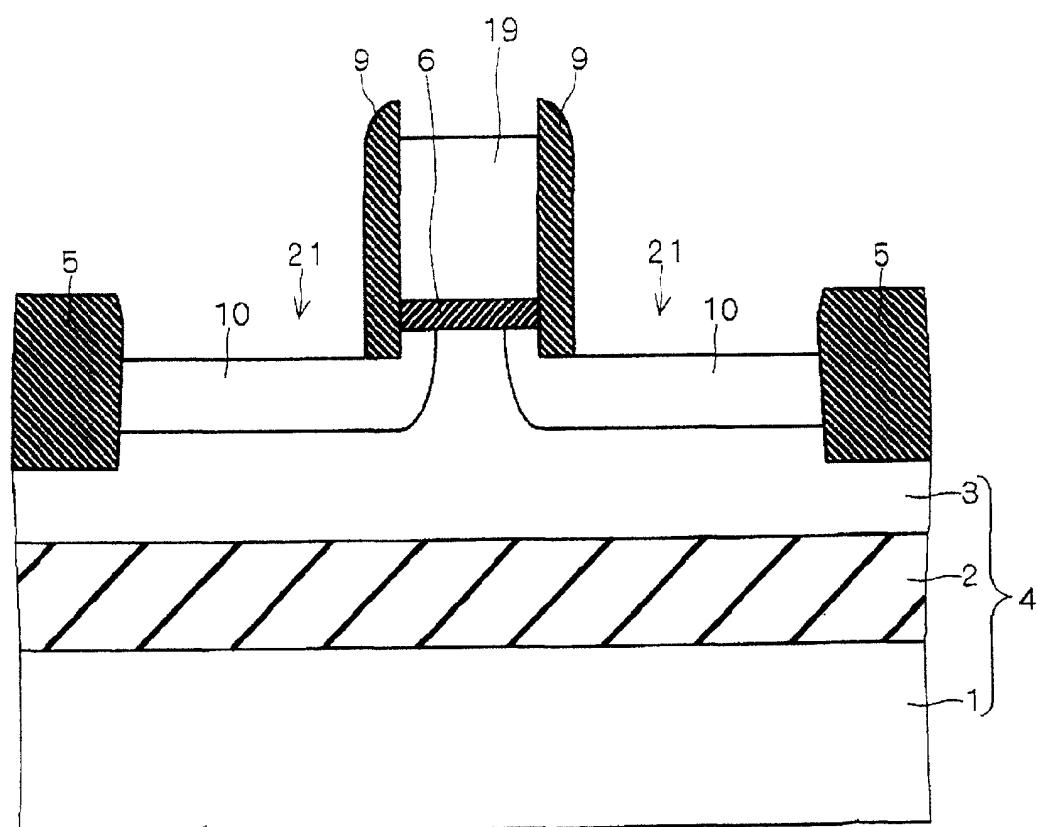


图 13

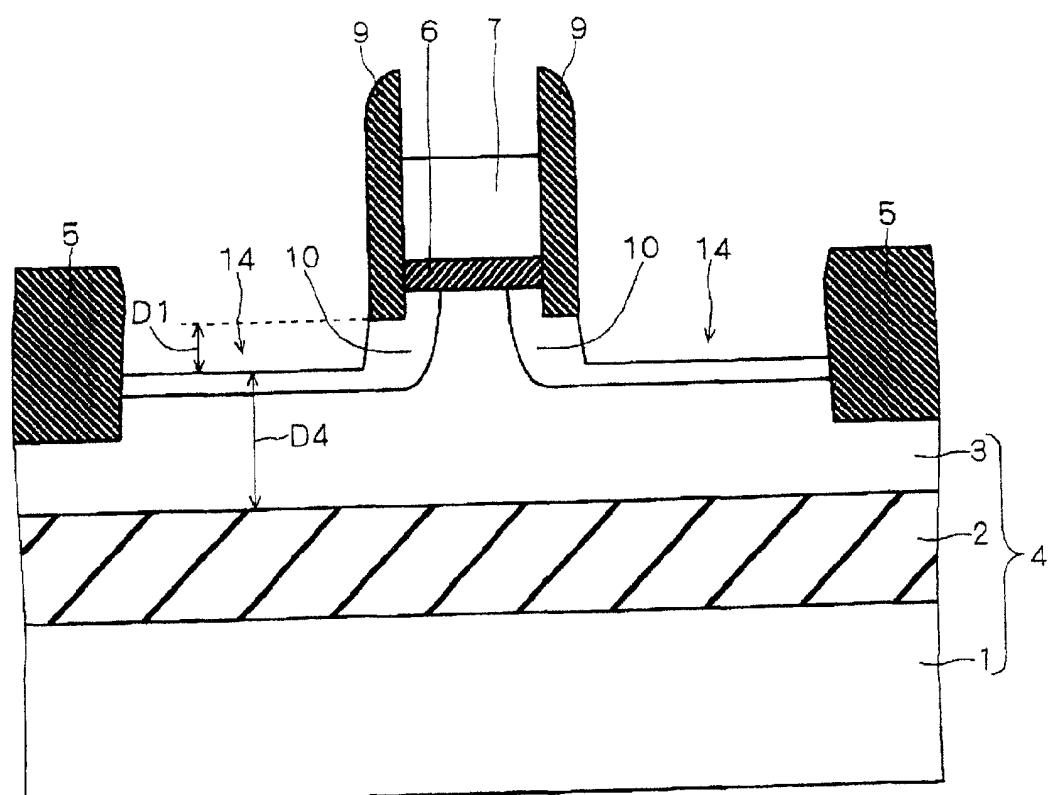


图 14

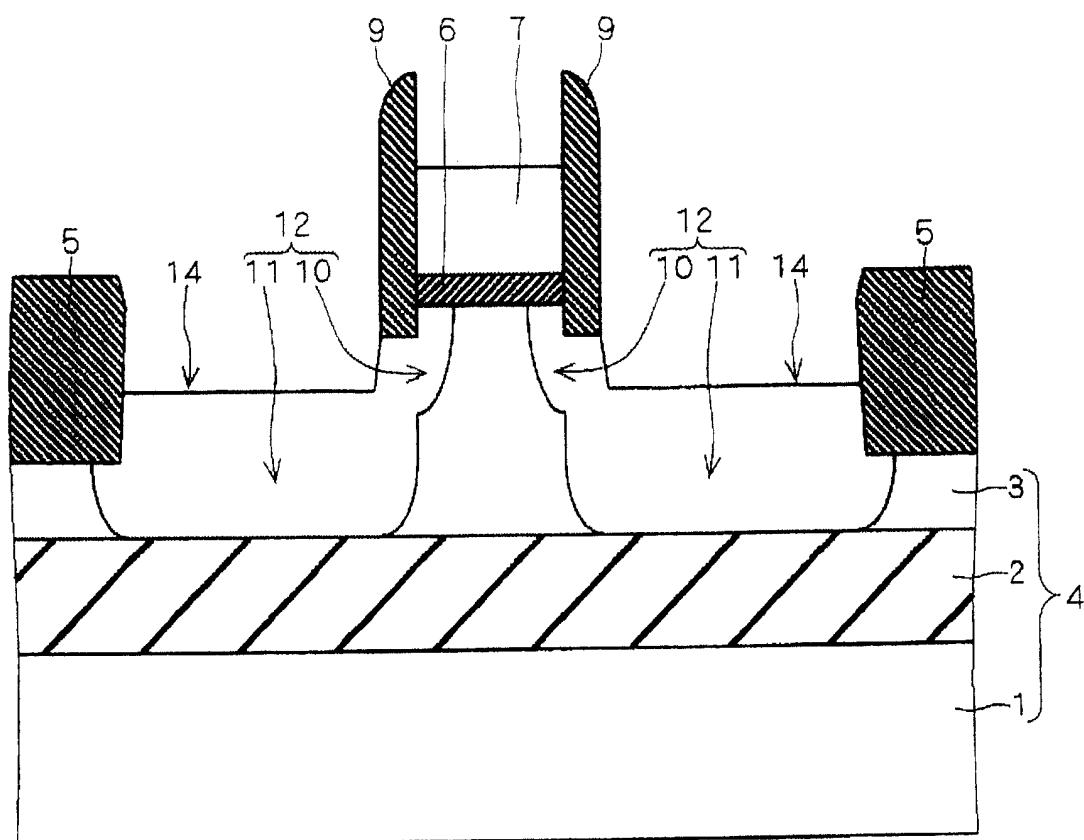


图 15

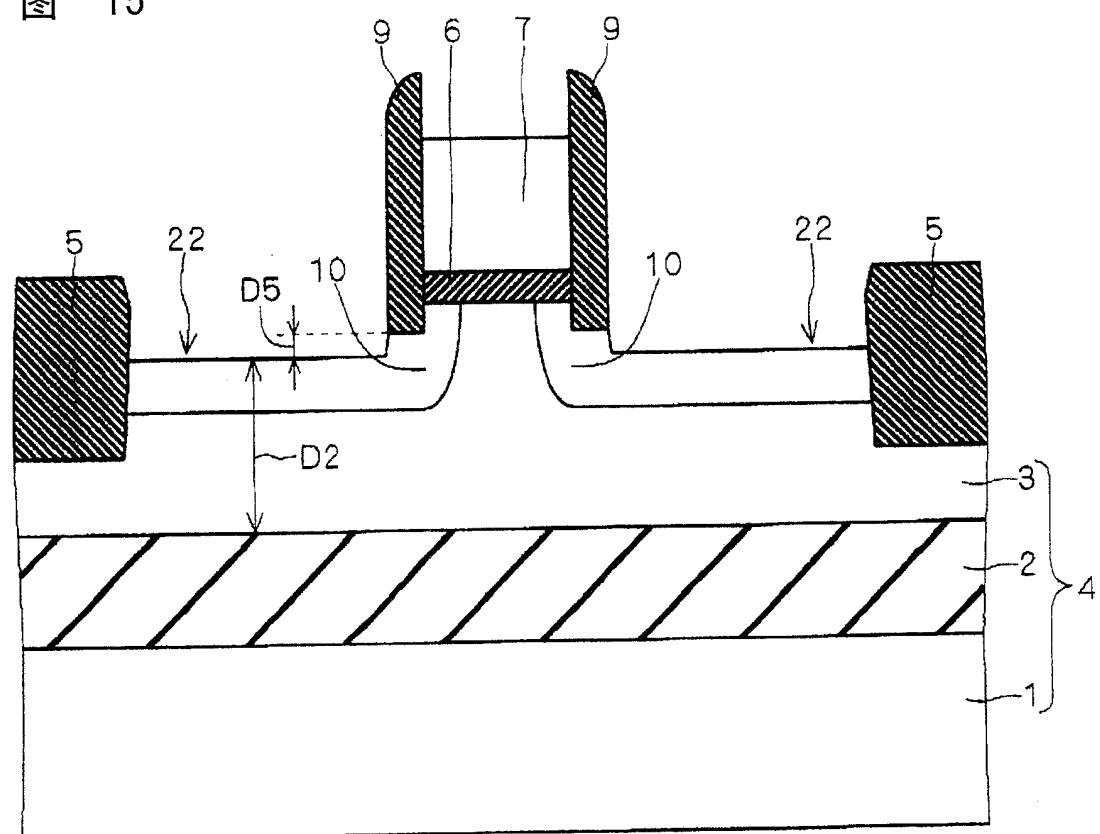


图 16

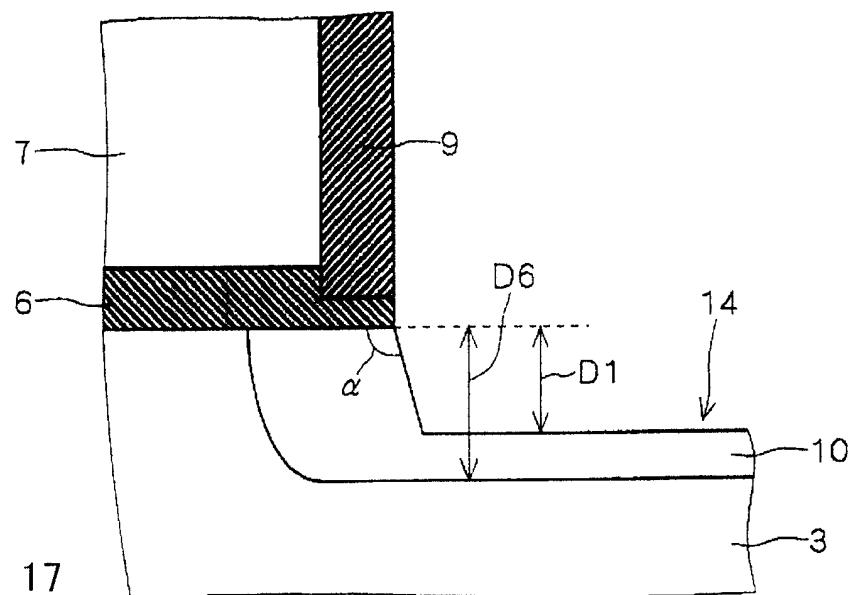


图 17

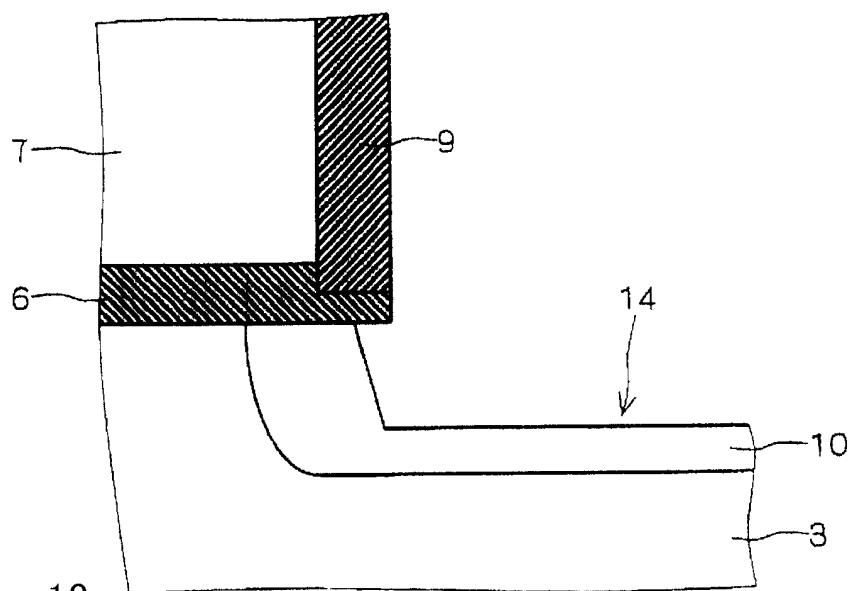


图 18

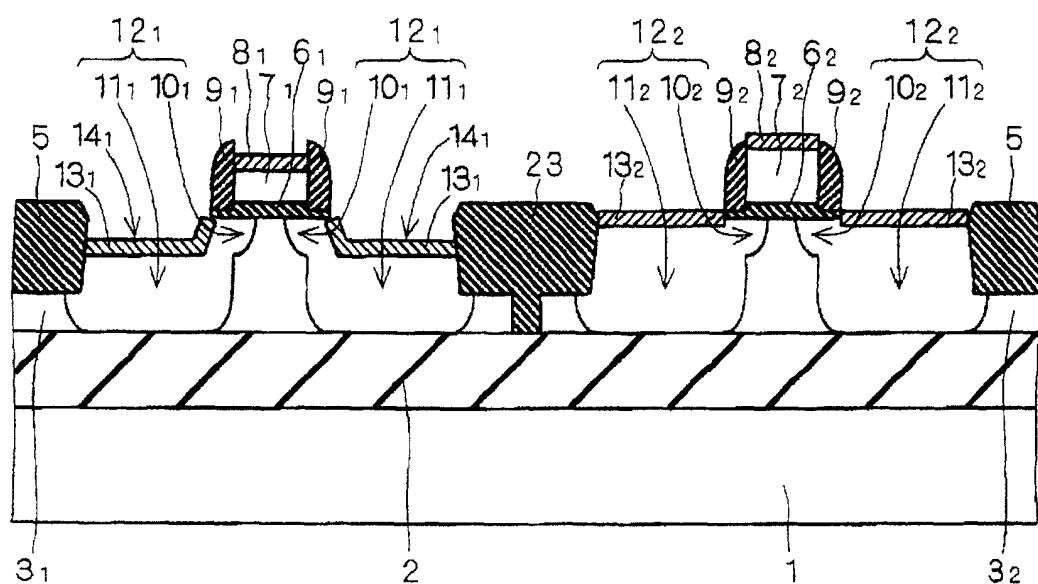


图 19

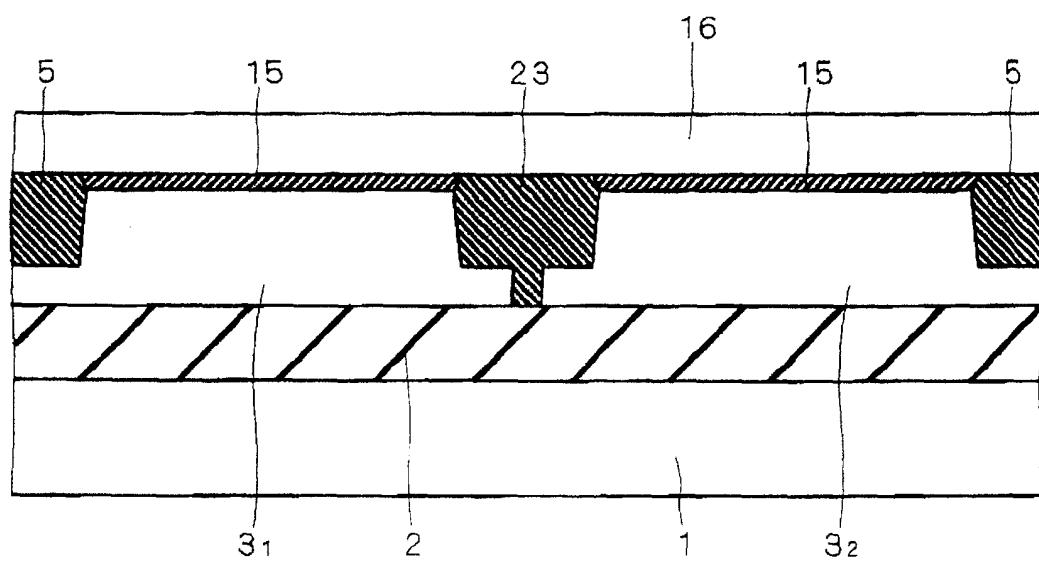


图 20

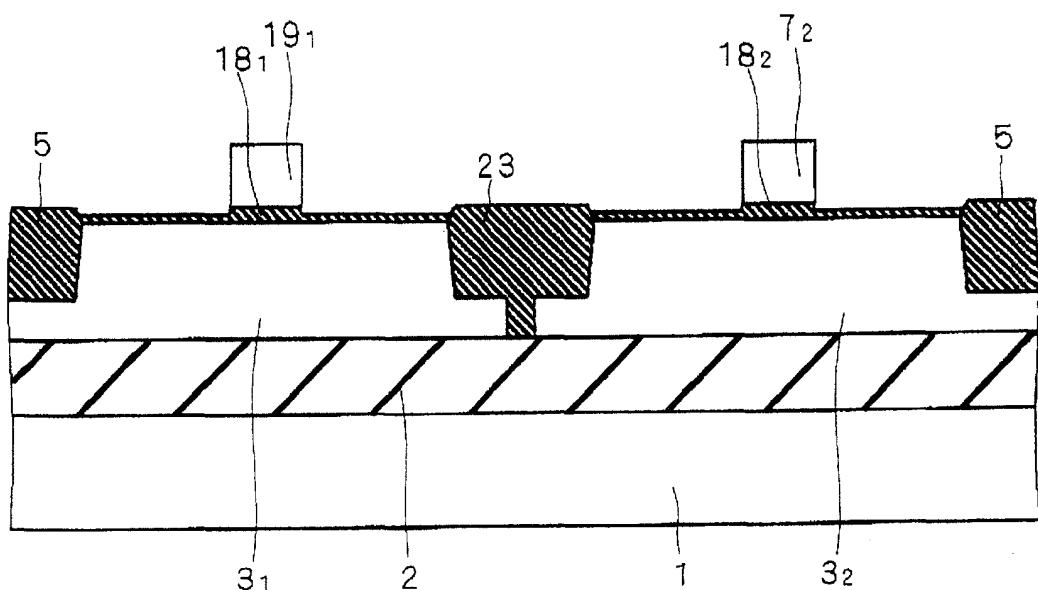


图 21

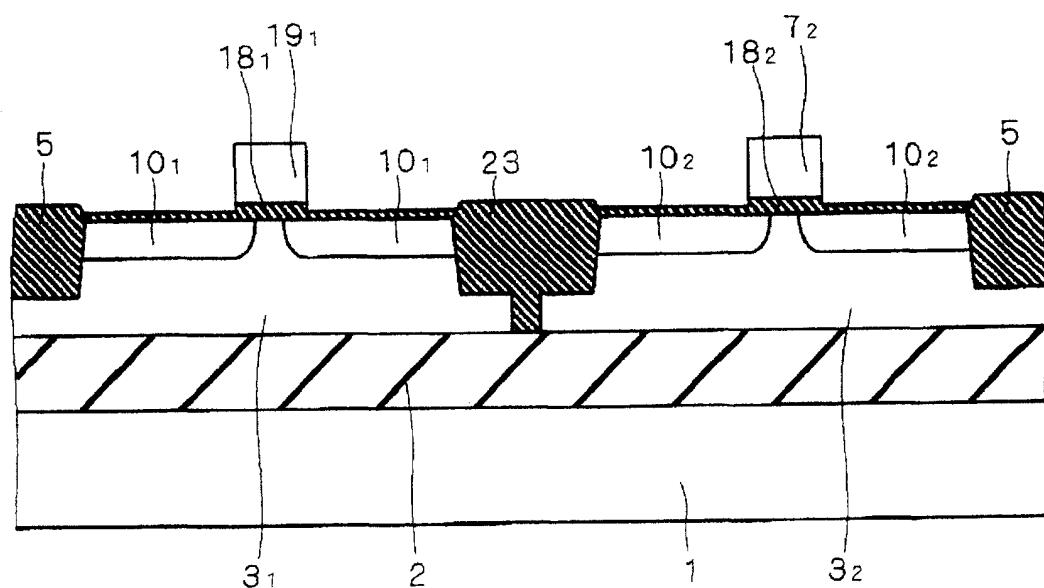


图 22

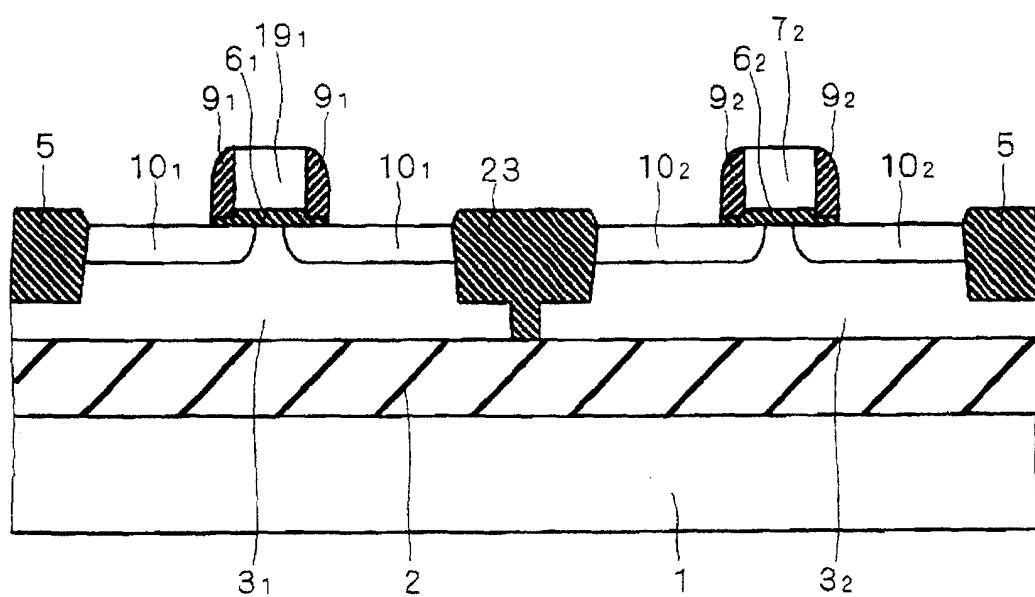


图 23

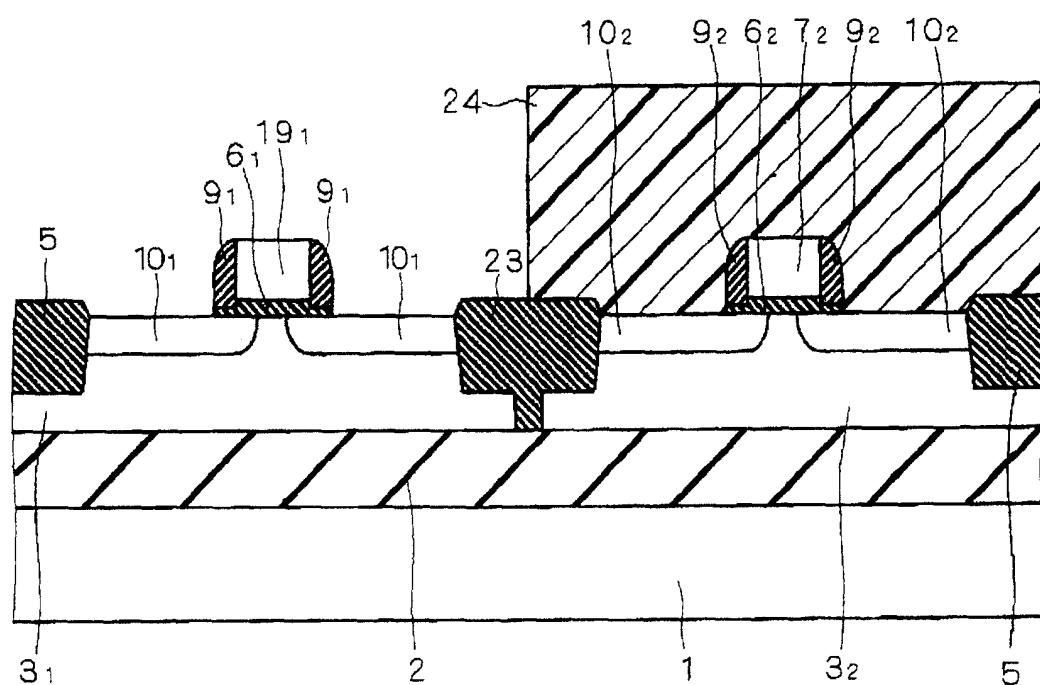


图 24

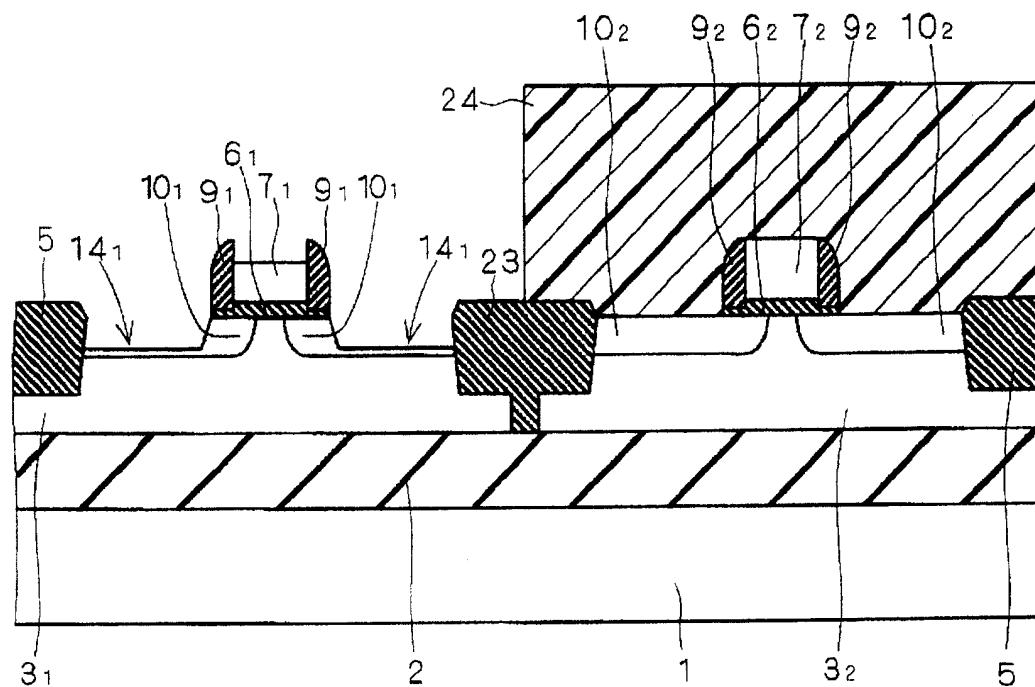


图 25

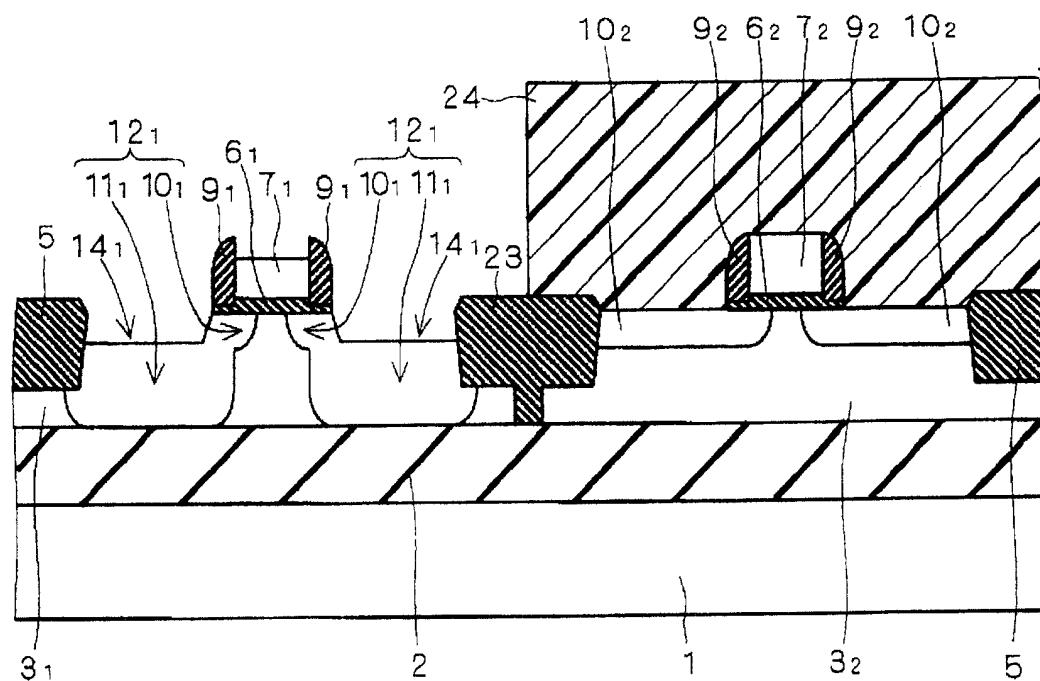


图 26

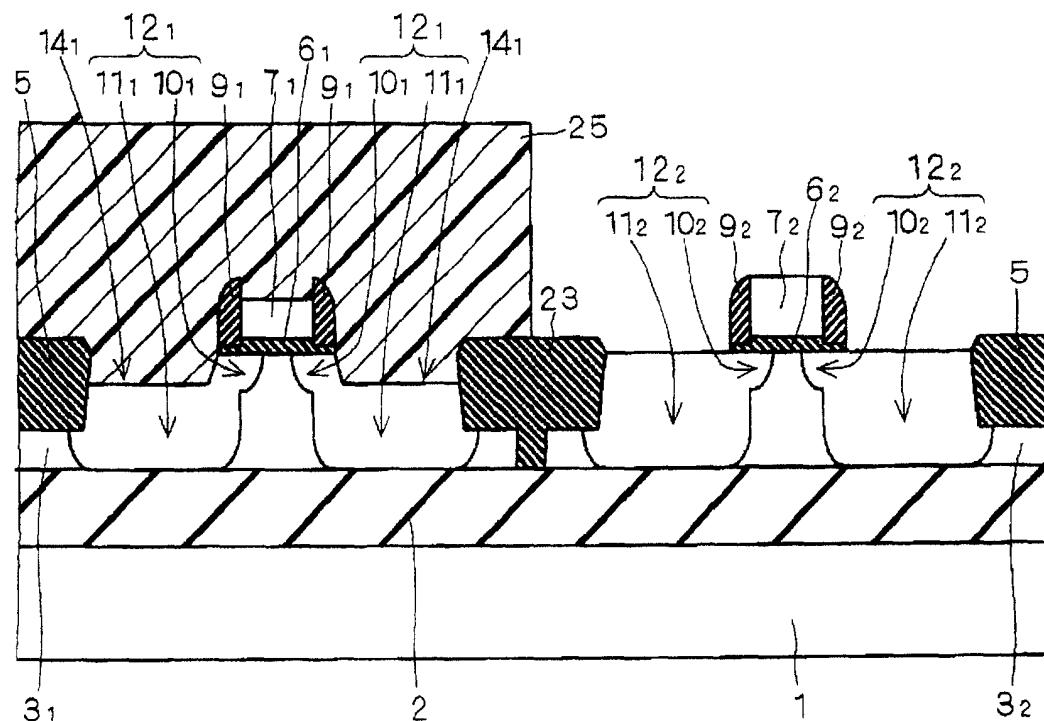


图 27

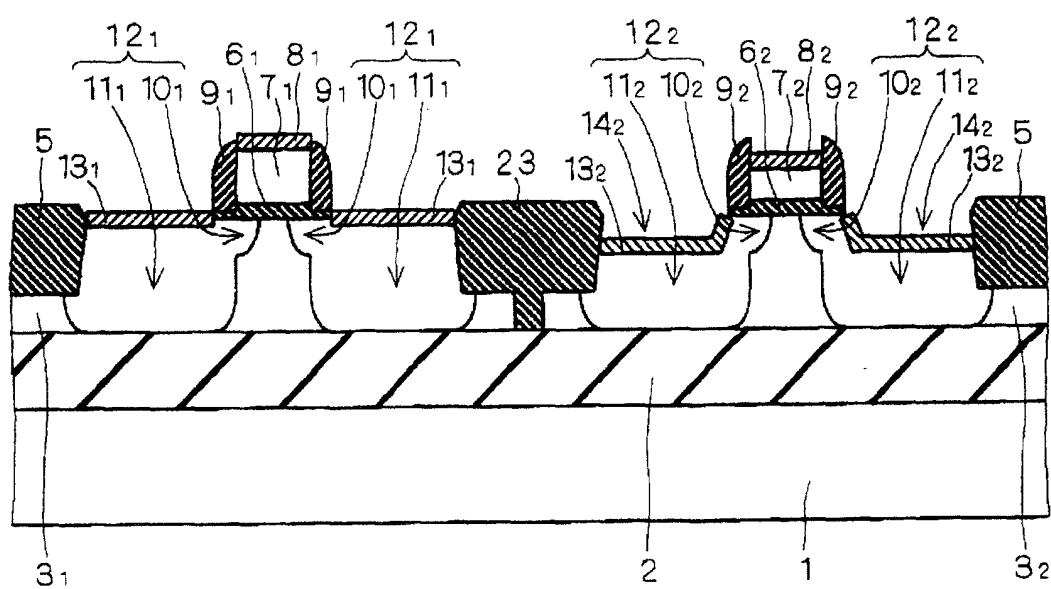


图 28

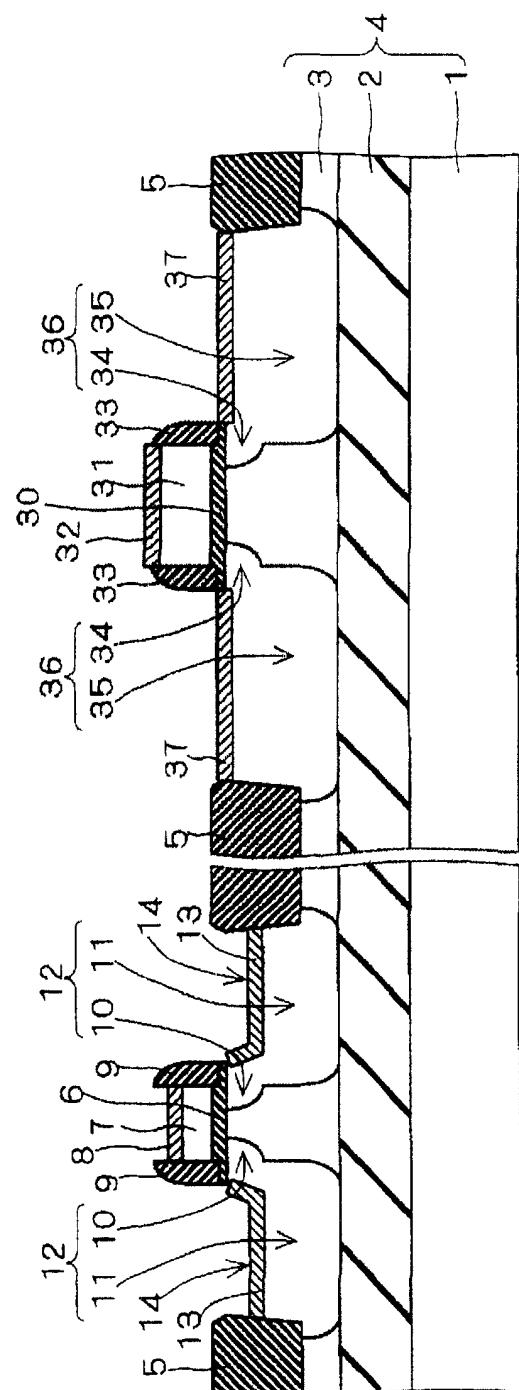


图 29

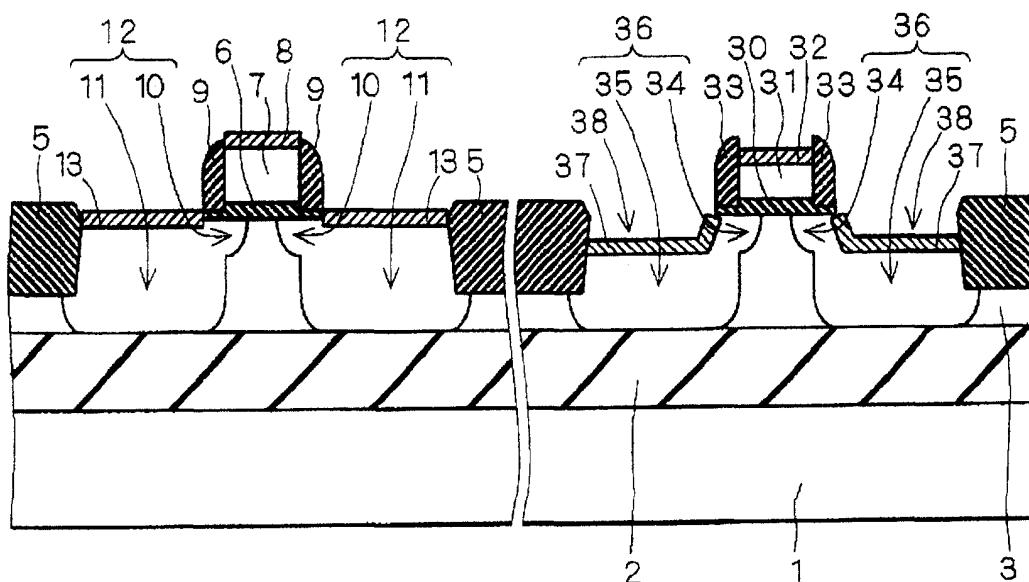


图 30

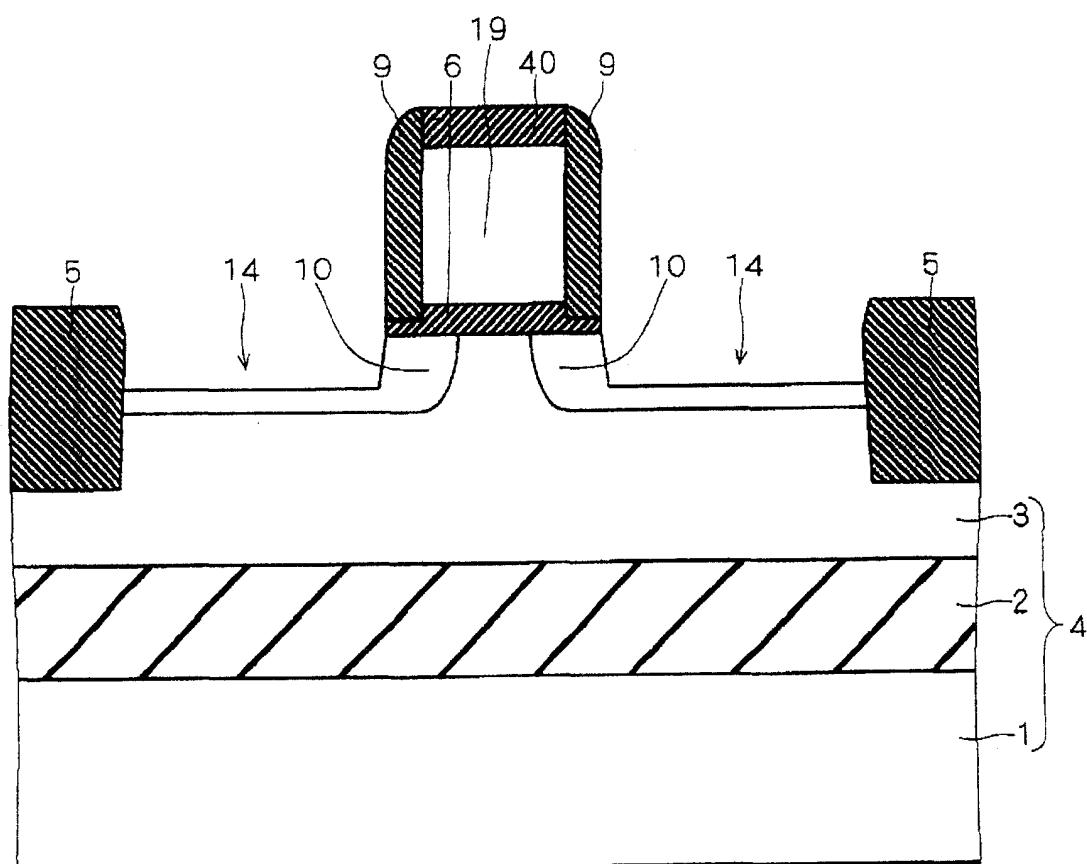


图 31

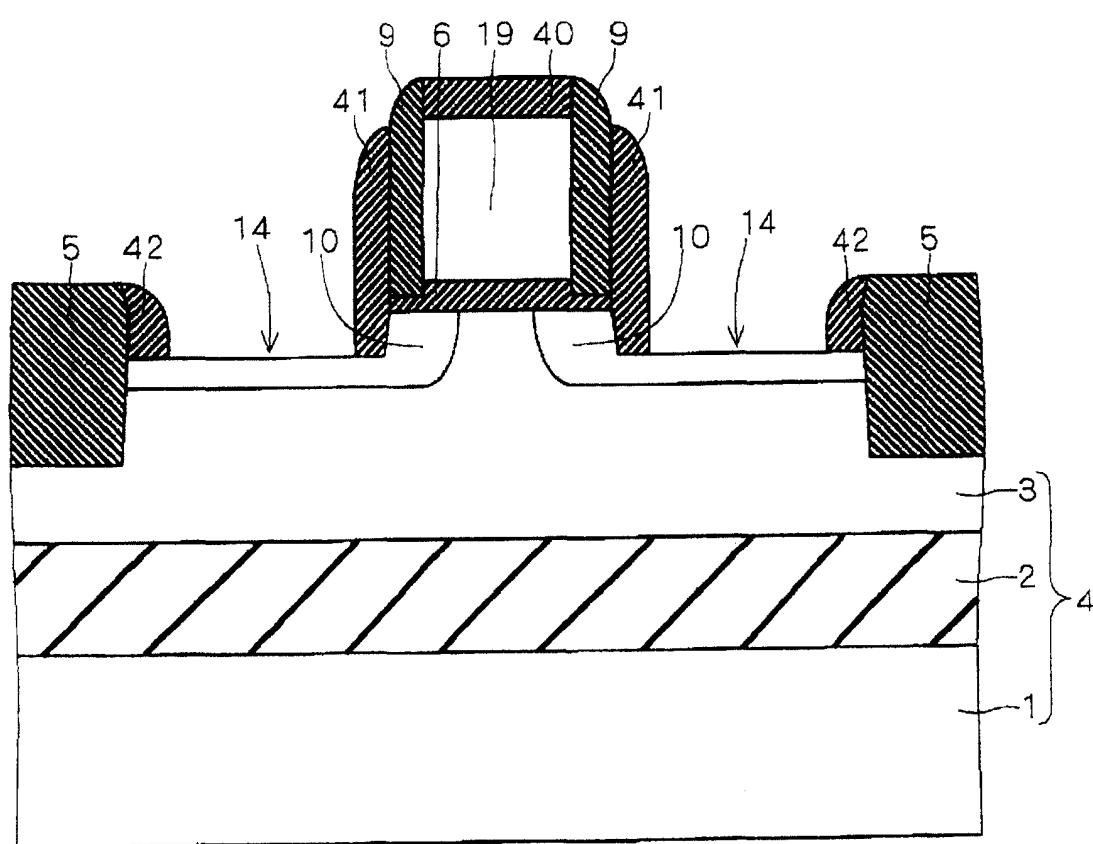


图 32

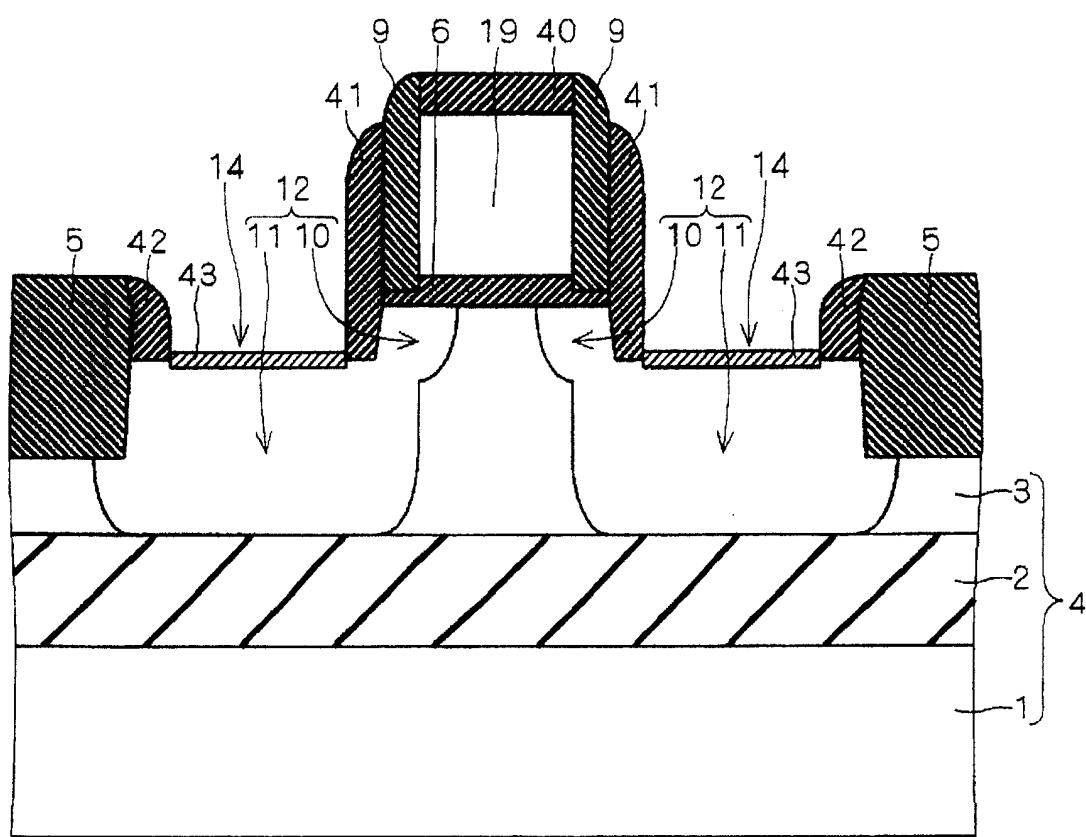


图 33

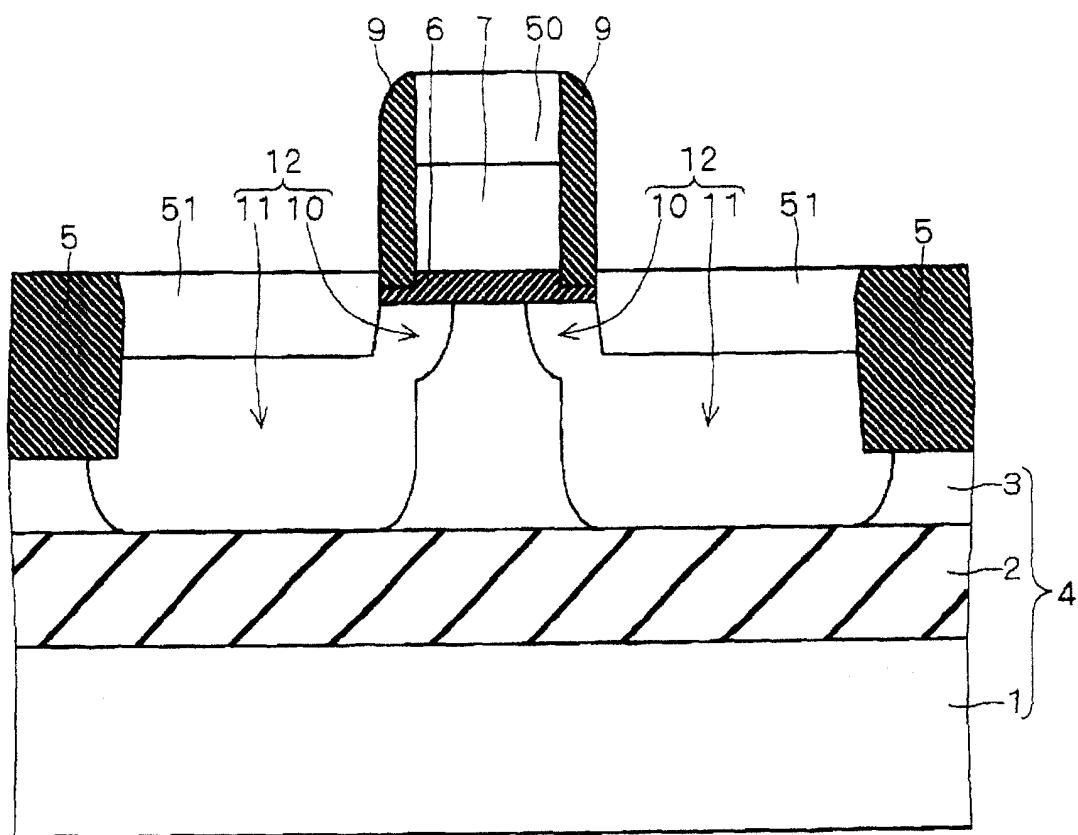


图 34

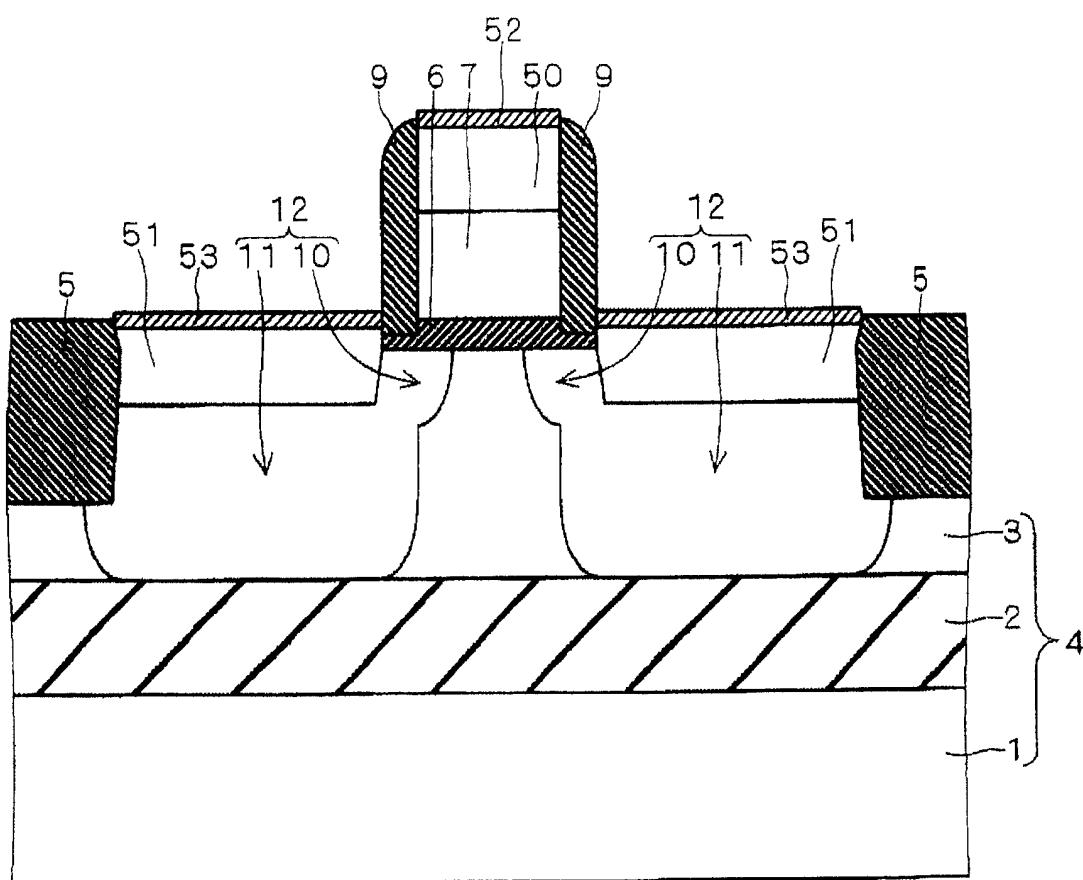
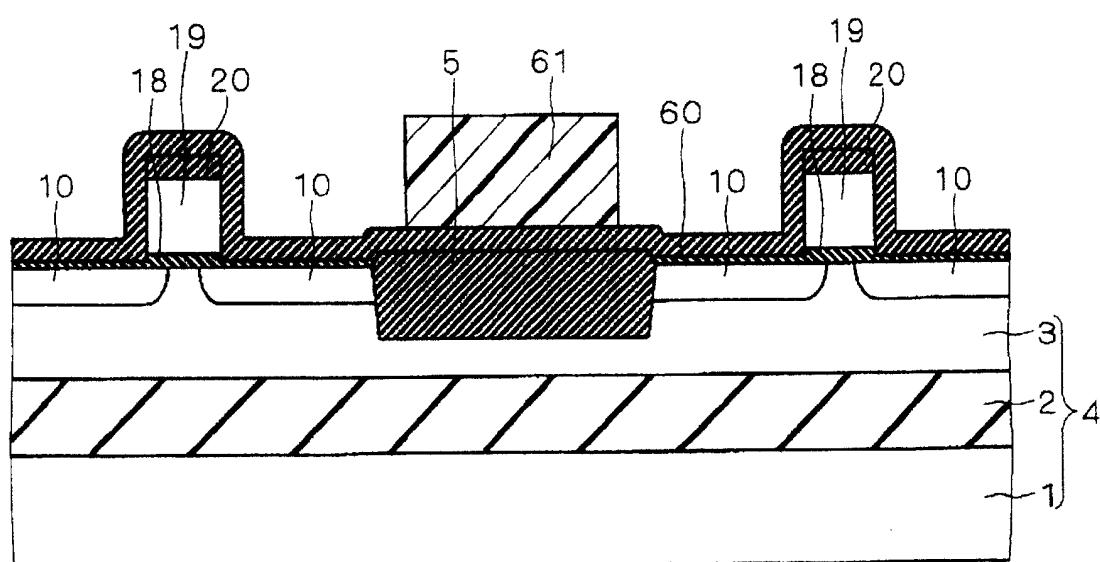


图 35



冬 36

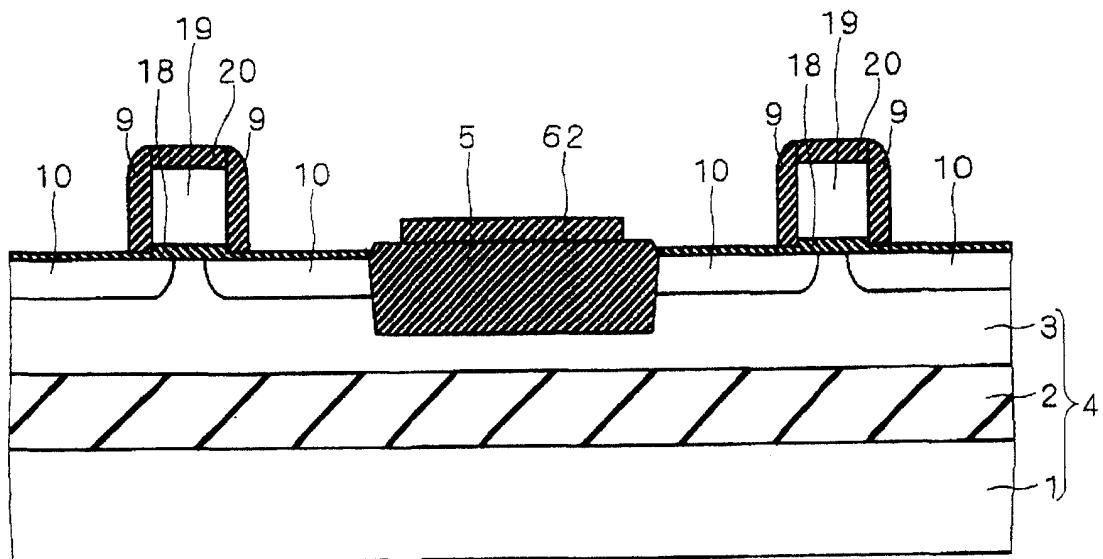


图 37

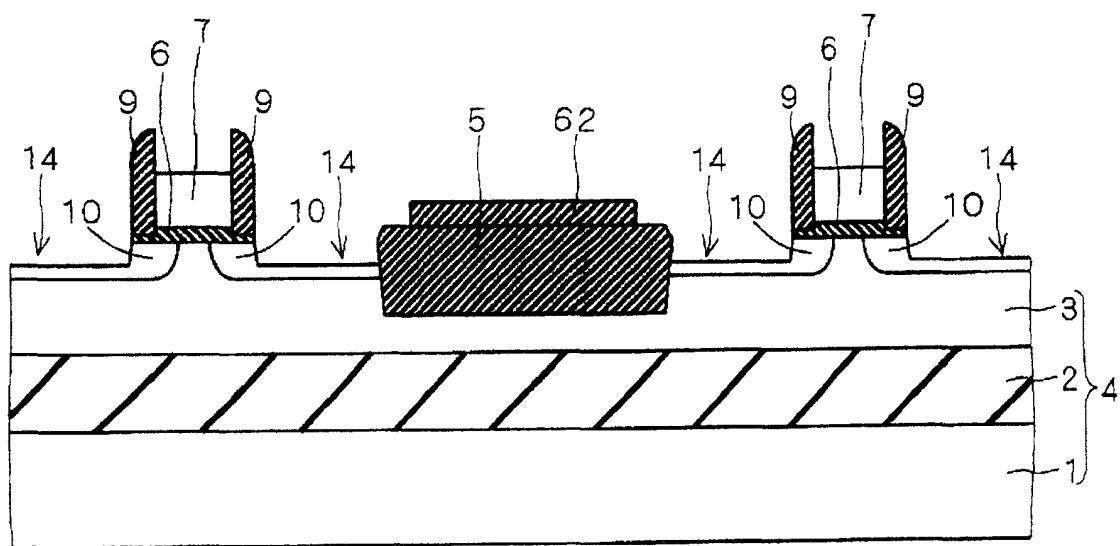


图 38

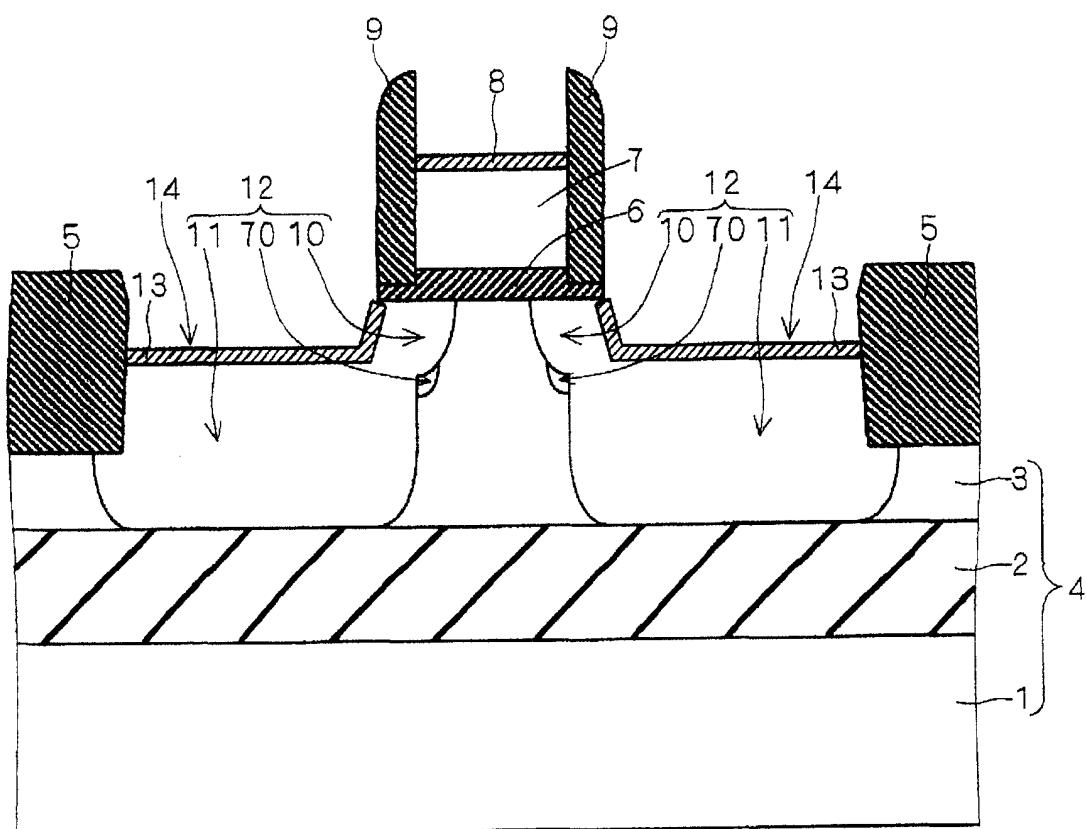


图 39

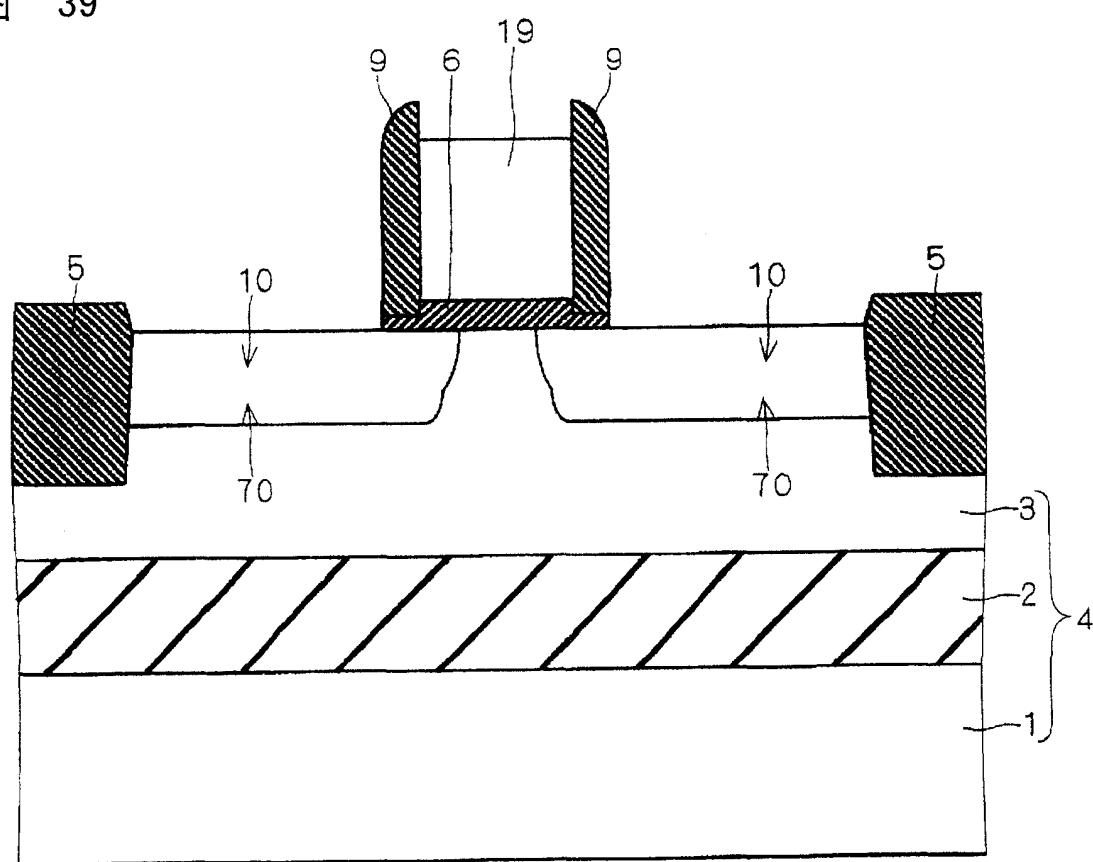


图 40

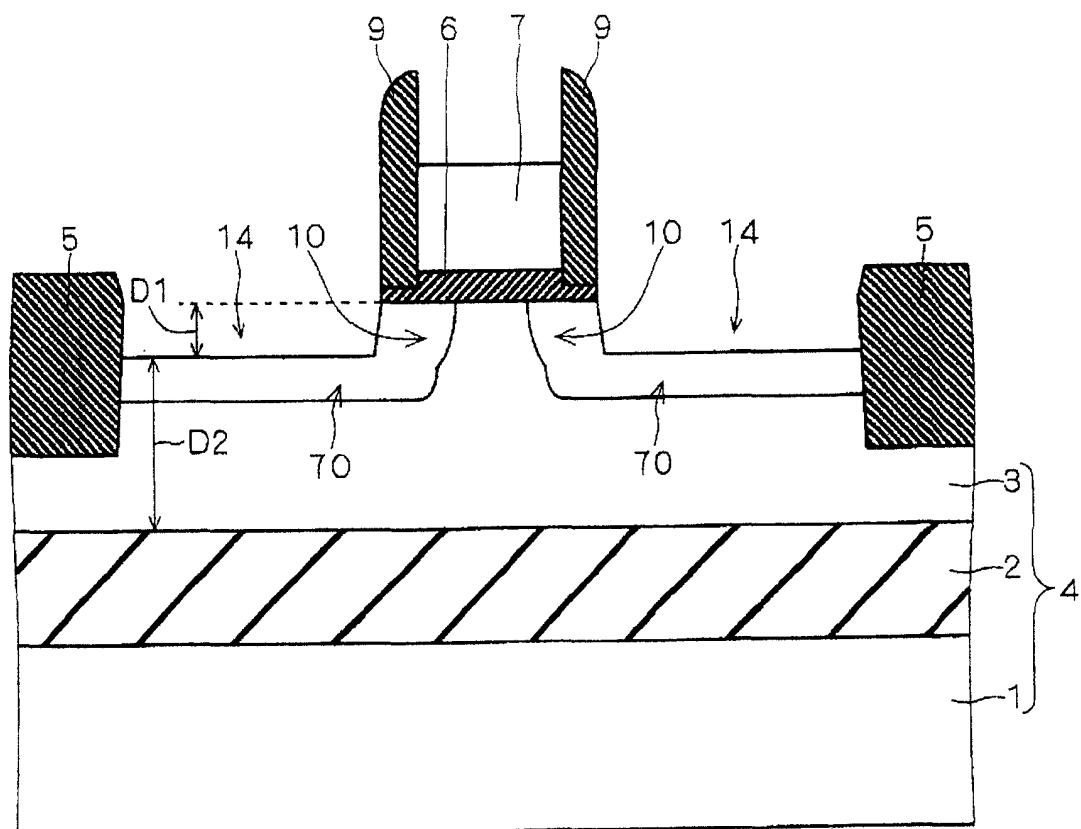


图 41

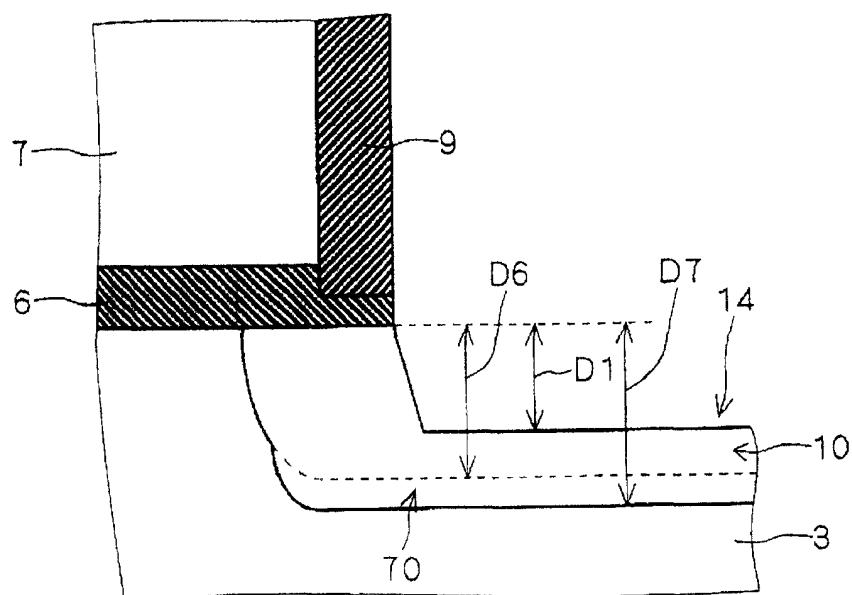


图 42

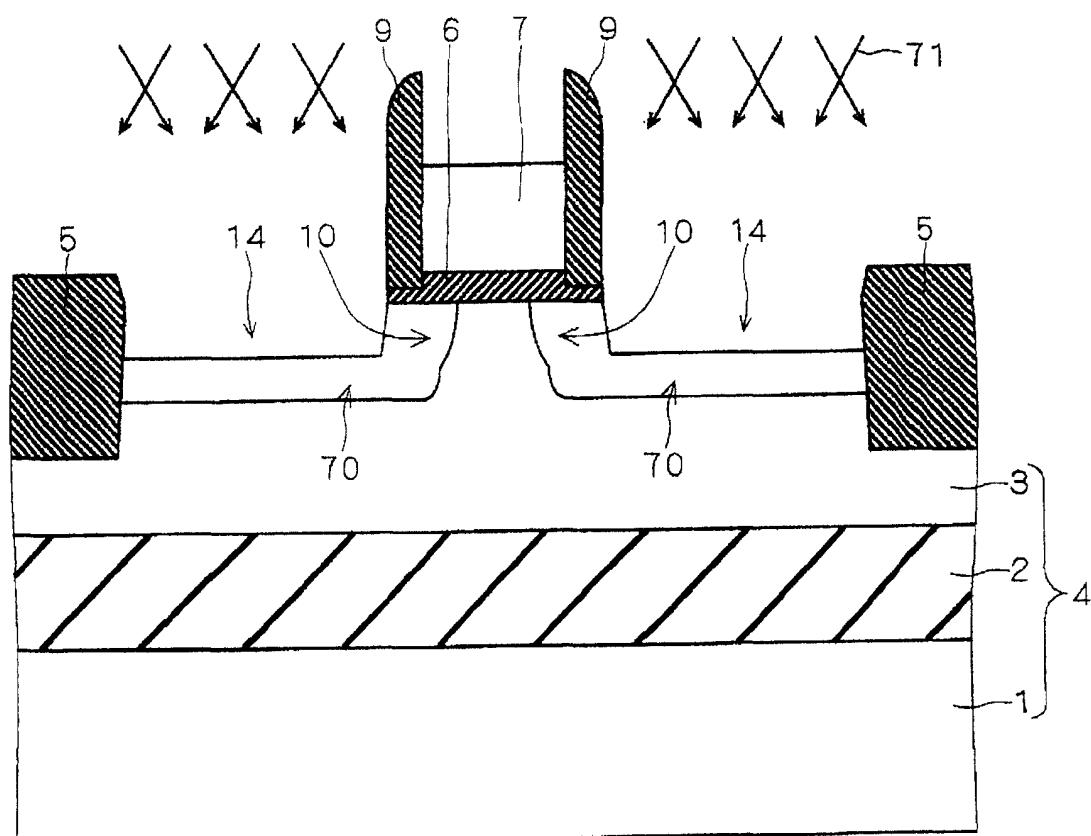


图 43

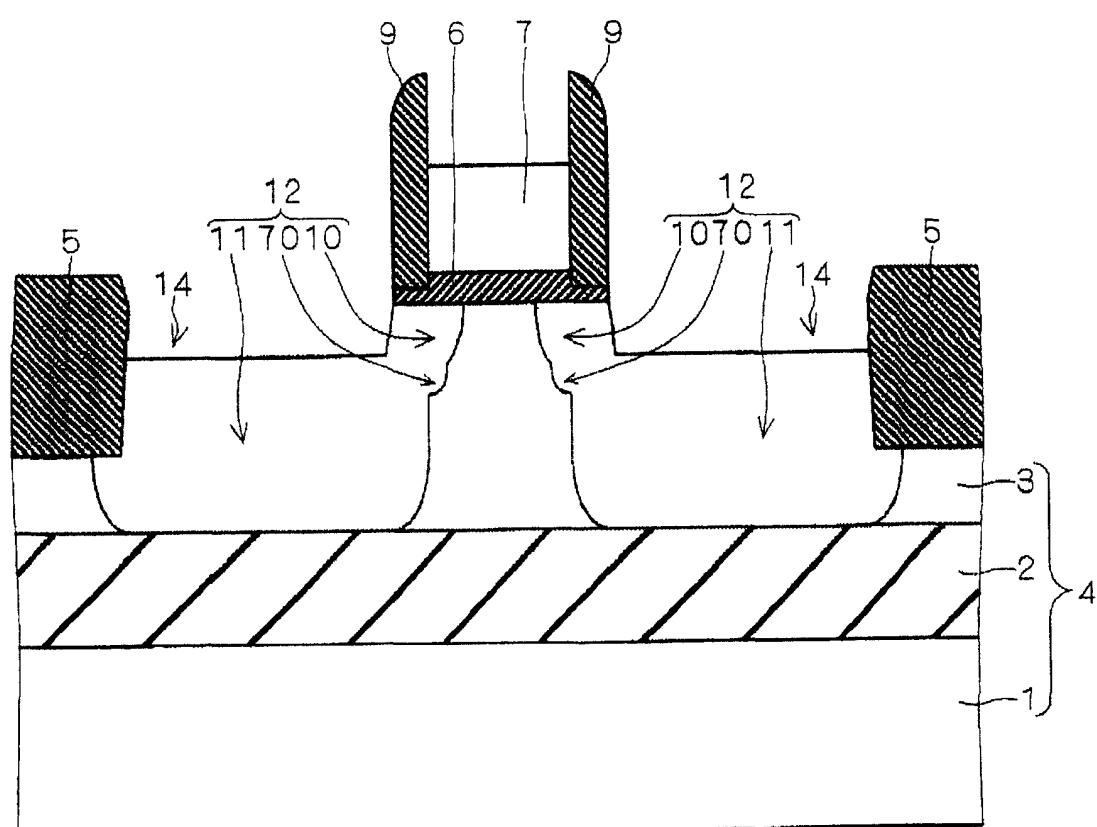


图 44

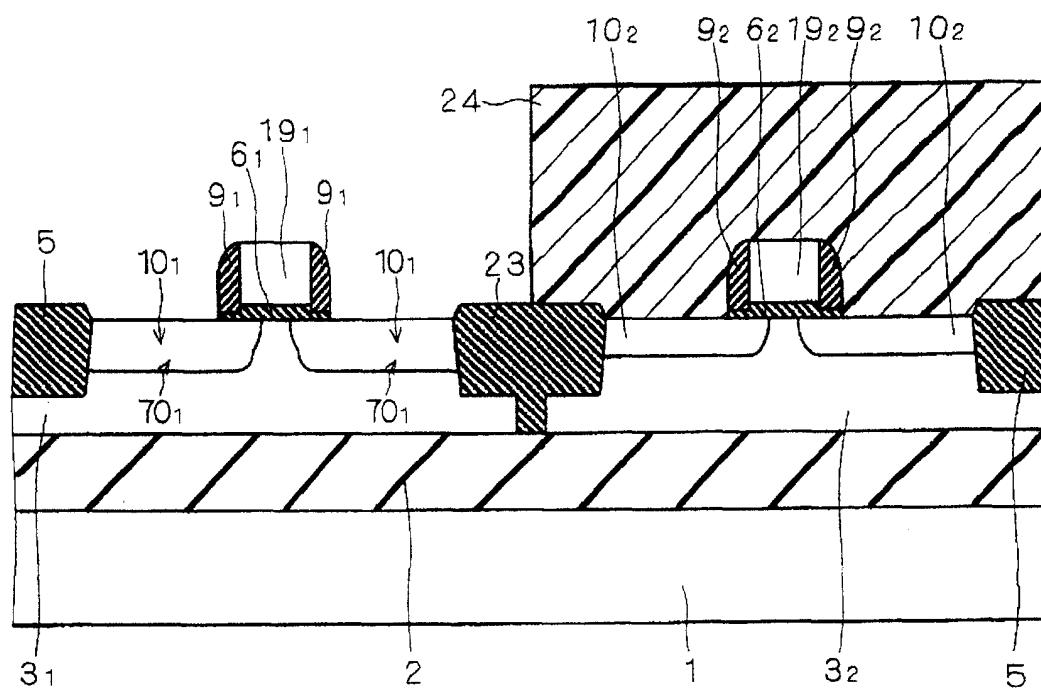


图 45

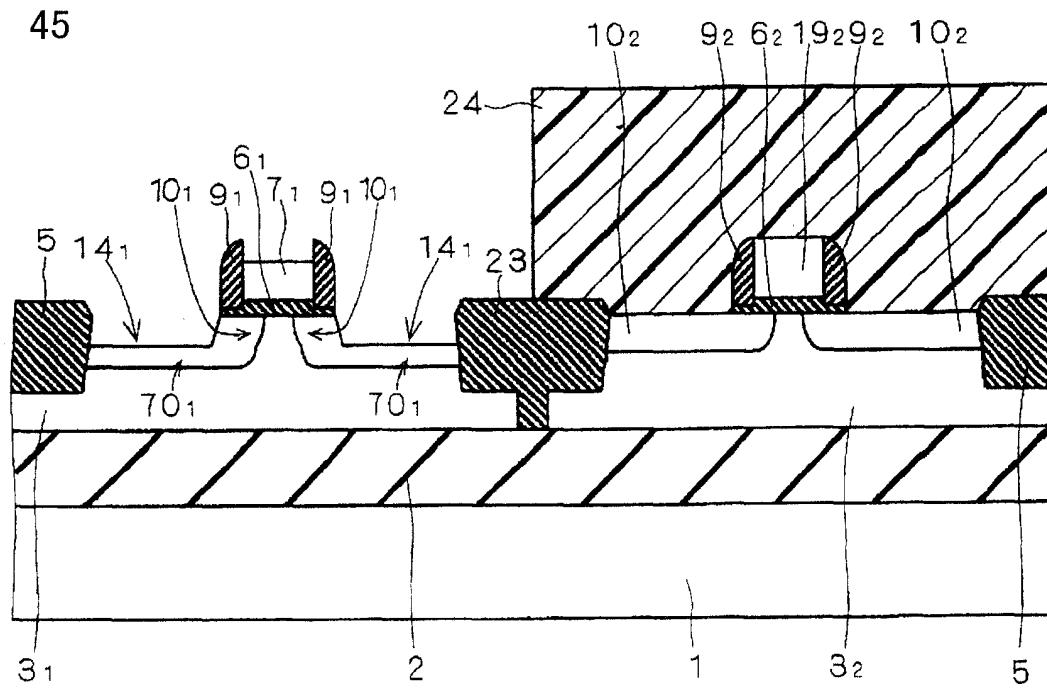


图 46

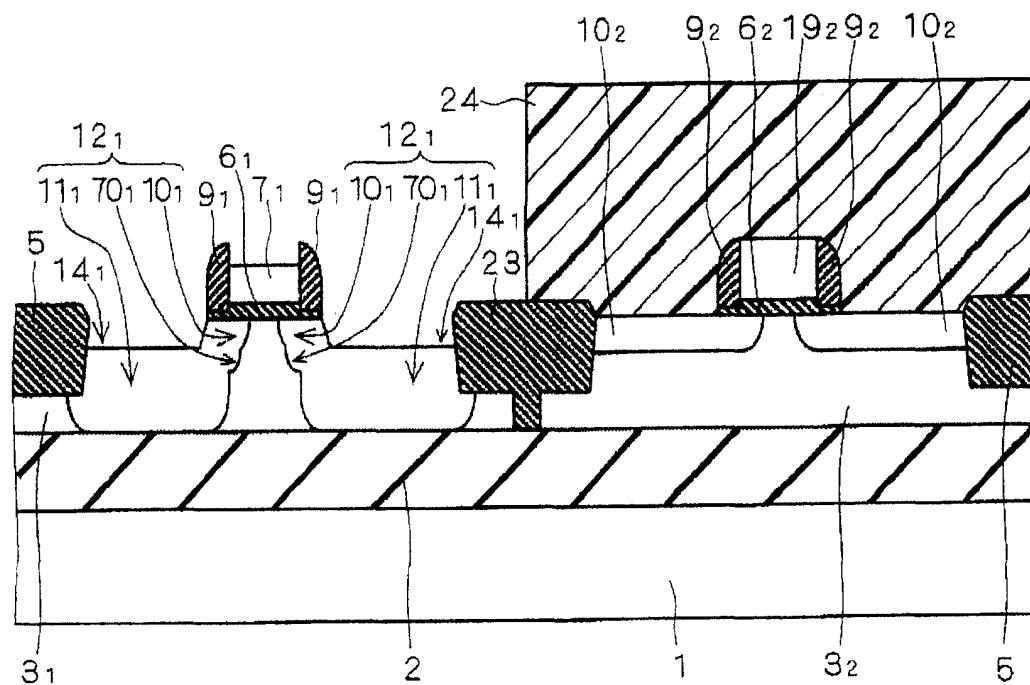


图 47

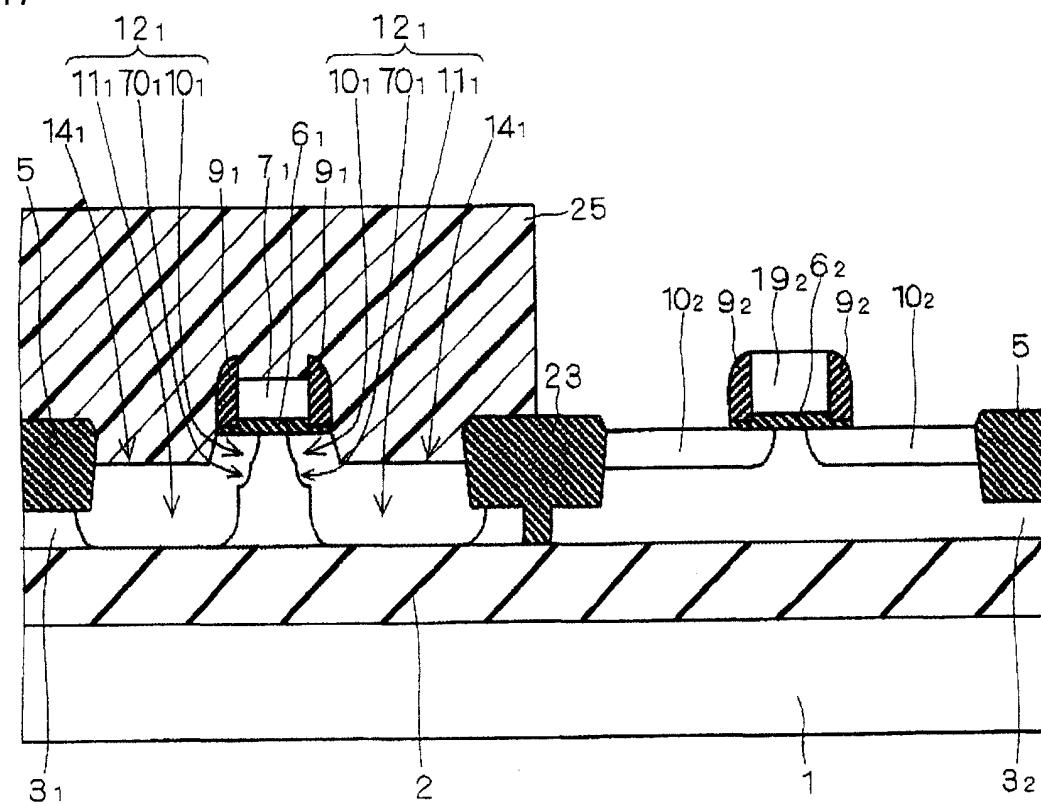


图 48

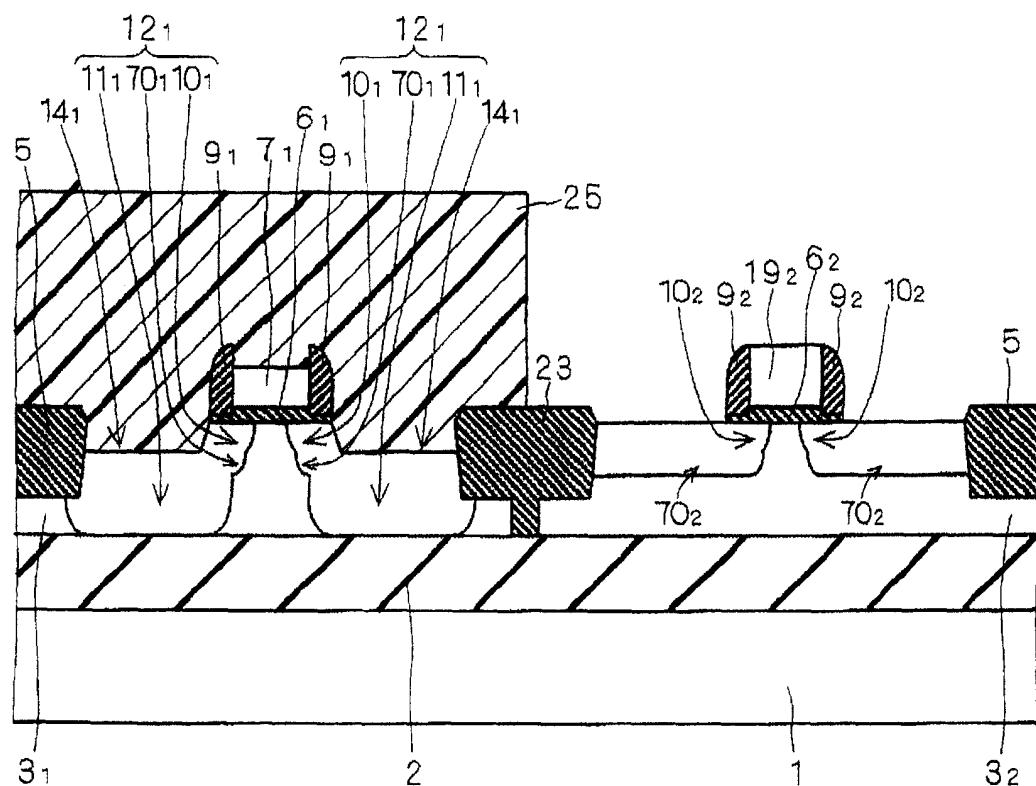


图 49

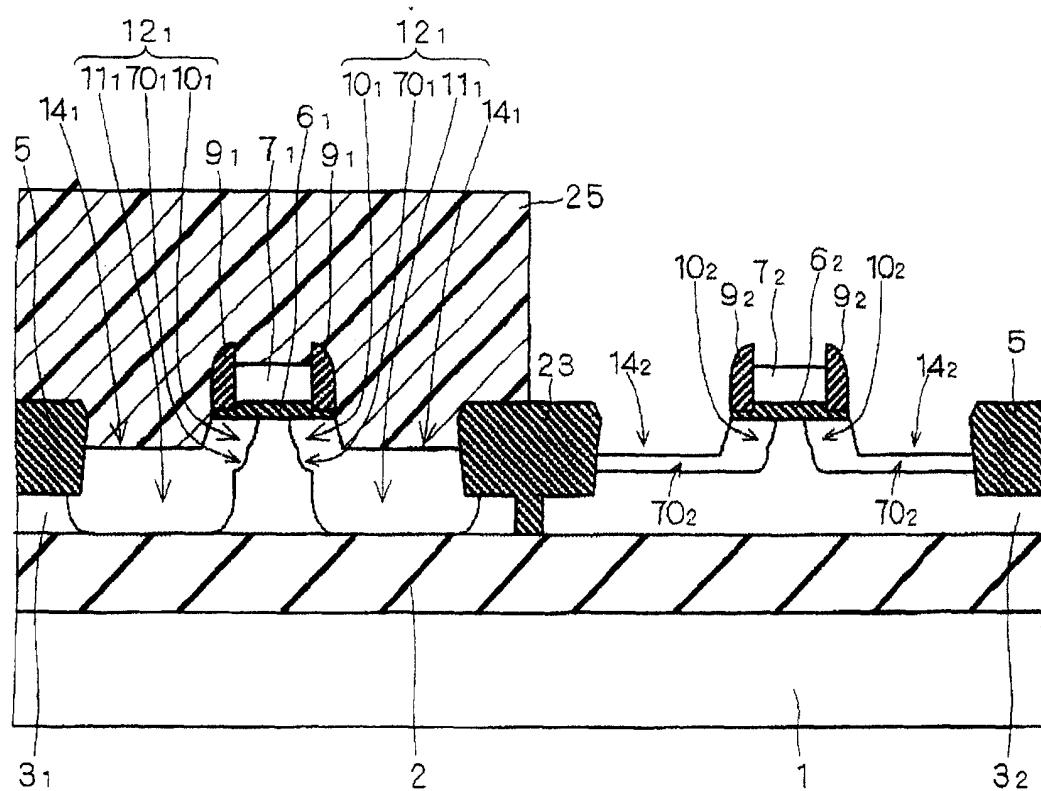


图 50

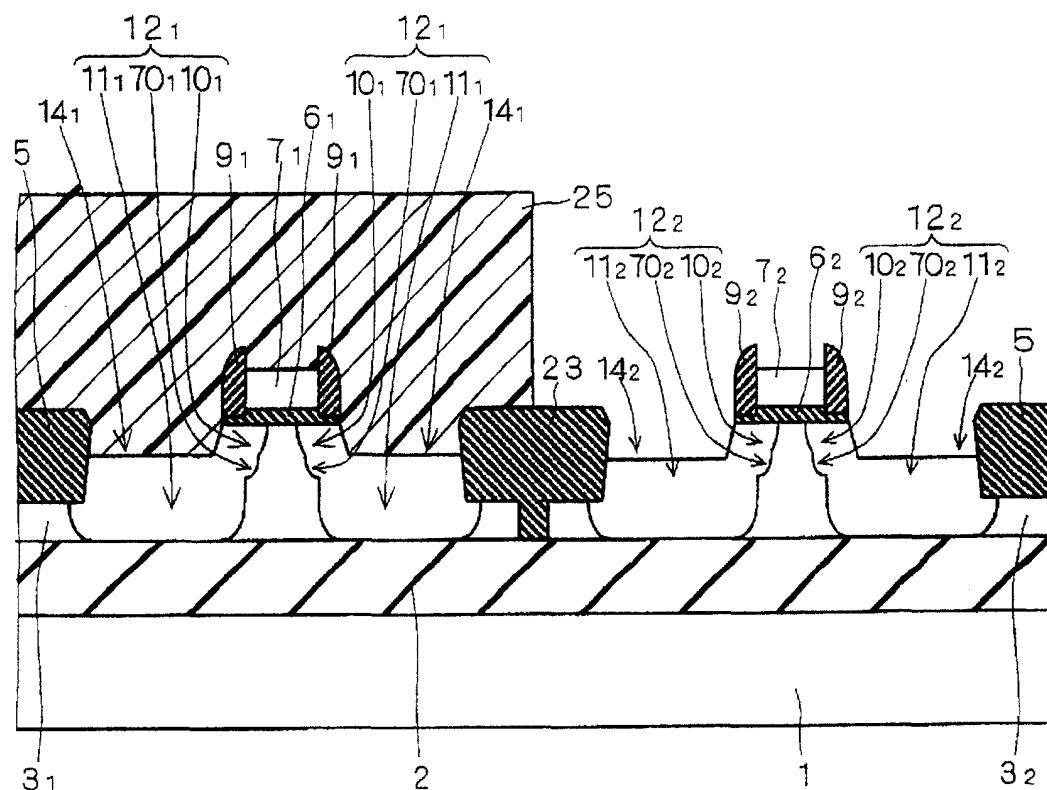


图 51

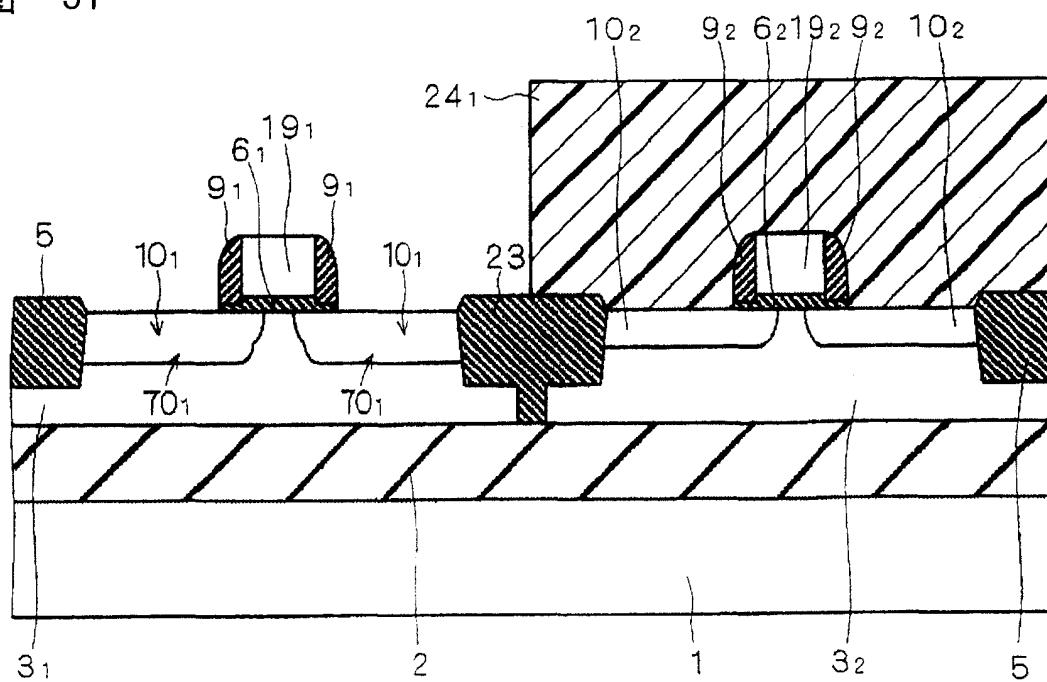


图 52

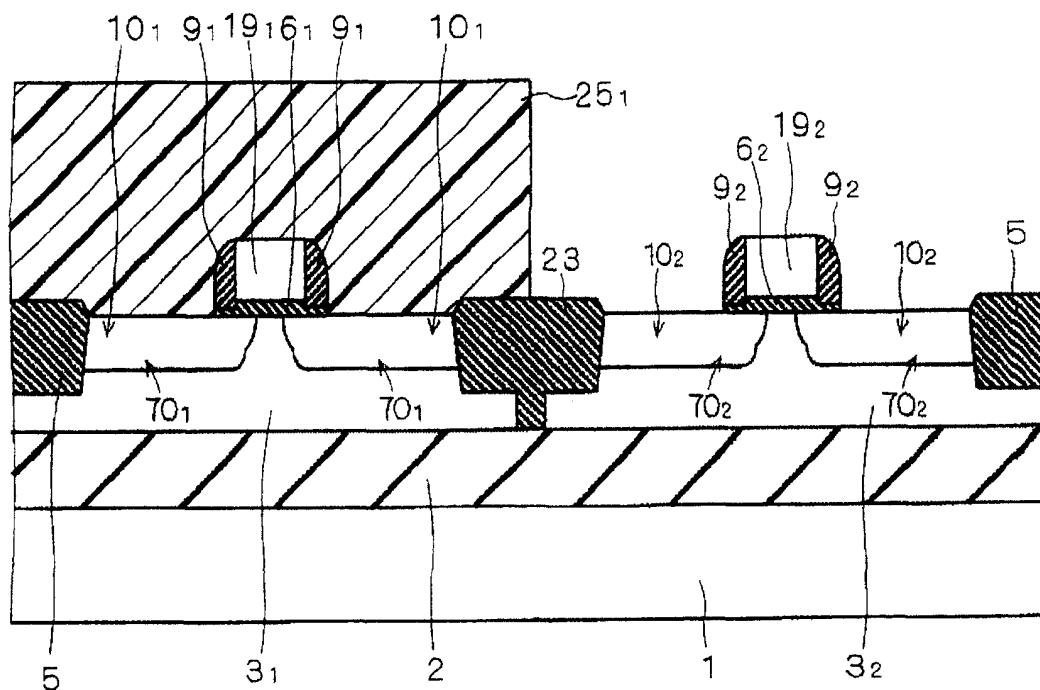


图 53

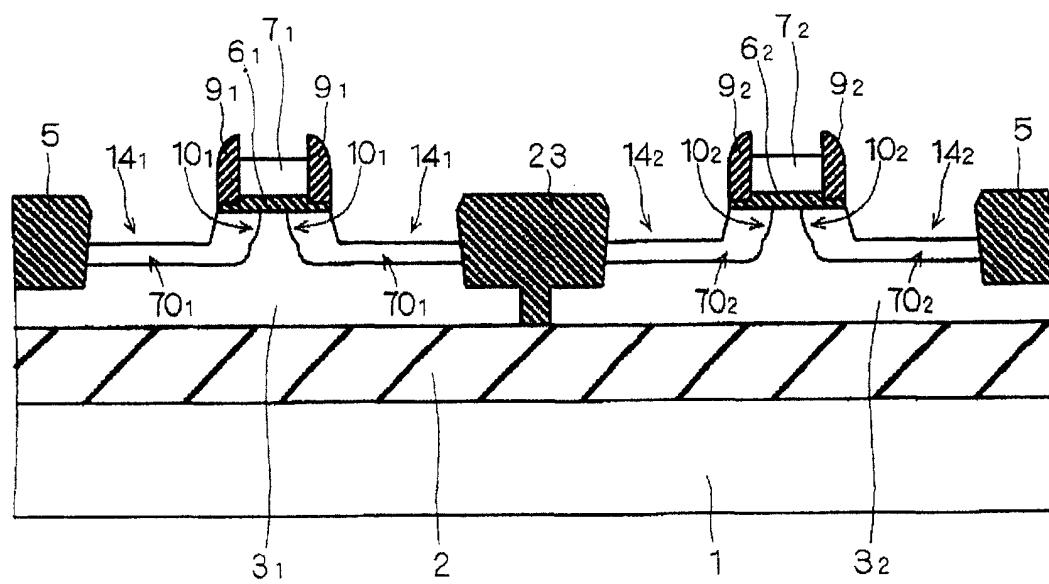


图 54

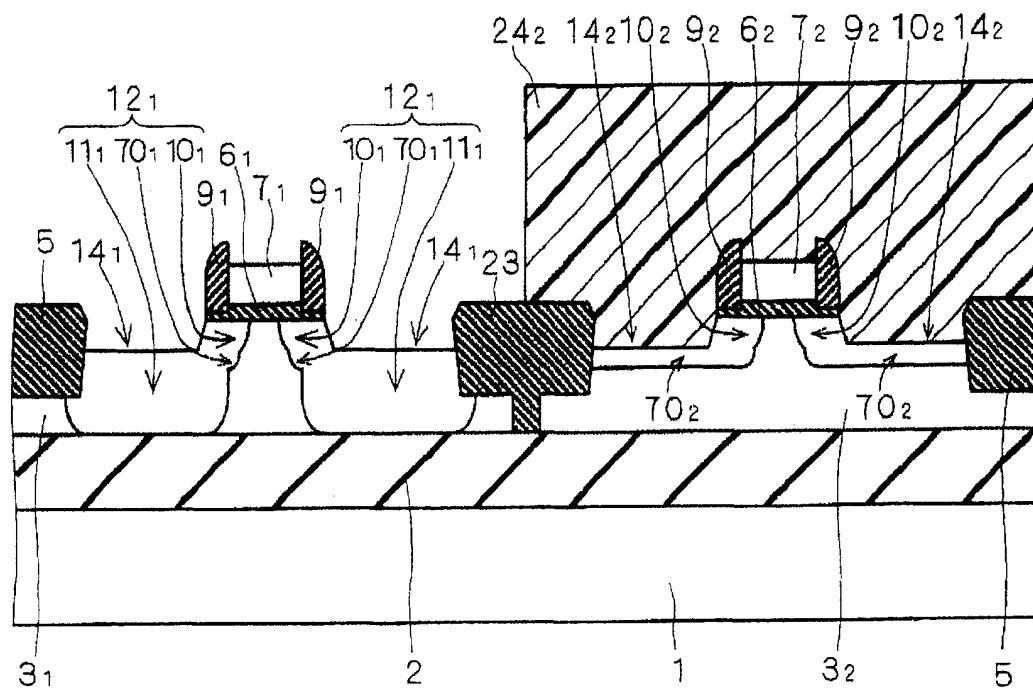


图 55

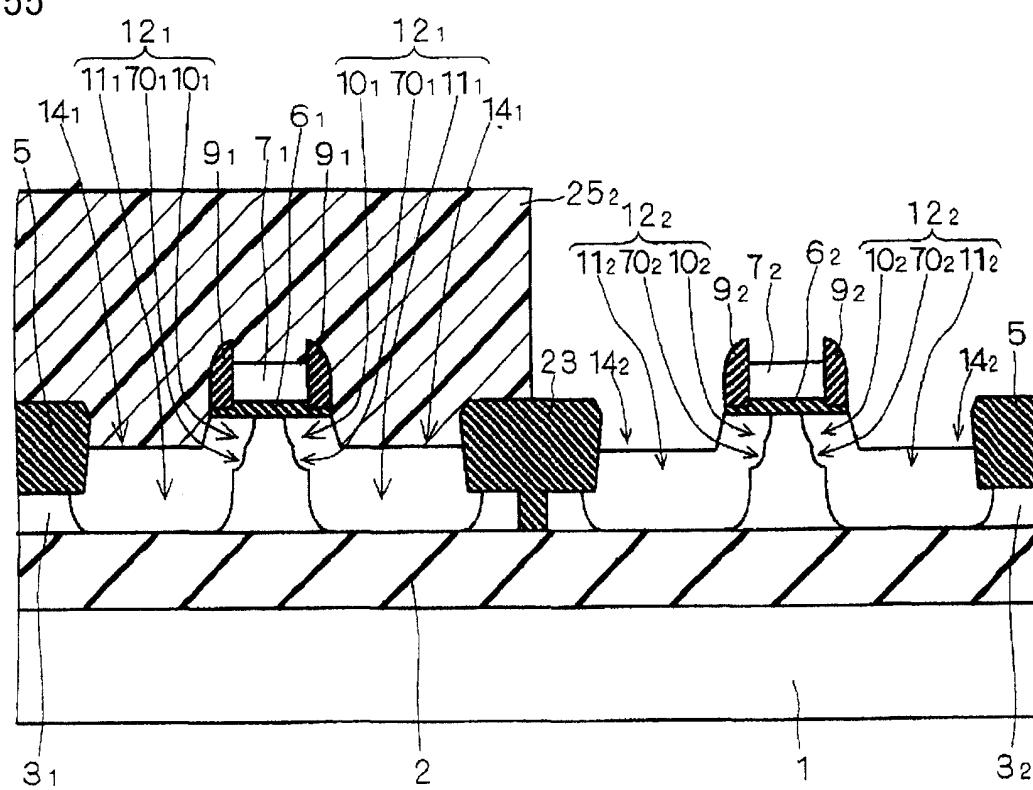


图 56

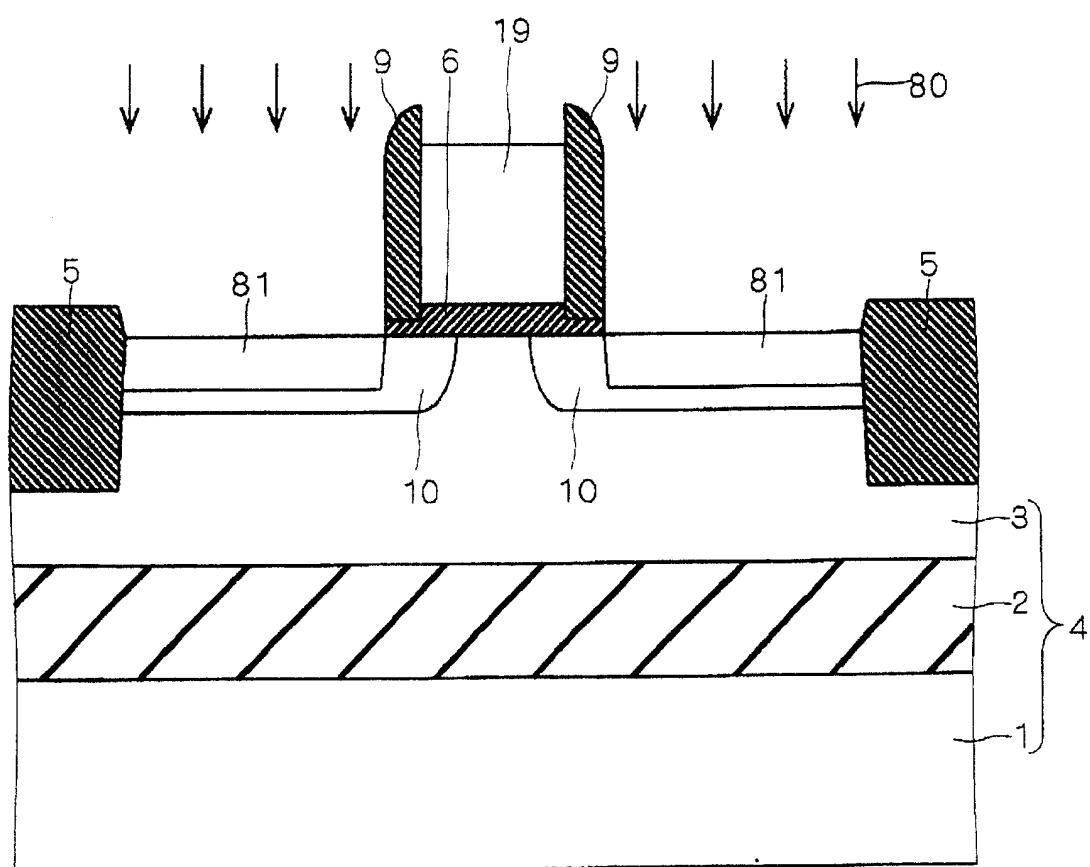


图 57