

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】令和 1 年 10 月 3 日 (2019.10.3)

【公開番号】特開 2017-102903 (P2017-102903A)

【公開日】平成 29 年 6 月 8 日 (2017.6.8)

【年通号数】公開・登録公報 2017-021

【出願番号】特願 2016-200814 (P2016-200814)

【国際特許分類】

G 0 6 F 12/08 (2016.01)

G 0 6 F 12/0802 (2016.01)

G 1 1 C 5/00 (2006.01)

【F I】

G 0 6 F 12/08 5 5 1 Z

G 0 6 F 12/08 5 0 1 B

G 1 1 C 5/00 3 0 3 Z

【手続補正書】

【提出日】令和 1 年 8 月 22 日 (2019.8.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

運営データにアクセスするプロセッサと、

前記プロセッサに結合されて前記運営データの制限された量を格納する 高速ローカルメモリと、

バッファリングキャッシュメモリに結合されて前記運営データの流れを維持するメモリコントローラと、

前記メモリコントローラに結合されたメモリサブシステムと、を備え、

前記メモリサブシステムは、

高速制御バスによってタイミングが重要な前記運営データを格納する第 1 階層メモリと

、

減少性能制御バスによってタイミングが重要でない前記運営データを格納する第 2 階層メモリと、を含むことを特徴とする電子システム。

【請求項 2】

前記第 2 階層メモリは、前記第 1 階層メモリよりも更に多い容量及び更に長い遅延時間を提供することを特徴とする請求項 1 に記載の電子システム。

【請求項 3】

前記第 2 階層メモリは、ビットラインフィードバック回路を有する 最適化されたローカルビットライン感知増幅器を含むことを特徴とする請求項 1 に記載の電子システム。

【請求項 4】

前記第 2 階層メモリは、格納セルアレイに結合されたグローバルワードラインドライバを含むことを特徴とする請求項 1 に記載の電子システム。

【請求項 5】

前記第 2 階層メモリは、ビットラインのためのポリシリコン配線を有する格納セルアレイを含むことを特徴とする請求項 1 に記載の電子システム。

【請求項 6】

前記メモリサブシステムの前記第 1 階層メモリは、アドレスライン増幅器及びローカルサブワードラインドライバを含む低遅延 ( l o w l a t e n c y ) 素子であり、

前記第 2 階層メモリは、前記アドレスライン増幅器及び前記ローカルサブワードラインドライバを含まない高容量 ( h i g h e r c a p a c i t y ) 素子であることを特徴とする請求項 1 に記載の電子システム。

【請求項 7】

前記第 2 階層メモリは、ビットラインプリチャージ回路を有する最適化されたローカルビットライン感知増幅器を含むことを特徴とする請求項 1 に記載の電子システム。

【請求項 8】

前記第 2 階層メモリは、グローバルワードラインをアレイセグメントに直接結合させるグローバルワードラインドライバを含むことを特徴とする請求項 1 に記載の電子システム。

【請求項 9】

前記第 2 階層メモリは、前記第 1 階層メモリよりも更に多いアレイセグメントを含むことを特徴とする請求項 1 に記載の電子システム。

【請求項 10】

前記第 2 階層メモリは、ビットラインフィードバック回路に結合された制御ラインセット\_\_ハイ及び制御ラインセット\_\_ローを含む最適化されたローカルビットライン感知増幅器を含むことを特徴とする請求項 1 に記載の電子システム。

【請求項 11】

前記第 2 階層メモリは、グローバルワードラインドライバ、最適化されたローカルビットライン感知増幅器、及びビットラインのためのポリシリコン配線によって、前記第 1 階層メモリよりも 30% ~ 50% 更に大きい容量を含むことを特徴とする請求項 1 に記載の電子システム。

【請求項 12】

前記第 2 階層メモリは、格納セルアレイ内の追加的な容量及びビットラインのためのポリシリコン配線を含むことを特徴とする請求項 1 に記載の電子システム。

【請求項 13】

前記第 2 階層メモリは、前記第 1 階層メモリのローカルビットライン感知増幅器よりも狭い幅のトランジスタを有する最適化されたローカルビットライン感知増幅器を含むことを特徴とする請求項 1 に記載の電子システム。

【請求項 14】

前記メモリサブシステムは、1つのモジュールに実装された前記第 1 階層メモリ及び前記第 2 階層メモリを含むことを特徴とする請求項 1 に記載の電子システム。

【請求項 15】

前記メモリコントローラは、前記第 1 階層メモリに低い遅延 ( l a t e n c y ) アクセスを提供し、前記第 2 階層メモリに高い遅延 ( l a t e n c y ) アクセスを提供することを特徴とする請求項 1 に記載の電子システム。