

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和1年10月3日(2019.10.3)

【公開番号】特開2017-102903(P2017-102903A)

【公開日】平成29年6月8日(2017.6.8)

【年通号数】公開・登録公報2017-021

【出願番号】特願2016-200814(P2016-200814)

【国際特許分類】

G 06 F 12/08 (2016.01)

G 06 F 12/0802 (2016.01)

G 11 C 5/00 (2006.01)

【F I】

G 06 F 12/08 5 5 1 Z

G 06 F 12/08 5 0 1 B

G 11 C 5/00 3 0 3 Z

【手続補正書】

【提出日】令和1年8月22日(2019.8.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

運営データにアクセスするプロセッサと、

前記プロセッサに結合されて前記運営データの制限された量を格納する高速ローカルメモリと、

バッファーリングキャッシュメモリに結合されて前記運営データの流れを維持するメモリコントローラと、

前記メモリコントローラに結合されたメモリサブシステムと、を備え、

前記メモリサブシステムは、

高速制御バスによってタイミングが重要な前記運営データを格納する第1階層メモリと、

、減少性能制御バスによってタイミングが重要でない前記運営データを格納する第2階層メモリと、を含むことを特徴とする電子システム。

【請求項2】

前記第2階層メモリは、前記第1階層メモリよりも更に多い容量及び更に長い遅延時間を提供することを特徴とする請求項1に記載の電子システム。

【請求項3】

前記第2階層メモリは、ピットラインフィードバック回路を有する最適化されたローカルピットライン感知増幅器を含むことを特徴とする請求項1に記載の電子システム。

【請求項4】

前記第2階層メモリは、格納セルアレイに結合されたグローバルワードライドライバーを含むことを特徴とする請求項1に記載の電子システム。

【請求項5】

前記第2階層メモリは、ピットラインのためのポリシリコン配線を有する格納セルアレイを含むことを特徴とする請求項1に記載の電子システム。

【請求項6】

前記メモリサブシステムの前記第1階層メモリは、アドレスライン増幅器及びローカルサブワードラインドライバーを含む低遅延 (low latency) 素子であり、

前記第2階層メモリは、前記アドレスライン増幅器及び前記ローカルサブワードラインドライバーを含まない高容量 (higher capacity) 素子であることを特徴とする請求項1に記載の電子システム。

【請求項7】

前記第2階層メモリは、ビットラインプリチャージ回路を有する最適化されたローカルビットライン感知増幅器を含むことを特徴とする請求項1に記載の電子システム。

【請求項8】

前記第2階層メモリは、グローバルワードラインをアレイセグメントに直接結合させるグローバルワードラインドライバーを含むことを特徴とする請求項1に記載の電子システム。

【請求項9】

前記第2階層メモリは、前記第1階層メモリよりも更に多いアレイセグメントを含むことを特徴とする請求項1に記載の電子システム。

【請求項10】

前記第2階層メモリは、ビットラインフィードバック回路に結合された制御ラインセット_ハイ及び制御ラインセット_ローを含む最適化されたローカルビットライン感知増幅器を含むことを特徴とする請求項1に記載の電子システム。

【請求項11】

前記第2階層メモリは、グローバルワードラインドライバー、最適化されたローカルビットライン感知増幅器、及びビットラインのためのポリシリコン配線によって、前記第1階層メモリよりも30%~50%更に大きい容量を含むことを特徴とする請求項1に記載の電子システム。

【請求項12】

前記第2階層メモリは、格納セルアレイ内の追加的な容量及びビットラインのためのポリシリコン配線を含むことを特徴とする請求項1に記載の電子システム。

【請求項13】

前記第2階層メモリは、前記第1階層メモリのローカルビットライン感知増幅器よりも狭い幅のトランジスタを有する最適化されたローカルビットライン感知増幅器を含むことを特徴とする請求項1に記載の電子システム。

【請求項14】

前記メモリサブシステムは、1つのモジュールに実装された前記第1階層メモリ及び前記第2階層メモリを含むことを特徴とする請求項1に記載の電子システム。

【請求項15】

前記メモリコントローラは、前記第1階層メモリに低い遅延 (latency) アクセスを提供し、前記第2階層メモリに高い遅延 (latency) アクセスを提供することを特徴とする請求項1に記載の電子システム。